

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成23年9月1日(2011.9.1)

【公表番号】特表2010-533401(P2010-533401A)

【公表日】平成22年10月21日(2010.10.21)

【年通号数】公開・登録公報2010-042

【出願番号】特願2010-515529(P2010-515529)

【国際特許分類】

H 03 F 3/347 (2006.01)

H 03 F 1/56 (2006.01)

H 03 K 19/0175 (2006.01)

【F I】

H 03 F 3/347

H 03 F 1/56

H 03 K 19/00 101 F

H 03 K 19/00 101 Q

【手続補正書】

【提出日】平成23年7月13日(2011.7.13)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

データ伝送、特にデジタルのデータ伝送を目的として、

- 少なくとも1個の第1の出力接続(Out+)及び
- 少なくとも1個の第2の出力接続(Out-)

に接続可能であり、少なくとも1個の電圧源(SQ)、特にドライバ出力段によって供給可能な、少なくとも1個の差動ラインを駆動する回路装置(S; S'; S"; S''')であって、

当該回路装置(S; S'; S"; S''')は、互いに左右対称に配置され、前記電圧源(SQ)を少なくとも1個の基準電位(GND)、特に接地電位、グラウンド電位又はゼロ電位に接続する、少なくとも2個の経路(P1、P2)を備え、

当該第1の経路(P1)は、

少なくとも1個の第1の入力接続、特に少なくとも1個の第1の制御電圧が作用することのできる少なくとも1個の第1の入力接続(Inv+)に割り当てられたゲート接続を有する、少なくとも1個の第1のトランジスタ(T1)、特に少なくとも1個の第1のNチャネルMOSFETと、

少なくとも1個の第2の入力接続、特に少なくとも1個の第2の制御電圧が作用することのできる少なくとも1個の入力接続(Inv-)に割り当てられたゲート接続を有する、少なくとも1個の第2のトランジスタ(T2)、特に少なくとも1個の第2のNチャネルMOSFETとを備え、

前記第1の出力接続(Out+)は、特に少なくとも1個の第1のノード(A)を介して、前記第1のトランジスタ(T1)と前記第2のトランジスタ(T2)との間で接続されており、

当該第2の経路(P2)は、

少なくとも1個の第3の入力接続、特に少なくとも1個の第3の制御電圧が作用す

ることのできる少なくとも1個の第3の入力接続(  $I_{n_3-}$  )に割り当てられたゲート接続を有する、少なくとも1個の第3のトランジスタ(  $T_3$  )、特に少なくとも1個の第3のNチャネルMOSFETと、

少なくとも1個の第4の入力接続、特に少なくとも1個の第4の制御電圧が作用することのできる少なくとも1個の第4の入力接続(  $I_{n_4+}$  )に割り当てられたゲート接続を有する、少なくとも1個の第4のトランジスタ(  $T_4$  )、特に少なくとも1個の第4のNチャネルMOSFETとを備え、

前記第2の出力接続(  $Out-$  )は、特に少なくとも1個の第2のノード(  $B$  )を介して、前記第3のトランジスタ(  $T_3$  )と前記第4のトランジスタ(  $T_4$  )との間に接続されている、回路装置であって、

前記第1の経路(  $P_1$  )は、

前記電圧源(  $SQ$  )と前記第1のトランジスタ(  $T_1$  )との間に接続され、特に前記第1のトランジスタ(  $T_1$  )のドレイン接続に割り当てられた、少なくとも1個の第1のドレイン低下抵抗(  $R_1$  )、及び

前記第1のトランジスタ(  $T_1$  )と前記第1の出力接続(  $Out+$  )との間に接続され、特に前記第1のトランジスタ(  $T_1$  )のソース接続に割り当てられた、少なくとも1個の第1の分離抵抗(  $R_3$  )、及び前記第2のトランジスタ(  $T_2$  )と前記第1の出力接続(  $Out+$  )との間に接続され、特に前記第2のトランジスタ(  $T_2$  )のドレイン接続に割り当てられた、少なくとも1個の第2の分離抵抗(  $R_4$  )の一方又は双方を備え、

前記第2の経路(  $P_2$  )は、

前記電圧源(  $SQ$  )と前記第3のトランジスタ(  $T_3$  )との間に接続され、特に前記第3のトランジスタ(  $T_3$  )のドレイン接続に割り当てられた、少なくとも1個の第2のドレイン低下抵抗(  $R_9$  )、及び、

前記第3のトランジスタ(  $T_3$  )と前記第2の出力接続(  $Out-$  )との間に接続され、特に前記第3のトランジスタ(  $T_3$  )のソース接続に割り当てられた、少なくとも1個の第3の分離抵抗(  $R_{11}$  )、及び前記第4のトランジスタ(  $T_4$  )と前記第2の出力接続(  $Out-$  )との間に接続され、特に前記第4のトランジスタ(  $T_4$  )のドレイン接続に割り当てられた、少なくとも1個の第4の分離抵抗(  $R_{12}$  )の一方又は双方を備える、

ことを特徴とする回路装置。

#### 【請求項2】

前記第1のドレイン低下抵抗(  $R_1$  )は無視できず、前記第1の分離抵抗(  $R_3$  )及び前記第2の分離抵抗(  $R_4$  )は無視でき、そして

前記第2のドレイン低下抵抗(  $R_9$  )は無視できず、前記第3の分離抵抗(  $R_{11}$  )及び前記第4の分離抵抗(  $R_{12}$  )は無視できる

ことを特徴とする請求項1に記載の回路装置(  $S$  )。

#### 【請求項3】

前記第1のドレイン低下抵抗(  $R_1$  )は無視でき、前記第1の分離抵抗(  $R_3$  )及び前記第2の分離抵抗(  $R_4$  )は無視できず、そして

前記第2のドレイン低下抵抗(  $R_9$  )は無視でき、前記第3の分離抵抗(  $R_{11}$  )及び前記第4の分離抵抗(  $R_{12}$  )は無視できない

ことを特徴とする請求項1に記載の回路装置(  $S'$  )。

#### 【請求項4】

前記第1のドレイン低下抵抗(  $R_1$  )、前記第1の分離抵抗(  $R_3$  )及び前記第2の分離抵抗(  $R_4$  )は無視できず、そして

前記第2のドレイン低下抵抗(  $R_9$  )、前記第3の分離抵抗(  $R_{11}$  )及び前記第4の分離抵抗(  $R_{12}$  )は無視できない

ことを特徴とする請求項1に記載の回路装置(  $S''$  )。

#### 【請求項5】

前記第2のトランジスタ(  $T_2$  )と前記基準電位(  $GND$  )との間に接続され、特に前

記第2のトランジスタ(T2)のソース接続に割り当てられた、少なくとも1個の第1のソース低下抵抗(R6)、及び

前記第4のトランジスタ(T4)と前記基準電位(GND)との間に接続され、特に前記第4のトランジスタ(T4)のソース接続に割り当てられた、少なくとも1個の第2のソース低下抵抗(R14)

を特徴とする請求項1～4のいずれか1項に記載の回路装置。

#### 【請求項6】

前記第1のトランジスタ(T1)、前記第2のトランジスタ(T2)及び前記第1の出力接続(Out+)の間に接続される、少なくとも1個の第1の出力直列抵抗(R7)、及び

前記第3のトランジスタ(T3)、前記第4のトランジスタ(T4)及び前記第2の出力接続(Out-)の間に接続される、少なくとも1個の第2の出力直列抵抗(R8)

を特徴とする請求項1～5のいずれか1項に記載の回路装置。

#### 【請求項7】

前記第1の出力直列抵抗(R7)は、前記第1のトランジスタ(T1)のソース接続、前記第2のトランジスタ(T2)のドレイン接続、及び前記第1の出力接続(Out+)の間に接続され、特に前記第1のノード(A)に割り当てられ、そして

前記第2の出力直列抵抗(R8)は、前記第3のトランジスタ(T3)のソース接続、前記第4のトランジスタ(T4)のドレイン接続、及び前記第2の出力接続(Out-)の間に接続され、特に前記第2のノード(B)に割り当てられる

ことを特徴とする請求項6に記載の回路装置。

#### 【請求項8】

請求項1～7のいずれか1項に記載の少なくとも1個の回路装置(S; S'; S"; S''')により少なくとも1個の差動ラインを駆動する方法であって、

- 正のフルシグナル作動の範囲において、

前記第1のトランジスタ(T1)及び前記第4のトランジスタ(T4)は線形領域に位置して伝導し、そして

前記第2のトランジスタ(T2)及び前記第3のトランジスタ(T3)はオフ状態であり、

負のフルシグナル作動の範囲において、

前記第1のトランジスタ(T1)及び前記第4のトランジスタ(T4)はオフ状態であり、

前記第2のトランジスタ(T2)及び前記第3のトランジスタ(T3)は線形領域に位置して伝導し、そして

正のフルシグナル作動と負のフルシグナル作動との間の遷移範囲において、

前記第1の入力接続(In<sub>1</sub>+)における入力電圧が低下することにより、前記第1のトランジスタ(T1)の作動点は、線形領域における作動から、特にソースフォロワとして、飽和領域における作動へと変化し、

前記第2の入力接続(In<sub>2</sub>-)における入力電圧が前記遷移範囲の略中心点まで増加したとき、特に汎用電源回路において作動する前記第2のトランジスタ(T2)は、依然として飽和領域にあり、そして

前記第3の入力接続(In<sub>3</sub>-)における入力電圧が前記遷移範囲の略中心点まで増加したとき、特に汎用電源回路において作動する前記第3のトランジスタ(T3)は、依然とひて飽和領域にあり、そして

前記第4の入力接続(In<sub>4</sub>+)における入力電圧が低下することにより、前記第4のトランジスタ(T4)の作動点は、線形領域における作動から、特にソースフォロワとして、飽和領域における作動へと変化する

ことを特徴とする方法。

#### 【請求項9】

正のフルシグナル作動の場合、制御電圧はそれぞれ、

前記第1の入力接続 (In<sub>1</sub>+) について約1.2ボルト、  
 前記第2の入力接続 (In<sub>2</sub>-) について約0ボルト、  
 前記第3の入力接続 (In<sub>3</sub>-) について約0ボルト、  
 前記第4の入力接続 (In<sub>4</sub>+) について約1.2ボルト、

負のフルシグナル作動の場合、制御電圧はそれぞれ、

前記第1の入力接続 (In<sub>1</sub>+) について約0ボルト、  
 前記第2の入力接続 (In<sub>2</sub>-) について約1.2ボルト、  
 前記第3の入力接続 (In<sub>3</sub>-) について約1.2ボルト、  
 前記第4の入力接続 (In<sub>4</sub>+) について約0ボルト

であることを特徴とする請求項8に記載の方法。

#### 【請求項10】

- 前記第1のドレイン低下抵抗 (R<sub>1</sub>) は、線形領域における前記第1のトランジスタ (T<sub>1</sub>) のドレイン-ソース抵抗 (R<sub>2</sub>) と飽和領域における前記第1のトランジスタ (T<sub>1</sub>) のドレイン-ソース抵抗 (R<sub>2s</sub>) との間の差、特に約12オームに略等しく、第2の分離抵抗 (R<sub>4</sub>)、飽和領域における前記第2のトランジスタ (T<sub>2</sub>) のドレイン-ソース抵抗 (R<sub>5s</sub>) 及び第1のソース低下抵抗 (R<sub>6</sub>) の並列分岐を含めると、特に約20オームに増加し、
- 前記第2のドレイン低下抵抗 (R<sub>9</sub>) は、線形領域における前記第3のトランジスタ (T<sub>3</sub>) のドレイン-ソース抵抗 (R<sub>10</sub>) と飽和領域における前記第3のトランジスタ (T<sub>3</sub>) のドレイン-ソース抵抗 (R<sub>10s</sub>) との間の差、特に約12オームに略等しく、第4の分離抵抗 (R<sub>12</sub>)、飽和領域における前記第4のトランジスタ (T<sub>4</sub>) のドレイン-ソース抵抗 (R<sub>13s</sub>) 及び第2のソース低下抵抗 (R<sub>14</sub>) の並列分岐を含めると、特に約20オームに増加する

ことを特徴とする請求項8又は9に記載の方法。

#### 【請求項11】

- 前記第1の入力接続 (In<sub>1</sub>+) における入力電圧が低下することにより、前記第1のトランジスタ (T<sub>1</sub>) の前記作動点が線形領域における作動から飽和領域における作動へと変化するとき、前記第1のドレイン低下抵抗 (R<sub>1</sub>) は、前記第1の出力インピーダンス (Z<sub>out1</sub>) に対してほぼ効力がなく、そして
- 前記第3の入力接続 (In<sub>3</sub>-) における入力電圧が増加することにより、前記第3のトランジスタ (T<sub>3</sub>) の前記作動点がオフ状態から飽和領域における作動へと変化するとき、前記第2のドレイン低下抵抗 (R<sub>9</sub>) は、前記第2の出力インピーダンス (Z<sub>out2</sub>) に対して効力のない状態から前記第2の出力インピーダンス (Z<sub>out2</sub>) に対してわずかに寄与する状態へと移行する過程にある

ことを特徴とする請求項8～10のいずれか1項に記載の方法。

#### 【請求項12】

遷移領域における前記第1の分離抵抗 (R<sub>3</sub>) 及び前記第2の分離抵抗 (R<sub>4</sub>) を増加させることによって、前記第1の経路 (P<sub>1</sub>) を流れる横方向電流、特に立ち上がる電流ピークを低減させ、そして

遷移領域における前記第3の分離抵抗 (R<sub>11</sub>) 及び前記第4の分離抵抗 (R<sub>12</sub>) を増加させることによって、前記第2の経路 (P<sub>2</sub>) を流れる横方向電流、特に立ち上がる電流ピークを低減させる

ことを特徴とする請求項8～11のいずれか1項に記載の方法。

#### 【請求項13】

遷移領域における前記第1の出力直列抵抗 (R<sub>7</sub>) を低減することによって、前記第1の出力インピーダンス (Z<sub>out1</sub>) を低減させ、そして

遷移領域における前記第2の出力直列抵抗 (R<sub>8</sub>) を低減することによって、前記第2の出力インピーダンス (Z<sub>out2</sub>) を低減させる

ことを特徴とする請求項8～12のいずれか1項に記載の方法。

#### 【請求項14】

- 前記第1の入力接続(  $I_{n_1+}$  )及び前記第4の入力接続(  $I_{n_4+}$  )は、位相シフトの方法で制御され、特に一方のトランジスタ( T1 又は T4 )の制御信号の上昇又は下降勾配は、他方のトランジスタ( T4 又は T1 )の制御信号の上昇又は下降勾配より急勾配であり、そして

- 前記第2の入力接続(  $I_{n_2-}$  )及び前記第3の入力接続(  $I_{n_3-}$  )は、位相シフトの方法で制御され、特に一方のトランジスタ( T2 又は T3 )の制御信号の上昇又は下降勾配は、他方のトランジスタ( T2 又は T3 )の制御信号の上昇又は下降勾配より急勾配である

ことを特徴とする請求項8～13のいずれか1項に記載の方法。