

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成 23 年 9 月 1 日 (2011.9.1)

【公表番号】特表 2010-533401 (P2010-533401A)

【公表日】平成 22 年 10 月 21 日 (2010.10.21)

【年通号数】公開・登録公報 2010-042

【出願番号】特願 2010-515529 (P2010-515529)

【国際特許分類】

H 0 3 F 3/347 (2006.01)

H 0 3 F 1/56 (2006.01)

H 0 3 K 19/0175 (2006.01)

【F I】

H 0 3 F 3/347

H 0 3 F 1/56

H 0 3 K 19/00 1 0 1 F

H 0 3 K 19/00 1 0 1 Q

【手続補正書】

【提出日】平成 23 年 7 月 13 日 (2011.7.13)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

データ伝送、特にデジタルのデータ伝送を目的として、

- 少なくとも 1 個の第 1 の出力接続 (O u t +) 及び
- 少なくとも 1 個の第 2 の出力接続 (O u t -)

に接続可能であり、少なくとも 1 個の電圧源 (S Q)、特にドライバ出力段によって供給可能な、少なくとも 1 個の差動ラインを駆動する回路装置 (S ; S ' ; S " ; S ''') であって、

当該回路装置 (S ; S ' ; S " ; S ''') は、互いに左右対称に配置され、前記電圧源 (S Q) を少なくとも 1 個の基準電位 (G N D)、特に接地電位、グラウンド電位又はゼロ電位に接続する、少なくとも 2 個の経路 (P 1、P 2) を備え、

当該第 1 の経路 (P 1) は、

少なくとも 1 個の第 1 の入力接続、特に少なくとも 1 個の第 1 の制御電圧が作用することのできる少なくとも 1 個の第 1 の入力接続 (I n₁ +) に割り当てられたゲート接続を有する、少なくとも 1 個の第 1 のトランジスタ (T 1)、特に少なくとも 1 個の第 1 の N チャネル M O S F E T と、

少なくとも 1 個の第 2 の入力接続、特に少なくとも 1 個の第 2 の制御電圧が作用することのできる少なくとも 1 個の入力接続 (I n₂ -) に割り当てられたゲート接続を有する、少なくとも 1 個の第 2 のトランジスタ (T 2)、特に少なくとも 1 個の第 2 の N チャネル M O S F E T とを備え、

前記第 1 の出力接続 (O u t +) は、特に少なくとも 1 個の第 1 のノード (A) を介して、前記第 1 のトランジスタ (T 1) と前記第 2 のトランジスタ (T 2) との間で接続されており、

当該第 2 の経路 (P 2) は、

少なくとも 1 個の第 3 の入力接続、特に少なくとも 1 個の第 3 の制御電圧が作用す

ることのできる少なくとも１個の第３の入力接続（ I_{n3-} ）に割り当てられたゲート接続を有する、少なくとも１個の第３のトランジスタ（ $T3$ ）、特に少なくとも１個の第３のＮチャネルＭＯＳＦＥＴと、

少なくとも１個の第４の入力接続、特に少なくとも１個の第４の制御電圧が作用することのできる少なくとも１個の第４の入力接続（ I_{n4+} ）に割り当てられたゲート接続を有する、少なくとも１個の第４のトランジスタ（ $T4$ ）、特に少なくとも１個の第４のＮチャネルＭＯＳＦＥＴとを備え、

前記第２の出力接続（ O_{ut-} ）は、特に少なくとも１個の第２のノード（ B ）を介して、前記第３のトランジスタ（ $T3$ ）と前記第４のトランジスタ（ $T4$ ）との間で接続されている、回路装置であって、

前記第１の経路（ $P1$ ）は、

前記電圧源（ SQ ）と前記第１のトランジスタ（ $T1$ ）との間に接続され、特に前記第１のトランジスタ（ $T1$ ）のドレイン接続に割り当てられた、少なくとも１個の第１のドレイン低下抵抗（ $R1$ ）、及び

前記第１のトランジスタ（ $T1$ ）と前記第１の出力接続（ O_{ut+} ）との間に接続され、特に前記第１のトランジスタ（ $T1$ ）のソース接続に割り当てられた、少なくとも１個の第１の分離抵抗（ $R3$ ）、及び前記第２のトランジスタ（ $T2$ ）と前記第１の出力接続（ O_{ut+} ）との間に接続され、特に前記第２のトランジスタ（ $T2$ ）のドレイン接続に割り当てられた、少なくとも１個の第２の分離抵抗（ $R4$ ）の一方又は双方を備え、

前記第２の経路（ $P2$ ）は、

前記電圧源（ SQ ）と前記第３のトランジスタ（ $T3$ ）との間に接続され、特に前記第３のトランジスタ（ $T3$ ）のドレイン接続に割り当てられた、少なくとも１個の第２のドレイン低下抵抗（ $R9$ ）、及び、

前記第３のトランジスタ（ $T3$ ）と前記第２の出力接続（ O_{ut-} ）との間に接続され、特に前記第３のトランジスタ（ $T3$ ）のソース接続に割り当てられた、少なくとも１個の第３の分離抵抗（ $R11$ ）、及び前記第４のトランジスタ（ $T4$ ）と前記第２の出力接続（ O_{ut-} ）との間に接続され、特に前記第４のトランジスタ（ $T4$ ）のドレイン接続に割り当てられた、少なくとも１個の第４の分離抵抗（ $R12$ ）の一方又は双方を備える、

ことを特徴とする回路装置。

【請求項２】

前記第１のドレイン低下抵抗（ $R1$ ）は無視できず、前記第１の分離抵抗（ $R3$ ）及び前記第２の分離抵抗（ $R4$ ）は無視でき、そして

前記第２のドレイン低下抵抗（ $R9$ ）は無視できず、前記第３の分離抵抗（ $R11$ ）及び前記第４の分離抵抗（ $R12$ ）は無視できる

ことを特徴とする請求項１に記載の回路装置（ S ）。

【請求項３】

前記第１のドレイン低下抵抗（ $R1$ ）は無視でき、前記第１の分離抵抗（ $R3$ ）及び前記第２の分離抵抗（ $R4$ ）は無視できず、そして

前記第２のドレイン低下抵抗（ $R9$ ）は無視でき、前記第３の分離抵抗（ $R11$ ）及び前記第４の分離抵抗（ $R12$ ）は無視できない

ことを特徴とする請求項１に記載の回路装置（ S' ）。

【請求項４】

前記第１のドレイン低下抵抗（ $R1$ ）、前記第１の分離抵抗（ $R3$ ）及び前記第２の分離抵抗（ $R4$ ）は無視できず、そして

前記第２のドレイン低下抵抗（ $R9$ ）、前記第３の分離抵抗（ $R11$ ）及び前記第４の分離抵抗（ $R12$ ）は無視できない

ことを特徴とする請求項１に記載の回路装置（ S'' ）。

【請求項５】

前記第２のトランジスタ（ $T2$ ）と前記基準電位（ GND ）との間に接続され、特に前

記第 2 のトランジスタ (T 2) のソース接続に割り当てられた、少なくとも 1 個の第 1 のソース低下抵抗 (R 6)、及び

前記第 4 のトランジスタ (T 4) と前記基準電位 (G N D) との間に接続され、特に前記第 4 のトランジスタ (T 4) のソース接続に割り当てられた、少なくとも 1 個の第 2 のソース低下抵抗 (R 1 4)

を特徴とする請求項 1 ~ 4 のいずれか 1 項に記載の回路装置。

【請求項 6】

前記第 1 のトランジスタ (T 1)、前記第 2 のトランジスタ (T 2) 及び前記第 1 の出力接続 (O u t +) の間に接続される、少なくとも 1 個の第 1 の出力直列抵抗 (R 7)、及び

前記第 3 のトランジスタ (T 3)、前記第 4 のトランジスタ (T 4) 及び前記第 2 の出力接続 (O u t -) の間に接続される、少なくとも 1 個の第 2 の出力直列抵抗 (R 8)

を特徴とする請求項 1 ~ 5 のいずれか 1 項に記載の回路装置。

【請求項 7】

前記第 1 の出力直列抵抗 (R 7) は、前記第 1 のトランジスタ (T 1) のソース接続、前記第 2 のトランジスタ (T 2) のドレイン接続、及び前記第 1 の出力接続 (O u t +) の間に接続され、特に前記第 1 のノード (A) に割り当てられ、そして

前記第 2 の出力直列抵抗 (R 8) は、前記第 3 のトランジスタ (T 3) のソース接続、前記第 4 のトランジスタ (T 4) のドレイン接続、及び前記第 2 の出力接続 (O u t -) の間に接続され、特に前記第 2 のノード (B) に割り当てられる

ことを特徴とする請求項 6 に記載の回路装置。

【請求項 8】

請求項 1 ~ 7 のいずれか 1 項に記載の少なくとも 1 個の回路装置 (S ; S ' ; S " ; S ' ' ') により少なくとも 1 個の差動ラインを駆動する方法であって、

- 正のフルシグナル作動の範囲において、

前記第 1 のトランジスタ (T 1) 及び前記第 4 のトランジスタ (T 4) は線形領域に位置して伝導し、そして

前記第 2 のトランジスタ (T 2) 及び前記第 3 のトランジスタ (T 3) はオフ状態であり、

負のフルシグナル作動の範囲において、

前記第 1 のトランジスタ (T 1) 及び前記第 4 のトランジスタ (T 4) はオフ状態であり、

前記第 2 のトランジスタ (T 2) 及び前記第 3 のトランジスタ (T 3) は線形領域に位置して伝導し、そして

正のフルシグナル作動と負のフルシグナル作動との間の遷移範囲において、

前記第 1 の入力接続 (I n ₁ +) における入力電圧が低下することにより、前記第 1 のトランジスタ (T 1) の作動点は、線形領域における作動から、特にソースフォロウとして、飽和領域における作動へと変化し、

前記第 2 の入力接続 (I n ₂ -) における入力電圧が前記遷移範囲の略中心点まで増加したとき、特に汎用電源回路において作動する前記第 2 のトランジスタ (T 2) は、依然として飽和領域にあり、

前記第 3 の入力接続 (I n ₃ -) における入力電圧が前記遷移範囲の略中心点まで増加したとき、特に汎用電源回路において作動する前記第 3 のトランジスタ (T 3) は、依然とひて飽和領域にあり、そして

前記第 4 の入力接続 (I n ₄ +) における入力電圧が低下することにより、前記第 4 のトランジスタ (T 4) の作動点は、線形領域における作動から、特にソースフォロウとして、飽和領域における作動へと変化する

ことを特徴とする方法。

【請求項 9】

正のフルシグナル作動の場合、制御電圧はそれぞれ、

前記第 1 の入力接続 ($I_{n1}+$) について約 1.2 ボルト、
 前記第 2 の入力接続 ($I_{n2}-$) について約 0 ボルト、
 前記第 3 の入力接続 ($I_{n3}-$) について約 0 ボルト、
 前記第 4 の入力接続 ($I_{n4}+$) について約 1.2 ボルト、
 負のフルシグナル作動の場合、制御電圧はそれぞれ、
 前記第 1 の入力接続 ($I_{n1}+$) について約 0 ボルト、
 前記第 2 の入力接続 ($I_{n2}-$) について約 1.2 ボルト、
 前記第 3 の入力接続 ($I_{n3}-$) について約 1.2 ボルト、
 前記第 4 の入力接続 ($I_{n4}+$) について約 0 ボルト
 であることを特徴とする請求項 8 に記載の方法。

【請求項 10】

- 前記第 1 のドレイン低下抵抗 ($R1$) は、線形領域における前記第 1 のトランジスタ ($T1$) のドレイン - ソース抵抗 ($R2$) と飽和領域における前記第 1 のトランジスタ ($T1$) のドレイン - ソース抵抗 ($R2_s$) との間の差、特に約 12 オームに略等しく、第 2 の分離抵抗 ($R4$)、飽和領域における前記第 2 のトランジスタ ($T2$) のドレイン - ソース抵抗 ($R5_s$) 及び第 1 のソース低下抵抗 ($R6$) の並列分岐を含めると、特に約 20 オームに増加し、
- 前記第 2 のドレイン低下抵抗 ($R9$) は、線形領域における前記第 3 のトランジスタ ($T3$) のドレイン - ソース抵抗 ($R10$) と飽和領域における前記第 3 のトランジスタ ($T3$) のドレイン - ソース抵抗 ($R10_s$) との間の差、特に約 12 オームに略等しく、第 4 の分離抵抗 ($R12$)、飽和領域における前記第 4 のトランジスタ ($T4$) のドレイン - ソース抵抗 ($R13_s$) 及び第 2 のソース低下抵抗 ($R14$) の並列分岐を含めると、特に約 20 オームに増加する

ことを特徴とする請求項 8 又は 9 に記載の方法。

【請求項 11】

- 前記第 1 の入力接続 ($I_{n1}+$) における入力電圧が低下することにより、前記第 1 のトランジスタ ($T1$) の前記作動点が線形領域における作動から飽和領域における作動へと変化するとき、前記第 1 のドレイン低下抵抗 ($R1$) は、前記第 1 の出力インピーダンス (Z_{out1}) に対してほぼ効力がなく、そして
- 前記第 3 の入力接続 ($I_{n3}-$) における入力電圧が増加することにより、前記第 3 のトランジスタ ($T3$) の前記作動点がオフ状態から飽和領域における作動へと変化するとき、前記第 2 のドレイン低下抵抗 ($R9$) は、前記第 2 の出力インピーダンス (Z_{out2}) に対して効力のない状態から前記第 2 の出力インピーダンス (Z_{out2}) に対してわずかに寄与する状態へと移行する過程にある

ことを特徴とする請求項 8 ~ 10 のいずれか 1 項に記載の方法。

【請求項 12】

遷移領域における前記第 1 の分離抵抗 ($R3$) 及び前記第 2 の分離抵抗 ($R4$) を増加させることによって、前記第 1 の経路 ($P1$) を流れる横方向電流、特に立ち上がる電流ピークを低減させ、そして

遷移領域における前記第 3 の分離抵抗 ($R11$) 及び前記第 4 の分離抵抗 ($R12$) を増加させることによって、前記第 2 の経路 ($P2$) を流れる横方向電流、特に立ち上がる電流ピークを低減させる

ことを特徴とする請求項 8 ~ 11 のいずれか 1 項に記載の方法。

【請求項 13】

遷移領域における前記第 1 の出力直列抵抗 ($R7$) を低減することによって、前記第 1 の出力インピーダンス (Z_{out1}) を低減させ、そして

遷移領域における前記第 2 の出力直列抵抗 ($R8$) を低減することによって、前記第 2 の出力インピーダンス (Z_{out2}) を低減させる

ことを特徴とする請求項 8 ~ 12 のいずれか 1 項に記載の方法。

【請求項 14】

- 前記第 1 の入力接続 ($I n_1 +$) 及び前記第 4 の入力接続 ($I n_4 +$) は、位相シフトの方法で制御され、特に一方のトランジスタ ($T 1$ 又は $T 4$) の制御信号の上昇又は下降勾配は、他方のトランジスタ ($T 4$ 又は $T 1$) の制御信号の上昇又は下降勾配より急勾配であり、そして
 - 前記第 2 の入力接続 ($I n_2 -$) 及び前記第 3 の入力接続 ($I n_3 -$) は、位相シフトの方法で制御され、特に一方のトランジスタ ($T 2$ 又は $T 3$) の制御信号の上昇又は下降勾配は、他方のトランジスタ ($T 2$ 又は $T 3$) の制御信号の上昇又は下降勾配より急勾配である
- ことを特徴とする請求項 8 ~ 13 のいずれか 1 項に記載の方法。