

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
H04L 12/26

(45) 공고일자 1998년11월02일
(11) 등록번호 특0151908
(24) 등록일자 1998년06월24일

(21) 출원번호	특1995-053191	(65) 공개번호	특1997-056243
(22) 출원일자	1995년12월21일	(43) 공개일자	1997년07월31일

(73) 특허권자 한국전자통신연구원 양승택
대전시 유성구 가정동 161번지한국전기통신공사 이준
서울시 종로구 세종로 100번지

(72) 발명자 고재수
대전시 유성구 전민동 엑스포아파트 302동 1203호
최성혁
대전시 유성구 전민동 청구나래아파트 107동 1301호
이호재
대전시 유성구 어은동 99 한빛아파트 121동 1304호
이종현
대전시 유성구 어은동 99 한빛아파트 110동 504호
김재근
대전시 유성구 신성동 한울아파트 109동 902호

(74) 대리인 박해천

심사관 : 박종한

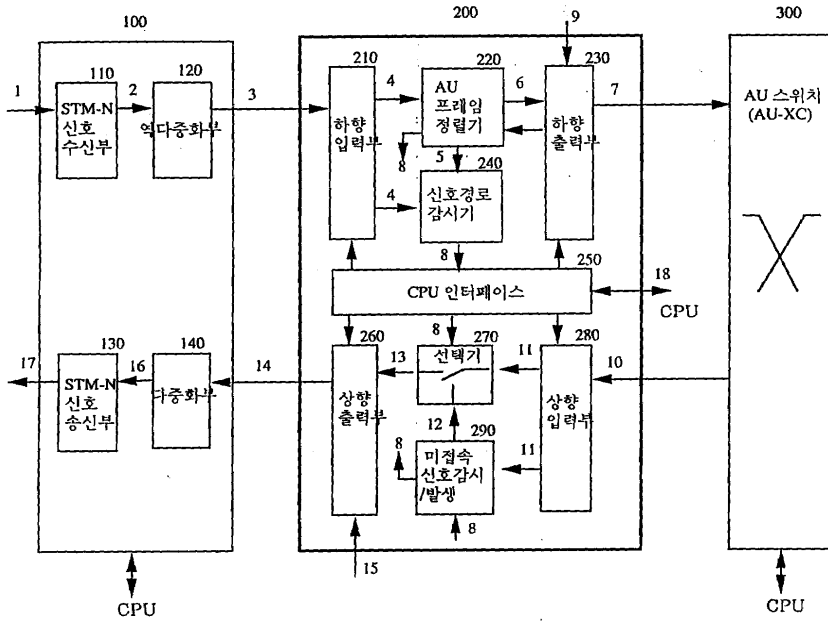
(54) 동기식 디지털 회선분배 장치

요약

본 발명은 신호 감시기능이 강화된 동기식 디지털 회선분배(SDH DXC:Synchron

ous Digital Hierarchy Digital Cross-Connection) 장치에 관한 것으로, STM-N 광신호를 수신하여 광/전 변환하고 데이터 복구 및 클럭추출을 하는 STM-N 신호 수신부(110)와 상기 신호 수신부(110)에 연결되어 STM-N 내의 구간 오버헤드(SOH)를 처리하여 N개의 AUG(AU4) 또는 3xN개의 AU3 신호를 추출하여 출력하는 역다중부(120)와 77.76Mb/s 8비트 병렬신호 또는 12개의 51.84Mb/s 직렬신호, 또는 4개의 19.44Mb/s 8비트 병렬신호를 입력하여 SOH를 삽입하여 STM-N 신호형태로 다중화하는 다중화부(140)와 STM-N 전기적 신호를 광신호로 변환하여 광케이블로 전송하는 STM-N 신호 송신부(130)를 구비하는 동기식 신호 접속수단(100); 상기 동기식 신호접속수단(100)에 연결되어 AU3 또는 AU4에 대한 프레임 위상을 재정렬하며 VC3 경로 감시와 미장착 신호상태 검출과 스위칭이 해제된 신호에 대한 신호 미장착 상태 발생 및 AU 프레임 형성을 수행하는 AU 프레임 위상정렬 및 신호감시수단(200); 상기 AU 프레임 위상 정렬 및 신호감시수단(200)에 연결되어 AU3단위 또는 AU4단위의 크로스커넥트스위칭을 수행하는 AU 스위칭 수단(300)을 구비하는 것을 특징으로 한다.

대표도



명세서

[발명의 명칭]

동기식 디지털 회선분배 장치

[도면의 간단한 설명]

제1도는 동기식 디지털 회선분배(SDH DXC) 장치의 전체 구성도.

제2도는 STM-N 신호 프레임 구조도.

제3도는 신호 입력 접속부의 블럭 구성도.

제4도는 AU 프레임 정렬기의 블럭 구성도.

제5도는 신호 출력 접속부의 블럭 구성도.

제6도는 신호 경로 감시기의 블럭 구성도.

제7도의 (a)는 미접속신호 감시 및 발생기의 블럭 구성도.

제7도의 (b)는 미접속신호 감시 및 미접속상태 발생 타이밍도.

제8도는 데이터 종류에 따른 타이밍 구조도.

제8도의 (a)는 77.76Mb/s 병렬모드 타이밍도.

제8도의 (b)는 51.84Mb/s 직렬모드 타이밍도.

제8도의 (c)는 19.44Mb/s 병렬모드 타이밍도.

제8도의 (d)는 6.48Mb/s 병렬모드 타이밍도.

* 도면의 주요부분에 대한 부호의 설명

- 100 : STM-N 신호 접속부
- 200 : AU 신호 감시기
- 300 : AU 스위치
- 210 : 하향 신호입력접속부
- 220 : AU 프레임 정렬기
- 230 : 하향신호출력 접속부
- 240 : 신호 경로감시기
- 290 : 미접속신호감시 및 발생기

[발명의 상세한 설명]

본 발명은 신호 감시기능이 강화된 동기식 디지털 회선분배(SDH DXC:Synchronous Digital Hierarchy Digital Cross-connection) 장치에 관한 것으로, ITU-T G.707~G.709에서 권고하고 있는 동기식 신호인 STM-N 광신호가 전달되는 광케이블과 접속하여 STM-N 광신호를 수신하여 광/전 변환을 거쳐 데이터 복구 및 클럭추출을 한 후 STM-N에 대한 디스크램블링 및 리프레이밍(reframing)을 통해 구간 오버헤드(SOH:Section Overhead)와 페이로드(payload)를 분리하여 처리하며, 분리된 STM-N 페이로드로부터 AU 신호를 추출하여 각각의 프레임 위상을 동일한 기준 타이밍에 의해 재정렬한 후 AU 단위의 크로스 커넥트 스위칭(XCS:Cross-Connect Switching)을 수행하며, 스위칭이 이루어진 AU 신호는 다시 SOH와 함께 STM-N으로 다중화되어 광신호로 변환하여 광케이블로 전송하며, 또 스위치로 입력하는 AU 신호를 감시하여 미

점유 신호를 검출하여 해당 신호채널의 스위치와의 접촉을 해제하고 신호 중단 처리를 수행하며, 또한 스위치로부터 출력되는 신호를 감시하여 스위칭이 해제된 미접속신호를 잘 관리하여 동기식 신호의 경로 절제 및 AU 레벨의 회선분배 기능을 원활하게 수행할 수 있도록 하는 것이다.

본 발명은 SDH DXC 장치가 적용되는 동기식 전송망에서 전송망 선로/경로의 단절시 재구성/복구를 위해 보호(protection)용의 여유 채널을 항상 감시/관리하고 있어야 하는데 이를 위해 DXC에서는 선로뿐만 아니라 크로스커넥트 스위치의 전후단에서 스위칭되는 단위(AU 신호등)별로 신호 접속 상태를 감시하여 미접속되는 신호를 철저히 관리할 필요가 있다.

본 발명의 목적은 동기식 디지털 광대역회선분배(SDH DXC) 장치의 동기식 신호접속부와 광대역 스위치간에 AU프레임을 정렬시키고 VC3 경로를 감시하여 처리함으로써 AU단위의 광대역 스위칭 기능을 용이하게 하고, 또한 VC3 신호의 미점유(미접속) 신호에 대한 감시 및 미접속 신호 상태를 발생시켜 전송함으로써 동기식 신호의 경로감시 및 회선분배 기능을 수행할 수 있는 동기식 디지털 회선분배 장치를 제공하는데 있다.

상기 목적을 달성하기 위하여 본 발명은, STM-N 광신호를 수신하여 광/전 변환하고 데이터 복구 및 클럭 추출을 하는 STM-N 신호 수신부(110)와 상기 신호 수신부에 연결되어 STM-N 내의 구간 오버헤드(SOH)를 처리하여 N개의 AUG(AU4) 또는 3xN개의 AU3 신호를 추출하여 출력하는 역다중부와 77.76Mb/s 8비트 병렬 신호 또는 12개의 51.84Mb/s 직렬신호, 또는 4개의 19.44Mb/s 8비트 병렬신호를 입력하여 SOH를 삽입하여 STM-N 신호형태로 다중화하는 다중화부와 STM-N 전기적 신호를 광신호로 변환하여 광케이블로 전송하는 STM-N 신호 송신부를 구비하는 동기식 신호 접속수단; 상기 동기식 신호접속수단에 연결되어 AU3 또는 AU4에 대한 프레임 위상을 재정렬하며 VC3 경로감시와 미장착 신호상태 검출과 스위칭이 해제된 신호에 대한 신호 미장착 상태 발생 및 AU 프레임 형성을 수행하는 AU 프레임 위상정렬 및 신호감시수단; 상기 AU 프레임 위상 정렬 및 신호감시수단에 연결되어 AU3단위 또는 AU4단위의 크로스커넥트스위칭을 수행하는 AU 스위칭 수단을 구비하는 것을 특징으로 한다.

이하, 첨부된 도면을 참조하여 본 발명을 상세히 설명한다.

제1도는 본 발명에 대한 전체 구성도로서, STM-4(600M)급 용량, 즉 4개의 AU4 또는 12개의 AU3 신호를 처리하는 AU 신호감시기를 갖는 SDH DXC 장치의 구성예이다.

우선, 하향입력부(210)에서는 동기식 신호접속부(100)로부터 오는 4개의 AUG 신호(3)를 받아 12개의 SU3 신호를 분리하여 4의 신호로 AU 프레임정렬기(220)와 신호경로 감시기(240)로 보낸다. AU 프레임정렬기(220)에서는 수신 AU 신호(4)로부터 AU 포인터워드를 분리하여 VC3위상을 지지하는 프레임 옵셋을 추출하여 이로부터 VC3 신호를 분리하여 신호 경로 감시기(240)로 보낸다. 분리된 VC3 신호는 프레임 옵셋과 함께 쓰기 클럭에 의해 포인터 버퍼에 가해지며, 일단 버퍼에 쓰여진 데이터는 하향출력부(230)에서 오는 읽기 클럭에 의해 읽혀지고 읽혀진 데이터는 읽혀진 프레임 옵셋에 의해 새로 생성되는 AU포인터 프레임에 삽입되어 6신호로 출력된다. 신호경로감시기(240)에서는 VC3 경로오버헤드(POH:Path Overhead)를 분리하여 처리하고 C2 바이트를 해석하여 미장착상태를 감시하는데 5프레임 연속 0의 상태가 계속 검출되면 UNEQ 상태(8)를 CPU 인터페이스(250)로 보고한다. 하향출력부(230)에서는 AU 프레임정렬기(220)로부터 오는 프레임 재정렬된 AU3 신호를 외부 클럭 타이밍(9)을 이용하여 AUG 신호형태로 다중하여 CPU 인터페이스(250)에서 오는 제어신호(8)에 의해 선택된 적절한 신호속도(7)로 변환하여 AU 스위치(300)로 출력한다. 그리고, 상향입력부(280)에서는 AU 스위치(300)로부터 오는 AUG 신호(100)로부터 12개의 AU3 신호(11)를 분리하여 선택기(270)와 미접속신호감시 및 발생기(290)로 보낸다.

선택기(270)에서는 CPU인터페이스(250)로부터의 제어신호(8)에 의해 상향입력부(280)에서 오는 스위칭이 완료된 AU 신호(11)를 선택할 것인지 또는 미접속신호발생기(12)로부터 오는 자체 발생된 AU 신호를 선택할 것인지를 결정한다. 이렇게 선택된 신호(13)는 상향출력부(260)로 보낸다.

미접속신호 감시 및 발생기(290)에서는 11신호를 감시하고 있다가 신호가 없는 상태, 즉 스위치접속이 해제되는 상태를 검출하여 CPU 인터페이스(250)로 보고하며, 또한 자체적으로 AU 신호(12)를 발생시켜 선택기(270)로 보낸다.

상향 출력부(260)에서는 상기 선택기(270)에서 받은 각 AU3 신호를 AUG 형태로 다중하여 외부 클럭 타이밍(15)과 CPU 인터페이스(250)의 제어신호(8)에 의해 적절한 신호속도(14)로 변환하여 동기신호접속부(100)로 출력한다.

제3도는 하향 및 상향 신호입력 접속부(210,280)의 블록 구성도로서, 상향 하향에서 공히 적용되며, 여기서는 하향신호의 경우를 설명한다. 입력되는 데이터(d3), 클럭(c3), 및 프레임 클럭(f3)은 입력모드 선택기(211)에서 제어신호(p1)에 의해 3가지 모드(제8도 참조), 즉 77.76Mb/s 병렬신호 접속 모드(제8도의 a 참조), 51.84Mb/s 직렬 신호접속모드(제8도의 b 참조), 및 19.44Mb/s 병렬신호 접속모드(제8도의 c 참조)로 동작한다. 78M 접속모드의 경우 d3 데이터는 STM-4 신호형태의 77.76Mb/s 8비트 병렬신호이고, c3는 77.76MHz 데이터 클럭이고, f3은 8KHz 기준 타이밍 클럭이다. 선택된 신호들(d78, f78, c78)은 78M 접속부(212)에서 역다중 및 분주되어 12개의 6.48Mb/s 8비트 AU3 병렬 신호(d6a)와 6.48MHz AU3 병렬신호 클럭(c6a)과 6.48Mb/s 펄스폭을 갖는 8KHz 프레임 클럭(f6a)으로 변환된다. 52M 접속모드의 경우 d3 데이터는 1개의 AU3 신호를 포함하고 있는 51.48Mb/s 직렬신호로 12개가 입력되고, c3는 51.84MHz 데이터 클럭이고, f3은 8KHz 기준 타이밍 클럭이다. 선택된 신호들(d52, f52, c52)은 52M 접속부(213)에서 역다중 및 분주되어 12개의 6.48Mb/s 8비트 AU3 병렬 신호(d6b)와 6.48MHz AU3 병렬신호 클럭(c6b)과 6.48Mb/s 펄스폭을 갖는 8KHz 프레임 클럭(f6b)으로 변환된다.

19M 접속모드의 경우 d3 데이터는 1개의 AUG 신호를 포함하고 있는 19.44Mb/s 8비트 병렬 신호로 4개가 입력되고, c3는 19.44MHz 데이터 클럭이고, f3은 8KHz 기준 타이밍 클럭이다. 선택된 신호들(d19, f19, c19)은 19M 접속부(214)에서 역다중 및 분주되어 12개의 6.48Mb/s 8비트 AU3 병렬 신호(d6c)와 6.48MHz AU3 병렬신호 클럭(c6c)과 6.48Mb/s 펄스폭을 갖는 8KHz 프레임 클럭(f6c)으로 변환된다. 이와 같이 6.48Mb/s 데이터로 변환된 신호들은 6M 데이터/클럭 선택기(215)에서 제어신호 p2에 의해 3모드 중 한가지 모드의 데이터(d4)와 프레임 클럭(f6)과 데이터 클럭(c6)을 선택한다. 선택된 f6 및 c6는 타이밍

발생기(216)로 공급되며 여기서 새로운 클럭(c4) 및 타이밍(14)을 발생한다.

제4도는 AU 프레임 정렬기(220)의 블록도로서, AU 포인터 처리기능을 수행한다.

입력되는 AU3 데이터(d4)와 프레임클럭(f4)과 데이터 클럭(c4)은 포인터 해석기(221)로 들어가며, 포인터 해석기(221)에서는 AU3 데이터로부터 AU 포인터 워드를 분리하여 3가지 상태, 즉 NORM, AIS, 및 LOP 상태를 검출하며, AIS 또는 LOP 상태인 경우는 경보 발생 인터럽트신호(p3)를 발생한다. NORM 상태인 경우는 포인터값을 분석하여 정상적인 범위의 값일 경우 VC3 프레임 옴셋 타이밍(f5)을 발생시키며, 발생한 프레임 옴셋 타이밍(f5)과 분리된 VC3 데이터(d5)는 VC3 데이터클럭(C5)으로 함께 포인터 버퍼(222)에 쓰여진다. 수신 포인터값에 포인터조정(PJ:pointer justification) 상태가 반영되어 있는 경우는 옴셋 타이밍(f5)과 포인터 버퍼의 쓰기 클럭(C5)에 상태를 반영한다. 즉, 정조정(+PJ) 상태이면 옴셋 타이밍을 한 클럭 갭(gap)시켜 밀고 부조정(-PJ) 상태이면 한 클럭 삼입시켜 앞당긴다. 포인터버퍼(222)에서 출력되는 VC3 데이터(dg)와 프레임 옴셋(fg)은 읽기 클럭(cg)에 의해 읽혀진다. 버퍼감시회로(224)에서는 읽기클럭(cg)과 쓰기클럭(c5)의 속도차가 발생할 시 누적하였다가 포인터 버퍼의 임계치에 도달할 시 그 상태(bc)를 포인터 버퍼(222)와 포인터 조정회로(225)로 가하는데, 이때 쓰기클럭(c5)과 읽기클럭(cg)을 비교하여 c5가 빠르면 버퍼가 상위로 채워져서 정임계치(+th) 방향으로, c5가 늦으면 버퍼가 하위로 비워져서 부임계치(-th) 방향으로 이동한다. 또 임계치를 초과하여 버퍼가 완전히 채워지는 상태(full)가 되거나 완전히 비워지는 상태(empty)가 되면 이때 버퍼는 다운(down)되어 비정상적인 데이터를 출력하게 되는데 이는 신호 P4로 CPU로 즉각 보고하며, 또한 버퍼는 자체적으로 리셋을 가하여 초기상태로 원상복구하도록 한다. 초기상태란 버퍼의 쓰기 어드레스와 읽기 어드레스가 가장 멀리 떨어져 있는 상태를 말한다.

포인터조정회로(225)에서는 버퍼감시회로(224)에서 발생한 버퍼 임계치 도달 신호(bo)를 받아 송신데이터 클럭(c6)과 타이밍(t6)에 의해 송신포인터 조정 신호(jo)를 발생시켜 포인터발생기(223)로 보내며, 또 CPU로 그 상태(p5)를 보고한다.

포인터발생기(223)는 포인터버퍼를 거쳐온 프레임 옴셋(fg)에 따른 포인터값을 발생시켜 VC3 데이터(dg)와 함께 AU3 신호(d6)를 형성하여 출력한다. 또 포인터 발생기(223)에서는 시스템클럭(c6)과 타이밍(t6)에 의거 포인터조정신호(jo)가 있을시 이를 데이터클럭(cg), 송신 포인터, 및 AU3 신호(d6)에 반영한다.

제5도는 신호 출력접속부(230,260)의 블록 구성도로서, 상향 및 하향에서 공히 적용되며, 여기서는 하향 신호의 경우를 설명한다. 타이밍 발생회로(231)는 동작 모드에 따라 외부로부터 받아들이는 클럭(c9, f9)이 다르며, 모드에 관계없이 동일한 클럭 타이밍(c6, t6)을 발생시킨다. 78M 변환부(232)에서는 12개의 6.48Mb/s 병렬 AU3 데이터(d6)를 STM-4 구조형태로 다중하여 77.76Mb/s 병렬데이터(d78)로 변환시키고, 52M 변환부(233)에서는 12개의 6.48Mb/s 병렬 AU3 데이터(d6)를 각각 12개의 51.84Mb/s 직렬 데이터(d52)로 변환시키고, 19M변환부(234)에서는 12개의 6.48Mb/s 병렬 AU3 데이터(d6)를 3개의 다중하여 AUG로 만든 후 STM-1 프레임형태의 19.44Mb/s 병렬 데이터(d19)로 변환시킨다. 출력모드 선택회로(235)에서는 각 모드로 변환된 데이터 및 출력을 CPU 또는 외부 제어신호(p5)에 의해 한가지 모드 데이터를 선택하며, 선택된 데이터(d7), 프레임클럭(f7), 및 데이터클럭(c7)은 출력한다.

제6도는 신호 경로감시(240)의 블록 구성도로서, VC3 타이밍 발생회로(241)와 VC3 경로 오버헤드데이터 추출회로(242)와 B3 에러 감시회로(243)와 VC3 경로 및 미장착신호 감시회로(244)로 구성되어, VC3 경로 감시 및 미장착상태(UNEQ)를 검출하여 CPU로 전달한다.

제7도는 미접속 신호 감시 및 발생기(290)의 블록 구성도로서, 상향 입력부(280)로부터 오는 12개의 6.48Mb/s AU3 병렬 데이터(d11)를 무신호 검출기(291)에서 각각의 신호별로 감시하고 있다가 신호가 단절되는 상태, 즉 모두 0이 되는 상태가 연속해서 5프레임간 지속될 경우 무신호상태, 즉 미접속 상태로 검출하여 p10 신호로 AU 포인터 발생기(292)와 VC3 신호형성기와 CPU 인터페이스로 전달하며, 연속 5프레임 계속 신호가 감지될 때는 상태를 해제한다. 또 CPU의 제어신호(p11)에 의해서도 미접속상태를 발생한다. VC3 신호형성기(293)에서는 무신호 입력시 VC3 경로오버헤드의 C2 바이트에 상태를 반영하여 VC3 신호(v11)를 형성하여 AU 프레임 형성기(294)로 보내며 이때 사용된 VC3 프레임의 첫번째 바이트의 위치를 가리켜주는 프레임 옴셋(f11)을 AU 포인터 발생기(292)로 보내준다. AU 포인터 발생기(292)에서는 시스템 타이밍(t11)을 기준으로 하여 VC3 신호형성기(293)로부터 받은 VC 프레임 옴셋을 가지고 AU 포인터(u11)를 발생시키며 이를 AU 프레임 형성기(294)로 보낸다. AU 프레임 형성기(294)에서는 AU 포인터(u11)와 VC3 신호(v11)를 다중화하여 AU 신호 프레임(d12)를 형성하여 신호선택기(270)로 보낸다.

제1도에도 AU 스위치(300)는 AU 감시기(200)에서 오는 7신호로부터 AU 신호를 분리하여 CPU의 제어를 받아 AU 단위의 스위칭을 수행하여 입력신호와 동일한 형태로 출력신호(10)를 내보내며, 스위칭 접속이 없는 신호 경로(즉 스위칭접속이 해제된 AU 신호)에 대해서는 0의 값을 출력에 실어 보낸다. 이는 스위치접속이 해제되는 상태를 신속하게 AU 감시기에서 판단하도록 한다.

상술한 바와 같이 본 신호감시기능이 강화된 동기식 디지털 회선분배 장치는 AU 신호 감시기를 동기식 신호전송부와 AU스위치간에 배치하여 신호의 속도변환, AU3 또는 AU4 포인터처리, VC3 또는 VC4 경로 및 신호접속 상태 감시, 미접속상태 신호발생 등의 기능을 수행하여 다양한 신호속도 및 형태(77.76Mb/s 병렬, 51.84Mb/s 직렬, 19.44Mb/s 병렬)에 유연하게 적용할 수 있으며, ITU-T권고 G.783을 만족시키는 AU 포인터 처리를 통한 비동기된 AU 신호의 수용 및 지터/원더의 흡수, STM-N에 포함된 각각의 AU 신호프레임을 동일한 시스템 기준 타이밍에 프레임 위상을 재정렬시켜 AU 단위의 스위칭을 원활히 할 수 있도록 하고, 스위치에 미접속되는 신호 경로(채널 자원)를 감시/관리하여 여유 채널로 활용할 수 있도록 해주는 효과가 있다.

(57) 청구의 범위

청구항 1

STM-N 광신호를 수신하여 광/전 변환하고 데이터 복구 및 클럭추출을 하는 STM-N 신호 수신부(110)와 상기 신호 수신부(110)에 연결되어 STM-N 내의 구간 오버헤드(SOH)를 처리하여 N개의 AUG(AU4) 또는 3xN개

의 AU3 신호를 추출하여 출력하는 역다중부(120)와 77.76Mb/s 8비트 병렬신호 또는 12개의 51.84Mb/s 직렬신호, 또는 4개의 19.44Mb/s 8비트 병렬신호를 입력하여 SOH를 삽입하여 STM-N 신호형태로 다중화하는 다중화부(140)와 STM-N 전기적 신호를 광신호로 변환하여 광케이블로 전송하는 STM-N 신호 송신부(130)를 구비하는 동기식 신호 접속수단(100); 상기 동기식 신호접속수단(100)에 연결되어 AU3 또는 AU4에 대한 프레임 위상을 재정렬하며 VC3 경로 감시와 미장착 신호상태 검출과 스위칭이 해제된 신호에 대한 신호 미장착 상태 발생 및 AU 프레임 형성을 수행하는 AU 프레임 위상정렬 및 신호감시수단(200); 상기 AU 프레임 위상 정렬 및 신호감시수단(200)에 연결되어 AU3단위 또는 AU4단위의 크로스커넥트스위칭을 수행하는 AU 스위칭 수단(300)을 구비하는 것을 특징으로 하는 동기식 디지털 회선분배장치.

청구항 2

상기 제1항에 있어서, 상기 AU 프레임 위상 정렬 및 신호감시수단(200)은, 1개의 STM-4로 다중화된 77.76Mb/s 8비트 병렬신호 또는 12개의 51.84Mb/s 직렬신호, 또는 4개의 19.44Mb/s 8비트 병렬신호를 입력하여 12개의 AU3 신호를 모드제어신호에 의해 12개의 6.48Mb/s 병렬데이터로 역다중 분리하는 하향 신호입력부(210); 상기하향 신호입력부(210)에서 분리된 6.48Mb/s AU 신호로부터 AU 포인터를 추출 처리하여 모든 AU 신호에 대해 동일한 기준 타이밍을 적용하여 프레임 재정렬을 수행하는 AU 프레임 정렬기(220); 상기 하향 신호입력부(210)로부터의 VC3 신호에 대한 경로 오버헤드를 추출 처리하고 C2 바이트로부터 미장착신호 상태를 검출하는 신호경로감시기(240); 상기 AU 프레임 정렬기(220)로부터 오는 12개 AU 데이터를 받아 77.76Mbs 8비트 병렬신호 또는 12개의 51.84Mb/s 직렬신호, 또는 4개의 19.44Mb/s 8비트 병렬신호로 다중 변환하여 외부의 모드제어신호에 따라 출력하는 하향 신호출력부(230); 역방향으로 상기 AU 스위칭수단(300)으로부터 오는 77.76Mbs 8비트 병렬신호 또는 12개의 51.84Mb/s 직렬신호, 또는 4개의 19.44Mb/s 8비트 병렬신호를 입력하여 12개의 6.48Mb/s 병렬 데이터로 역다중 분리하는 상향 신호입력부(280); 상기 AU 스위칭수단(300)으로부터 오는 신호경로를 감시하여 미점유(미접속)된 신호채널을 검출하여 상태를 보고하고 또 자체적으로 AU 프레임을 형성하는 미점속신호 감시 및 발생기(290); 상기 상향 신호 입력부(280)와 미점속신호감시 및 발생기(290)로부터 오는 AU 데이터를 CPU의 제어에 의해 또는 미장착신호 검출시 자동적으로 미점속 신호감시 및 발생기(290)로부터 오는 자체 형성된 AU 신호를 선택하는 선택기(270); 상기 선택기(270)로부터 오는 12개의 AU 데이터를 받아 77.76Mbs 8비트 병렬신호 또는 12개의 51.84Mb/s 직렬신호, 또는 4개의 19.44Mb/s 8비트 병렬신호로 다중 변환하여 CPU 또는 외부의 모드제어신호에 따라 출력하는 상향 신호출력부(260); 및 상기 하향입출력부(210,230), 신호경로 감시기(240), 상향입출력부(280,260), 선택기(270)에 연결되어 외부의 CPU와 인터페이스를 담당하는 CPU 인터페이스(250)를 구비하고 있는 것을 특징으로 하는 동기식 디지털 회선분배장치.

청구항 3

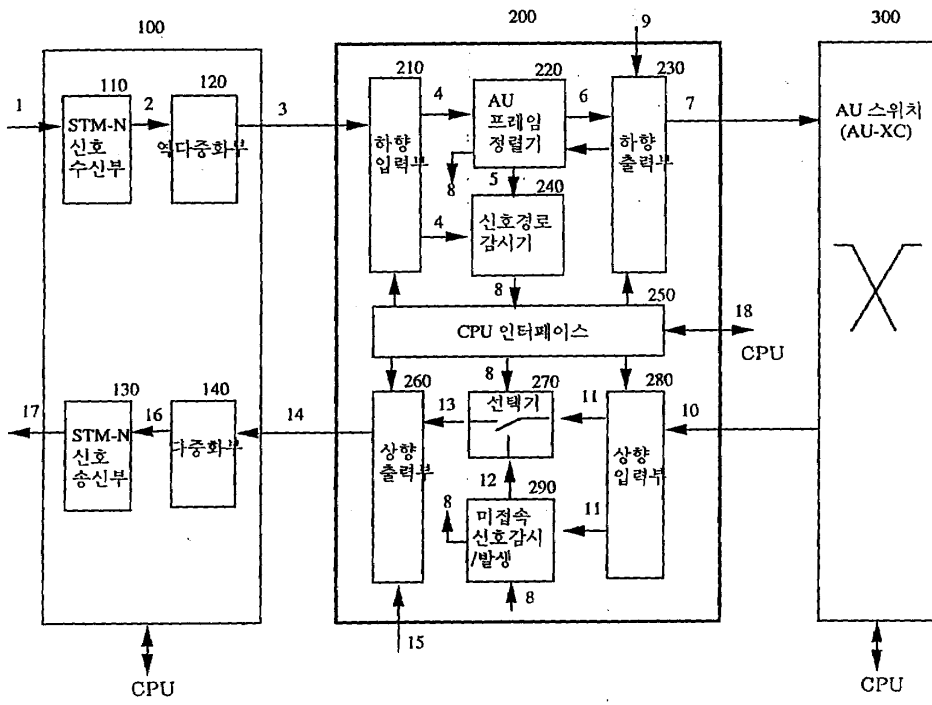
제2항에 있어서, 상기 미점속 신호감시 및 발생기(290)는, 입력되는 AU3 신호를 감시하여 신호가 없을시 이를 검출하여 미점속 상태를 발하고 또 신호가 있을시 이를 검출하여 접속상태를 발하는 무신호 검출기(291); 상기 무신호검출기(291)에서 무신호가 검출될 때 상기 VC3 신호 형성기로부터 해당 VC3 프레임 옵셋을 받아 AU 포인터를 발생시키는 AU 포인터 발생기(292); 해당 신호 경로에 대해 무신호 검출기(291)로부터 미점유신호를 받아 VC3 신호를 형성하고 미점속상태를 C2 바이트에 실어 보내는 VC3 신호 형성기(293); 상기 VC3 신호형성기(293)로부터 오는 VC3 신호와 상기 AU 포인터 발생기(292)로부터 오는 AU 포인터 워드를 다중하여 AU 프레임을 형성하는 AU 프레임 형성기(294)를 구비한 것을 특징으로 하는 동기식 디지털 회선분배장치.

청구항 4

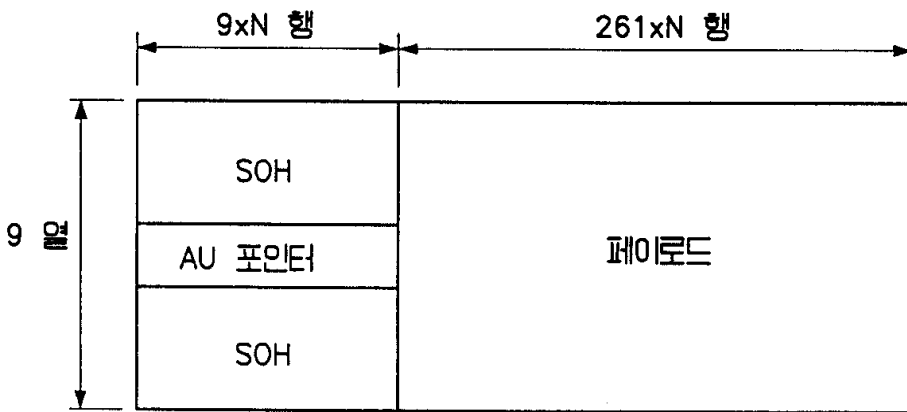
제1항에 있어서, 상기 AU 스위칭수단(300)은, 입력신호로부터 AU 신호를 분리하여 CPU의 제어를 받아 AU 단위의 스위칭을 수행하여 입력신호와 동일한 형태로 출력신호를 내보내며, 스위칭 접속이 없는 신호 경로에 대해서는 0의 값을 출력에 실어 보내는 것을 특징으로 하는 동기식 디지털 회선분배장치.

도면

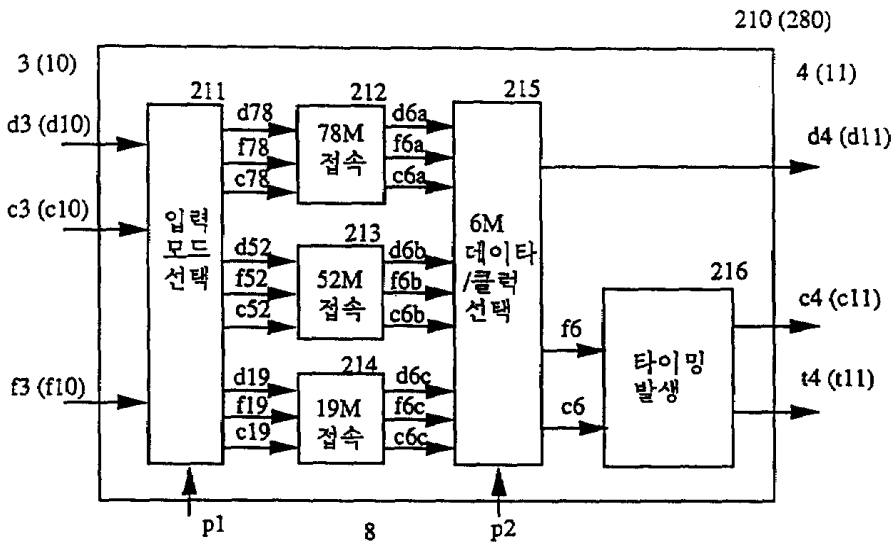
도면1



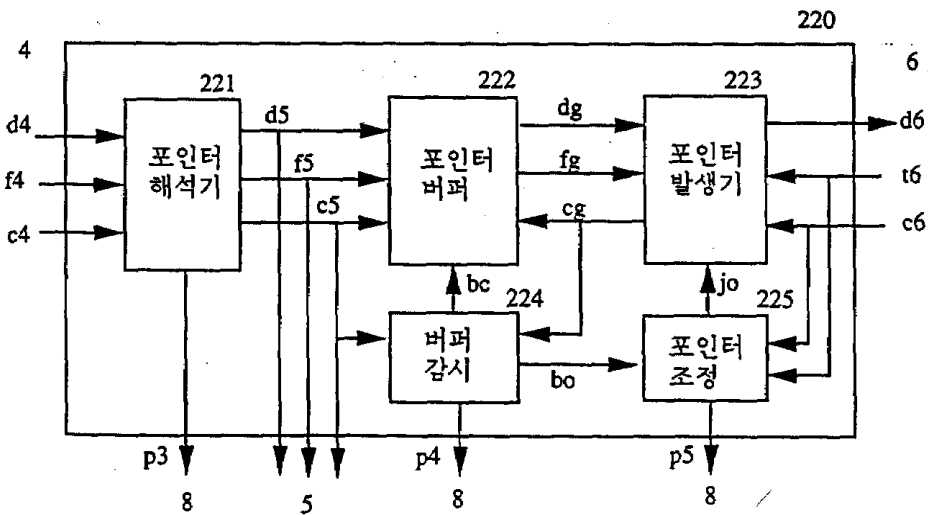
도면2



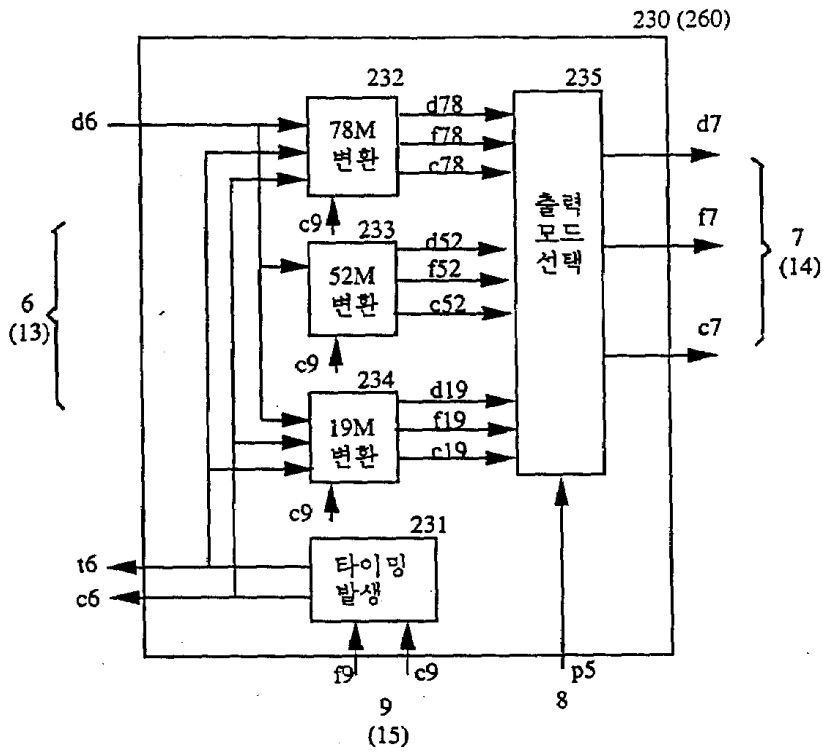
도면3



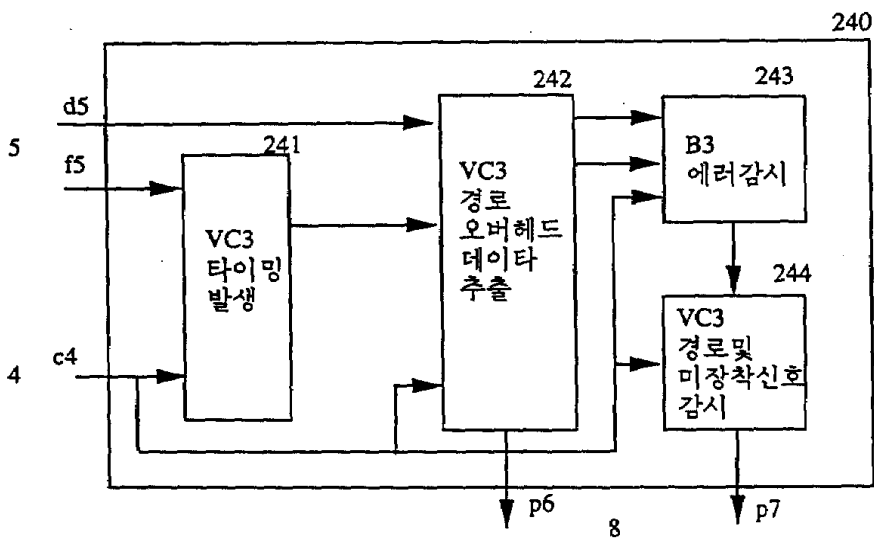
도면4



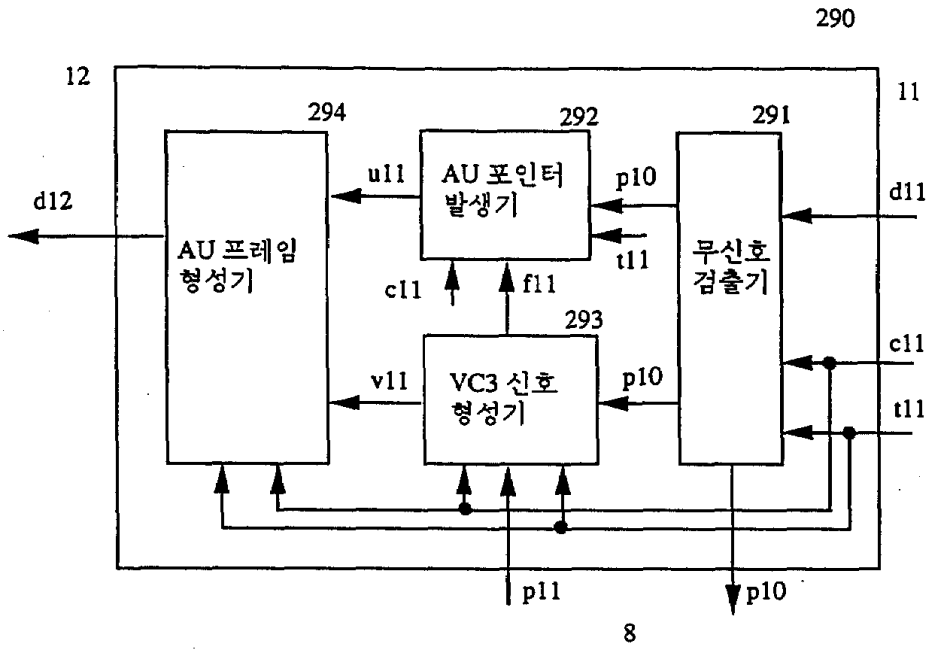
도면5



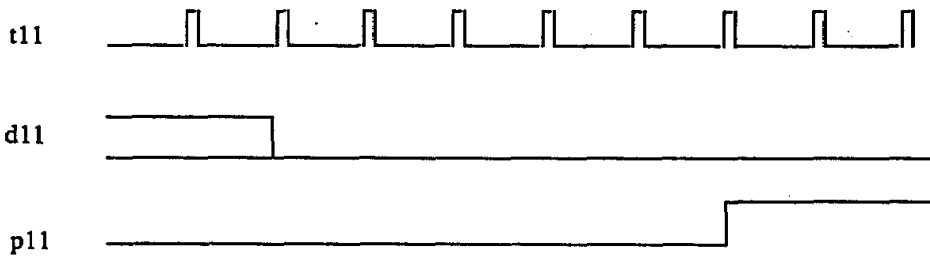
도면6



도면7a

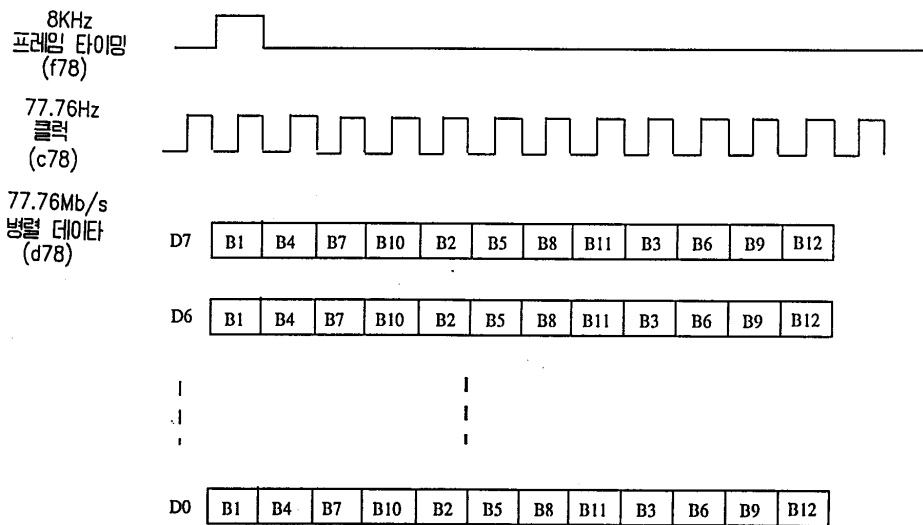


도면7b



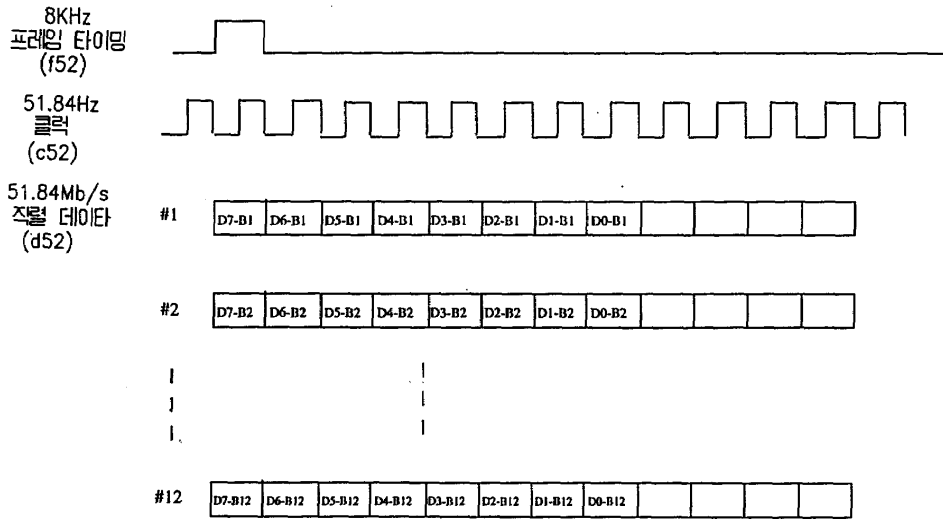
도면8a

(a) 77.76Mb/s 병렬 모드



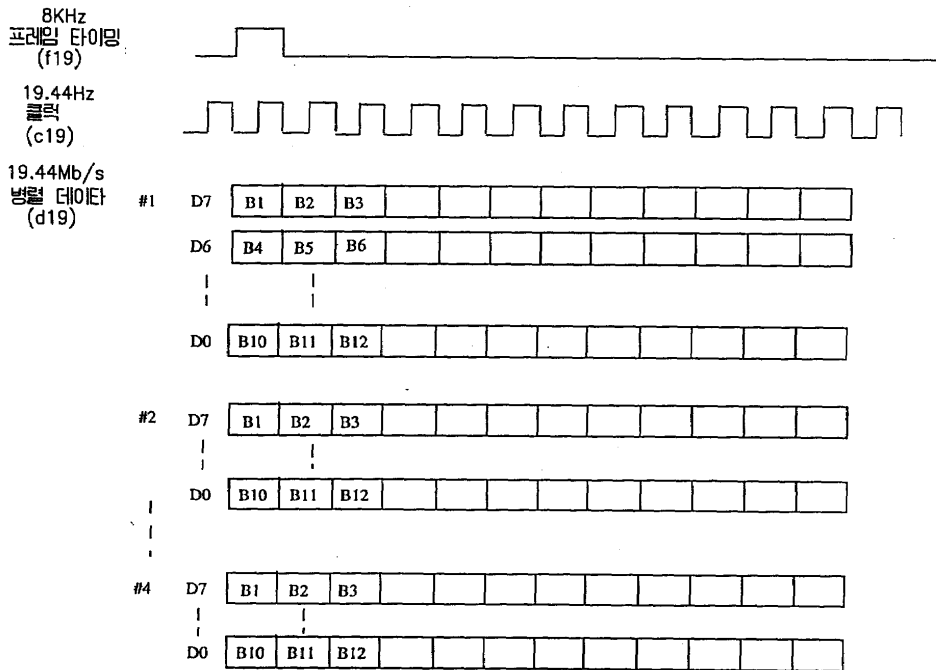
도면8b

(b) 51.84Mb/s 직렬 모드



도면8c

(c) 19.44Mb/s 병렬 모드



도면8d

(d) 6.48Mb/s 병렬

8KHz
프레임 타이밍
(f6)

6.48Hz
클럭
(c6)

6.48Mb/s
병렬 데이터
(d6)

