

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6184507号
(P6184507)

(45) 発行日 平成29年8月23日(2017.8.23)

(24) 登録日 平成29年8月4日(2017.8.4)

(51) Int.Cl. F I
HO2M 7/48 (2007.01) HO2M 7/48 Z

請求項の数 7 (全 15 頁)

(21) 出願番号	特願2015-541538 (P2015-541538)	(73) 特許権者	509186579 日立オートモティブシステムズ株式会社 茨城県ひたちなか市高場2520番地
(86) (22) 出願日	平成26年10月1日(2014.10.1)	(74) 代理人	110002365 特許業務法人サンネクスト国際特許事務所
(86) 国際出願番号	PCT/JP2014/076242	(74) 代理人	100084412 弁理士 永井 冬紀
(87) 国際公開番号	W02015/053142	(72) 発明者	加藤 剛 日本国茨城県ひたちなか市高場2520番地 日立オートモティブシステムズ株式会社 社内
(87) 国際公開日	平成27年4月16日(2015.4.16)	(72) 発明者	辻 雅薫 日本国茨城県ひたちなか市高場2520番地 日立オートモティブシステムズ株式会社 社内
審査請求日	平成28年4月6日(2016.4.6)		
(31) 優先権主張番号	特願2013-211800 (P2013-211800)		
(32) 優先日	平成25年10月9日(2013.10.9)		
(33) 優先権主張国	日本国(JP)		

最終頁に続く

(54) 【発明の名称】 ドライバ基板および電力変換装置

(57) 【特許請求の範囲】

【請求項1】

電力変換装置のスイッチング素子を駆動するドライバ回路が実装されたドライバ基板であって、

平板状の絶縁基板と、

入力される一次側電圧を、前記スイッチング素子を駆動するための二次側電圧に変換するトランスと、

前記トランスに入力される電流を制御する電源制御ICと、

前記絶縁基板の一方の面の第1回路領域、および、前記絶縁基板の他方の面に設けられて該絶縁基板を挟んで前記第1回路領域と対向する第2回路領域のそれぞれに実装され、前記一次側電圧を電源とする一次側回路と、

前記一方の面において第1絶縁領域を介して前記第1回路領域と隣接する第3回路領域、および前記他方の面において第2絶縁領域を介して前記第2回路領域と隣接する第4回路領域のそれぞれに実装され、前記ドライバ回路を含み前記二次側電圧を電源とする二次側回路と、

前記絶縁基板を貫通し、前記第1回路領域の前記一次側回路と前記第2回路領域の前記一次側回路とを電氣的に接続する第1スルーホールと、

前記絶縁基板を貫通し、前記第3回路領域の前記二次側回路と前記第4回路領域の前記二次側回路とを電氣的に接続する第2スルーホールと、を備え、

前記トランスは、前記第1絶縁領域を跨ぐように、一次側端子が前記第1回路領域に設

けられた前記一次側回路に接続されると共に、二次側端子が前記第3回路領域に設けられた前記二次側回路に接続され、

前記電源制御ICは、前記第2絶縁領域を跨ぐように、一次側端子が前記第2回路領域に設けられた前記一次側回路に接続されると共に、二次側端子が前記第4回路領域に設けられた前記二次側回路に接続され、

前記第1絶縁領域および前記第2絶縁領域は、前記第1回路領域と前記第4回路領域とが前記絶縁基板を挟んで対向せず、かつ、前記第2回路領域と前記第3回路領域とが前記絶縁基板を挟んで対向しないように、少なくとも一部が前記絶縁基板を挟んで互いに対向するように形成されている、ドライバ基板。

【請求項2】

請求項1に記載のドライバ基板において、

前記第1絶縁領域は前記第1回路領域と前記第3回路領域との間に第1の幅で設けられ、

前記第2絶縁領域は前記第2回路領域と前記第4回路領域との間に第2の幅で設けられ、

前記第1絶縁領域および前記第2絶縁領域は、前記第1絶縁領域の幅方向中央位置と前記第2絶縁領域の幅方向中央位置とが前記絶縁基板を挟んで対向するように配置されている、ドライバ基板。

【請求項3】

請求項1または2に記載のドライバ基板において、

前記一方の面に設けられた第1回路領域と前記他方の面に設けられた第2回路領域とは、互いの一部が前記絶縁基板を挟んで対向するように配置され、

前記一方の面に設けられた第3回路領域と前記他方の面に設けられた第4回路領域とは、互いの一部が前記絶縁基板を挟んで対向するように配置されているドライバ基板。

【請求項4】

請求項1または2に記載のドライバ基板において、

前記スイッチング素子、前記ドライバ回路、前記トランス、前記電源制御ICおよび前記二次側回路は、前記電力変換装置のU相、V相およびW相の各々の上アームおよび下アームに対応してそれぞれ複数設けられ、

前記複数の二次側回路に対応して、前記第3回路領域および前記第4回路領域はそれぞれ分離して複数設けられ、

前記トランスの各々は、対応する前記第3回路領域と前記第1回路領域との間に設けられた前記第1絶縁領域を跨ぐように、一次側端子が前記第1回路領域に設けられた前記一次側回路に接続されると共に、二次側端子が前記対応する第3回路領域に設けられた前記二次側回路に接続され、

前記電源制御ICの各々は、対応する前記第4回路領域と前記第2回路領域との間に設けられた前記第2絶縁領域を跨ぐように、一次側端子が前記第2回路領域に設けられた前記一次側回路に接続されると共に、二次側端子が前記対応する第4回路領域に設けられた前記二次側回路に接続され、

前記トランスが跨いでいる前記第1絶縁領域と、該トランスに対応して設けられた前記電源制御ICが跨いでいる前記第2絶縁領域とは、前記絶縁基板を挟んで対向している、ドライバ基板。

【請求項5】

請求項4に記載のドライバ基板において、

前記第1および第2回路領域は、前記絶縁基板の周辺部に設定された周辺領域に設けられ、

前記複数の第3および第4回路領域は、前記周辺領域よりも絶縁基板中央側に設定された中央領域に設けられている、ドライバ基板。

【請求項6】

請求項4に記載のドライバ基板において、

10

20

30

40

50

前記複数の第3および第4回路領域は、前記絶縁基板の周辺部に設定された周辺領域に設けられ、

前記第1および第2回路領域は、前記周辺領域よりも絶縁基板中央側に設定された中央領域に設けられている、ドライバ基板。

【請求項7】

請求項4乃至6のいずれか一項に記載のドライバ基板と、

U相、V相およびW相の各々の上アームおよび下アームを構成する複数のスイッチング素子を有する電力変換回路と、

前記ドライバ基板に実装されて、前記複数のスイッチング素子を駆動する前記ドライバ回路にスイッチング駆動制御指令を出力する制御回路と、を備える電力変換装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、スイッチング素子を駆動するドライバ回路が実装されるドライバ基板、およびそのドライバ基板を備える電力変換装置に関する。

【背景技術】

【0002】

三相インバータ装置においては、相毎に上アーム用半導体スイッチング素子および下アーム用半導体スイッチング素子を有し、半導体スイッチング素子を駆動するためのドライバ回路を半導体スイッチング素子毎に備えている（例えば、特許文献1参照）。各ドライバ回路には、多出力型のトランスから制御電力が給電される。これらのドライバ回路やトランスを絶縁基板上に実装することにより、ドライバ基板が構成される。

20

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2008-118815号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

ところで、ドライバ回路には半導体スイッチング素子の制御端子が接続されるため、半導体スイッチング素子のスイッチング毎にドライバ回路の電圧は変化する。そのため、ドライバ回路に制御指令を出力する制御回路とドライバ回路との間の信号ラインには、電氣的絶縁を取るためにフォトカプラ等が用いられている。このように、ドライバ基板においては異なる電位の回路部品が混在し、それらの部品間には、絶縁耐圧性能を考慮した絶縁領域が設けられるので、ドライバ基板が大きくなる傾向があった。ドライバ基板が大きくなるとインバータ装置の大型化を招くため、絶縁耐圧性能を確保しつつドライバ基板の小型化を図ることが要求されている。

30

【課題を解決するための手段】

【0005】

請求項1の発明は、電力変換装置のスイッチング素子を駆動するドライバ回路が実装されたドライバ基板であって、平板状の絶縁基板と、入力される一次側電圧を、スイッチング素子を駆動するための二次側電圧に変換するトランスと、トランスに入力される電流を制御する電源制御ICと、絶縁基板の一方の面の第1回路領域、および、絶縁基板の他方の面に設けられて該絶縁基板を挟んで第1回路領域と対向する第2回路領域のそれぞれに実装され、一次側電圧を電源とする一次側回路と、前記一方の面において第1絶縁領域を介して第1回路領域と隣接する第3回路領域、および前記他方の面において第2絶縁領域を介して前記第2回路領域と隣接する第4回路領域のそれぞれに実装され、ドライバ回路を含み二次側電圧を電源とする二次側回路と、絶縁基板を貫通し、第1回路領域の一次側回路と第2回路領域の前記一次側回路とを電氣的に接続する第1スルーホールと、絶縁基

40

50

板を貫通し、第3回路領域の二次側回路と第4回路領域の二次側回路とを電氣的に接続する第2スルーホールと、を備え、トランスは、第1絶縁領域を跨ぐように、一次側端子が第1回路領域に設けられた一次側回路に接続されると共に、二次側端子が第3回路領域に設けられた二次側回路に接続され、電源制御ICは、第2絶縁領域を跨ぐように、一次側端子が第2回路領域に設けられた前記一次側回路に接続されると共に、二次側端子が前記第4回路領域に設けられた前記二次側回路に接続され、第1絶縁領域および第2絶縁領域は、第1回路領域と第4回路領域とが絶縁基板を挟んで対向せず、かつ、第2回路領域と第3回路領域とが絶縁基板を挟んで対向しないように、少なくとも一部が絶縁基板を挟んで互いに対向するように形成されている。

【発明の効果】

10

【0006】

本発明によれば、絶縁耐圧性能を確保しつつドライバ基板の小型化を図ることができる。

【図面の簡単な説明】

【0007】

【図1】図1は、インバータ装置の全体構成を示す分解斜視図である。

【図2】図2は、インバータ装置の回路構成を示す図である。

【図3】図3は、パワーモジュールを説明する図である。

【図4】図4は、ドライバ基板101の構成を示す回路ブロック図である。

【図5】図5は、ドライバ基板101のトランス114、一次側回路112および二次側回路113が設けられている部分の平面図である。

20

【図6】図6は図5のA-B断面図である。

【図7】図7は図5のC-D断面図である。

【図8】図8は、絶縁領域120aの中央と絶縁領域120bの中央とが対向しない場合の例を示す図である。

【図9】図9は、他の配置例を示す平面図である。

【図10】図10は図9のG-H断面図である。

【図11】図11は比較例を示す図である。

【図12】図12は、一次側回路および複数の二次側回路の配置例を示す図である。

【図13】図13は、一次側回路および複数の二次側回路の他の配置例を示す図である。

30

【図14】図14は、一次側回路および複数の二次側回路の他の配置例を示す図である。

【発明を実施するための形態】

【0008】

以下、図を参照して本発明を実施するための形態について説明する。図1は、電力変換装置の一例を示す図であり、回転電機を駆動するインバータ装置の全体構成を示す分解斜視図である。インバータ装置10は、U相、V相、W相の三相に対応した3つの半導体モジュール701a、701b、701c、平滑用のキャパシタ601、バスバーモジュール400、ドライバ基板101、冷却ケース801等を備えている。なお、冷却ケース801には、装置の側面および上面を覆う筐体に取り付けられるが、図1では図示を省略した。

40

【0009】

各半導体モジュール701a、701b、701cは、後述するように直列接続された一对の半導体スイッチング素子を備えており、モジュールケースの上方に突出するように正極および負極入力端子、出力端子、複数の制御端子がそれぞれ設けられている。また、キャパシタ601の上面にも、正極端子および負極端子が複数設けられている。

【0010】

バスバーモジュール400は、正極入力バスバー301a、正極入力バスバー301b、U相出力バスバー501a、V相出力バスバー501b、W相出力バスバー501c、および、それらを保持する絶縁構造体401を備えている。各半導体モジュール701a、701b、701cの正極入力端子は正極入力バスバー301aに接続され、負極入力

50

端子は負極入力バスバー 301b に接続される。半導体モジュール 701a の出力端子は、U 相出力バスバー 501a に接続される。半導体モジュール 701b の出力端子は、V 相出力バスバー 501b に接続される。半導体モジュール 701c の出力端子は、W 相出力バスバー 501c に接続される。絶縁構造体 401 は、バスバー 301a, 301b, 501a ~ 501c を保持する機能と、それらの間の絶縁を保つ機能とを担っている。

【0011】

ドライバ基板 101 には、表裏両面に電子部品が実装されている。ドライバ基板 101 の図示右側には、制御回路を構成する素子が実装されている。一方、ドライバ基板 101 の図示左側には、半導体モジュール 701a, 701b, 701c に設けられた半導体スイッチング素子を駆動するためのドライバ回路を構成する素子が実装されている。トランス 114 の一方の側にはドライバ回路を含む二次側回路素子 122 が実装され、トランス 114 の他方の側には一次側回路素子 123 が実装されている。ドライバ基板 101 は、絶縁構造体 401 に取り付けられる基板固定構造体 201 に保持されている。

10

【0012】

なお、図 1 に示す例では、ドライバ回路側の素子と制御回路側の素子とが同一の基板（ドライバ基板 101）に実装されているが、それぞれを個別の基板に実装する構成であっても、本発明は適用できる。本実施の形態は、トランス 114 およびその電源制御 IC（後述する）と一次側回路 112 および二次側回路 113 の配置に特徴を有している。

【0013】

図 2 は、インバータ装置 10 の回路構成を示す図である。各半導体モジュール 701a, 701b, 701c に設けられた半導体スイッチング素子 116a, 116b は上下アーム直列回路を構成している。各上下アーム直列回路を正極入力バスバー 301a と負極入力バスバー 301b との間に並列接続することにより、3 相ブリッジ回路のインバータ回路 141 が構成される。各半導体スイッチング素子 116a, 116b には、環流用のダイオード D1, D2 が設けられている。

20

【0014】

U 相出力バスバー 510a は、U 相用半導体モジュール 701a の上下アーム直列回路の midpoint に接続される。V 相出力バスバー 510b は、V 相用半導体モジュール 701b の上下アーム直列回路の midpoint に接続される。W 相出力バスバー 510c は、W 相用半導体モジュール 701c の上下アーム直列回路の midpoint に接続される。各出力バスバー 510a ~ 510c を流れる電流は電流センサ 180 により検出され、その検出信号は制御回路 172 に入力される。各出力バスバー 510a ~ 510c は、回転電機 MG の U 相端子、V 相端子および W 相端子にそれぞれ接続される。なお、図 2 に示す例では、3 相の電流値を検出する場合を示したが、2 相分の電流値を検出する構成でも構わない。

30

【0015】

上述した半導体モジュール 701a, 701b, 701c の制御端子には、ゲート制御端子 117a, 117b が含まれている。これらのゲート制御端子 117a, 117b を介して、ドライバ回路 140 から各半導体スイッチング素子 116a, 116b にゲート駆動信号を入力することで、各半導体スイッチング素子 116a, 116b がオンオフ制御される。ドライバ回路 140 は、制御回路 172 からの制御信号に基づいてゲート駆動信号を出力する。

40

【0016】

図 3 は、パワーモジュール 701a ~ 701c の内部構成を示す図である。パワーモジュール 701a ~ 701c は全て同一構成となっている。半導体スイッチング素子 116a, 116b およびダイオード D1, D2 は板状の扁平構造を成し、それらの各電極は表裏面に形成されている。導体板 315 には、上アーム側の半導体スイッチング素子 116a のコレクタ電極と上アーム側のダイオード D1（不図示）のカソード電極が接続される。一方、導体板 320 には、下アーム側の半導体スイッチング素子 116b のコレクタ電極と下アーム側のダイオード D2（不図示）のカソード電極が接続される。

【0017】

50

半導体スイッチング素子116aおよびダイオードD1上には導体板318が配置され、半導体スイッチング素子116aのエミッタ電極とダイオードD1のアノード電極が接続される。半導体スイッチング素子116bおよびダイオードD2上には導体板319が配置され、半導体スイッチング素子116bのエミッタ電極とダイオードD2のアノード電極が接続される。また、導体板320と導体板318は中間電極を介して接続され、上下アーム直列回路が形成される。

【0018】

導体板315には、正極入力端子315Aが接続されている。導体板319には、負極入力端子319Aが接続されている。導体板320には、出力端子320Aが接続されている。また、半導体スイッチング素子116aには、複数の制御端子324Uが接続されている。同様に、半導体スイッチング素子116bには、複数の制御端子324Lが接続されている。

10

【0019】

図2に示したようにインバータ装置には、U、V、W相の3相合わせて6つの半導体スイッチング素子116a、116bが設けられている。そして、ドライバ基板101上には、半導体スイッチング素子116a、116b毎に、トランス114、一次側回路および二次側回路等が設けられている。

【0020】

図4は、ドライバ基板101の構成を示す回路ブロック図である。なお、図4は、上下アーム合わせて6つある半導体スイッチング素子の内の一つ分に関する回路構成を示したものであって、各半導体スイッチング素子に対して同様の回路がそれぞれ設けられている。ここでは、半導体スイッチング素子116a、116bを代表して符号116で表すことにする。また、以下では、1アーム分の半導体スイッチング素子116を駆動するための回路を例に、ドライバ基板101の特徴を説明する。

20

【0021】

ドライバ基板101は、トランス114と、電源制御IC115と、一次側回路112と二次側回路113とを備えている。図4に示す例では、フライバック式の電源回路を構成し、二次側回路に半導体スイッチング素子116が接続される。なお、本発明は、フライバック式に限らず適用できる。

【0022】

トランス114は、互いが絶縁された一次側巻き線と二次側巻き線を有する。一次側巻き線の入力側には一次側入力電圧のプラス電位側が接続され、一次側巻き線の出力側には半導体スイッチT1を経由して一次側入力電圧のグランド電位側Gnd1が接続される。一次側巻き線には、平滑コンデンサC1が並列接続される。一次側巻き線の出力側には、トランス114に印加される一次側入力電圧Vcc1をオンオフ(導通・非導通)するための半導体スイッチT1が接続されている。半導体スイッチT1のオンオフは電源制御IC115により制御され、それによりトランス114に入力される電流が制御される。半導体スイッチT1は、コレクタが一次側巻き線の出力側に接続され、エミッタが一次側入力電圧のグランド電位側Gnd1に接続され、ベースが電源制御IC115に接続される。なお、半導体スイッチT1は電源制御IC115に内蔵される場合もある。

30

40

【0023】

トランス114の二次側巻き線の出力側には整流ダイオードD3が接続され、その整流ダイオードD3のカソードは二次側電圧のプラス電位側Vcc2に接続される。二次側巻き線の入力側は二次側電圧のグランド電位側Gnd2に接続される。二次側巻き線には平滑コンデンサC2が並列接続される。トランス114は、半導体スイッチT1のスイッチ動作とトランス114における相互誘導により、一次側回路112とは絶縁された電圧をトランス114の二次側に出力する。

【0024】

電源制御IC115の内部には、互いに絶縁分離された一次側の半導体回路1151と二次側の半導体回路1152が設けられている。電源制御IC115にはフォトカブラが

50

内蔵されており、それによって一次側と二次側との間で信号伝達が行なわれる。電源制御 IC 115 には、動作用電源として一次側入力電圧が入力される。また、電源制御 IC 115 は、半導体スイッチ T1 のベースにスイッチングを制御するための制御信号を入力する。さらに、電源制御 IC 115 は、二次側の出力電圧を検出するために、二次側電圧のプラス電位側 Vcc2 とグランド電位側 Gnd2 に接続されている。電源制御 IC 115 は、二次側の出力電圧を検出して、出力電圧が目的の電圧になるように半導体スイッチ T1 のスイッチ動作をフィードバック制御している。

【0025】

図4では図示していないが、一次側回路112には、低電圧の電源電圧回路（電位が Vcc1, Gnd1）および PWM 信号生成回路が設けられている。PWM 信号生成回路からの PWM 信号は電源制御 IC 115 を介して二次側に伝達される。図4において PWM_{in} は電源制御 IC 115 に入力される一次側の PWM 信号であり、PWM_{out} は、電源制御 IC 115 から出力される二次側の PWM 信号である。電源制御 IC 115 の内部には、PWM 信号を一次側から二次側に電圧するための回路が設けられている。

10

【0026】

二次側回路113は、トランス114の二次側から出力される電圧電源により動作する回路であって、PWM 信号（PWM_{out}）を受けて半導体スイッチング素子116を駆動するドライバ回路を含む。例えば、一次側電圧は12V程度であるが、二次側電圧は420V程度と一次側に比べて高電圧となる。

【0027】

20

図5は、ドライバ基板101のトランス114、一次側回路112および二次側回路113が設けられている部分の平面図である。また、図6は図5のA-B断面図であり、図7は図5のC-D断面図である。ドライバ基板101は、平板状の絶縁基板111の表裏両面に配置された一次側回路112および二次側回路113と、表面側に配置されたトランス114と、裏面側に配置された電源制御 IC 115（破線で示す）を備えている。

【0028】

一次側回路112には、図4に示した半導体スイッチT1や平滑コンデンサC1等の回路素子が複数設けられ、それらは絶縁基板111に形成された配線パターンにより接続されている。同様に、二次側回路113には、ドライバ回路等の回路素子と、それらを接続する配線パターンが設けられている。

30

【0029】

一次側回路112および二次側回路113は、絶縁基板111の表裏両面に設けられている。符号112aは表面側に設けられた一次側回路の配置領域を、符号112bは裏面側に設けられた一次側回路の配置領域を、符号113aは表面側に設けられた二次側回路の配置領域を、符号113bは裏面側に設けられた二次側回路の配置領域を示している。各配置領域の外側の絶縁基板111の領域は、回路素子や配線パターンは設けられていない絶縁領域を形成している。

【0030】

本実施の形態では、一次側回路112aと称した場合には、符号112aで示した領域に配置される一次側回路を構成する回路素子および配線パターンの全てを表すととも、一次側回路が設けられている領域（図5に示す矩形領域）を表す。

40

【0031】

図5は、絶縁基板111の表面側を示す平面図であって、表面側に設けられた一次側回路112aと二次側回路113aとの間には、絶縁領域120aが設けられている。トランス114は、絶縁領域120aを跨ぐように配置され、一次側端子114aが一次側回路112aの配線パターンに接続され、二次側端子114bが二次側回路113aの配線パターンに接続されている。

【0032】

また、図6, 7に示すように、絶縁基板111の裏面側には、絶縁領域120bを介して一次側回路112bと二次側回路113bとが隣接して配置されている。なお、図6で

50

は、一次側回路 1 1 2 a , 1 1 2 b および二次側回路 1 1 3 a , 1 1 3 b の例として配線パターンが図示されている。表面側の一次側回路 1 1 2 a の配線パターンは、スルーホール 1 7 0 a により裏面側の一次側回路 1 1 2 b の配線パターンと接続されている。同様に、表面側の二次側回路 1 1 3 a の配線パターンは、スルーホール 1 7 0 b により裏面側の二次側回路 1 1 3 b の配線パターンと接続されている。スルーホール 1 7 0 a , 1 7 0 b は、絶縁基板 1 1 1 を貫通する導電性のスルーホール配線であって、表面側の配線パターンと裏面側の配線パターンとを電氣的に接続するために複数配置されている。

【 0 0 3 3 】

裏面側に設けられた電源制御 IC 1 1 5 は、絶縁領域 1 2 0 b を跨ぐように配置され、一次側端子 1 1 5 a が一次側回路 1 1 2 b の配線パターンに接続され、二次側端子 1 1 5 b が二次側回路 1 1 3 b の配線パターンに接続されている。半導体スイッチング素子 1 1 6 は、ドライバ基板 1 0 1 に対して裏面側に配置される(図 4 参照)。半導体スイッチング素子 1 1 6 の制御端子 3 2 4 は、絶縁基板 1 1 1 を裏面側から表面側に貫通し、表面側に設けられた二次側回路 1 1 3 a の配線パターンに接続される。

【 0 0 3 4 】

上述のように、二次側回路 1 1 3 には、半導体スイッチング素子 1 1 6 の制御端子 3 2 4 が接続される。一般に、V_{cc1}は C D 1 2 V、V_{cc2}は D C 1 5 V に設定されるが、互いが絶縁された V_{cc1}と V_{cc2}との間の電位差は、半導体スイッチング素子 1 1 6 の電源電圧(4 2 0 V)または、それ以上になる。そのため、一次側回路 1 1 2 a と二次側回路 1 1 3 a との間の絶縁距離、すなわち絶縁領域 1 2 0 a の幅 W は、電位差に応じた所定の絶縁耐圧性能を満たすように設定される。裏面側の一次側回路 1 1 2 b と二次側回路 1 1 3 b に関しても同様である。ここでは、一次側回路 1 1 2 b と二次側回路 1 1 3 b との電位差は一次側回路 1 1 2 a と二次側回路 1 1 3 a との電位差と同じなので、絶縁領域 1 2 0 b の幅は絶縁領域 1 2 0 a の幅 W と同一に設定されている。そして、絶縁領域 1 2 0 a を跨ぐようにトランス 1 1 4 が配置され、絶縁領域 1 2 0 b を跨ぐように電源制御 IC 1 1 5 が配置される。

【 0 0 3 5 】

このように、本実施の形態では、絶縁領域を跨ぐようにして、表面側にトランス 1 1 4 を、裏面側に電源制御 IC 1 1 5 をそれぞれ配置し、また、一次側回路 1 1 2 および二次側回路 1 1 3 を絶縁基板 1 1 1 の表裏両面に分けて配置したことにより、トランス 1 1 4 および、電源制御 IC 1 1 5 から二次側回路に至るまでの配線を最小にできる。そのため、ドライバ基板 1 0 1 の小型化を図ることができる。

【 0 0 3 6 】

その際に、絶縁領域 1 2 0 a および絶縁領域 1 2 0 b は、一次側回路 1 1 2 a と二次側回路 1 1 3 b とが絶縁基板 1 1 1 を挟んで対向せず、かつ、一次側回路 1 1 2 b と二次側回路 1 1 3 a とが絶縁基板 1 1 1 を挟んで対向しないように、少なくとも一部が絶縁基板 1 1 1 を挟んで互いに対向するように形成されている。そのため、絶縁耐圧性能の低下を防止することができる。特に、図 6 に示すように、絶縁領域 1 2 0 a および絶縁領域 1 2 0 b を、絶縁領域 1 2 0 a の幅方向中央位置 F 1 と絶縁領域 1 2 0 b の幅方向中央位置 F 2 とが絶縁基板 1 1 1 を挟んで対向するように配置するのが好ましい。このような配置とすることによって、表裏面の一次側回路と二次側回路とが最も遠ざかった配置とすることができ、絶縁基板 1 1 1 を挟んだ表裏面間の耐電圧性能の向上を図ることができる。

【 0 0 3 7 】

図 8 は、比較例を示す図である。図 8 では、裏面側の一次側回路 1 1 2 b と表面側の二次側回路 1 1 3 b とは、一部(寸法 d 2 で示す部分)が絶縁基板 1 1 1 を挟んで対向している。このような配置とした場合、表面側の二次側回路 1 1 3 a と裏面側の一次側回路 1 1 2 b とが近づくことで、二次側回路 1 1 3 a で発生したノイズ(半導体スイッチング素子 1 1 6 のスイッチングに伴うノイズ)が一次側回路 1 1 2 b に飛び込んできたり、絶縁距離不足により絶縁耐圧性能が低下する。また、図 8 から分かるように、図 6 に示した場合に比べて面積の大きな絶縁基板 1 1 1 が必要となり、装置小型化の妨げとなる。

10

20

30

40

50

【 0 0 3 8 】

図 9、10 は、他の配置例を示す図である。図 9 はドライバ基板 101 の表面側を示す平面図であり、図 10 は図 9 の G - H 断面図である。図 9、10 に示す例では、表面側の一次側回路 112a と裏面側の一次側回路 112b とは、一次側回路 112 および二次側回路 113 の離間方向 (x 方向) に対して直交する方向 (y 方向)、すなわち絶縁領域 120 の幅方向に対して直交する方向に、y だけ位置ずれている。

【 0 0 3 9 】

例えば、部品配置の関係で、トランス 114 と電源制御 IC 155 とを y 方向にずらして配置した場合、一次側回路 112a、112b および二次側回路 113a、113b の配置は、図 9 に示すような配置となる。このように表裏面の一次側回路 112a、120b を y 方向にずらして配置した場合でも、表面側の絶縁領域 120a と裏面側の絶縁領域 120b とが、互いの中央位置が一致するように対向配置されているので、一次側回路 112 と二次側回路 113 との絶縁距離が確保され、絶縁耐圧性能を良好に保つことができる。

【 0 0 4 0 】

図 11 は比較例を示す図であり、一次側回路 112a、112b および二次側回路 113a、113b のそれぞれにおいて、互いに対向する部分が無い場合を示す。このように配置した場合、トランス 114、電源制御 IC 155、一次側回路 112 および二次側回路 113 の全てを絶縁基板の片側の面に配置する構成と比較して、絶縁基板 111 の大きさ (面積) が同等またはより大きくなってしまふ。また、裏面側に回路部品を配置する必要性がなくなる。

【 0 0 4 1 】

一方、図 9 に示すように、絶縁基板 111 の一方の面に設けられた一次側回路 112a と他方の面に設けられた一次側回路 112b とを、互いの一部が絶縁基板 111 を挟んで対向するように配置し、絶縁基板 111 の一方の面に設けられた二次側回路 113a と他方の面に設けられた二次側回路 113b とを、互いの一部が絶縁基板 111 を挟んで対向するように配置することで、一次側回路 112 および二次側回路 113 の全てを絶縁基板 111 の片面に配置する構成に比べて、絶縁基板 111 の面積をより小さくすることができる、ドライバ基板 101 の小型化を図ることができる。

【 0 0 4 2 】

図 12 ~ 14 は、インバータ回路 141 の U 相、V 相及び W 相を構成する上下アームに関する、トランス 114、電源制御 IC 155、一次側回路 112 および二次側回路 113 の配置例を示す図である。図 12 ~ 14 のいずれの場合も、トランス 114 が実装されている絶縁基板表面側からドライバ基板 101 を見た平面図である。

【 0 0 4 3 】

図 12 に示す例では、絶縁基板 111 の中央部に縦長の一次側回路 112a が形成されている。一次側回路 112a の図示左側には、絶縁領域 120a を介して、上から順に U 相上アームの半導体スイッチング素子 116UU に対応する二次側回路 113UU、V 相上アームの半導体スイッチング素子 116VU に対応する二次側回路 113VU、W 相上アームの半導体スイッチング素子 116WU に対応する二次側回路 113WU が配置されている。一方、一次側回路 112a の図示右側には、絶縁領域 120a を介して、上から順に U 相下アームの半導体スイッチング素子 116UL に対応する二次側回路 113UL、V 相下アームの半導体スイッチング素子 116VL に対応する二次側回路 113VL、W 相下アームの半導体スイッチング素子 116WL に対応する二次側回路 113WL が配置されている。

【 0 0 4 4 】

U 相、V 相および W 相の各々の上アームおよび下アームに対応して設けられた 6 つのトランス 114 は、絶縁領域 120a を跨ぐように、一次側回路 112a と各二次側回路 113UU ~ 113WL との間に設けられている。なお、裏面側の一次側回路および 6 つの二次側回路は図示していないが、表面側の一次側回路 112a および二次側回路 113U

10

20

30

40

50

U ~ 1 1 3 W L と同一形状の一次側回路および二次側回路が、絶縁基板 1 1 1 を挟んで対向するように裏面側に配置されている。その結果、図示はしていないが、表面側の絶縁領域 1 2 0 a と同一形状の絶縁領域 1 2 0 b が、絶縁基板 1 1 1 を挟んで対向配置されている。そして、それらの絶縁領域 1 2 0 b を跨ぐように電源制御 IC 1 1 5 が裏面側に設けられている。このように、図 1 2 の配置例では、ドライバ基板 1 0 1 の中央に一次側回路 1 1 2 を配置して、複数の二次側回路 1 1 3 を一次側回路 1 1 2 の周囲へ左右対称に配置する。

【 0 0 4 5 】

図 1 2 に示すように、一方の面に複数の二次側回路を配置する場合、一次側回路 1 1 2 a と二次側回路 1 1 3 U U ~ 1 1 3 W L との間に絶縁耐圧性能を満足する絶縁領域 1 2 0 a を設ける。さらに、半導体スイッチング素子 1 1 6 のスイッチング動作に伴って二次側回路 1 1 3 U U ~ 1 1 3 W L 間にも、それらの電位差に対応した絶縁領域 1 2 0 c を設ける必要がある。一方、一次側回路に関しては、U 相、V 相および W 相の各々の上アームおよび下アームのいずれの場合も同電位であるため、図 1 2 に示すように一つの一次側回路とすることができる。

【 0 0 4 6 】

図 1 2 の配置例では、一次側回路 1 1 2 a を絶縁基板 1 1 1 に設定された中央領域 R 0 に配置し、中央領域 R 0 の図示左側に設けられた周辺領域 R 1 に上アームの二次側回路 1 1 3 U U , 1 1 3 V U , 1 1 3 W U をまとめて配置し、中央領域 R 0 の図示右側に設けられた周辺領域 R 2 に下アームの二次側回路 1 1 3 U L , 1 1 3 V L , 1 1 3 W L をまとめて配置し、絶縁領域を跨ぐようにして、表面側にトランス 1 1 4 を、裏面側に電源制御 IC 1 1 5 をそれぞれ配置することで、絶縁耐電圧特性を確保しつつドライバ基板 1 0 1 の小型化を図ることができる。例えば、二次側回路間に一次側回路の領域が割り込むような配置であった場合、二次側回路間の距離がより大きくなりドライバ基板 1 0 1 が大型化してしまうが、図 1 2 のような配置を採用することで、そのような不都合が生じるのを避けることができる。

【 0 0 4 7 】

図 1 3 は、第 2 の配置例を示す図である。第 2 の配置例では、二次側回路を絶縁基板 1 1 1 の中央領域 R 0 にまとめて配置し、図示上側から順に U 相に関する二次側回路 1 1 3 U U , 1 1 3 U L , V 相に関する二次側回路 1 1 3 V U , 1 1 3 V L 、 W 相に関する二次側回路 1 1 3 W U , 1 1 3 W L を配置した。そして、一次側回路 1 1 2 a は、中央領域 R 0 の図示右側、下側および左側に亘る周辺領域 R 3 に配置されている。

【 0 0 4 8 】

また、図 1 4 に示す第 3 の配置例では、第 2 の配置例とは逆に中央領域 R 0 に一次側回路 1 1 2 a を配置し、その周囲の周辺領域 R 3 に二次側回路 1 1 3 U U ~ 1 1 3 W L を配置した。図 1 3 , 1 4 に示す配置例の場合も、複数の二次側回路 1 1 3 U U ~ 1 1 3 W L を一つの領域にまとめて配置するようにしているので、二次側回路間に一次側回路が割り込むような配置とならず、絶縁耐圧性能を確保しつつドライバ基板 1 0 1 の小型化を図ることができる。

【 0 0 4 9 】

さらに、U 相、V 相および W 相の各々の上アームおよび下アームを構成する複数の半導体スイッチング素子 1 1 6 を有する電力変換回路（インバータ回路 1 4 1 ）と、ドライバ基板 1 0 1 に実装されて、複数の半導体スイッチング素子 1 1 6 を駆動するドライバ回路 1 4 0 にスイッチング駆動制御指令を出力する制御回路 1 7 2 と、を備える電力変換装置において、上述したドライバ基板 1 0 1 の構成を採用することにより、電力変換装置の小型化を図ることができる。

【 0 0 5 0 】

上述した各実施形態はそれぞれ単独に、あるいは組み合わせて用いても良い。それぞれの実施形態での効果を単独あるいは相乗して奏することができるからである。また、本発明の特徴を損なわない限り、本発明は上記実施の形態に何ら限定されるものではない。例

10

20

30

40

50

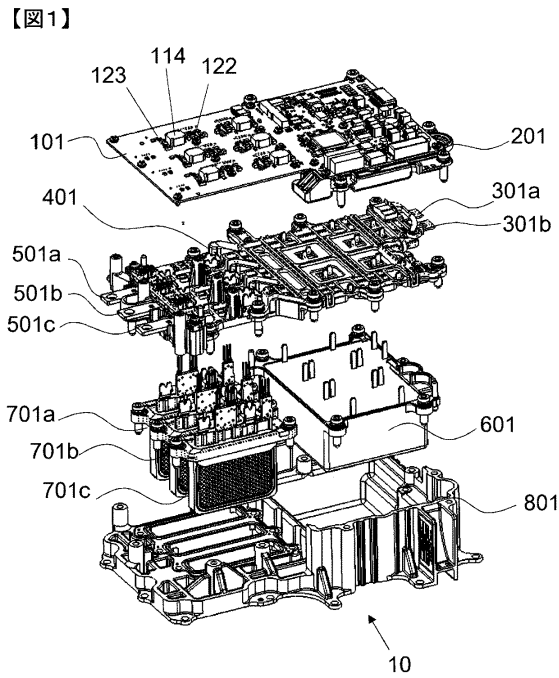
えば、上述した実施の形態ではインバータ装置を例に説明したが、DC-DCコンバータ装置等にも適用することができる。

【符号の説明】

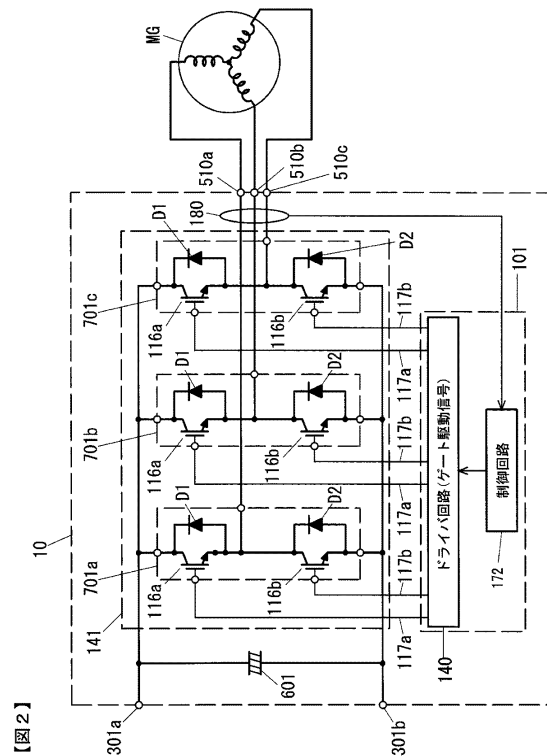
【0051】

10：インバータ装置、101：ドライバ基板、111：絶縁基板、112, 112a, 112b：一次側回路、113, 113a, 113b：二次側回路、114：トランス、115：電源制御IC、116, 116a, 116b, 116UU~116WU, 116UL~116WL：半導体スイッチング素子、140：ドライバ回路、172：制御回路、701a~701c：半導体モジュール

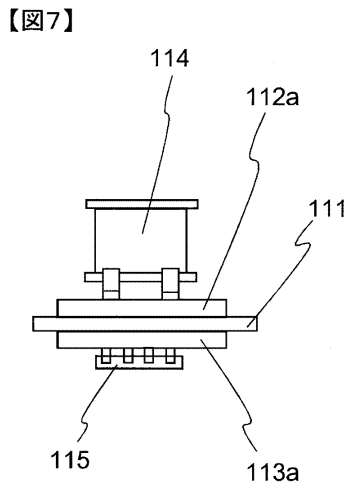
【図1】



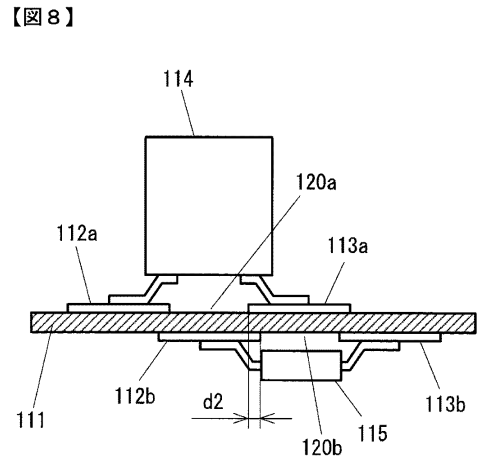
【図2】



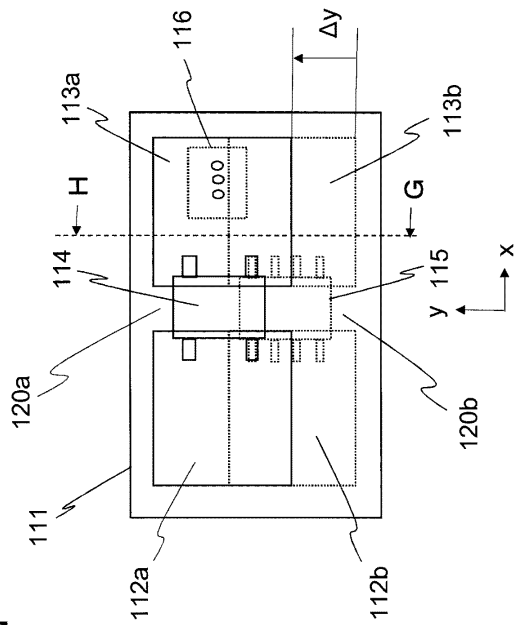
【図7】



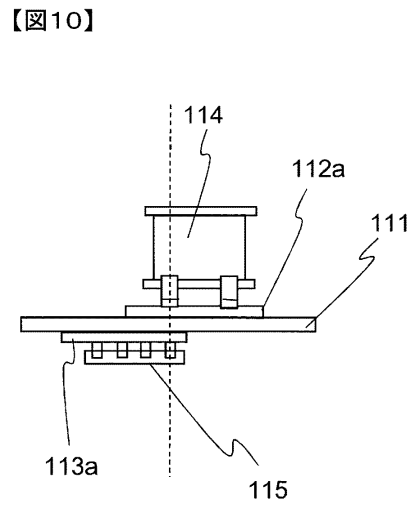
【図8】



【図9】



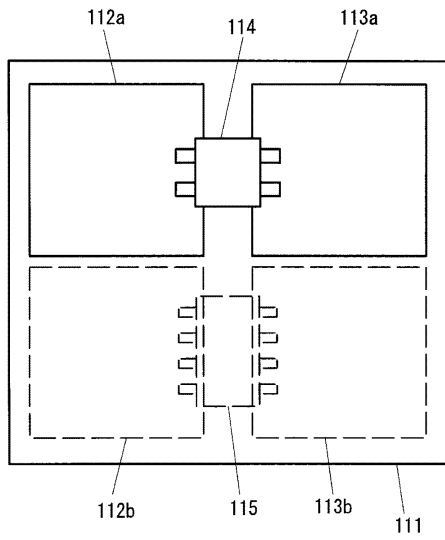
【図10】



【図9】

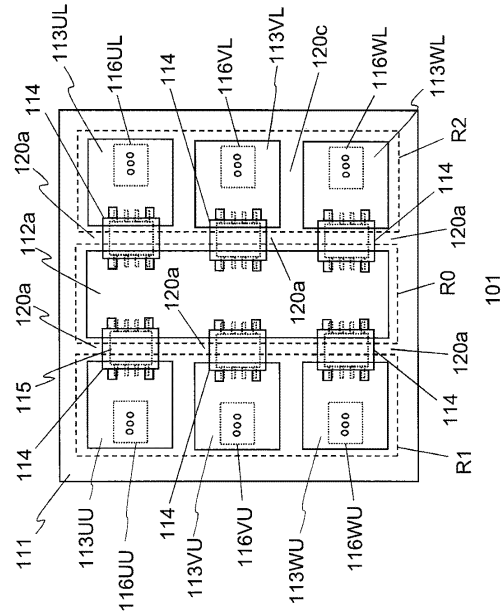
【図11】

【図11】



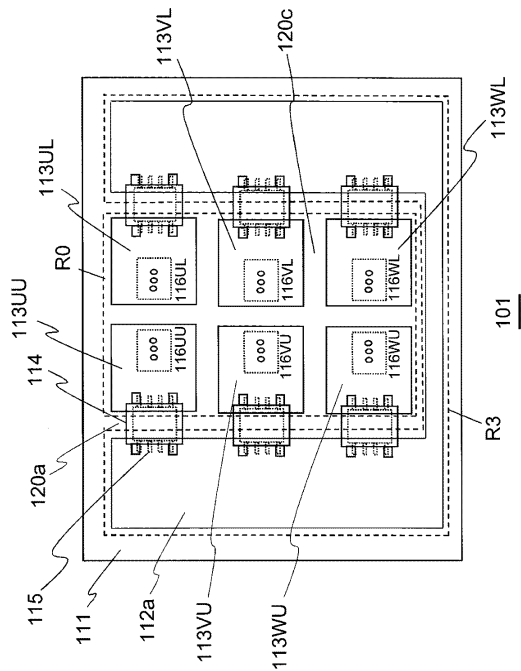
【図12】

【図12】



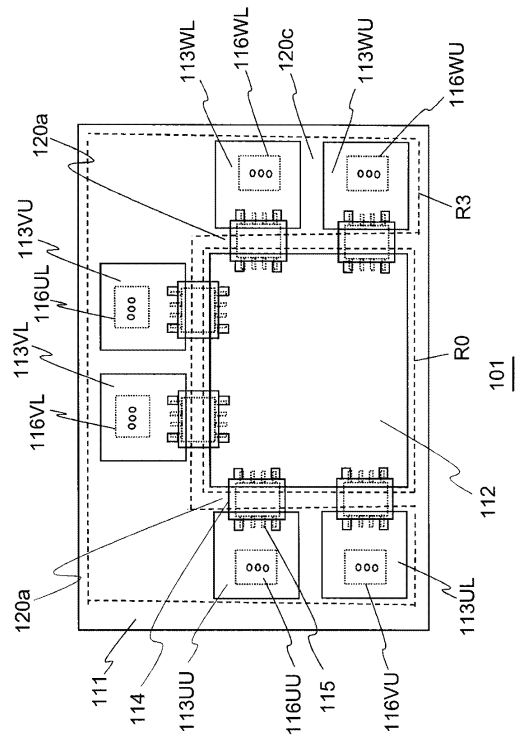
【図13】

【図13】



【図14】

【図14】



フロントページの続き

(72)発明者 平沼 聡

日本国茨城県ひたちなか市高場2520番地 日立オートモティブシステムズ株式会社内

審査官 坂東 博司

(56)参考文献 特開2000-269667(JP,A)

実開昭62-158880(JP,U)

特開2001-250890(JP,A)

特開2013-99211(JP,A)

(58)調査した分野(Int.Cl., DB名)

H02M 7/48