

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5268578号
(P5268578)

(45) 発行日 平成25年8月21日 (2013. 8. 21)

(24) 登録日 平成25年5月17日 (2013. 5. 17)

(51) Int. Cl. F I
H 0 4 J 11/00 (2006.01) H 0 4 J 11/00 Z

請求項の数 7 (全 17 頁)

(21) 出願番号	特願2008-291502 (P2008-291502)	(73) 特許権者	000001007
(22) 出願日	平成20年11月13日 (2008. 11. 13)		キヤノン株式会社
(65) 公開番号	特開2010-118965 (P2010-118965A)		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成22年5月27日 (2010. 5. 27)	(74) 代理人	100076428
審査請求日	平成23年11月2日 (2011. 11. 2)		弁理士 大塚 康德
		(74) 代理人	100112508
			弁理士 高柳 司郎
		(74) 代理人	100115071
			弁理士 大塚 康弘
		(74) 代理人	100116894
			弁理士 木村 秀二
		(74) 代理人	100130409
			弁理士 下山 治
		(74) 代理人	100134175
			弁理士 永川 行光

最終頁に続く

(54) 【発明の名称】 OFDM信号伝送装置及びOFDM信号伝送方法

(57) 【特許請求の範囲】

【請求項1】

送信側装置において、OFDMによる通信開始前は同期用の基準周波数信号を所定の出力期間に渡り連続的に出力する手段と、前記基準周波数信号を前記出力期間に渡り連続的に出力した後、周期的にOFDM信号を送信すると共に当該OFDM信号間に前記基準周波数信号を所定の挿入期間に渡り間欠挿入して出力する手段と、を備え、受信側装置において、前記連続的に出力される基準周波数信号の出力期間を検出する出力期間検出手段と、前記送信されるOFDM信号を受信してOFDM信号のシンボル同期タイミングを生成する手段と、前記生成したシンボル同期タイミングに基づいて、前記間欠挿入して出力される基準周波数信号の挿入期間を推定する挿入期間推定手段と、前記連続的または間欠的に出力される基準周波数信号に対して位相同期処理を行い、OFDM信号の復調処理に係るクロック信号を出力する位相同期処理手段と、を備え、前記位相同期処理手段は、OFDM通信開始前には前記検出された出力期間で連続的に位相同期処理を行い、OFDM通信開始後には前記推定された挿入期間で間欠的に位相同期処理を行うことを特徴とするOFDM信号伝送装置。

【請求項2】

10

20

前記受信側装置において、

前記連続的に出力される基準周波数信号の出力期間における出力開始または出力終了のタイミングを検出する手段と、

前記検出した出力開始または出力終了のタイミングに基づいて、前記間欠挿入して出力される基準周波数信号の挿入期間を推定する第二の挿入期間推定手段と、を更に備え

前記位相同期処理手段は、

OFDM通信開始後であってシンボル同期タイミング生成処理完了前には前記第二の挿入期間推定手段で推定された挿入期間で間欠的に位相同期処理を行い、

OFDM通信開始後であってシンボル同期タイミング生成処理完了後には前記挿入期間推定手段で推定された挿入期間で間欠的に位相同期処理を行うことを特徴とする請求項1に記載のOFDM信号伝送装置。

10

【請求項3】

前記出力期間検出手段に基準周波数信号に係る基準周波数のクロックを0から数えるカウント手段を備え、該カウント手段によるカウント値が所定値を超えた場合に、該超えたカウント値を元に前記連続的に出力される基準周波数信号の出力期間を検出することを特徴とする請求項1または2に記載のOFDM信号伝送装置。

【請求項4】

OFDMによる通信開始前に送信側から連続的に出力される基準周波数信号の出力期間を検出する出力期間検出手段と、

OFDMによる通信開始後に送信側から周期的に送信されるOFDM信号を受信してOFDM信号のシンボル同期タイミングを生成する手段と、

前記生成したシンボル同期タイミングに基づいて、送信側から前記OFDM信号間に間欠挿入して出力される基準周波数信号の挿入期間を推定する挿入期間推定手段と、

前記送信側から連続的または間欠的に出力される基準周波数信号に対して位相同期処理を行い、OFDM信号の復調処理に係るクロック信号を出力する位相同期処理手段と、を備え

前記位相同期処理手段は、OFDM通信開始前には前記検出された出力期間で連続的に位相同期処理を行い、OFDM通信開始後には前記推定された挿入期間で間欠的に位相同期処理を行うことを特徴とするOFDM信号伝送装置。

20

【請求項5】

OFDM信号伝送装置の送信側は、

OFDMによる通信開始前は同期用の基準周波数信号を連続的に出力する工程と、

前記基準周波数信号を連続的に出力した後、周期的にOFDM信号を送信すると共に当該OFDM信号間に前記基準周波数信号を間欠的に出力する工程と、を有し

OFDM信号伝送装置の受信側は、

前記連続的に出力される基準周波数信号の出力期間を検出する出力期間検出工程と、

前記送信されるOFDM信号を受信してOFDM信号のシンボル同期タイミングを生成する工程と、

前記生成したシンボル同期タイミングに基づいて、前記間欠挿入して出力される基準周波数信号の挿入期間を推定する工程と、

OFDM通信開始前には連続的に出力される基準周波数信号に対して、前記検出された出力期間で連続的に位相同期処理を行う工程と、

OFDMによる通信開始後は間欠挿入して出力される基準周波数信号に対して、前記推定された挿入期間で間欠的に位相同期処理を行う工程と、を有することを特徴とするOFDM信号伝送方法。

40

【請求項6】

コンピュータを請求項1乃至4の何れか1項に記載のOFDM信号伝送装置の各手段として機能させるためのプログラム。

【請求項7】

請求項6に記載のプログラムを記録したコンピュータ読み取り可能な記録媒体。

50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、OFDM（直交周波数分割多重）信号伝送方法、特に受信側で搬送波周波数及びFFT／IFFTサンプリング周波数を正確に、かつ、安定的に再生可能なOFDM信号伝送装置及び方法に関する。

【背景技術】

【0002】

OFDM（直交周波数分割多重）変調は、帯域利用効率が高い、マルチパスに強いなどの優れた特性を有しており、近年無線はもとより有線通信でも広く用いられつつある変調方式である。ところで、OFDM変調信号を復調するためには送信側と受信側とで高精度な周波数同期が必要である。

10

【0003】

一般的な周波数信号の再生方法として、フレーム同期信号に基づいて周波数をロックさせる方法や、受信したデータの位相誤差を検出して周波数ずれを補正する方法が知られている。

【0004】

しかしながら、上述の再生方法では、送信側の基準周波数発振器と受信側の基準周波数発振器との発振周波数ずれが大きい場合には、周波数信号を正確に再生することが困難であるという問題があった。

20

【0005】

そこで、OFDM信号間の所定位置に基準周波数信号を間欠的に挿入し、受信側でこの基準周波数信号を抽出してPLLを掛けて基準周波数信号を再生する方法が特許文献1、2に開示されている。

【0006】

特許文献1では、OFDM信号間に挿入された基準周波数信号をBEF（帯域阻止フィルタ）及びゲート回路などで構成された抽出回路で抽出し、その基準周波数信号に対して間欠的に位同期（PLL動作）を掛けることで基準周波数信号を再生している。

【0007】

尚、BPF（帯域通過フィルタ）により基準周波数信号だけを通過させて、その信号をコンパレータでレベル比較するなどして基準周波数信号の存在期間を検出する構成とすることも当然可能である。

30

【0008】

一方、特許文献2では、IF信号から適宜の方法で基準周波数信号を検出し、その信号をデジタル処理でサンプリングして保持し、次の基準周波数信号が検出されるまでの間、保持していたサンプリングデータを繰り返し出力する。そして、連続的な基準周波数信号を生成し、連続的に出力される基準周波数信号に対してPLLを掛けて基準周波数信号を再生する方法が採られている。

【特許文献1】特開平10-65644号公報

【特許文献2】特許第3650250号公報

40

【発明の開示】

【発明が解決しようとする課題】

【0009】

しかしながら、特許文献1では、間欠的なPLL動作により基準周波数信号の再生を行っているために、PLLが位相ロックを完了させるまでの初期引きこみ時間が長いという欠点を有している。間欠的なPLL動作は、連続的なPLL動作を時間軸で分割した場合に相当すると考えることができる。

【0010】

従って、間欠的な動作期間の時間を τ 、周期を ϕ 、初期引き込み時間を t とした場合、連続的なPLL動作であれば、当然 t 時間後には安定的な基準周波数の再生が可能である

50

。しかし、間欠的なPLL動作では、次式に示す時間が経たないと安定的な基準周波数の再生が行われない。

【0011】

$$(t/\tau) \times \phi \quad \cdots \text{(式1)}$$

即ち、連続的なPLL動作に比して ϕ/τ 倍だけ初期引き込み動作に時間が掛かることになる。このことは、実質的な通信を開始できるまでの時間がより長くなるということを意味している。

【0012】

更に、特許文献1では、基準周波数信号を挿入している期間は、これ以外の周波数成分が出力されていないということを前提に基準周波数信号の存在期間を検出しているが、実際にはノイズの影響で他の周波数成分が常に0ということとはあり得ない。ノイズが混入すると基準周波数信号が存在しているのに、これを不存在としてしまう誤検出が起り、PLL回路への基準周波数信号の出力が歯抜け状になってしまう。この場合、最終的には再生する基準周波数信号の同期精度を低下させるという問題が発生する。

【0013】

このようなノイズでの誤検出を低減させるために、基準周波数信号検出信号に対して（例えば特許文献1で言えばゲート信号204に対して）十分な時定数を持つフィルタ回路を挿入し、検出信号の高周波成分を除去する方法が考えられる。

【0014】

しかし、今度は実際の基準周波信号の存在期間と検出信号との間に、時間的な遅延誤差が生じてしまうことになり、PLL動作を行うことのできる期間が実質的に短くなってしまいうという新たな問題が発生する。

【0015】

ノイズによる誤検出は、特許文献1にあるようなBEF等を用いて基準周波数信号を検出する場合だけでなく、先に述べたBPF等により基準周波数信号を検出する場合にも当然起りうる。

【0016】

従って、検出信号にフィルタ回路等を挿入する必要性が排除されるわけではなく、実際の基準周波信号の存在期間と検出信号との間に、時間的な遅延誤差が生じてしまう現象は同様に発生する。

【0017】

PLL動作がより短時間しか行えないことは、高精度な周波数同期を行う上では不利であり、結果として受信側での再生基準周波数信号の同期精度を犠牲にするか、または基準周波数信号の挿入期間を長めに設定せざるを得ない。同期精度が低い水準に留まる場合には、同期精度に起因して発生する誤復調への耐性を向上させるためにOFDM変調の各サブキャリアの一次変調をより低いビットレートのものにするしかない。

【0018】

また、挿入期間を長めに設定する場合には、時間軸方向での帯域利用効率を阻害することになる。何れの場合も、総合的な伝送ビットレートを低下させる方向に作用することになり、甚だ好ましくない。

【0019】

一方、特許文献2に開示された方法では、基準周波数信号を検出・保持した後、これをデジタル処理により繰り返し発生させることで連続的なPLL動作を実現している。

【0020】

従って、上述の初期引きこみ時間が長くなってしまいう問題や検出信号の遅延誤差の問題は発生しない。

【0021】

しかしながら、基準周波数信号をサンプリングし、これをデジタル処理で繰り返し発生させるには、基準周波数信号の数倍のクロックでAD変換し、変換したデジタルデータをメモリに保持する。そして、これを同じく基準周波数信号の数倍のクロックでDA変換し

10

20

30

40

50

なければならない。しかも繰り返してD A変換するデータの位相連続性を確保するためには高度なタイミング処理が必要となる。

【0022】

即ち、特許文献2の開示例は、その実施に高速なA D / D A変換動作が必要であるばかりでなく、極めて複雑なタイミング処理を必要とする。

【0023】

本発明は、高速動作を必要とすることなく、比較的簡単な構成、処理で位相同期処理の初期引きこみ時間が長くなってしまう問題を解決することを目的とする。

【0024】

また、搬送波周波数、F F T / I F F Tサンプリング周波数を含む動作周波数を送信側と受信側とで高精度に同期させることを目的とする。

【課題を解決するための手段】

【0025】

本発明は、O F D M信号伝送装置であって、

O F D Mによる通信開始前は同期用の基準周波数信号を連続的に出力する手段と、

前記基準周波数信号を連続的に出力した後、前記基準周波数信号を間欠的に出力すると共にO F D M信号を送信する手段と、

送信側から受信側へ連続的に出力される基準周波数信号に基づいて位相同期処理を行う手段と、

前記O F D Mによる通信開始後はシンボル同期タイミングに基づいて前記位相同期処理を間欠的に行う手段と、

前記位相同期処理により同期が確立された前記シンボル同期タイミングで前記O F D M信号を受信する手段とを有することを特徴とする。

【0026】

また、本発明は、O F D M信号伝送装置の送信側は、

出力する手段が、O F D Mによる通信開始前は同期用の基準周波数信号を連続的に出力する工程と、

送信する手段が、前記基準周波数信号を連続的に出力した後、前記基準周波数信号を間欠的に出力すると共にO F D M信号を送信する工程とを有し、

O F D M信号伝送装置の受信側は、

位相同期処理を行う手段が、前記送信側から連続的に出力される基準周波数信号に基づいて位相同期処理を行う工程と、

前記位相同期処理を間欠的に行う手段が、前記O F D Mによる通信開始後はシンボル同期タイミングに基づいて前記位相同期処理を間欠的に行う工程と、

受信する手段が、前記位相同期処理により同期が確立された前記シンボル同期タイミングで前記O F D M信号を受信する工程とを有することを特徴とする。

【発明の効果】

【0027】

本発明によれば、高速動作を必要とすることなく、比較的簡単な構成、処理で位相同期処理の初期引きこみ時間が長くなってしまう問題を解決することができる。また、間欠的に出力される基準周波数信号の存在期間と受信側でのP L L動作期間とを高精度に一致させることができる。

【0028】

従って、時間軸方向での帯域利用効率を無駄にすることなく、搬送波周波数、F F T / I F F Tサンプリング周波数を含む動作周波数を、送信側と受信側とで高精度に同期させることが可能となる。

【発明を実施するための最良の形態】

【0029】

以下、図面を参照しながら発明を実施するための最良の形態について詳細に説明する。

【0030】

〔第一の実施形態〕

図1は、OFDM信号伝送装置の送信側の構成を示すブロック図である。図1において、10はサブキャリア変調部であり、外部から入力された送信すべきデータに対して符号化を行い、OFDMの各サブキャリアの一次変調を行う。11はIFFT (Inverse Fast Fourier Transform) 部であり、サブキャリア変調部10からの出力（周波数軸信号）を時間軸信号に変換する。12はGI挿入部であり、IFFT部11の出力から所定時間分の後端部分を切出してガードインターバル（GI）を付け加える。

【0031】

13はプリアンプルパターン保持部であり、シンボル同期用の既知パターンデータを保持しておく。14は制御部であり、後述するセクタ15、20の動作を制御する。15はセクタであり、制御部14の指示に基づき、GI挿入部12でGIが付加された出力データか、プリアンプルパターン保持部13の出力データの何れかを選択して出力する。16はデジタルーアナログ変換器（DAC）であり、セクタ15で選択されたデータを入力し、アナログ信号に変換して出力する。

【0032】

17はローパスフィルタ（LPF）であり、DAC16で変換されたアナログ信号から不要の高周波成分を除去する。18は直交変調部であり、後述する発振器19が出力する搬送波周波数クロックに基づき、I軸成分、Q軸成分について直交変調が行われる。このようにして、外部より入力された送信すべきデータが直交変調されてOFDM信号が生成される。

【0033】

20はセクタであり、制御部14の指示に基づき、直交変調部18のOFDM信号か、発振器19の基準周波数信号の何れかを選択して出力する。21はBPFであり、セクタ20で選択された信号から所定外の帯域を除去する。22は増幅器（AMP）であり、BPF21から出力された信号を所望の電力に増幅する。そして、AMP22の出力は無線であれば空中線に、有線であれば伝送ケーブルといった伝送路に出力される。

【0034】

尚、ダイレクトコンバージョンとするのではなく、AMP22の出力が中間周波数信号であり、後段に周波数変換回路を設けて伝送路上での周波数帯域にアップコンバートする構成としても良い。

【0035】

19は発振器であり、基準周波数信号を出力する。23は分周器であり、発振器19の出力である基準周波数信号に対して適宜の分周を施し、DAC16より前段のブロック、いわゆるBB（Base Band）部の動作クロックとして各ブロックに出力する。

【0036】

次に、通信開始前と通信開始後の基準周波数信号とOFDM信号との出力タイミングを、図2、図3を用いて説明する。

【0037】

図2は、OFDM信号伝送装置における送信側でのタイミングを示す図である。図2に示すように、まず送信側が通信開始前は基準周波数信号を相当時間（後述する受信側でのPLLの位相ロック初期引きこみ時間に十分なだけの時間）、数100μ秒～数m秒だけ連続的に出力する。この間、OFDM信号は全く出力しない。

【0038】

次に、連続的な基準周波数信号を出力し、所定時間が経過した後、OFDM信号を所定のシンボル周期で出力し、OFDM信号間、即ち、シンボル周期の所定位置に基準周波数信号を間欠的に出力する。OFDM信号は、最初の2シンボルがシンボル同期用のプリアンプルパターンとし、同期用プリアンプルの出力後、外部からの入力された送信データに基づくOFDM信号を出力する。

【0039】

尚、より詳細には、同期用プリアンプルの出力後、伝送路特性を補正するために、既知

10

20

30

40

50

パターンで構成されるパイロットシンボルを出力するのが望ましいが、本発明に直接関係しないので、ここではパイロットシンボルに関する動作の説明は割愛する。

【0040】

図3は、1シンボルあたりのタイミングを示す図である。シンボル周期及び間欠的に出力される基準周波数信号の時間幅に制限はないが、ここでは次のように制限する。

【0041】

48kHzでサンプリングされたデジタルオーディオデータをサンプル周期毎にデータ伝送する場合を想定し、シンボル周期を以下の式2とする。そして、当該周期の10%である2.0833...μ秒を基準周波数信号の出力期間、残期間をOFDM信号期間(GIを含む)とする。

【0042】

$$1/48[\text{kHz}] = 20.833\cdots\mu[\text{秒}] \cdots (\text{式2})$$

尚、図3では、シンボル周期の先端に基準周波数信号を配置した構成となっているが、これは相対的なものであるから後端であると解釈しても一向に構わない。

【0043】

図4は、OFDM信号伝送装置の受信側の構成を示すブロック図である。図4において、受信信号はOFDM信号の帯域だけを通過させるBPF30を経てAMP31で所望の振幅にまで増幅される。AMP31の出力は、基準周波数信号だけを通過させる狭帯域のBPF32を経て連続基準周波数信号検出部33と位相比較器34に入力される。ここで位相比較器34と後段のLPF35、ホールド回路36、VCO(電圧制御発振器)37によりPLL回路が構成され、位相同期処理(PLL動作)が行われる。

【0044】

尚、ダイレクトコンバージョンとするのではなく、BPF30への入力が中間周波数信号であり、前段に周波数変換回路を設けて伝送路上での周波数帯域からダウンコンバートする構成としても良い。

【0045】

図5は、連続基準周波数信号検出部33の詳細な構成を示す図である。図5において、コンパレータ50がBPF32の出力信号と所定のレベルとの比較を行い、コンパレータ50により、周期が基準周波数信号と同等で、オン(Hi)デューティが50%弱であるパルス信号が生成される。

【0046】

尚、このコンパレータ50では、比較を正負両電圧で行い、両者を加算して出力とすることで、オン(Hi)デューティが100%弱であるパルス信号を生成する。また、コンパレータ50の前段にダイオードで構成された全波整流器を配置し、全波整流出力を比較しても良い。

【0047】

次に、単純なCR1段のローパスフィルタで構成される整流器51がコンパレータ50からのパルス信号を整流し、そのエンベロープ信号を生成する。これにより、基準周波数信号が出力される期間だけ出力がオン(Hi)となる信号を得る。この整流器51の出力は、更にタイマカウンタ52に出力される。

【0048】

このタイマカウンタ52では、整流器51の出力がオン(Hi)の間だけ所定周波数のクロック(具体的には後述するBB部動作クロック)を数えて0からのカウントアップを行う。次に、数値コンパレータ53がタイマカウンタ52の出力を比較し、カウント値が所定値(t1)を越えたときときに、オン(Hi)信号を出力する。

【0049】

そして、AND素子54が整流器51と数値コンパレータ53の出力の論理積を取り、論理積の結果が最終的な連続基準周波数信号検出部33の出力となる。

【0050】

ここで、数値コンパレータ53の所定値(t1)には、間欠的に出力される基準周波数

10

20

30

40

50

信号期間 2. 083 μ 秒を十分に越える値を設定する。これにより、連続基準周波数信号検出部 33 では間欠的に出力される基準周波数信号や短時間だけ発生するノイズに含まれる基準周波数成分は検出されず、通信の最初に連続的に長期間出力される基準周波数信号だけが検出される。

【0051】

図 4 に戻り、連続基準周波数信号検出部 33 の出力は、OR 素子 38 を経て位相比較器 34 とホールド回路 36 に接続される。この位相比較器 34 は OR 素子 38 の出力がオン (Hi) の間は位相比較の結果を出力し、OR 素子 38 の出力がオフ (Low) になるとその出力がハイインピーダンスとなるように構成されている。ホールド回路 36 は、OR 素子 38 の出力がオン (Hi) の間は LPF 35 の出力を通過させ、OR 素子 38 の出力がオフ (Low) になると LPF 35 の出力電圧値を保持する。

10

【0052】

以上の構成により、通信開始前の期間は連続的に基準周波数信号が出力され、位相同期処理 (PLL 動作) が連続的に行われ、PLL の初期引きこみ時間は間欠的に PLL 動作を行う場合よりも短い時間で済む。

【0053】

尚、OR 素子 38 の出力は PLL の動作をゲートする信号であるから、以下、この信号を PLL ゲート信号と呼ぶ。

【0054】

ここで、整流器 51 の作用により、PLL ゲート信号がオフ (Low) となるのには、基準周波数信号が存在しなくなってから所定の時間だけ遅延する。位相比較すべき基準周波数信号が存在しないのに PLL ゲート信号がオン (Hi) のままであるから、位相比較器 34 は遅延時間分だけ都合の良くない位相比較結果を出力する。

20

【0055】

PLL の初期引きこみ時間を経過し、位相ロックが既に完了している状態であるから、この遅延時間分の出力によって VCO 37 の出力周波数が大きく乱れることはなく、通常このままの状態でも実用上問題とはならない。しかし、より望ましい結果を得るために、この遅延時間を低減、或いは 0 とすることもできる。

【0056】

例えば、整流器 51 の CR 1 段ローパスフィルタ回路の抵抗器と並列に、ダイオードとより値の小さい抵抗器を配し、コンデンサへの充電時定数より放電時定数を短くしてやることで、PLL ゲート信号のオフ (Low) 遅延時間を低減することができる。

30

【0057】

また、図 6 に示すように、タイマカウンタ 52 の出力にカウント値が所定値 (t_2) を越えたときにオフ (Low) を出力する数値コンパレータ 55 を付加し、整流器 51、数値コンパレータ 53、55 の出力の論理積を AND 素子 56 で取る構成とする。そして、所定値 (t_2) を連続的に出力される基準周波数信号の出力期間長よりも若干小さくしておけば、連続基準周波数信号検出部 33 の検出出力は連続的な基準周波数信号が存在しなくなる前にオフ (Low) となり、検出の遅延時間は実質 0 となる。

【0058】

再び図 4 に戻り、連続的な基準周波数信号の出力が終わり、シンボル同期が確立した後、OFDM 信号が出力される通信開始後の受信側における動作を説明する。

40

【0059】

AMP 31 の出力は直交復調部 39 に接続される。直交復調部 39 では、VCO 37 が出力する搬送波周波数クロックに基づき直交復調を行い、I 軸成分、Q 軸成分の BB 信号を出力する。復調された出力信号はアナログデジタル変換器 (ADC) 40 によりデジタルデータに変換され、シンボル同期処理部 41 に出力される。シンボル同期処理部 41 は、送信側が出力する同期用プリアンプに基づいてシンボル同期タイミングを捕捉し、有効シンボルのタイミング信号を出力する。

【0060】

50

図7は、シンボル同期処理部41の詳細な構成を示す図である。プリアンブルパターン保持部61には、送信側から出力される同期用プリアンブルのパターンデータが保持されている。相関演算部60はデジタルデータに変換された受信信号とプリアンブルパターン保持部61が保持しているパターンデータとの相関演算を行う。この同期用プリアンブルは、1シンボル内で同一のパターンが複数回（例えば8回）繰り返して送信されており、相関演算部60での相関演算の結果、この複数回分の相関ピークを算出する。相関ピークはピーク検出部62によって検出され、相関ピーク時にパルス信号が生成される。

【0061】

次に、有効シンボルタイミング生成部63は、ピーク検出部62が出力するピーク検出パルス信号の発生・消失タイミングから有効シンボルタイミング信号を生成し、後述するG I除去部43に出力する。この有効シンボルタイミング生成部63が出力する信号は、シンボル同期タイミング捕捉以降、シンボル周期で周期的に出力される信号である。

【0062】

ここで、間欠的に出力される基準周波数信号の挿入タイミングは、有効シンボルタイミング信号に対する単純なタイミング調整処理によって生成可能である。即ち、タイミング調整部42が必要な調整処理を行い、間欠的に出力される基準周波数信号を挿入するための挿入タイミング信号を生成し、OR素子38に出力する。

【0063】

尚、タイミング調整部42が出力する信号もまた、シンボル同期タイミング捕捉以降、シンボル周期で周期的に出力される信号である。

【0064】

図4に戻り、通常のOFDM信号はシンボル同期処理部41が出力する有効シンボルのタイミング信号に基づいてG I除去部43でG Iが除去される。ここで、有効シンボル部だけがFFT（Fast Fourier Transform）44に出力されて時間軸信号から周波数軸信号に変換される。そして、サブキャリア復調部45でOFDMの各サブキャリアの一次変調に対する復調処理が行われて、最終的な受信データとして外部に出力される。

【0065】

上述したVCO37の出力は分周器46で適宜の分周が施され、ADC40より後段のブロック、所謂、BB部の動作クロックとして各ブロックに出力される。

【0066】

送信側においては、基準周波数信号を分周して得たBB部動作クロックにより、DAC変換動作、IFFT動作を含むBB部での処理が行われる。受信側においても、PLLにより再生した基準周波数信号を分周して得たBB部動作クロックにより、ADC変換動作、FFT動作を含むBB部での処理が実行される。

【0067】

従って、第一の実施形態におけるOFDM信号伝送装置では、搬送波周波数だけでなくFFT／IFFTのサンプリング周波数も送信側と受信側とで同期がとれている。

【0068】

次に、タイミング調整部42から出力される間欠基準周波数信号の挿入タイミング信号は、OR素子38を経てPLLゲート信号としてPLL回路に入力される。このように、間欠的な基準周波数信号が挿入されている期間は、PLL動作が間欠的に行われることになる。

【0069】

図8は、受信信号とPLLゲート信号のタイミングを示す図である。図8に示すように、最初に、連続的な基準周波数信号が出力されている期間は、連続基準周波数信号検出部33での基準周波数信号の検出に基づいてPLLゲート信号が出力される。続いて、同期用プリアンブルが出力されてシンボル同期タイミングを捕捉した以降の期間は、シンボル周期毎にPLLゲート信号が出力される。このPLLゲート信号は、シンボル同期処理部41が出力する有効シンボルタイミングに基づいてタイミング調整部42にてタイミング調整されたシンボル同期タイミング由来の信号である。

【0070】

尚、送信側からは同期プリアンプ出力期間中も間欠的な基準周波数信号が出力されているが、シンボル同期タイミングを捕捉するまでは、PLLゲート信号を生成することができないため、この期間に出力される基準周波数信号はPLL動作に関与しない。従って、送信側において、この期間の基準周波数信号を出力する必要はないが、出力しても特に問題があるわけではない。

【0071】

上述の間欠的な基準周波数信号が出力されている間のPLLゲート信号は、基準周波数信号を物理的に検出して生成するのではなく、同期用プリアンプに基づき決定したシンボル同期のタイミングを基準に生成される。従って、実際の基準周波数信号の存在期間とPLLゲート信号との間に時間的な遅延誤差は全く発生しない。

10

【0072】

即ち、間欠的に出力される基準周波数信号のほぼ全時間域を位相同期処理（PLL動作）に反映させることができる。つまり、第一の実施形態におけるOFDM信号伝送装置では、時間軸方向での帯域利用効率を無駄にすることなく、基準周波数信号を高水準な同期精度で再生可能である。

【0073】

また、結果搬送波周波数、FFT／IFFTサンプリング周波数を含む動作周波数を送信側と受信側とで高精度に同期させることが可能となる。

【0074】

20

更に、間欠的に出力される基準周波数信号の物理的な検出とは異なるために、ノイズによる誤検出とは無縁であり、誤検出が原因で起る再生基準周波数信号の同期精度の低下は全く発生しない。

【0075】

尚、間欠的な基準周波数信号の出力周期、即ち、シンボル周期がPLL回路を構成するLPF35の時定数より十分長いのであれば、PLLゲート信号がオフ（Low）の期間であっても、LPF35の出力電圧は略一定レベルを保持する。そのため、ホールド回路36を省略しても本発明を実施することが可能である。

【0076】

また、搬送波周波数クロックを分周してBB部動作クロックを生成する構成としたが、有線通信でOFDM信号の帯域を低域から使用する場合、送信側、受信側共にBB部動作クロックを適宜分周して搬送波周波数クロックを生成する構成としても良い。この場合、以下の式が成立する。

30

【0077】

BB部動作クロック周波数>搬送波周波数 …（式3）

ここで、受信側のPLL回路では基準周波数信号に同期させて、BB部動作クロックを生成し、これを適宜分周して再生基準周波数信号とする。

【0078】

また、送信側から受信側に出力する基準周波数信号を搬送波周波数としたが、OFDM信号の帯域内であれば、搬送波周波数及びBB部動作クロック周波数と所定の比の関係にある任意の周波数として良い。これは、間欠的に出力される基準周波数信号の存在／不存在を物理的に検出する構成を採用していないからである。

40

【0079】

また、この周波数の基準周波数信号からPLL回路及び適宜の分周器（または通倍器）により搬送波周波数クロック、BB部動作クロックを生成する構成とすることもできる。但し、この場合、図5で説明した数値コンパレータ53の所定値（t1）には、シンボル周期を十分に越える値を設定する。

【0080】

[第二の実施形態]

次に、図面を参照しながら本発明に係る第二の実施形態を詳細に説明する。第一の実施

50

形態では、同期用プリアンプル出力期間に間欠的に出力される基準周波数信号は受信側でのPLL動作に関与しない構成となっていた。第二の実施形態では、これをPLL動作に関与させ、より安定的に基準周波数信号を再生させるものである。

【0081】

図9は、第二の実施形態におけるOFDM信号伝送装置の受信側の構成を示すブロック図である。図4に示す構成と異なるのは、挿入タイミング推定部47が追加されている点、OR素子38が3入力になっている点、及びシンボル同期処理部41の同期捕捉信号が挿入タイミング推定部47へ出力されている点である。

【0082】

図10は、シンボル同期処理部41'と挿入タイミング推定部47の詳細な構成を示す図である。シンボル同期処理部41'には、図7に示すシンボル同期処理部41の構成に、64の同期捕捉完了判定部が追加される。

10

【0083】

同期捕捉完了判定部64は、ピーク検出部62が出力するピーク検出パルス信号の数をカウントし、カウント値が所定回数に達したことでもってシンボル同期タイミングの捕捉完了を判定する。そして、シンボル同期タイミングの捕捉完了を判定すると同期捕捉信号(Lowアクティブ)を挿入タイミング推定部47に出力する。

【0084】

一方、挿入タイミング推定部47において、70は立ち下がりエッジ検出回路で、連続基準周波数信号検出部33の検出出力のオンからオフ(HiからLow)への立ち下がりエッジを検出しパルス信号(Hiアクティブ)を出力する。ここで出力されたパルス信号は次段のラッチ回路71でラッチされ、制御信号としてタイマカウンタ73に出力される。

20

【0085】

タイマカウンタ73は、制御信号がHiになるとBB部動作クロックを数えて0からのカウントアップを行い、シンボル周期だけカウントしたところでカウント値が0に戻り、再びカウントアップを継続するカウンタである。但し、最初の一巡目のカウントだけは0からではなく、72のカウント初期値保持部に保持されたカウント値をロードして、当該カウント値からのカウントアップを実行するように構成されている。

【0086】

30

タイマカウンタ73の出力は、74、75の数値コンパレータに接続される。ここで、数値コンパレータ74は、カウント値が所定値(t_3)を越えるとHi信号を出力する。一方、数値コンパレータ75は、カウント値が所定値(t_4)未満であれば、Hi信号を出力する。そして、同期捕捉完了判定部64、数値コンパレータ74、75の出力の論理積をAND素子76で取り、挿入タイミング推定部47の出力とする。

【0087】

このように、同期捕捉完了判定部64の出力がAND素子76に加えられているので、挿入タイミング推定部47がパルス信号を出力するのは、連続的に出力される基準周波数信号が終了してから、シンボル同期タイミングの捕捉を完了するまでの間となる。

【0088】

40

ここで、連続基準周波数信号検出部33の検出出力がオフ(Low)となってから間欠的に出力される基準周波数信号を受信するまでの時間に対応するカウント値を t_{of} とする。またシンボル周期 $20.833\mu\text{s}$ に対応するカウント値を t_{sym} とし、間欠的に出力される基準周波数信号の出力期間 $2.083\mu\text{s}$ に対応するカウント値を t_{int} とする。そして、 t_s 、 t_3 、 t_4 の値をそれぞれ以下のように設定する。

【0089】

$$t_s = t_{sym} - t_{of} \quad \cdots (\text{式} 4)$$

$$t_3 = 0 \quad \cdots (\text{式} 5)$$

$$t_4 = t_{int} \quad \cdots (\text{式} 6)$$

この場合、挿入タイミング推定部47の出力は同期用プリアンプル出力期間に間欠的に

50

出力される基準周波数信号の挿入タイミングに一致したパルス信号（プリアンブル期間間欠基準周波数信号挿入タイミング信号）となる。つまり、挿入タイミング推定部47は、連続的に出力される基準周波数信号が終了したタイミングを捉えて、間欠的に出力される基準周波数信号の挿入タイミングを推定したタイミングのパルス信号を出力する。

【0090】

尚、連続基準周波数信号検出部33の検出出力は、上述したように、遅延時間を持っており、しかもその遅延時間は受信信号の振幅値に依存して変動し一定時間とはならない。従って、実際には、若干のマージン分（マージン分のカウント値： t_{mar} ）を考慮して以下のように t_3 をマージン分だけ多く、 t_4 をマージン分だけ少なく設定する。これにより挿入タイミング推定部47の出力するパルス信号が、間欠的に出力される基準周波数信号の存在期間をはみ出したタイミングとなるのを防止する。

【0091】

$$t_3 = t_{mar} \cdots (\text{式7})$$

$$t_4 = t_{int} - t_{mar} \cdots (\text{式8})$$

尚、この例では、連続的に出力される基準周波数信号の終了検出のタイミングから間欠的に出力される基準周波数信号の挿入タイミングを推定したが、連続的に出力される基準周波数信号の開始検出のタイミングから挿入タイミングを推定するようにしても良い。

【0092】

連続基準周波数信号検出部33、挿入タイミング推定部47、タイミング調整部42の出力はOR素子38'で論理和を取られPLLゲート信号としてPLL回路に出力される。

【0093】

図11は、受信信号とPLLゲート信号のタイミングを示す図である。図11に示すように、まず連続的な基準周波数信号が出力されている期間は、連続基準周波数信号検出部33による基準周波数信号の検出に基づいてPLLゲート信号が出力される。次に同期用プリアンブルが出力されている期間は、挿入タイミング推定部47から間欠的に出力される基準周波数信号の挿入タイミングを推定したパルス信号に基づいてPLLゲート信号が出力される。そしてシンボル同期タイミングを捕捉した以降の期間は、シンボル同期処理部41'が出力する有効シンボルタイミングに基づき、タイミング調整部42でタイミング調整されたシンボル同期タイミング由来のPLLゲート信号が出力される。

【0094】

第二の実施形態によれば、同期用プリアンブル出力期間に間欠的に出力される基準周波数信号も、受信側でのPLL動作に関与させる構成としたので、より安定的に基準周波数信号を再生することが可能となる。

【0095】

尚、本発明は複数の機器（例えば、ホストコンピュータ、インターフェース機器、リーダー、プリンタなど）から構成されるシステムに適用しても、1つの機器からなる装置（例えば、複写機、ファクシミリ装置など）に適用しても良い。

【0096】

また、前述した実施形態の機能を実現するソフトウェアのプログラムコードを記録した記録媒体を、システム或いは装置に供給し、そのシステム或いは装置のコンピュータ（CPU若しくはMPU）が記録媒体に格納されたプログラムコードを読み出し実行する。これによっても、本発明の目的が達成されることは言うまでもない。

【0097】

この場合、コンピュータ読み取り可能な記録媒体から読出されたプログラムコード自体が前述した実施形態の機能を実現することになり、そのプログラムコードを記憶した記録媒体は本発明を構成することになる。

【0098】

このプログラムコードを供給するための記録媒体として、例えばフレキシブルディスク、ハードディスク、光ディスク、光磁気ディスク、CD-ROM、CD-R、磁気テープ

10

20

30

40

50

、不揮発性のメモリカード、ROMなどを用いることができる。

【0099】

また、コンピュータが読出したプログラムコードを実行することにより、前述した実施形態の機能が実現されるだけでなく、次の場合も含まれることは言うまでもない。即ち、プログラムコードの指示に基づき、コンピュータ上で稼働しているOS（オペレーティングシステム）などが実際の処理の一部又は全部を行い、その処理により前述した実施形態の機能が実現される場合である。

【0100】

更に、記録媒体から読出されたプログラムコードがコンピュータに挿入された機能拡張ボードやコンピュータに接続された機能拡張ユニットに備わるメモリに書込む。その後、そのプログラムコードの指示に基づき、その機能拡張ボードや機能拡張ユニットに備わるCPUなどが実際の処理の一部又は全部を行い、その処理により前述した実施形態の機能が実現される場合も含まれることは言うまでもない。

【図面の簡単な説明】

【0101】

【図1】OFDM信号伝送装置の送信側の構成を示すブロック図である。

【図2】OFDM信号伝送装置における送信側でのタイミングを示す図である。

【図3】1シンボルあたりのタイミングを示す図である。

【図4】OFDM信号伝送装置の受信側の構成を示すブロック図である。

【図5】連続基準周波数信号検出部33の詳細な構成を示す図である。

【図6】連続基準周波数信号検出部33の他の構成を示す図である。

【図7】シンボル同期処理部41の詳細な構成を示す図である。

【図8】受信信号とPLLゲート信号のタイミングを示す図である。

【図9】第二の実施形態におけるOFDM信号伝送装置の受信側の構成を示すブロック図である。

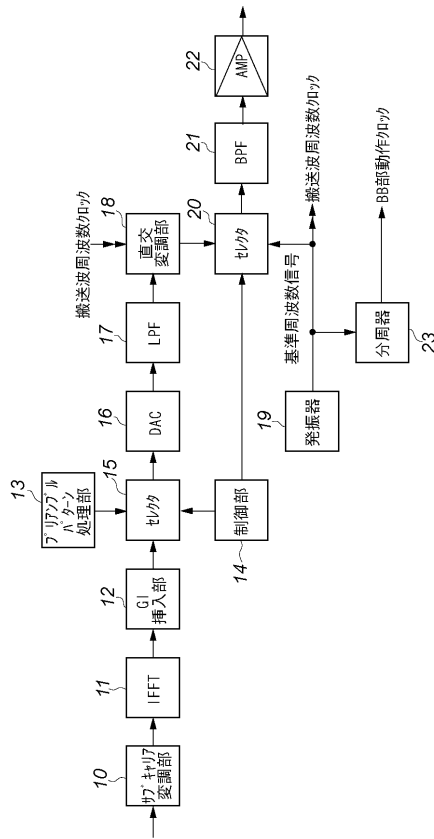
【図10】シンボル同期処理部41'と挿入タイミング推定部47の詳細な構成を示す図である。

【図11】受信信号とPLLゲート信号のタイミングを示す図である。

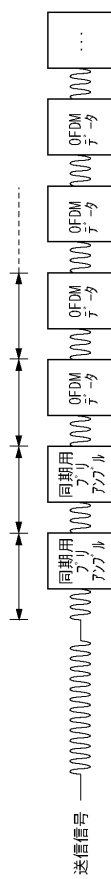
10

20

【図 1】



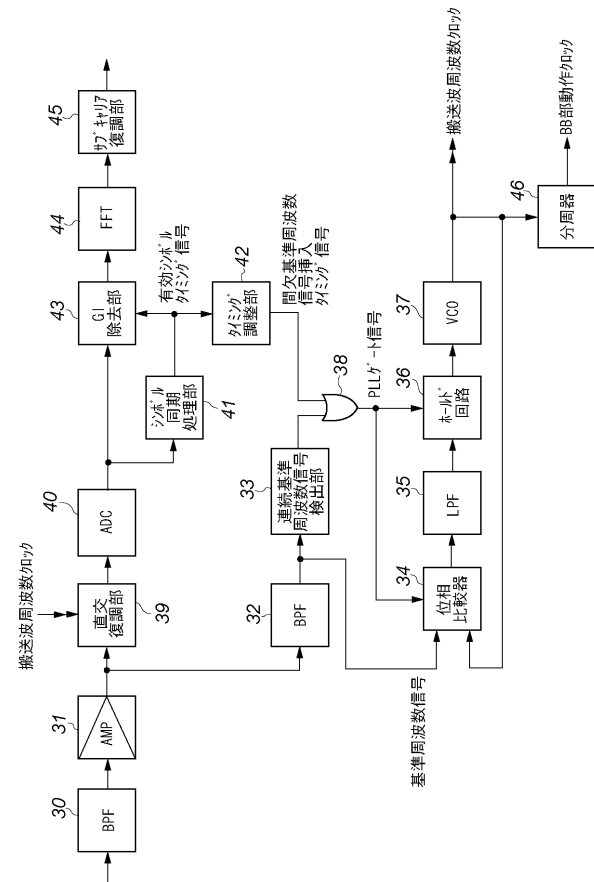
【図 2】



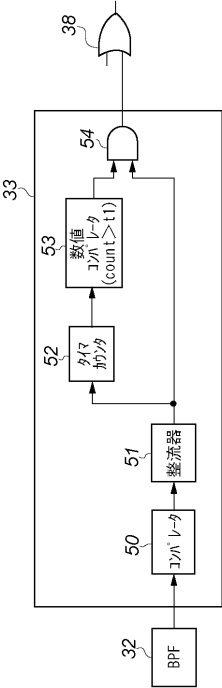
【図 3】



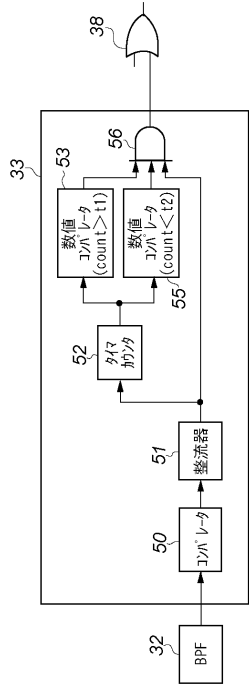
【図 4】



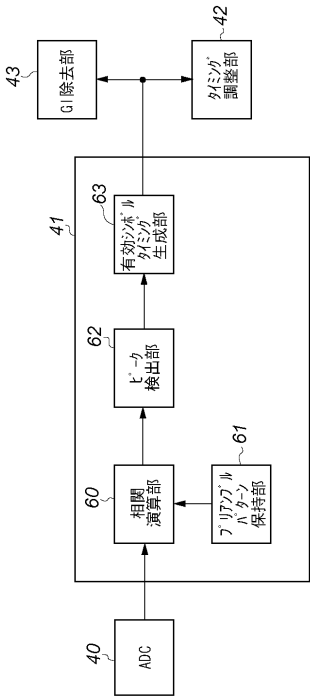
【図 5】



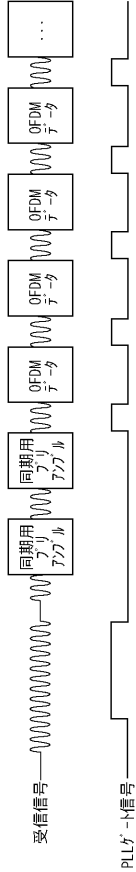
【図 6】



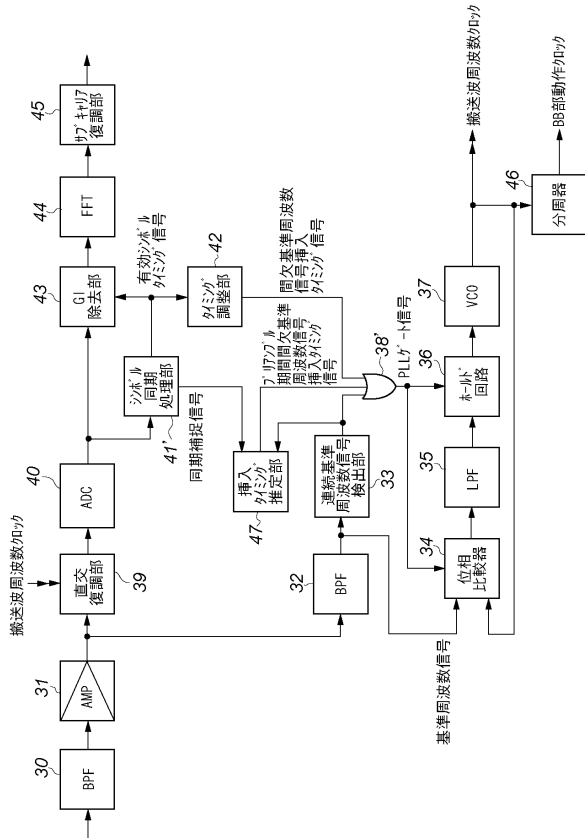
【図 7】



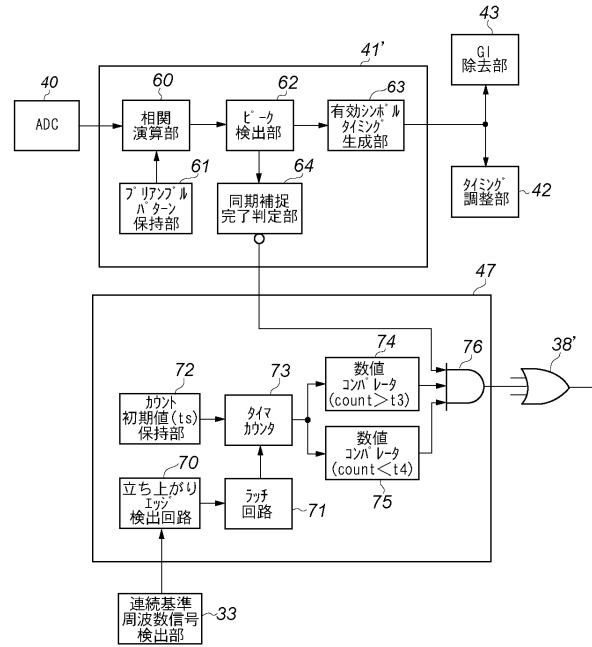
【図 8】



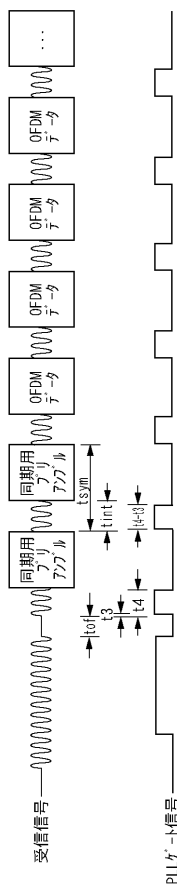
【図 9】



【図 10】



【図 1 1】



フロントページの続き

(72)発明者 鈴木 範之

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 岡 裕之

(56)参考文献 特開平08-051408 (JP, A)

特開2001-345869 (JP, A)

特開平07-303124 (JP, A)

王 芳 外4名, OFDM通信方式における残留周波数オフセット補償方式に関する検討, 電子情報通信学会技術研究報告, 2005年 5月13日, Vol.105, No.69, pp.19-24, SAT2005-4

(58)調査した分野(Int.Cl., DB名)

H04J 11/00

CiNi i