

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5321981号
(P5321981)

(45) 発行日 平成25年10月23日(2013.10.23)

(24) 登録日 平成25年7月26日(2013.7.26)

(51) Int.Cl. F I
HO4L 1/00 (2006.01) HO4L 1/00 B
 HO4L 1/00 F

請求項の数 10 (全 22 頁)

(21) 出願番号	特願2009-546638 (P2009-546638)	(73) 特許権者	504277388
(86) (22) 出願日	平成20年3月10日 (2008.3.10)		▲ホア▼▲ウェイ▼技術有限公司
(65) 公表番号	特表2010-517392 (P2010-517392A)		中華人民共和国518129広東省深▲セ
(43) 公表日	平成22年5月20日 (2010.5.20)		ン▼市龍岡区坂田華為本社ビル
(86) 国際出願番号	PCT/CN2008/070452	(74) 代理人	100146835
(87) 国際公開番号	W02008/110107		弁理士 佐伯 義文
(87) 国際公開日	平成20年9月18日 (2008.9.18)	(74) 代理人	100089037
審査請求日	平成21年7月23日 (2009.7.23)		弁理士 渡邊 隆
(31) 優先権主張番号	200710088080.0	(74) 代理人	100110364
(32) 優先日	平成19年3月12日 (2007.3.12)		弁理士 実広 信哉
(33) 優先権主張国	中国 (CN)	(72) 発明者	梁 ▲ウェイ▼光
			中華人民共和国518129広東省深▲セ
			ン▼市龍岡区坂田華為本社ビル

最終頁に続く

(54) 【発明の名称】 データを符号化および復号化するための方法および機器

(57) 【特許請求の範囲】

【請求項1】

情報ブロックの情報データおよびブロックヘッダの1つの高位ビットに対して前方誤り訂正、FEC(Forward Error Correction)符号化を実行するステップであって、各前記情報ブロックがブロックヘッダおよび情報データを含み、前記ブロックヘッダは、前記高位ビットと1つの低位ビットとを含む同期ヘッダであり、前記同期ヘッダの高位ビットは、ブロックの同期のために使用されるとともに、前記ブロックの前記情報データのタイプを示しており、前記同期ヘッダの低位ビットは、ブロックの同期のために使用され、前記同期ヘッダにおいて前記低位ビットは、前記FEC符号化に含まれない、ステップと、

FEC符号化によってチェックブロックを生成するステップであって、各前記チェックブロックがチェックブロックの同期のために2ビットの同期ヘッダを含む、ステップと、前記ブロックヘッダを有する前記情報ブロックおよび前記2ビットの同期ヘッダを有する前記チェックブロックを送信するステップと、を含む、データを符号化および伝送する方法。

【請求項2】

前記方法は、前記FEC符号化を実行するステップの前に、前記情報データに対してライン符号化を実行するステップと、前記同期ヘッダ内の前記高位ビットおよび前記低位ビットを生成するステップとをさらに含む、請求項1に記載のデータを符号化および伝送する方法。

10

20

【請求項3】

前記方法は、前記FEC符号化を実行するステップの前に、
 前記情報データに対してライン符号化を実行するステップと、
 前記同期ヘッダ内の前記高位ビットを生成するステップと、
 前記同期ヘッダ内の前記低位ビットを得るために前記高位ビットに対して否定操作をするステップと、
 をさらに含む、請求項1に記載のデータを符号化および伝送する方法。

【請求項4】

前記FEC符号化を実行するステップの前に、
 前記情報データをスクランブルするステップをさらに含む、
 請求項1から3のいずれか一項に記載のデータを符号化および伝送する方法。

10

【請求項5】

前記情報データと前記高位ビットの全長が、前記FEC符号化に必要な長さよりも短い場合、
 前記FEC符号化を実行するステップの前に、前記情報データおよび前記高位ビットを含むシーケンスに、所定の埋め込みビットを追加するステップと、
 前記FEC符号化を実行するステップの後に、前記追加された所定の埋め込みビットをFEC符号化結果から取り除くステップと、
 をさらに含み、
 前記情報データと前記高位ビットと前記追加された埋め込みビットの全長は、前記FEC符号化に必要な長さに等しく、
 前記情報データと前記高位ビットと前記追加された所定の埋め込みビットは、前記チェックブロックを生成するための前記FEC符号化のために使用される、
 請求項1から4のいずれか一項に記載のデータを符号化および伝送する方法。

20

【請求項6】

情報ブロックの情報データ、およびブロックヘッダ内の1つの高位ビットに対してFEC(Forward Error Correction)符号化を実行し、FEC符号化によってチェックブロックを生成するように構成された前方誤り訂正、FEC符号化モジュールであって、各前記情報ブロックがブロックヘッダおよび情報データを含み、前記ブロックヘッダは、前記高位ビットと1つの低位ビットとを含む同期ヘッダであり、前記同期ヘッダの高位ビットは、ブロックの同期のために使用されるとともに、前記ブロックの前記情報データのタイプを示しており、前記同期ヘッダの低位ビットは、ブロックの同期のために使用され、前記同期ヘッダにおいて前記低位ビットは、前記FEC符号化に含まれず、各前記チェックブロックがチェックブロックの同期のために2ビットの同期ヘッダを含む、前方誤り訂正、FEC符号化モジュールと、
前記ブロックヘッダを有する前記情報ブロックおよび前記2ビットの同期ヘッダを有する前記チェックブロックを送信するように構成された送信モジュールと、
 を含む、データを符号化および伝送するための機器。

30

【請求項7】

前記同期ヘッダ内の前記高位ビットおよび前記低位ビットを生成するために前記情報データに対してライン符号化を実行し、前記情報データと前記高位ビットとを前記FEC符号化モジュールに出力し、前記低位ビットを、前記FEC符号化モジュールの結果と共に前記送信モジュールに出力するように構成された第1のライン符号化モジュールをさらに含む、
 請求項6に記載のデータを符号化および伝送するための機器。

40

【請求項8】

前記高位ビットを生成するために前記情報データに対してライン符号化を実行し、前記情報データと前記高位ビットとを前記FEC符号化モジュールに出力するように構成された第2のライン符号化モジュールと、
 前記第2のライン符号化モジュールによって出力された前記高位ビットに対して否定し

50

、前記否定した結果を前記FEC符号化モジュールの処理結果とともに前記送信モジュールに出力するように構成された否定モジュールと、をさらに含む、

請求項6に記載のデータを符号化および伝送するための機器。

【請求項9】

前記情報データをスクランブルするように構成されたスクランブルモジュールをさらに含む、請求項8に記載のデータを符号化および伝送するための機器であって、

前記同期ヘッダ内の前記高位ビットおよび前記低位ビットを生成するために前記情報データに対してライン符号化を実行し、前記情報データと前記高位ビットとを前記FEC符号化モジュールに出力し、前記低位ビットを、前記FEC符号化モジュールの結果と共に前記送信モジュールに出力するように構成された第1のライン符号化モジュールをさらに含み、

10

前記スクランブル結果が前記第1のライン符号化モジュールまたは前記第2のライン符号化モジュールに出力され、あるいは前記スクランブルモジュールが、前記第1のライン符号化モジュールまたは前記第2のライン符号化モジュールによって出力された前記情報データをスクランブルし、その後、前記スクランブル結果を前記FEC符号化モジュールに出力する、データを符号化および伝送するための機器。

【請求項10】

前記情報データと前記高位ビットの全長が、前記FEC符号化に必要な長さよりも短い場合、

前記情報データおよび前記高位ビットを含むシーケンスをバッファリングし、所定の埋め込みビットを前記シーケンスの所定位置に挿入し、その後、前記情報データ、前記高位ビットおよび前記挿入された所定の埋め込みビットを前記FEC符号化モジュールに出力するように構成された埋め込みモジュールと、

20

前記FEC符号化モジュールによって出力された前記符号化結果から前記挿入された所定の埋め込みビットを取り除き、次いで前記送信モジュールに出力するように構成されたフィルタと、

をさらに含む、

前記情報データと前記高位ビットと前記挿入された所定の埋め込みビットの全長は、前記FEC符号化に必要な長さに等しい、

請求項6から9のいずれか一項に記載のデータを符号化および伝送するための機器。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は通信分野に関するものであり、具体的にはFEC(前方誤り訂正)符号化および復号化の通信技術に関するものである。

【背景技術】

【0002】

通信技術の進歩に伴い、ユーザは通信の能力や速度など、より高いサービス品質(QoS)要件を求める。アクセスネットワークは、通信ネットワーク全体の中でも最も技術的に挑戦的な領域の1つである。したがって、ユーザの帯域幅に対する一層高まる要求を満たし、アクセスネットワークの高速性、広帯域性およびインテリジェンスを実現するために様々なアクセス技術が登場しており、それらの例として、LAN(ローカルエリアネットワーク)、DSL(デジタル加入者線)、HFC(光ファイバ同軸ハイブリッド)ネットワーク-ケーブルモデムや電力線を介したインターネットアクセスなどがある。最も見込みのあるアクセス技術は、光アクセス技術である。PON(受動光ネットワーク)は、容易なメンテナンス、広帯域幅および低コストにより、光アクセス技術における流行形成の牽引役である。PONは、単一プラットフォームを介して音声、データ、映像などの複数のサービスにアクセスするための望ましい物理的プラットフォームである。

40

【0003】

このPON技術は、ポイントツーマルチポイントのファイバアクセス技術である。PONは、

50

OLT(光回線終端装置)、ONU(光回線ネットワークユニット)およびODN(光分配ネットワーク)を含む。EPON(イーサネット(登録商標)受動光ネットワーク)技術は、望ましいアクセス技術である。このEPONは、容易なメンテナンス、費用効果性、高伝送帯域幅および高い性能対価格比を特徴とする。特に、EPON技術は、1GHzからさらには10GHzもの帯域幅を提供するため、音声、データおよび映像サービスを同時に伝送することを可能にしている。EPONのこの特徴は、DSL(デジタル加入者線)やHFC-ケーブルモデムなどの他のアクセス方式からは決して利用できない。

【0004】

EPONは、受動光伝送を利用する技術であるので、どんな増幅コンポーネントも中継コンポーネントも使用しない。したがって、EPONネットワークの伝送距離および分岐数は、パワーバジェットおよび様々な伝送損失に依拠する。伝送距離または分岐の増加に伴いデータ伝送の信号対雑音比(SNR)が小さくなり、そのためビット誤りが増える。そのような問題を解決するために、EPONシステム内にFEC技術が導入されて、システムの障害防止機能を向上させ、システムのパワーバジェットを増大させている。

【0005】

EPONでのFECの基本原理は次の通りである。送信側から送られるイーサネット(登録商標)フレームにFEC符号語のチェックデータが付加され、そのチェックデータと符号化されたイーサネット(登録商標)フレームデータとが一定の規則に従って相互に関連付けられ(制約され)、受信側が既定の規則に従ってそのイーサネット(登録商標)フレームデータとチェックデータとの間の関係を検査する。伝送において誤りが発生すると、前述の関係が乱れ、誤り符号が発見され、自動的に訂正される。このFEC技術は、最大限の誤りを訂正するために最小限のチェックバイトを使用することを図り、オーバーヘッド(より多くのチェックバイト)と得られる符号化利得との間の最良のトレードオフを見つけ出す。

【0006】

EPONシステムでは、伝送されるデータを受信側が受信可能な形式にするために、FEC技術を適用する前にライン符号化技術を適用する必要がある。このライン符号化は、伝送されるデータが十分な遷移(すなわち0と1との間の遷移)を有することを保証しなければならない。そうすることにより、受信側がクロックを回復することができる。このライン符号器はデータを語と整合させるための方法も提供し、同時にそのラインは良好な直流バランスを保つ。

【0007】

このライン符号化メカニズムには、2つのタイプがある。それは、バリューマッチングメカニズムとスクランブルメカニズムである。既存のEPONシステムでは、8b/10b(すなわち8ビット/10ビット)ライン符号化メカニズムが適用されている。これはバリューマッチングメカニズムである。この8b/10b符号化方式の注目すべき欠点は、その符号化冗長度が25%に達し、その符号化オーバーヘッドが非常に高いことである。符号化オーバーヘッドの無駄をなくすため、64b/66bライン符号化が10GBASE-Wおよび10GBASE-R規格のPCS(物理符号化副層)で既に適用されている。10GBASE-T規格では、PCSで64b/65bライン符号化が適用されている。さらに、IEEE802.3avワークグループが開発中の10G EPONシステムでも、64b/66bや64b/65bなど、より高い符号化効率を有するライン符号化メカニズムが試験的に導入されている。上述の2つのライン符号化方式では、非スクランブル同期文字と制御文字とを伴うスクランブル方式が適用される。

【0008】

64b/66b符号化メカニズムは、64ビット情報に基づいて、2ビットの同期文字(同期ヘッダ)を追加する。この2ビットの同期文字は「01」か「10」のいずれかである。同期文字「01」は、64ビット全てがデータ情報であることを意味する。同期文字「10」は、64ビット情報がデータ情報と制御情報とを含むことを意味する。同期文字が「00」または「11」の場合、伝送過程で誤りが発生することを意味する。一方、この同期文字は、伝送データが少なくとも66ビットの間隔で伝送することを保証し、これによりブロック同期の実行を容易にする。この64ビット情報は、自己同期スクランブルメカニズムによってスクランブル

10

20

30

40

50

され、こうして、伝送される情報が十分な遷移を有することが最大限に保証され、受信側のクロック回復を容易にする。64b/65b符号化メカニズムは、1ビットのデータ文字または制御文字を使用する点で、64b/66b符号化メカニズムと異なる。データ/制御文字「0」は、64ビット全てがデータ情報であることを意味し、データ/制御文字「1」は、64ビット情報がデータ情報と制御情報とを含むことを意味する。

【0009】

図1および図2は、従来技術での10G EPONシステムにおけるPCS層に関する設計方式を示す。図1は、EPONシステムの物理層の送信の流れ図であり、図2は、EPONシステムの物理層の受信の流れ図である。

【0010】

図1では、イーサネット（登録商標）データフレームが調停副層(reconciliation sublayer)およびXGMII(10ギガビットイーサネット（登録商標）媒体非依存インタフェース)を経由して最初に処理され、次いで64b/66bライン符号化にかけられる。この符号化プロセスは、データが元の64ビットデータから66ビットデータに変わるよう、64ビットイーサネット（登録商標）データ情報の前に2ビットの同期文字を追加するものである。一般に、符号化された66ビット語はブロックと呼ばれる。その後、そのブロック内のデータと制御情報とがスクランブルおよびフレームされ、次いでそのフレーム内のデータがFEC符号化によって符号化される。符号化されたデータは、PMA(物理媒体接続)副層およびPMD(物理媒体依存)副層を通過して送出される。図2に示すように、物理層上の受信プロセスは、送信プロセスの逆のプロセスであり、ここではこれ以上繰り返し説明しない。

【0011】

前述の解決策を実施する過程において、本発明の本発明者は、ライン符号化およびFEC符号化の利益は、冗長情報が増加することを犠牲にして達成されることを見いだした。従来技術では、FEC符号化は、ライン符号化にかけられたデータに対して実行される。その結果、FECは、ライン符号化の冗長情報をFEC符号化のデータとして処理し、ライン符号化の冗長情報も加えて符号化し、そのためFEC符号化の性能を低下させている。

【発明の概要】

【発明が解決しようとする課題】

【0012】

本発明の技術的目的は、伝送オーバーヘッドを増やすことなくFEC符号化の符号化利得を向上させるための、データを符号化、復号化、受信および送信する方法および機器を提供することである。

【課題を解決するための手段】

【0013】

上述の目的を実現するため、本発明の一実施形態においてデータを符号化および伝送する方法を開示する。この方法は、

情報ブロックの情報データおよびブロックヘッダのM個の高位ビットに対して前方誤り訂正、FEC符号化を実行するステップと、

FEC符号化によってチェックブロックを生成するステップと、

前記情報ブロックおよび前記チェックブロックを送信するステップと、を含み、

各情報ブロックがブロックヘッダおよび情報データを含み、前記ブロックヘッダは、M個の高位ビットとN個の低位ビットとを含み、M 0、N 1である。

【0014】

本発明の一実施形態においてデータを受信および復号化する方法も開示する。この方法は、

情報ブロックおよびチェックブロックを受信するステップと、

前記チェックブロックとともに前記受信した情報ブロックの情報データおよびブロックヘッダのM個の高位ビットに対して前方誤り訂正、FEC復号化を実行するステップと、

を含み、

各情報ブロックがブロックヘッダおよび情報データを含み、前記ブロックヘッダは、M

個の高位ビットとN個の低位ビットとを含み、M 0、N 1である。

【0015】

本発明の一実施形態においてデータを符号化および伝送するための機器も開示する。この機器は、

情報ブロックの情報データ、およびブロックヘッダ内のM個の高位ビットに対してFEC符号化を実行し、FEC符号化によってチェックブロックを生成するように構成された前方誤り訂正、FEC符号化モジュールと、

前記情報ブロックおよび前記チェックブロックを送信するように構成された送信モジュールと、を含み、

各情報ブロックがブロックヘッダおよび情報データを含み、前記ブロックヘッダは、M個の高位ビットとN個の低位ビットとを含み、M 0、N 1である。

10

【0016】

本発明の一実施形態においてデータを復号化および受信するための機器も開示する。この機器は、

情報ブロックおよびチェックブロックを受信するように構成された受信モジュールと、

情報データと、前記チェックブロックとともに受信した前記情報ブロックのブロックヘッダ内のM個の高位ビットとに対してFEC復号化を実行するように構成された前方誤り訂正、FEC復号化モジュールと、を含み、

各情報ブロックがブロックヘッダおよび情報データを含み、前記ブロックヘッダは、M個の高位ビットとN個の低位ビットとを含み、M 0、N 1である。

20

【0017】

本発明の諸実施形態では、情報ブロックのブロックヘッダ内の1個または複数個の低位ビットがFEC符号化に関与しない。したがって、同じサイズのチェックブロックによってより少ない重要情報ビットが保護され、FEC符号化はより高い符号化利得を達成し、重要情報ビットの誤り確率を低減する。従来技術と比較し、本発明による技術的解決策は、実装の複雑さを増すことなくより高い符号化利得を達成し、そのため10G EPONシステムのパワーバジェットを増大させる。

【図面の簡単な説明】

【0018】

【図1】従来技術での10G EPONシステムにおける物理層のデータ送信の流れ図である。

【図2】従来技術での10G EPONシステムにおける物理層のデータ受信の流れ図である。

【図3】本発明の第1の実施形態によるデータを符号化および伝送する方法の概略図である。

【図4】本発明の第1の実施形態によるデータを符号化および伝送する方法の流れ図である。

【図5】本発明の第1の実施形態によるデータを符号化および伝送する方法での情報ブロックに対する操作の概略図である。

【図6】本発明の第2の実施形態によるデータを受信および復号化する方法の流れ図である。

【図7】本発明の第2の実施形態によるデータを受信および復号化する方法での情報ブロックに対する操作の概略図である。

【図8】本発明の第3の実施形態によるデータを符号化および伝送する方法での情報ブロックに対する操作の概略図である。

【図9】本発明の第5の実施形態によるデータを符号化および伝送する方法の流れ図である。

【図10】本発明の第6の実施形態によるデータを符号化および伝送する方法の概略図である。

【図11】本発明の第6の実施形態によるデータを符号化および伝送する方法の流れ図である。

30

40

50

【図12】本発明の第6の実施形態によるデータを符号化および伝送する方法での情報ブロックに対する操作の概略図である。

【図13】発明の第7の実施形態によるデータを符号化および伝送するための機器の概略的構造図である。

【図14】発明の第8の実施形態によるデータを符号化および伝送するための機器の概略的構造図である。

【図15】発明の第9の実施形態によるデータを符号化および伝送するための機器の概略的構造図である。

【図16】発明の第10の実施形態によるデータを符号化および伝送するための機器の概略的構造図である。

【図17】発明の第11の実施形態によるデータを受信および復号化するための機器の概略的構造図である。

【発明を実施するための形態】

【0019】

本発明の技術的解決策、目的および利点をより明確にするために、本発明の諸実施形態を添付の図面を参照して以下に詳しく説明する。

【0020】

本発明の第1の実施形態は、データを符号化および伝送する方法に関する。本実施形態では、情報ブロックは同期ヘッダであるブロックヘッダを含む。この同期ヘッダは、ブロック同期のための2ビットを含む。各情報ブロック内の情報データは64ビット含む。送信側が最初に64ビット情報データに対して64b/66bライン符号化を実行し、2ビットの同期ヘッダを生成する。この同期ヘッダ内の2ビットのうち、1ビットが、ブロックを同期し、その情報ブロック内の情報データのタイプを示す高位ビットであり、もう1ビットが低位ビットである。その後、この64ビット情報データと高位ビットとが、FEC符号器の入力データビットとしてバッファ中に送られる。バッファ中のデータビットがFEC符号化データフレームを構成するとき、その全てのデータビットが符号化のために共にFEC符号器に送られる。図3に示すように、同期ヘッダ内の低位ビットはFEC符号化に関わらない。

【0021】

図4は、本実施形態の詳細なプロセスを示す。ステップ410で、XGMIIを介して、送信側が情報データをイーサネット（登録商標）パケットとして、調停副層から64ビット情報生成モジュールに送る。このモジュール内のデータのサイズが64ビットに達すると、64ビット情報データが生成される。

【0022】

次いでステップ420で、生成された64ビット情報データを送信側がスクランブルし、こうして、伝送される情報データが十分な遷移を有することを最大限に保証して、受信側のクロック回復を容易にする。具体的には、データがXGMIIから64ビット情報モジュールに送られるとき、64ビット情報モジュールが、受け取ったデータを各ブロックが64ビット含むK個のブロックに分割する。その後、各ブロックがスクランブルされる。図5にスクランブルされた情報データを示し、ここでは情報ブロックを S_i ($i=0, 1, \dots, K$)として表す。

【0023】

次いでステップ430で、そのスクランブルされた情報データに対して送信側が64b/66bライン符号化を実行する。具体的には、64ビット情報データごとに送信側が64b/66bライン符号化を実行する。このライン符号化のプロセスは、情報ブロック S_i の先頭(または末尾)に2ビットの同期ヘッダをブロックヘッダとして追加するものである。同期ヘッダ内で、1ビット(例えば第1のビット)は、その情報ブロック S_i 内のデータタイプを示す情報を運び、そのためこのビットは高位ビットであり、もう1ビット(例えば第2のビット)は低位ビットである。このデータには2つのタイプがある。それは純データと、制御情報を有するデータとである。例えば、高位ビットが「0」の場合、それは情報ブロック S_i 内の情報データが純データであることを示し、高位ビットが「1」の場合、それは情報ブロック S_i 内の情報データが制御情報を運ぶことを意味し、逆の場合も同じである。同期ヘッダ内の低位

10

20

30

40

50

ビットは、高位ビットの否定である。図5は、ライン符号化後の情報ブロックを示す。

【 0 0 2 4 】

64b/66bライン符号化は、3つの機能を果たす。第1の機能は、64b/66b符号化において2ビットの同期ヘッダによってブロック同期を実行することである。その同期プロセスは次の通りである。受信側で受信されるデータ内で64b/66bライン符号化が実施され、したがって66ビットごとに同期ビット「01」または「10」が存在する。このようなビットの組み合わせは、ビットストリーム内の他の場所にも存在する。最初に、同期プログラムが起点を無作為に選択し、有効な同期ビット(「01」または「10」)を検索する。有効な同期ビットが見つからない場合、同期プログラムは1ビットシフトし、再度同期ビットを見つける。「01」または「10」の組み合わせが見つかり、この同期プログラムは、その組み合わせの後の65番目および66番目のビットが同じ組み合わせ(すなわち「01」または「10」の組み合わせ)であるかどうかを検査する。そうである場合、カウンタが1だけ増加し、この同期プログラムは後続のビットを検出し続ける。1つのライン内に十分な同期記号が誤りなく連続的に検出された場合、それらのブロックは整合されているものとして決定される。その検出プロセスで任意の誤りが発生する場合、カウンタはリセットされる。第2の機能は、伝送されるデータのレベルが十分な遷移を有することを保証して、受信側でのクロック回復を容易にすることである。第3の機能は、伝送される64ビット情報のタイプを同期ヘッダによって示すことである。例えば、同期ヘッダ「01」は、伝送される64ビットの全てがデータであることを意味し、同期ヘッダ「10」は、伝送される64ビットが制御情報を含むことを意味する。本実施形態では、64b/66bライン符号化を例にとる。実際には32b/34bライン符号化も適用可能である。したがって、本実施形態は柔軟に遂行することができる。

【 0 0 2 5 】

次いで、ステップ440およびステップ440'で、送信側が情報ブロックSiをバッファリングおよび分類する。具体的には、情報ブロックSi内のスクランブルされた64ビット情報と、同期ヘッダの高位ビットとが符号語バッファリング/分類モジュールに送られる。この符号語バッファリング/分類モジュールは、受け取ったデータをバッファリングおよび分類し、FEC符号化フレームを作成し、情報ブロックSiの同期ヘッダ内の低位ビットをバッファリングおよび分類するために同期ヘッダバッファリング/分類モジュールに送る。図5に示すように、同期ヘッダを有する情報ブロックがバッファリングおよび分類される。バッファリングされたビットの数量がK個の情報ブロック(66*Kビット)に達すると、スクランブルされた情報データ(64*Kビット)と高位ビット(Kビット)とが、バッファリングおよび分類され、FEC符号化フレームを作成するために符号語バッファリング/分類モジュールに送られ、低位ビット(Kビット)が、バッファリングおよび分類されるために同期ヘッダバッファリング/分類モジュールに送られる。したがって、同期ヘッダ内の低位ビットは、FEC符号化に関わらない。その理由は次の通りである。つまり、64b/66b符号化の第3の機能(情報ブロックが純データであるか、それとも制御情報を運ぶかを識別すること)は、同期ヘッダの2ビットのうち1ビットのみによって実行することができる。同期ヘッダ内の2ビットは常に一定の関係にあり、例えばその2ビットの排他的論理和(XOR)の結果は1である。したがって、同期ヘッダ内の一方のビットの否定は、その同期ヘッダ内のもう一方のビットである。よって、同期ヘッダ内の高位ビットはFEC符号化に関わる必要があり、もう一方のビット(低位ビット)はFEC符号化に関わる必要はない。

【 0 0 2 6 】

次いでステップ450で、合成FEC符号化フレームに対して送信側がFEC符号化を実行する。つまり、合成FEC符号化フレームに従って、対応する1個または複数個のチェック語が生成される。このチェック語と情報との間には制約関係が存在する。この制約関係が、情報ブロックの障害防止機能を向上させる。図5に示すように、FEC符号化が実行され、生成されたチェックブロックは $P_i (i=0,1,\dots,M)$ である。このチェックブロックは、FEC符号語のパリティブロックである。

【 0 0 2 7 】

10

20

30

40

50

同期ヘッダ内の高位ビットのみがFEC符号化に関わるので、同じサイズ(従来技術比)のチェックブロックでより高い符号化利得が得られる。データタイプを示す高位ビットがFEC符号化によって保護されるので、より高い符号化利得がデータタイプを正しく特定する確率を高める。

【0028】

オプションとして、チェックブロックをチェック語同期ヘッダモジュールに送り、そのチェック語同期ヘッダモジュールが、2ビットの同期ヘッダ「Parity_header_1」および「Parity_header_2」をチェックブロックPiのそれぞれに追加することができることも注目に値する。このチェック語同期ヘッダは、FEC符号語内の情報データとチェック語とを、すなわちブロックSiとブロックPiとを区別するように設計されている。本実施形態では、各チェックブロックに2ビットの同期ヘッダが追加される。

10

【0029】

次いで、ステップ460で、FEC符号化の終了後、1個または複数個のFEC符号語がフレーミングモジュールに送られる。このフレーミングモジュールは、同期ヘッダバッファリング/分類モジュールによってバッファリングおよび分類されたK個の低位ビットも受け取る必要がある。再構築およびフレームされた後、それらのビットはさらに伝送されるためにフレームの形式でPMAに送られる。図5に示すように、同期ヘッダを有する情報ブロックSiと、それらの情報ブロックに対応するチェックブロックとが再構築およびフレームされ、レート进行调整した後、さらに伝送されるためにPMAに送られる。

【0030】

20

明らかに、本発明の本実施形態では、情報ブロックのブロックヘッダ内の低位ビットはFEC符号化に関わらない。したがって、同じサイズのチェックブロックによってより少ない重要情報ビットが保護され、FEC符号化はより高い符号化利得を達成し、重要情報ビットの誤り確率を低減する。従来技術と比較し、本発明の本実施形態は、実装の複雑さを増すことなくより高い符号化利得を達成し、そのためEPONシステムのパワーバジェットを増大させる。

【0031】

具体的には、従来技術では、FEC符号化は $66 \cdot K$ ビット情報に対して実行され、生成されるチェック語は $66 \cdot K$ ビット情報を保護する。本実施形態では、FEC符号化は $65 \cdot K$ ビット情報に対して実行され、生成されるチェック語の長さは従来技術でのチェック語の長さと同じでありながら、保護は $65 \cdot K$ ビットの情報に対してのみ実行される(保護される必要があるビットは、従来技術で保護される必要があるビットよりもKビット少ない)。したがって、チェック語が情報ビットをより強く保護し、情報ビットの誤り確率が低くなる。さらに、受信側が64b/66b符号化ブロック内の64ビット情報のデータタイプをより正確に特定する。

30

【0032】

それは、従来技術では、受信側のライン符号化ブロックのデータタイプは同期ヘッダの2ビットが「01」または「10」である場合にのみ特定され、この2ビットが「00」または「11」である場合、データタイプを特定することができないからである。したがって、正しく判断される確率 $P_{(correct)}$ は、次の通りである。 $P_{(correct)} = (1 - p_e)(1 - p_e) = 1 - 2p_e + p_e^2$ 、ただし p_e は従来技術でのビット当たりの誤り確率である。本実施形態では、受信側が、FEC符号化に関わる同期ヘッダのデータタイプのみを特定することにより、その情報のデータタイプを特定することができる。正しく特定される確率は、次の通りである。 $P'_{(correct)} = 1 - p'_e$ 、ただし p'_e は本実施形態でのビット当たりの誤り確率である。本実施形態では、同じ量のチェック語がより少ない情報データを保護し、そのため情報ビットの誤り確率を低減する。すなわち、 $p'_e < p_e$ となる。 $p_e(p'_e)$ が極めて小さい場合(光通信では $p_e(p'_e)$ は概して 10^{-12} である)、次式が得られる。

40

$$P_{(correct)} = (1 - p_e)(1 - p_e) = 1 - 2p_e + p_e^2$$

$$1 - 2p_e < 1 - p'_e = P'_{(correct)}$$

【0033】

50

したがって、受信側が64b/66b符号化ブロック内の64ビット情報のデータタイプを、より正確に特定する。

【0034】

この第1の実施形態でのデータを伝送および符号化する方法に対応し、本発明の第2の実施形態は、データを受信および復号化する方法に関する。図6に示すように、この方法は以下のステップを含む。

【0035】

ステップ610は次の通りである。受信側のPMAが、PMDから受け取った情報に対してフレーム同期を実行する。この情報のフレーム同期は、64b/66b符号化ブロック内の2ビットの同期ヘッダ「01」または「10」を使用して実行される。フレーム同期の結果に従って、同期ヘッダを有する情報ブロックと、その情報ブロックに対応するチェックブロックとが得られる。

【0036】

ステップ620は次の通りである。それらの情報が、分類されるためにFEC符号語分類モジュールに送られる。具体的には、このFEC符号語分類モジュールは、送信側で情報ブロック内の同期ヘッダが符号化に関わる規則に従い、それらの情報ブロックの同期ヘッダ内の低位ビットを取り除き、それらの情報を、同期ヘッダ内の高位ビット、情報データ、および1個または複数個のチェックブロックを含むデータセットへと分解する。このデータセットをFEC符号語と呼ぶ。このFEC符号語が分類される。図7に示すように、フレーム同期後の情報は、情報ブロック、その情報ブロックに対応するチェック情報、およびチェック語同期ヘッダを含む。チェック語同期ヘッダの情報に従って、FEC符号語内の情報ブロック S_i とチェックブロック P_i とが区別される。その一方、情報ブロック S_i 内の同期ヘッダの低位ビットと、チェック語同期ヘッダとが取り除かれる。残りの情報が、バッファリングおよび分類されるためにFEC符号語バッファ中に送られる。

【0037】

ステップ630は次の通りである。分類されたFEC符号語に対してFEC復号化を実施する。この復号化プロセスでは、情報ブロック S_i 内の高位ビットと64ビット情報データとが回復され、冗長チェック情報(すなわちブロック P_i)が取り除かれる。図7に示すように、FEC復号化後の情報は、情報ブロック S_i 、および情報ブロック S_i の同期ヘッダ内の高位ビットのみを含む。

【0038】

ステップ640は次の通りである。FECによって復号化された情報がセグメント化され、すなわち K 個のセグメントに分割される。各セグメントは、64ビット情報データ、および同期ヘッダ内の高位ビットを含む。

【0039】

ステップ650は次の通りである。セグメント化された K 個の情報ブロックに対してライン復号化が実行される。具体的には、同期ヘッダ内の低位ビット、FEC復号化から得られた情報ブロック内にある同期ヘッダ内の高位ビットおよび情報データに対して、64b/66bライン復号化が実行される。このライン復号化では、64ビット情報データのタイプは、同期ヘッダ内の高位ビットによって特定される。同期ヘッダ内の低位ビットは受信時に得られ、またはFEC復号化後に得られる高位ビットの否定からもたらされる。図7に、ライン復号化後の情報を示す。

【0040】

ステップ660は次の通りである。ライン復号化後の情報が逆スクランブルされ、その逆スクランブルされた情報がXGMIIを介して調停副層に送られる。

【0041】

低位ビットは、ブロック同期のみを目的とするビットであり、FEC符号化および復号化に関わらず、ブロック同期がFEC復号化の前に実行されるので、そのことはシステム性能に影響しない。にもかかわらず、FEC符号化によって保護される必要のある情報は低減され、同じサイズのチェックブロックでより高い符号化利得が得られる。データタイプを示

10

20

30

40

50

すビットがFEC符号化によって保護されるので、より高い符号化利得がデータタイプを正しく特定する確率を高める。

【 0 0 4 2 】

本発明の第3の実施形態は、データを符号化および伝送する方法に関する。この第3の実施形態は、第1の実施形態とほぼ同じだが、次の点で異なる。第1の実施形態では、FEC符号化に関わる情報の長さは $65 \cdot K$ ビットであり、この長さはFEC符号化に必要な長さに適合する。第3の実施形態では、FEC符号化に必要な長さは $66 \cdot K$ ビットであり、したがって、シーケンスの長さがFEC符号化に必要な長さに適合するように、 K 個の所定の埋め込みビット(全て0または全て1)を、情報データおよび高位ビットを含むシーケンスの所定位置に挿入する必要がある。

10

【 0 0 4 3 】

具体的には、製造業者はハードウェアを開発する過程において、概して固定レートおよび固定データ長を有する1つのタイプのFEC符号器のみを作る。例えば、FEC符号化に関わるデータの長さが $66 \cdot K$ ビットであるとする。そのようなFEC符号化モードに必要なデータ長の構成は、 $64b/66b$ ライン符号化後の全ての符号語がFEC符号化に関わることを想定する。したがって、情報ブロックの数量が K 個に達すると、情報データの長さ($64 \cdot K$ ビット)と高位ビットの長さ(K ビット)との合計が、必要な長さ($66 \cdot K$ ビット)よりも短くなる。本実施形態では、所定の埋め込みビット(0など)が、各情報ブロック内の高位ビットと情報データとの間(すなわち低位ビットがもともとあった位置)に挿入される。このようにして、情報ブロックの数量が K 個に達した場合に、FEC符号化に必要な長さが満たされる。この「0」は、情報ブロックの特定の位置に埋め込まれる。したがって、FEC符号化の後、その情報内の埋め込み「0」を、短縮符号化フィルタによって取り除くことができる。図8に示すように、この「0」はチャンネル上に伝送されない。

20

【 0 0 4 4 】

65 ビットのみが検証される必要があり、埋め込み「0」は、チェックブロックと復号化される情報との間の制約関係を高める。 66 ビットを検証するシナリオと比較し、本実施形態は同じサイズのチェック情報でより高い符号化利得をもたらす。

【 0 0 4 5 】

第3の実施形態でのデータを符号化および伝送する方法に対応して、本発明の第4の実施形態は、データを受信および復号化する方法に関する。この第4の実施形態は、第2の実施形態とほぼ同じだが、次の点で異なる。第4の実施形態では、低位ビットを取り除いた後、かつ情報データおよび高位ビットを含むシーケンスに対してFEC復号化を実行する前に、そのシーケンスの長さがFEC復号化に必要な長さにまで増えるように、送信側で埋め込まれた K 個の所定のビットをそのシーケンスの所定位置に挿入する必要がある。つまり同期ヘッダの低位ビットの位置に0が埋め込まれ、次いで K 個の0が埋め込まれたそのシーケンスに対してFEC復号化が実行される。FEC復号化の後、埋め込みビット「0」は復号化結果から取り除かれる。

30

【 0 0 4 6 】

明らかに、第3の実施形態および第4の実施形態では、情報ブロック内の高位ビットの長さや情報データの長さとの和がFEC符号化および復号化に必要な長さよりも短い場合、必要な長さを構成するように所定の埋め込みビットが埋め込まれ、その後、FEC符号化および復号化が実行される。このようにして、たとえFEC符号化または復号化の長さが固定されていながら情報ブロック内の高位ビットと情報データとの合計の長さよりも長い場合にも長さの要件が満たされる。保護する必要があるビットがより少なく、新しく追加される埋め込みビットが事前に知られているため、チェック情報と保護される情報との間の制約関係が高められ、同じサイズのチェック情報でより高い符号化利得が生じる。

40

【 0 0 4 7 】

FEC符号化は、伝送されるバッファリングされた情報ブロック S_i が、FEC符号化フレームを構成するのに十分な場合にのみ実行される。本実施形態では、バッファリングされたデータが十分でない場合、FEC符号化を遅れずにトリガし、通信遅延を短縮するために埋め

50

込みブロックがバッファ中に埋め込まれる。FEC符号化の後、それらの埋め込みブロックは符号化結果から取り除かれ、こうして余計なデータが伝送されるのを避ける。

【 0 0 4 8 】

本発明の第5の実施形態は、データを符号化および伝送する方法に関する。この第5の実施形態は、第1の実施形態とほぼ同じだが、次の点で異なる。第1の実施形態では、送信側が情報ブロックをスクランブルし、その後64b/66bライン符号化を実行する。第5の実施形態では、送信側が情報ブロックに対して64b/66bライン符号化を実行し、その後情報ブロックをスクランブルする。つまり送信側が、情報ブロックに対して64b/66bライン符号化を実行し、同期ヘッダを構成し、その後、64b/66bライン符号化にかけられたその64ビット情報データをスクランブルする。情報タイプを運ぶ同期ヘッダ内の高位ビットは、バッファリングおよび分類されるために符号語バッファリング/分類モジュールに送られる。同期ヘッダ内の低位ビットは、バッファリングおよび分類されるために同期ヘッダバッファリング/分類モジュールに送られる。図9に示すように、このプロセスの残りの部分は第1の実施形態のものと同じである。したがって、受信側は、最初に情報ブロック内の64ビット情報データを逆スクランブルし、次いで64b/66bライン復号化を実行する必要がある。

10

【 0 0 4 9 】

本発明の第6の実施形態は、データを符号化および伝送する方法に関する。この第6の実施形態は、第1の実施形態とほぼ同じだが、次の点で異なる。第1の実施形態では、送信側は64b/66bライン符号化を実行するのに対し、第6の実施形態では、送信側は64b/65bライン符号化を実行する。つまり、64b/65bライン符号化後の情報ブロック内の64ビット情報データと、生成されたデータタイプを示すビット(高位ビット)とが、FEC符号器の入力データビットとしてバッファ中に送られる。図10に示すように、バッファ中のデータビットがFEC符号化データフレームを構成すると、それらのビットが符号化されるために合わせてFEC符号器中に送られ、同期ヘッダ内の低位ビットを得るために、64b/65bライン符号化後に生成された高位ビットが否定される。したがって、64b/65bライン復号化も受信側で適用され、ライン復号化時に、同期ヘッダ内の高位ビットによって情報データのタイプが特定される。

20

【 0 0 5 0 】

図11に示すように、本実施形態のプロセスは次の通りである。スクランブルされた情報ブロックに対して64b/65bライン符号化が実行され、このライン符号化のプロセスでは、情報ブロックのデータタイプに応じて1ビットのデータ/制御ヘッダ(すなわち高位ビット)が生成される。64b/65bライン符号化にかけられたこの64ビット情報データと高位ビットとがバッファリングおよび分類される。この高位ビットが否定されるためにNOTゲートに送られた後、低位ビットが得られる。その低位ビットは同期ヘッダバッファリング/分類モジュールに送られ、この同期ヘッダバッファリング/分類モジュールは、各情報ブロック内の低位ビットをバッファリングおよび分類する。残りのプロセスは第1の実施形態のものと同じであり、ここではこれ以上繰り返し説明しない。図12は、本実施形態での情報ブロックを操作するプロセスを示す。

30

【 0 0 5 1 】

本実施形態では、64b/65bライン符号化を例にとる。実際には32b/33bライン符号化も適用可能である。したがって、本実施形態は柔軟に遂行することができる。

40

【 0 0 5 2 】

本発明の第7の実施形態は、データを符号化および伝送するための機器に関する。この機器は、伝送される情報ブロックの情報データに対して、およびその情報ブロックのブロックヘッダ内のM個の高位ビットに対してFEC符号化を実行し、チェックブロックを生成するように構成されたFEC符号化モジュールと、その情報ブロックおよびその情報ブロックに対応するチェックブロックを送信するように構成された送信モジュールと、を含み、情報ブロックのブロックヘッダ内の全てのビットは重要度に応じて事前にM個の高位ビットとN個の低位ビットとに分類され、各情報ブロックはブロックヘッダおよび情報データを

50

含み、そのブロックヘッダのサイズは $M+N$ (M と N は整数 $M \geq 0$ 、 $N \geq 1$)である。本実施形態では、ブロックヘッダは同期ヘッダであり、ブロック同期を目的とする2ビットを含む。その2ビットのうち、1ビットはブロック同期のためだけでなく、同じ情報ブロック内の情報データのタイプを示すことも目的とする。このビットが高位ビットであり、もう1ビットが低位ビットである。さらに、本実施形態での機器は、スクランブルモジュール、ライン符号化モジュールおよびバッファリング/分類モジュールも含む。

【0053】

スクランブルモジュールは、情報データをスクランブルするように構成される。ライン符号化モジュールは、情報データに対してライン符号化を実行し、同期ヘッダを生成し(その同期ヘッダはその情報の先頭または末尾に配置される)、その情報データとその同期ヘッダの高位ビットとをFEC符号化モジュールに出力し、その同期ヘッダ内の低位ビットを、同じ情報ブロックを処理しているFEC符号化モジュールの結果と合わせて送信モジュールに出力するように構成される。バッファリング/分類モジュールは、FEC符号化モジュール中に入力される必要がある情報をバッファリングおよび分類するように構成される。

【0054】

具体的には、図13に示すように、ライン符号化モジュール(すなわち図中の64b/66bライン符号器)は、スクランブルされた64ビット情報データに対してライン符号化を実行する。このライン符号器は、情報のタイプに応じて対応する同期ヘッダ(この同期ヘッダは情報の先頭または末尾に配置することができる)を追加し、次いでこの64b/66bライン符号器は、ライン符号化にかけられた66ビット情報を、対応するバッファ/分類機に送る。64ビット情報データと生成された同期ヘッダの高位ビットとがバッファリング/分類モジュール(すなわち図中のFEC入力情報バッファ/分類機)に送られる。FEC符号化モジュール中に入力される必要がある情報はバッファリングおよび分類され、同期ヘッダ内のもう一方の低位ビットは同期ヘッダバッファ/分類機に送られる。各バッファ/分類機は、一定の規則に従ってデータを記憶する。

【0055】

FEC入力情報バッファ/分類機中に記憶されたデータが、FEC符号化モジュール(すなわち図中のFEC符号器)によって必要とされる情報の長さ「 $65 \cdot K$ 」に達すると、FEC入力情報バッファはそのデータセットを順次FEC符号器に送り、その後、新しい情報ブロックを受信および記憶し始める。その一方で、同期ヘッダバッファが、長さ K の同期データを送信モジュール(すなわち図中のフレーミングモジュールおよびレート調整器)に送る。この送信モジュールは、一定の規則に従いその K 個の低位ビットを情報ブロックの対応する位置に記憶する。

【0056】

データセットを受け取った後、FEC符号器はそのデータセットを一定の符号化規則に従って符号化し、対応するチェック語を生成する。FEC符号化が完了すると、FEC符号器はそのデータセットをFEC出力情報バッファ/分類機に(または送信モジュールに直接)送る。同時に、FEC符号器はそのチェック語をチェック語バッファ/分類機に送る(あるいは、FEC符号器はそのチェック語をチェック語64b/66bライン符号器に最初に送り、同期ヘッダを追加し、同期ヘッダが追加されたそのチェック語をチェック語バッファ/分類機に送る)。FEC出力情報バッファ/分類機およびチェック語バッファ/分類機が受け取り済みデータで満杯になった後、そのデータが送信モジュールに送られる。その送信モジュール内のフレーミングモジュールが、送られる情報の再構築およびフレーミングを実行し、その送信モジュール内のレート調整器がフレームされた情報に対してレート調整を行い、その情報をさらに送信するためにPMAに送る。

【0057】

本実施形態では、同期ヘッダ内の高位ビットのみがFEC符号化に関わるので、同じサイズのチェックブロックでより高い符号化利得が得られる。データタイプを示す高位ビットがFEC符号化によって保護されるので、より高い符号化利得がデータタイプを正しく特定する確率を高める。

【 0 0 5 8 】

本実施形態では、64b/66bライン符号器は、スクランブルモジュールによって出力されたスクランブル結果に対してライン符号化を実行する。実際は、64b/66bライン符号器が最初にライン符号化を実行し、その結果もたらされた64b/66bライン符号器の出力をスクランブルモジュールがスクランブルし、そのスクランブルした結果をバッファリングまたは分類し、およびFEC符号器に出力するためにFEC入力情報バッファ/分類機に送ることも可能である。

【 0 0 5 9 】

さらに、情報ブロックの情報データの長さ(Y)と高位ビットの数量(M)との和が、FEC符号化に必要な長さ(Z)よりも短い場合、本実施形態のデータ伝送機器は、埋め込みモジュールおよびフィルタを含むこともできる。その埋め込みモジュールは、FEC符号化モジュール中に入力される必要がある情報データおよび高位ビットを含むシーケンスをバッファリングし、Z-Y-M(Z引くY引くM)個の所定の埋め込みビットをそのシーケンスの所定位置に挿入するように構成される。このようにして、そのシーケンスの長さがZにまで増え、FEC符号化または復号化の長さが固定されていながら情報ブロックの高位ビットの長さ(と情報データの長さ(YとZは正の整数である)との和よりも長い場合にも長さの要件が満たされる。その後、そのシーケンスはFEC符号化モジュールに出力される。そのフィルタは、FEC符号化モジュールによって出力された符号化結果から埋め込みビットを取り除き、次いでその符号化された結果を送信モジュールに出力するように構成される。

【 0 0 6 0 】

本発明の第8の実施形態は、データを符号化および伝送するための機器に関する。この第8の実施形態は、第7の実施形態とほぼ同じだが、次の点で異なる。第7の実施形態では、FEC符号器が符号化された情報データをFEC出力情報バッファ/分類機に送り、同時にチェック語をチェック語バッファ/分類機に送り、FEC出力情報バッファ/分類機が受け取り済みデータで満杯になった後、そのデータが送信モジュールに送られる。本実施形態では、FEC入力情報バッファ/分類機中に記憶されたデータの長さが、FEC符号器によって必要とされる情報の長さ「65*K」に達した後、そのデータセットが順次FEC符号器に、ならびにフレーミングするために送信モジュールに送られる。図14は、本実施形態でのこの機器の構成を示す。第7の実施形態での機器に比べ、本実施形態における機器はより単純である。

【 0 0 6 1 】

本発明の第9の実施形態は、データを符号化および伝送するための機器に関する。この第9の実施形態は、第7の実施形態とほぼ同じだが、次の点で異なる。第7の実施形態では、ライン符号化モジュールが64b/66bライン符号器であるのに対し、第9の実施形態では、ライン符号化モジュールが64b/65bライン符号器である。したがって、このライン符号化モジュールは、情報データに対してライン符号化を実行し、同期ヘッダ内の高位ビットを生成し、その情報データと同期ヘッダ内の高位ビットとをFEC符号化モジュールに出力するように構成される。さらに、本実施形態での機器は否定モジュールも含む。この否定モジュールは、64b/65bライン符号器によって出力された同期ヘッダ内の高位ビットに対して否定操作を実行するように構成される。その否定操作の結果と、同じ情報ブロックに対するFEC符号化モジュールの処理結果とが合わせて送信モジュールに出力される。

【 0 0 6 2 】

具体的には、図15に示すように、この64b/65bライン符号器はスクランブルされた64ビット情報データに対してライン符号化を実行する。この64b/65bライン符号器は、情報のタイプに応じて1ビットのデータ/制御ヘッダ(すなわちデータタイプ情報を運ぶ高位ビット)を生成し、その高位ビットをFEC入力情報バッファ/分類機に送る。その後、高位ビットはNOTゲートに送られ、次いで同期ヘッダバッファ/分類機に送られる。この64b/65bライン符号器は、ライン符号化にかけられた64ビット情報データおよび高位ビットもFEC入力情報バッファ/分類機に送る必要がある。残りの機器は第7での各機器と同じであり、ここではこれ以上繰り返し説明しない。

【0063】

本発明の第10の実施形態は、データを符号化および伝送するための機器に関する。この第10の実施形態は、第9の実施形態とほぼ同じだが、次の点で異なる。第9の実施形態では、FEC符号器が符号化された情報データをFEC出力情報バッファ/分類機に送り、同時にチェック語をチェック語バッファ/分類機に送り、FEC出力情報バッファ/分類機が受け取り済みデータで満杯になった後、そのデータが送信モジュールに送られる。本実施形態では、FEC入力情報バッファ/分類機中に記憶されたデータの長さが、FEC符号器によって必要とされる情報の長さ「 $65 \cdot K$ 」に達した後、そのデータセットが順次FEC符号器に送られ、さらにフレーミングするために順次送信モジュールにも送られる。図16は、本実施形態でのこの機器の構成を示す。

10

【0064】

本発明の第11の実施形態は、データを復号化および受信するための機器に関する。この機器は、情報ブロックおよびその情報ブロックに対応するチェックブロックを受信するように構成された受信モジュールと、そのチェックブロックを使用して、受信した情報ブロックの情報データに対して、およびその受信した情報ブロックのブロックヘッダ内のM個の高位ビットに対してFEC復号化を実行するように構成されたFEC復号化モジュールであって、その情報ブロックのブロックヘッダ内のN個の低位ビットはFEC復号化に関わらない、FEC復号化モジュールと、を含む。情報ブロックのブロックヘッダ内の全てのビットは重要度に応じて事前にM個の高位ビットとN個の低位ビットとに分類され、各情報ブロックはブロックヘッダおよび情報データを含み、そのブロックヘッダのサイズは $M+N$ (M と N は整数 $M \geq 0$ 、 $N \geq 1$)である。本実施形態では、ブロックヘッダは同期ヘッダであり、ブロック同期を目的とする2ビットを含む。その2ビットのうち、1ビットはブロック同期のためだけでなく、同じ情報ブロック内の情報データのタイプを示すことも目的とする。このビットが高位ビットであり、もう1ビットが低位ビットである。さらに、本実施形態での機器は、復号化モジュールおよび逆スクランブルモジュールも含む。

20

【0065】

具体的には、図17に示すように、受信モジュール内の同期装置が、情報ブロックおよびその情報ブロックに対応するチェックブロックを受け取る。この同期装置は、情報ブロックの同期ヘッダに従い、受け取った情報に対してブロック同期を実行し、ブロック同期の結果に応じた情報ブロックおよびその情報ブロックに対応するチェックブロックを得るように構成される。その後、この受信モジュールが、受け取った情報ブロックおよびその情報ブロックに対応するチェックブロックをFEC復号化モジュールに送る。このFEC復号化モジュールが、情報ブロック内の情報データ、およびデータタイプ情報を運ぶブロックヘッダ内の高位ビットを復号化し、復号化した結果をライン復号化モジュールに、すなわち図中の64b/66bライン復号器に送る。この64b/66bライン復号器は、同期ヘッダ内の低位ビット、FEC復号化モジュールによって出力された情報ブロック内の情報データ、およびその情報ブロックの同期ヘッダ内の高位ビットに対してライン復号化を実行するように構成される。このライン復号化では、情報データのタイプは同期ヘッダ内の高位ビットによって特定される。

30

【0066】

64b/66bライン復号器の受信モジュールが、低位ビットをライン復号器に直接送る。あるいはこの機器は、FEC復号化モジュールによって出力された高位ビットを否定し、その否定した結果を低位ビットとして64b/66bライン復号器に出力し、これにより64b/66bライン復号器がこの低位ビットを得るように構成された変換モジュールを含む。

40

【0067】

その後、この64b/66bライン復号器が、ライン復号化の結果を逆スクランブルモジュールに出力する。この逆スクランブルモジュールは、情報データを逆スクランブルする。

【0068】

本実施形態では、逆スクランブルモジュールは、64b/66bライン復号器によって出力された情報を逆スクランブルする。実際は、送信側でのライン符号化の順序および情報プロ

50

ックに対するスクランブルの順序に応じて、この逆スクランブルモジュールは、最初にFEC復号化モジュールによって出力された情報データを逆スクランブルし、次いでその逆スクランブルした結果を、ライン復号化を実行する64b/66bライン復号器に出力することもできる。

【0069】

さらに、情報ブロック内の情報データの長さ(Y)と高位ビットの数量(M)との和が、FEC復号化に必要な長さ(Z)よりも短い場合、本実施形態のこの機器は、埋め込みモジュールおよびフィルタを含むこともできる。その埋め込みモジュールは、FEC復号化モジュール中に入力される必要がある情報データおよび高位ビットを含むシーケンスをバッファリングし、Z-Y-M(Z引くY引くM)個の所定の埋め込みビットをそのシーケンスの所定位置に挿入するように構成される。このようにして、そのシーケンスの長さがZにまで増える(YとZは正の整数である)。その後、そのシーケンスは復号化されるためにFEC復号化モジュールに出力される。そのフィルタは、FEC復号化モジュールによって出力された復号化結果から埋め込みビットを取り除くように構成される。

10

【0070】

本発明の第12の実施形態は、データを復号化および受信するための機器に関する。この第12の実施形態は、第11の実施形態とほぼ同じだが、次の点で異なる。第11の実施形態では、ライン復号化モジュールが64b/66bライン復号器であるのに対し、第12の実施形態では、ライン復号化モジュールが64b/65bライン復号器である。したがって、このライン復号化モジュールは、FEC復号化モジュールによって出力された情報ブロック内の情報データ、およびその情報ブロックの同期ヘッダ内の高位ビットに対してライン復号化を実行するように構成される。このライン復号化では、情報データのタイプは同期ヘッダ内の高位ビットによって特定される。

20

【0071】

要約すると、本発明の諸実施形態では、情報ブロックのブロックヘッダ内の低位ビットはFEC符号化に関わらない。したがって、同じサイズのチェックブロックによってより少ない重要情報ビットが保護され、FEC符号化はより高い符号化利得を達成し、重要情報ビットの誤り確率を低減する。従来技術と比較し、本発明によるこの技術的解決策は、実装の複雑さを増すことなくより高い符号化利得を達成し、そのため10GB EPONシステムのパワーバジェットを増大させる。

30

【0072】

ブロックヘッダは同期ヘッダとすることができる。データタイプを示すビットが高位ビットであり、FEC符号化によって保護される。ブロック同期のみを目的とするビットが低位ビットであり、この低位ビットはFEC符号化および復号化に関わらない。ブロック同期はFEC復号化の前に実行される。したがって、ブロック同期のみを目的とするビットはFEC符号化および復号化に関わらず、このことはシステム性能に影響しない。にもかかわらず、FEC符号化によって保護される必要のある情報は低減され、同じサイズのチェックブロックでより高い符号化利得が得られる。データタイプを示すビットがFEC符号化によって保護されるので、より高い符号化利得がデータタイプを正しく特定する確率を高める。

40

【0073】

同期ヘッダの全てのビットは、64b/66bや32b/34bなどのライン符号化によって生成することができる。オプションとして、64b/65bや32b/33bなどのライン符号化が実行された後、同期ヘッダ内のもう一方のビットを得るためにデータタイプを示すビットが否定され、こうして本発明を柔軟に実施できるようにしている。

【0074】

情報データのスクランブルは、伝送される情報が十分な遷移を有することを最大限に保証し、クロック回復を容易にする。

【0075】

情報ブロックの高位ビットの数量の長さ、情報データの長さとの和が、FEC符号化または復号化に必要な長さよりも短い場合、必要な長さを構成するように所定の埋め込みビッ

50

ト(全て0や全て1など)を埋め込むことができ、その後FEC符号化または復号化が実行される。このようにして、たとえFEC符号化または復号化の長さが固定されていながら情報ブロック内の高位ビットと情報データとの合計の長さよりも長い場合にも長さの要件が満たされる。保護する必要があるビットがより少なく、新しく追加される埋め込みビットが事前に知られているため、チェック情報と保護される情報との間の制約関係が高められ、同じサイズのチェック情報でより高い符号化利得が生じる。

【 0 0 7 6 】

FEC符号化または復号化の後、埋め込みビットは符号化結果または復号化結果から取り除くことができ、こうして他の処理ステップに埋め込みビットが余計に伝送されることを減らす。

【 0 0 7 7 】

本発明をいくつかの好ましい実施形態および添付の図面によって説明してきたが、本発明はそれらの実施形態に限定されない。本発明の精神および範囲から逸脱することなく、当業者が本発明に対して様々な修正および改変を行うことができることは明らかである。

【 図 1 】

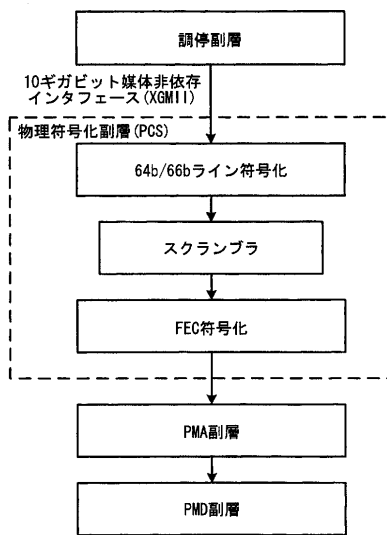


FIG. 1

【 図 2 】

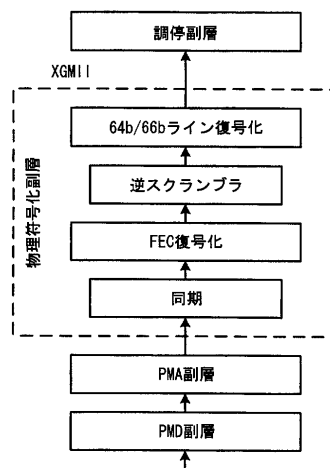


FIG. 2

【 図 3 】

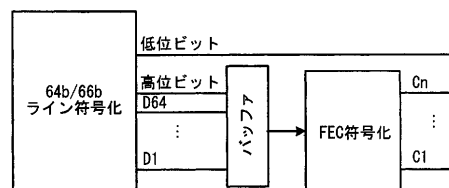


FIG. 3

【 図 4 】

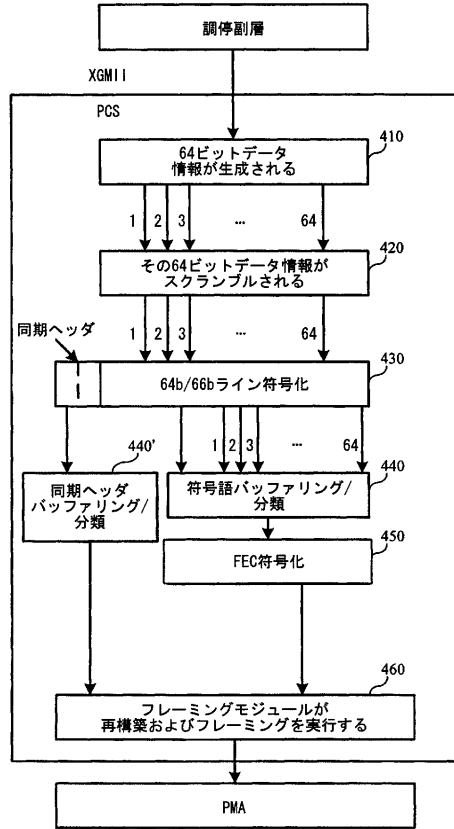


FIG 4

【 図 5 】

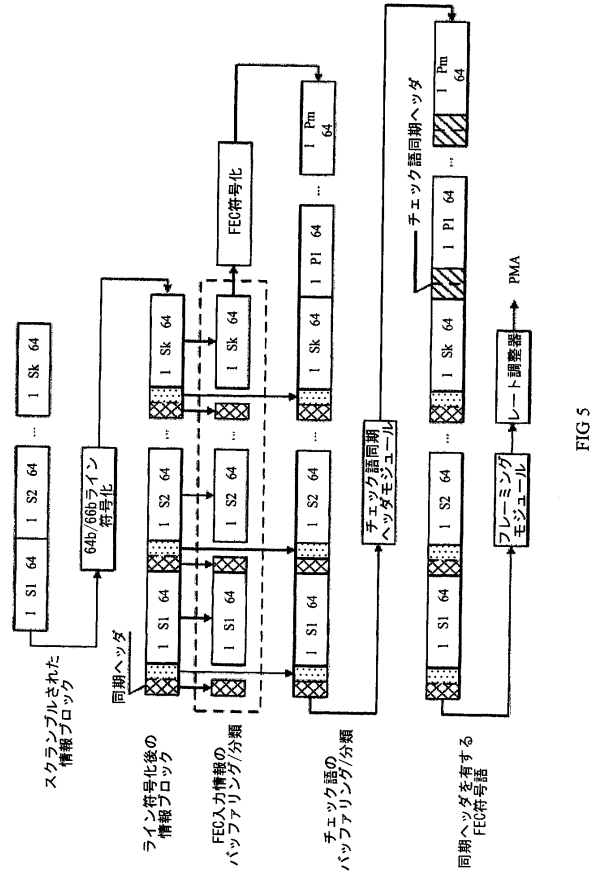


FIG 5

【 図 6 】

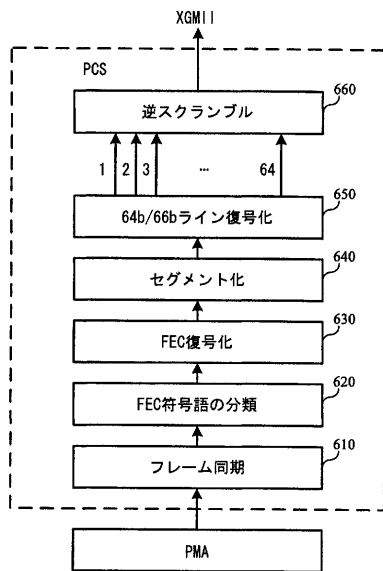


FIG 6

【 図 7 】

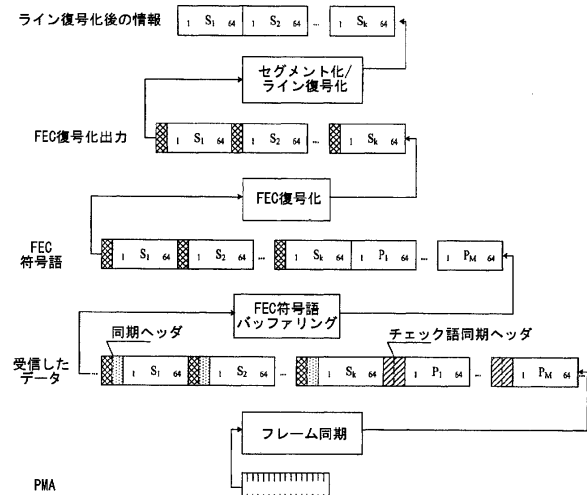


FIG 7

【図8】

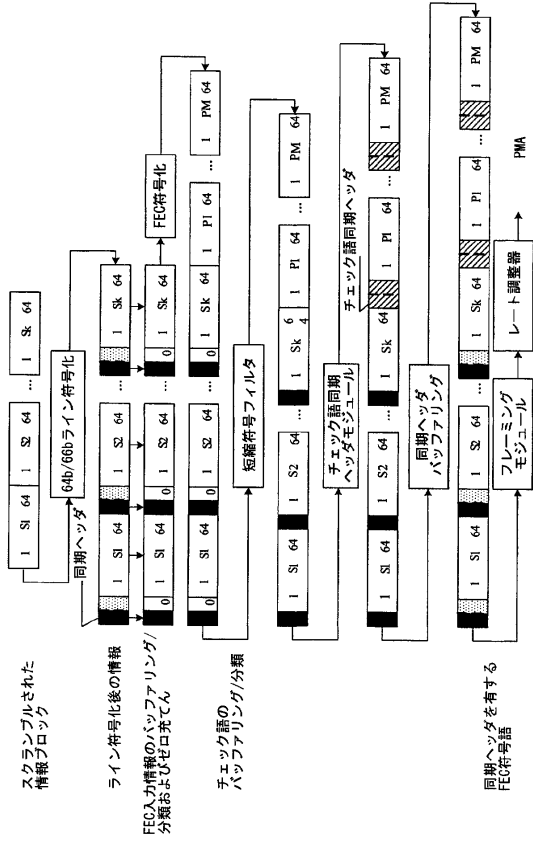


FIG 8

【図9】

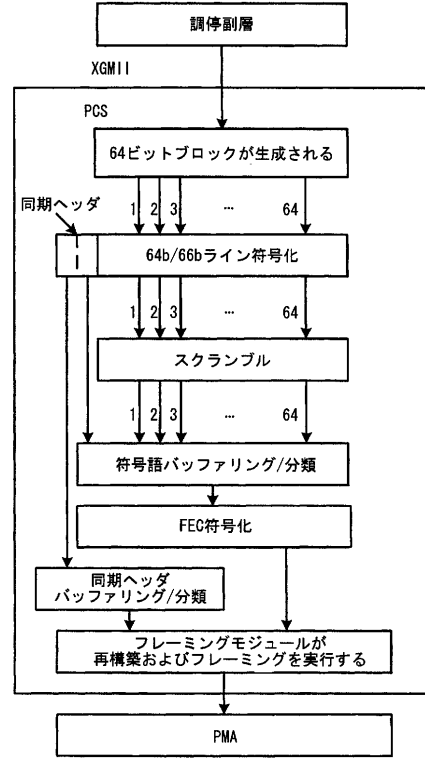


FIG 9

【図10】

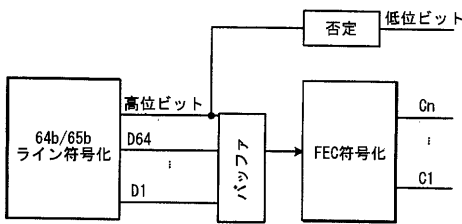


FIG 10

【図11】

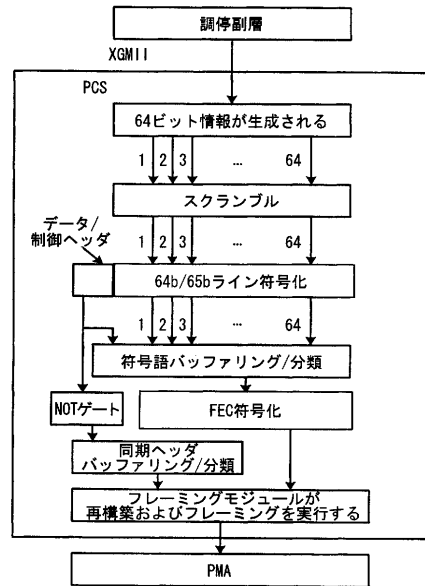


FIG 11

【図12】

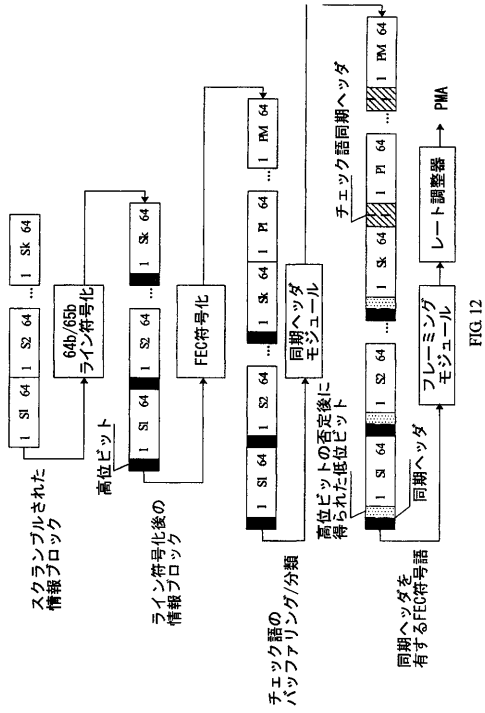


FIG. 12

【図13】

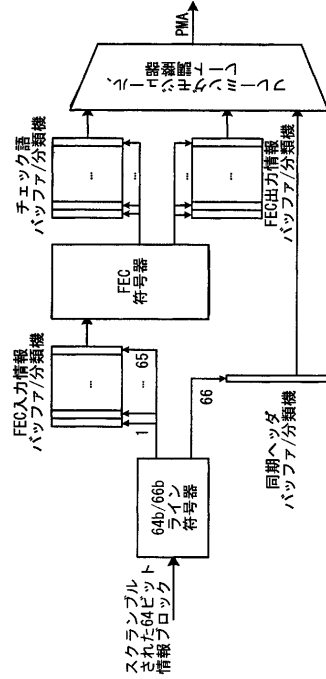


FIG. 13

【図14】

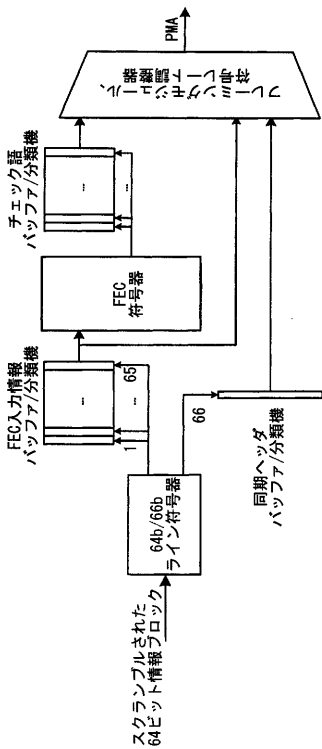


FIG. 14

【図15】

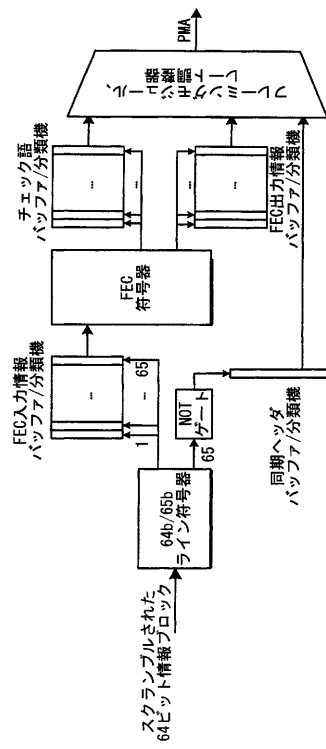


FIG. 15

【 図 16 】

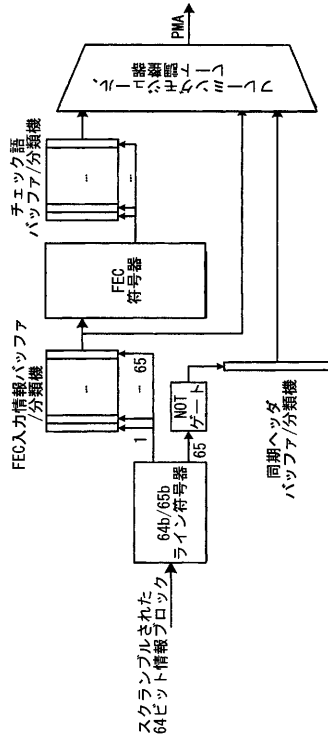


FIG. 16

【 図 17 】

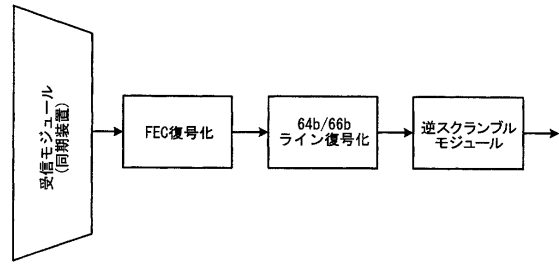


FIG. 17

フロントページの続き

(72)発明者 封 ドン ニン

中華人民共和国 5 1 8 1 2 9 広東省 深セン 市龍岡区坂田華為本社ビル

(72)発明者 耿 ドン 玉

中華人民共和国 5 1 8 1 2 9 広東省 深セン 市龍岡区坂田華為本社ビル

審査官 谷岡 佳彦

(56)参考文献 特開 2 0 0 5 - 0 6 5 1 3 0 (J P , A)

特開 2 0 0 2 - 3 6 8 7 2 3 (J P , A)

特開 2 0 0 6 - 1 3 5 8 7 1 (J P , A)

Andrey Belogolovy, et al., Forward Error Correction for 10GBASE-KR [Proposed Text], doc .: IEEE 802.3ap-00/0000r3, 2 0 0 5 年 9 月, U R L , http://grouper.ieee.org/groups/802/3/ap/public/sep05/ganga_01_0905.pdf

10Gb/s EPON FEC-Coding gain vs power budget, 2 0 0 6 年 9 月, U R L , http://www.ieee802.org/3/10GEAPON_study/email/ppt00001.ppt

Frank Effenberger, et al., FEC Synchronization and Framing, 2 0 0 7 年 1 月, U R L , http://www.ieee802.org/3/av/public/2007_01/3av_0701_effenberger_1.pdf

Glen Kramer, et al., Shortened FEC Frames for 10GEAPON: Is there any advantage?, 802/3/av/public/2006_11/3av_0611_kramer_1.pdf, 2 0 0 6 年 1 1 月, U R L , http://grouper.ieee.org/groups/802/3/av/public/2006_11/3av_0611_kramer_1.pdf

(58)調査した分野(Int.Cl., D B 名)

H 0 4 L 1 / 0 0