【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第６部門第４区分
【発行日】令和5年8月17日(2023.8.17)

【国際公開番号】WO2021/094844
【出願番号】特願2021-555897(P2021-555897)
【国際特許分類】
*Ｇ１１Ｃ 11/404(2006.01)*
*Ｇ１１Ｃ 11/405(2006.01)*
*Ｇ０６Ｆ 12/00(2006.01)*
*Ｇ０６Ｆ 12/06(2006.01)*
*Ｇ０６Ｆ 13/16(2006.01)*
【ＦＩ】
Ｇ１１Ｃ 11/404１００
Ｇ１１Ｃ 11/405
Ｇ０６Ｆ 12/00 ５６０Ｂ
Ｇ０６Ｆ 12/06 ５２５Ｃ
Ｇ０６Ｆ 13/16 ５１０Ａ

【手続補正書】
【提出日】令和5年8月8日(2023.8.8)
【手続補正１】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
ＮＡＮＤ型の記憶部と、コントローラと、を有し、
前記記憶部は、それぞれブロックの異なる、第１ストリングと、第２ストリングと、を有し、
前記第１ストリングと、前記第２ストリングと、のそれぞれは、チャネル形成領域に金属酸化物を含むトランジスタを有し、
前記第１ストリングは、第１メモリセルを有し、
前記第２ストリングは、第２メモリセルを有し、
前記コントローラは、第１データと、前記第１データを書き込む命令を含む信号と、を受け取ることで、前記第１データを前記第１メモリセルに書き込みを行って、その後、前記第１メモリセルから前記第１データを読み出して、前記第２メモリセルに前記第１データを書き込む機能を有する、
情報処理装置。
【請求項２】
ＮＡＮＤ型の記憶部と、コントローラと、を有し、
前記記憶部は、それぞれブロックの異なる、第１ストリングと、第２ストリングと、第３ストリングと、を有し、
前記第１ストリングと、前記第２ストリングと、前記第３ストリングと、のそれぞれは、チャネル形成領域に金属酸化物を含むトランジスタを有し、
前記第１ストリングは、第１メモリセルを有し、
前記第２ストリングは、第２メモリセルと、第３メモリセルと、を有し、
前記第３ストリングは、第４メモリセルを有し、
前記コントローラは、第１データと、前記第２メモリセルに保持されている第２データ

を前記第１データに書き換える命令を含む信号と、を受け取ることで、
　前記第１データを前記第１メモリセルに書き込みを行って、
　前記第３メモリセルに保持されている第３データを読み出して、前記第３データを前記第４メモリセルに書き込みを行って、
　前記第２メモリセルに保持されている前記第２データ、及び前記第３メモリセルに保持されている前記第３データの消去を行って、
　前記第１メモリセルに保持されている前記第１データを読み出して、前記第１データを前記第２メモリセルに書き込みを行って、
　前記第４メモリセルに保持されている前記第３データを読み出して、前記第３データを前記第３メモリセルに書き込みを行う機能を有する、
　情報処理装置。
【請求項３】
　ＮＡＮＤ型の記憶部と、コントローラと、を有し、
　前記記憶部は、それぞれブロックの異なる、第１ストリングと、第２ストリングと、を有し、
　前記第１ストリングと、前記第２ストリングのそれぞれは、チャネル形成領域に金属酸化物を含むトランジスタを有し、
　前記第１ストリングは、第１メモリセルを有し、
　前記第２ストリングは、第２メモリセルを有する、情報処理装置の動作方法であって、
　第１ステップと、第２ステップと、第３ステップと、を有し、
　前記第１ステップは、
　　前記コントローラが、第１データと、前記第１データを書き込む命令を含む信号と、を受け取るステップと、
　　前記コントローラによって、前記第１データが前記第１メモリセルに書き込まれるステップと、を有し、
　前記第２ステップは、前記コントローラによって、前記第１メモリセルから前記第１データが読み出されるステップを有し、
　前記第３ステップは、前記コントローラによって、前記第２ステップで読み出された前記第１データが前記第２メモリセルに書き込まれるステップを有する、
　情報処理装置の動作方法。
【請求項４】
　ＮＡＮＤ型の記憶部と、コントローラと、を有し、
　前記記憶部は、それぞれブロックの異なる、第１ストリングと、第２ストリングと、第３ストリングと、を有し、
　前記第１ストリングと、前記第２ストリングと、前記第３ストリングと、のそれぞれは、チャネル形成領域に金属酸化物を含むトランジスタを有し、
　前記第１ストリングは、第１メモリセルを有し、
　前記第２ストリングは、第２メモリセルと、第３メモリセルと、を有し、
　前記第３ストリングは、第４メモリセルを有する、情報処理装置の動作方法であって、
　第１ステップと、第２ステップと、第３ステップと、第４ステップと、第５ステップと、第６ステップと、第７ステップと、第８ステップを有し、
　前記第１ステップは、
　　前記コントローラが、第１データと、前記第２メモリセルに保持されている第２データを前記第１データに書き換える命令を含む信号と、を受け取るステップと、
　　前記コントローラによって、前記第１データが前記第１メモリセルに書き込まれるステップと、を有し、
　前記第２ステップは、前記コントローラによって、前記第３メモリセルに保持されている第３データが読み出されるステップを有し、
　前記第３ステップは、前記コントローラによって、前記第２ステップで読み出された前記第３データが前記第４メモリセルに書き込まれるステップを有し、

前記第４ステップは、前記コントローラによって、前記第２メモリセルに保持されている前記第２データ、及び前記第３メモリセルに保持されている前記第３データの消去が行われるステップを有し、
前記第５ステップは、前記コントローラによって、前記第１メモリセルに保持されている前記第１データが読み出されるステップを有し、
前記第６ステップは、前記コントローラによって、前記第５ステップで読み出された前記第１データが前記第２メモリセルに書き込まれるステップを有し、
前記第７ステップは、前記コントローラによって、前記第４メモリセルに保持されている前記第３データが読み出されるステップを有し、
前記第８ステップは、前記コントローラによって、前記第７ステップで読み出された前記第３データが前記第３メモリセルに書き込まれるステップを有する、
情報処理装置の動作方法。