

公告本

申請日期	90 年 8 月 8 日
案 號	90119389
類 別	H01L 27/06

A4
C4

516166

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	半導體積體電路裝置及其製造方法
	英 文	
二、發明 人	姓 名	(1) 岩崎貴之 (2) 武內勇介 (3) 湯山芳章
	國 籍	(1) 日本 (2) 日本 (3) 日本
	住、居所	(1) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所(股)知的所有權本部內 (2) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所(股)知的所有權本部內 (3) 日本國東京都小平市上水本町五丁目二二番一 號日立超愛爾·愛斯·愛·系統(股)內
三、申請人	姓 名 (名稱)	(1) 日立製作所股份有限公司 株式会社日立製作所 (2) 日立超愛爾·愛斯·愛·系統股份有限公司 株式会社日立超エル·エス·アイ·システムズ
	國 籍	(1) 日本 (2) 日本
	住、居所 (事務所)	(1) 日本國東京都千代田區神田駿河台四丁目六番 地 (2) 日本國東京都小平市上水本町五丁目二二番一 號
	代 表 人 姓 名	(1) 庄山悅彦 (2) 小切間正彦

裝
訂
線

申請日期	90 年 8 月 8 日
案 號	90119389
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	
	英 文	
二、發明 人	姓 名	(4) 田邊慎一 (5) 酒井弘毅 (6) 根本峰弘
	國 籍	(4) 日本 (5) 日本 (6) 日本
	住、居所	(4) 日本國東京都小平市上水本町五丁目二番一號 日立超愛爾·愛斯·愛·系統(股)內 (5) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所(股)知的所有權本部內 (6) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所(股)知的所有權本部內
三、申請人	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

裝

訂

線

申請日期	90 年 8 月 8 日
案 號	90119389
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書
新 型

一、發明 名稱	中 文	
	英 文	
二、發明 人	姓 名	(7) 行武正剛 (8) 小嶋康行 (9) 渡邊篤雄
	國 籍	(7) 日本 (8) 日本 (9) 日本
	住、居所	(7) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所(股)知的所有權本部內 (8) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所(股)知的所有權本部內 (9) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所(股)知的所有權本部內
三、申請人	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

裝

訂

線

申請日期	90 年 8 月 8 日
案 號	90119389
類 別	

A4
C4

(以上各欄由本局填註)

發 明 型 專 利 說 明 書

一、發明 新型名稱	中 文	
	英 文	
二、發明 創作人	姓 名	☐ 堀内光明
	國 籍	☐ 日本 ☐ 日本國東京都千代田區丸之内一丁目五番一號 新丸大樓日立製作所(股)知的所有權本部內
三、申請人	住、居所	
	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ， 有 無主張優先權

日本 2000年 8月 14日 2000-245737 有主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

發明背景

本發明係關於半導體積體電路裝置及其製造方法，特別是關於適用在S O I (Silicon On Insulator) 基板上形成的高耐壓L S I (Large Scale Integrated Circuit) 的有效技術。

所謂S O I 基板，係指具有被形成於絕緣膜上的矽膜之基板，通訊用L S I 等高耐壓L S I 係由被形成於此S O I 基板上的複數半導體元件所構成。

此外，這些複數半導體元件，被形成於藉由絕緣膜被埋入的溝槽而被分離的島區域上，維持高耐電壓性。

例如，在特開平11-317445號公報，記載著以溝絕緣膜包圍數重電路區域，而得高耐壓性之半導體裝置。

如此要提高耐電壓，可以將前述島區域以溝槽覆蓋多重而對應。

然而，如接下來所詳細說明的，本案發明人發現相關的方法在提高耐電壓上有其極限。

發明概要

本發明之目的，係關於半導體積體電路裝置及其製造方法，提供高耐電壓之半導體積體電路裝置以及其製造方法。

此外，本發明之其他目的，在藉由提供高耐電壓之半導體積體電路以及其製造方法以提高半導體積體電路裝置

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(2)

的可信賴性。

本發明之前述目的與新穎的特徵，由本說明書之記載與附圖來詳加說明。

本發明所揭示的發明之中，具有代表性的發明的概要簡單說明如下。

本發明之半導體積體電路裝置，係在 S O I 基板的主表面上具有第 1 及第 2 電路區域，具有：包圍前述第 1 電路區域的第 1 絕緣分離溝，包圍此第 1 絕緣分離溝的第 2 絕緣分離溝，包圍前述第 2 電路區域的第 3 絕緣分離溝，與包圍此第 3 絕緣分離溝的第 4 絕緣分離溝；以配線電阻或者 S O I 基板中的擴散電阻接續第 1 電路區域與以前述第 1 與第 2 絕緣分離溝所區隔的第 1 分離區域。此外，以配線電阻或者 S O I 基板中的擴散電阻接續前述第 1 分離區域與前述第 2 與第 4 絕緣分離溝之間延伸的中間區域。此外，以配線電阻或者 S O I 基板中的擴散電阻接續前述第 2 電路區域與以前述第 3 與第 4 絕緣分離溝所區隔的第 2 分離區域，以配線電阻或者 S O I 基板中的擴散電阻接續第 2 分離區域與中間區域。

根據上述手段，藉由配線電阻或擴散電阻分擔電壓，可以使被施加至絕緣分離溝的電壓均一化，可以提高電路區域 2、3 的耐電壓。

此外，以寬幅之絕緣分離溝包圍前述第 1 及第 2 電路區域的話，可以提高電路區域 2、3 的耐電壓。

此外，透過電容元件接續前述第 1 及第 2 電路區域的

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (3)

話，可以保持第 1 電路區域與第 2 電路區域之絕緣狀態同時僅傳送電氣訊號。

此外，本發明之半導體積體電路裝置之製造方法，具有：藉由使構成 S O I 基板的半導體區域蝕刻至前述絕緣層露出為止，形成包圍半導體區域上的第 1 電路區域之第 1 分離溝以及包圍前述第 1 分離溝之第 2 分離溝及包圍第 2 電路區域之第 3 分離溝以及包圍前述第 3 分離溝之第 4 分離溝之工程，在包含前述第 1 至第 4 分離溝的前述半導體區域上堆積氧化矽膜的工程，藉由除去前述第 1 至第 4 分離溝外部的氧化矽膜，形成由被埋入前述第 1 至第 4 分離溝內的氧化矽膜所構成的第 1 至第 4 絕緣分離溝之工程，在第 1 至第 4 絕緣分離溝上形成第 1 至第 4 配線電阻的工程，透過前述第 1 至第 4 配線電阻，接續前述第 1 電路區域或者第 2 電路區域與前述第 2 與第 4 絕緣分離溝之間的中間區域之配線的工程。

此外，本發明之半導體積體電路裝置之製造方法，具有在前述分離溝上之氧化矽膜上形成止擋膜之工程。

根據上述手段，可以形成高耐電壓之半導體積體電路裝置。

發明之詳細說明

以下根據圖面詳細說明本發明之實施型態。又，供說明實施型態之所有圖面，對於具有同一功能的構件賦予相同的符號，省略其重複說明。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(4)

第 1 實施型態

第 1 圖係本發明之第 1 實施型態之半導體積體電路裝置的重要部位平面圖。第 2 圖係第 1 圖之 A—B 剖面圖。又，第 2 圖中，也記載著對應於各部位的等價電路（以下，在第 4、5、12、14、16、17 以及 19 圖也相同）。

如第 1、2 圖所示，在 SOI 基板 1 上的主表面被形成電路區域 2（第 1 電路區域）與 3（第 2 電路區域）。此 SOI 基板，係由多結晶矽等所構成的支撐層 1a、絕緣層 1b 以及單晶矽等之半導體區域 1c 所構成。此支撐層 1a 的厚度，例如為 $500\ \mu\text{m}$ 。此外，絕緣層 1b 的厚度例如為 $3\ \mu\text{m}$ 。

電路區域 2、3 分別由到達絕緣層 1b 為止的絕緣分離溝 4a（第 1 絕緣分離溝）、4d（第 3 絕緣分離溝）所包圍，成為島區域。進而，電路區域 2、3 位於絕緣分離溝 4a、4d 的外側，由到達絕緣層 1b 為止的絕緣分離溝 4b（第 2 絕緣分離溝）、4c（第 4 絕緣分離溝）所包圍，與其他區域（9、9b、9c）電氣分離（不導電）。此絕緣分離溝 4a~4d，係供提高電路區域 2、3 的耐電壓而形成的。此外，此絕緣分離溝 4a~4d 的寬度例如為 $0.4\ \mu\text{m}$ ，深度為 $2\ \mu\text{m}$ 程度。

此處，將包圍電路區域 2、3 的最外側絕緣分離溝（在此場合為 4b、4c）間稱為中間區域 9。此外，將絕

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明 (5)

緣分離溝 4 a、4 b 間稱為分離區域 9 b (第 1 分離區域)，將絕緣分離溝 4 c、4 d 間稱為分離區域 9 c (第 2 分離區域)。又，中間區域 9，也包含包圍電路區域 2 的最外側絕緣分離溝 (在此場合為 4 b) 之外側以及包圍電路區域 3 的最外側絕緣分離溝 (在此場合為 4 c) 之外側。

此外，在電路區域 2 與分離區域 9 b 之間，被接續電阻 1 1 a，在分離區域 9 b 與中間區域 9 之間，被接續電阻 1 1 b。此外，在電路區域 3 與分離區域 9 c 之間，被接續電阻 1 1 d，在分離區域 9 c 與中間區域 9 之間，被接續電阻 1 1 c。亦即，在電路區域 2 與中間區域 9 之間，與絕緣分離溝 4 a、4 b 並聯被接續電阻 1 1 a、1 1 b。此外，在電路區域 3 與中間區域 9 之間，與絕緣分離溝 4 c、4 d 並聯被接續電阻 1 1 c、1 1 d。

如此，於本實施型態，在絕緣分離溝 a ~ 4 c 之內外間，分別形成電阻 1 1 a ~ 1 1 d 的緣故，可以提高電路區域 2、3 的耐電壓。此外，在電路區域 2 與分離區域 9 b 之間，分離區域 9 b 與中間區域 9 之間，中間區域 9 與分離區域 9 c 之間，分離區域 9 c 與電路區域 3 之間，分別透過電阻 1 1 a ~ 1 1 d 而被接續的緣故，這些區域不會成為浮動狀態，可以防止在這些區域 (電路區域 2、分離區域 9 b、中間區域 9、分離區域 9 c 以及電路區域 3) 蓄積突波 (surge) 等之電荷。

其次，使用第 3 ~ 7 圖說明由於前述之電阻 1 1 a ~

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (6)

1 1 d 使耐電壓上升的理由。第 3 圖係未形成電阻 1 1 a ~ 1 1 d 的 S O I 基板之平面圖。第 4 圖係第 3 圖 A — B 之剖面圖。

如前所述，絕緣分離溝 4 a ~ 4 d 係供提高電路區域 2、3 的耐電壓而形成的。假設此絕緣分離溝 4 a ~ 4 d 每 1 條的額定電壓為 1 0 0 V 的話，第 3 圖的場合，在電路區域 2 與 3 之間，被形成 4 條之絕緣分離溝 (4 a ~ 4 d) 所以應可得 4 0 0 V 之耐電壓。此外，爲了進而提高耐電壓，例如在電路區域 2 與 3 之間，形成 6 條絕緣分離溝的場合，應可得 6 0 0 V 的耐電壓。亦即如第 4 圖所示，在電路區域 2 與 3 之間，絕緣分離溝 4 a ~ 4 d 被串聯接續，應該可以比例於此絕緣分離溝的串聯數，而增加電路區域 2 與 3 之間的耐電壓。

然而，此絕緣分離溝的串聯數與電路區域與 3 之間的耐電壓之關係經本案發明人檢討之後，得到以下的結論。

前述第 4 圖的場合，在電路區域 2 與 3 之間，絕緣分離溝 4 a ~ 4 d 被串聯接續，但因這些絕緣分離溝 4 a ~ 4 d 與構成 S O I 基板 1 的絕緣層 1 b 相接，所以其等價電路如第 5 圖所示，絕緣分離溝 4 a ~ 4 d 所構成的電容之一端與支撐層 1 a 之間，應有絕緣層 1 b 造成的電容被附加。這樣的場合，例如在 A — B 間被施加 4 0 0 V 的電壓的場合，A — B 間的中間部之中間區域 9 的電位成爲 2 0 0 V，此外，支撐層 1 a 的中間部也成爲 2 0 0 V。亦即，於 B 端，產生 2 0 0 (= 4 0 0 - 2 0 0) 之電位

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (7)

差，此外於 A 端也產生 200 (= 400 - 200) 之電位差。亦即，成爲是對 A 端以及 B 端附近的絕緣分離溝 (4 a 、 4 d) 以及絕緣層 1 b 施加 100 V 以上的過電壓，降低絕緣分離溝 (4 a 、 4 d) 以及絕緣層 1 b 的耐電壓。

具體模擬的結果如第 6 圖所示，例如在 A - B 間施加 400 V 的電壓的場合，對絕緣分離溝 4 a ~ 4 d 施加的電壓，並不都是 100 V 之電壓 (b) 。被施加至絕緣分離溝 4 a 、 4 d 的電壓約 130 V ，另一方面被施加至絕緣分離溝 4 b 、 4 c 的電壓約 70 V (a) 。又，爲了使計算更容易把絕緣分離溝 4 a ~ 4 d 以及 S O I 基板的絕緣層 1 b 的電容視爲相同而加以檢討。

如此，在最外側的絕緣分離溝 4 a 、 4 d 上被施加 100 V 以上的電壓 (過電壓) ，這些絕緣分離溝容易損壞。

此外，最外側的絕緣分離溝 (4 a 、 4 d) 損壞後，絕緣分離層 4 b 、 4 c 成爲實際上最外側的絕緣分離層，所以這些絕緣分離層也容易損壞。這個場合，有效的絕緣分離溝的數目變少的緣故，過電壓變得更大。如此般最外側的絕緣分離溝損壞後，較內側的絕緣分離溝有依序加速損壞之虞。亦即，藉由增加絕緣分離溝的數目而謀求提高耐電壓是有其極限的，如第 7 圖 (b) 所示，即使增加絕緣分離溝的數目，耐電壓也不會依照絕緣分離溝的數目成比例增加。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (8)

然而，於前述之本實施型態，在絕緣分離溝 4 a ~ 4 d 之間形成電阻 1 1 a ~ 1 1 d 的緣故，可以提高電路區域 2、3 的耐電壓。亦即，如第 7 圖之圖 (a) 所示，比例於絕緣分離溝的串聯數，可以增加電路區域 2 與 3 之間的耐電壓。

這是藉由電阻分擔電壓，所以可以均一化對絕緣分離溝施加的電壓。

其次，說明針對電阻大小的檢討結果。第 8 圖顯示在 4 條絕緣分離溝 (4 a ~ 4 d) 被串聯接續的場合 (第 2 圖)，對電路區域 2 與 3 之間施加 4 0 0 V、頻率 1 k H z 之交流電壓的場合之對最外側的絕緣分離溝施加的電壓的最大值 (V) 與電阻值 (Ω) 之關係。如第 8 圖所示，電阻值大 (例如 $1 \times 10^9 \Omega$) 的場合，由電容 (4 a ~ 4 d、1 b) 導致的電壓分擔具支配地位，結果最大電壓達到 1 3 0 V 以上。相反的，電阻值小 (例如 $1 \times 10^6 \Omega$) 的場合，電阻 (1 1 a ~ 1 1 d) 造成的電壓分擔具支配地位，可以將最大電壓抑制於 1 0 0 V。

亦即，要使最大電壓成爲 1 1 0 V 以下，必須要使電阻值爲 $4 \times 10^6 \Omega$ 以下。

然而，電阻值太小的話會產生在電路區域 2 與 3 間之洩漏電流變大的問題。第 9 圖顯示在 4 條絕緣分離溝 (4 a ~ 4 d) 被串聯接續的場合 (第 2 圖)，在電路區域 2 與 3 間施加 4 0 0 V 的直流電壓時之電路區域與 3 之間的洩漏電流 (A) 與電阻值 (Ω) 之關係圖。如第 9 圖所

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (9)

示，隨著電阻值變小，洩漏電流變大。

亦即，例如為了使洩漏電流降低至 1×10^{-4} 以下，必須使電阻值增至 $4 \times 10^6 \Omega$ 以上。

第 2 實施型態

第 10 圖係本發明之第 2 實施型態之半導體積體電路裝置之重要部位剖面圖。本實施型態，係藉由配線電阻（第 1 至第 4 配線電阻、電阻元件）實現第 2 圖之被串聯接續的絕緣分離溝 4 a ~ 4 d 內外間的電阻 1 1 a ~ 1 1 d。

亦即，如第 10 圖所示，絕緣分離溝 4 b、4 c 上，被形成由多晶矽所構成的配線電阻 1 3 b、1 3 c，此配線電阻 1 3 c 與分離區域 9 c 之間，由鋁等所構成的第 1 層配線 1 5 來接續。此外，此配線電阻 1 3 c 與中間區域 9 之間，也藉由第 1 層配線 1 5 來接續。此外，同樣地，此配線電阻 1 3 b 與分離區域 9 b 之間，由鋁等所構成的第 1 層配線 1 5 來接續。此外，此配線電阻 1 3 b 與中間區域 9 之間，也藉由第 1 層配線 1 5 來接續。

又，符號 1 2 係場氧化膜，符號 1 4 係由氧化矽膜所構成的層間絕緣膜。此場氧化膜 1 2，使用於被形成在電路區域內的元件的分離。在絕緣分離溝 4 a ~ 4 d 上，不形成此場氧化膜 1 2，而在分離區域 9 b，絕緣分離溝 4 b 以及中間區域 9 上，直接形成配線電阻 1 3 b 亦可。此外，在分離區域 9 c、絕緣分離溝 4 c 以及中間區域 9

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (10)

上，直接形成配線電阻 1 3 c 亦可。

如此般根據本實施型態的話，藉由配線電阻實現被串聯接續的絕緣分離溝內外間的電阻，所以可以形成高性能的電阻。

第 3 實施型態

第 1 1 圖係顯示本發明之第 3 實施型態之半導體積體電路裝置之重要部位平面圖。第 1 2 圖係第 1 1 圖之 A — B 剖面圖。

於第 1 1 圖及第 1 2 圖，藉由半導體區域 1 c 中的擴散電阻 1 7 a ~ 1 7 d (電阻元件) 實現被串聯接續的絕緣分離溝 (4 a ~ 4 h) 內外間的電阻。

如第 1 1 及第 1 2 圖所示，例如在絕緣分離溝 4 f 與 4 g 間之分離區域 9 f，以及絕緣分離溝 4 g 與 4 h 間之分離區域 9 g 之間，藉由鋁等所構成的第 1 層配線 1 5 來接續。此外，在絕緣分離溝 4 g 與 4 h 間之分離區域 9 g，以及電路區域 3 之間，藉由鋁等所構成的第 1 層配線 1 5 來接續。亦即，第 1 層配線 1 5 間，成為透過分離區域 9 g (擴散電阻 1 7 d) 而接續。此擴散電阻 1 7 d 的大小，可以藉由分離區域 9 g (半導體區域 1 c) 之不純物濃度、分離區域 9 g 的寬度及長度、第 1 層配線 1 5 與分離區域 9 g 之接觸間之距離來控制。

又，其他擴散電阻 1 7 a ~ 1 7 c 也可以是與擴散電阻 1 7 d 相同的構成。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (11)

此外，符號 1 2 係場氧化膜，符號 1 4 係由氧化矽膜等所構成的層間絕緣膜。此場氧化膜 1 2 使用於被形成在電路區域內的元件的分離。在絕緣分離溝 4 b、4 c 上，不形成此場氧化膜 1 2 而在分離區域 9 b，絕緣分離溝 4 g 以及中間區域 9 上，直接形成接續擴散電阻 1 7 d 的配線 1 5 亦可。此外，在分離區域 9 g、絕緣分離溝 4 h 以及電路區域 3 上，直接形成接續擴散電阻 1 7 d 的配線 1 5 亦可。

如此般根據本實施型態的話，藉由半導體區域 1 c 的擴散電阻實現被串聯接續的絕緣分離溝內外間的電阻，所以可以簡易的構形成高耐電壓之半導體積體電路。

第 4 實施型態

第 1 3 圖係本發明之第 4 實施型態之半導體積體電路裝置之重要部位立體圖。第 1 4 圖係第 1 3 圖之 A—B 剖面圖。又，第 1 4 圖中的電阻 1 1 a ~ 1 1 d 被省略。

在本實施型態，使用接合線 (bonding wire) 2 3 接續第 2 圖所示的半導體積體電路裝置的中間區域 9，與搭載 S O I 基板 1 的突出板 (die pad) 2 1 之間 (第 1 3、1 4 圖)。

此突出板 2 1，由銅等所構成，介由突出板上的接合座部 2 2 b 接續突出板 2 1 與接合線 2 3。此外，介由中間區域 9 上的接合座部 2 2 a 接續中間區域 9 與接合線 2 3。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (12)

如此般於本實施型態，使用接合線 2 3 接續中間區域 9 (半導體區域 1 c) 與搭載 S O I 基板的突出板 2 1 之間，所以中間區域 9 與突出板 2 1 與接續的 S O I 基板 1 之支撐層 1 a 成爲相同電位。

亦即，電路區域 2、分離區域 9 b、中間區域 9、分離區域 9 c 以及電路區域 3 以外，連支撐層 1 a 也不會成爲浮動狀態，可以防止在支撐層 1 a 蓄積突波等電荷。

第 5 實施型態

第 1 5 圖係顯示本發明之第 5 實施型態之半導體積體電路裝置之重要部位平面圖。第 1 6 圖係第 1 5 圖之 A — B 剖面圖。第 1 7 圖係第 1 5 圖之 C — D 剖面圖。

於本實施型態，在第 1 圖所示的半導體積體電路裝置的電路區域 2 與 3 之間，被形成電容元件 C (第 1 5 圖)

如第 1 5 ~ 1 7 圖所示，此電容元件 C，係由被形成於層間絕緣膜 1 4 上的下部電極 3 1、與被形成於此下部電極 3 1 上的氧化矽膜所構成的電容絕緣膜 1 6、與被形成於電容絕緣膜 1 6 上的上部電極 3 2 所構成。

此外，此電容元件 C 之下部電極 3 1 與電路區域 2，係藉由配線 3 1 a 接續。此外，此電容元件 C 之上部電極 3 2 與電路區域 3，係藉由配線 3 2 a 接續。

此處，下部電極 3 1 與配線 3 1 a，例如可以與第 1 0 圖所示的第 1 層配線 1 5 等相同之層來形成。此外，

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (13)

上部電極 3 2 與配線 3 2 a，例如可以與介由層間絕緣膜而被形成於第 1 層配線上的第 2 層配線相同之層來形成。在此場合，可將層間絕緣膜作為電容絕緣膜 1 6。

介由此電容元件，被傳達至電路區域 2 上的元件之訊號，被傳送至形成於電路區域 3 上的元件。此外，被傳達至電路區域 3 的元件的訊號，被傳送至形成於電路區域 2 上的元件。這樣的電容元件 C 中介著電容絕緣膜 1 6 的緣故，保持上部電極 3 2 與下部電極 3 1 的絕緣狀態同時僅傳送電氣訊號因而被稱為隔離器。

又，在此場合，耐電壓，不僅與被串聯接續的絕緣分離溝（4 a ~ 4 d）以及層間絕緣膜 1 4 有關，與此電容元件 C 也有關。亦即，係由被串聯接續的絕緣分離溝（4 a ~ 4 d）以及層間絕緣膜 1 4 所構成的電容，以及電容元件 C 的電容之中較低一方的電容來決定耐電壓。因此，設計電容元件 C 時，必須要考慮相關情形。

如此，於本實施型態，在電路區域 2 與 3 之間形成電容元件 C 的緣故，可以保持上部電極 3 2 與下部電極 3 1 的絕緣狀態同時僅傳送電氣訊號。進而，於本實施型態可以使電容元件 C 容易形成於 S O I 基板 1 上，可以使隔離器、電路區域、3 上所形成的電路元件單晶片化。亦即，可以使這些元件小型化。此外，不需要另行準備隔離器，可以謀求低成本化。

第 6 實施型態

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (14)

第 1 8 圖係顯示本發明之第 6 實施型態之半導體積體電路裝置之重要部位平面圖。第 1 9 圖係第 1 8 圖之 A — B 剖面圖。

於第 1 8 圖，將顯示於第 1 6 圖的電容元件 C，以半導體區域 3 3、與被形成於半導體區域 1 c 上的場氧化膜 1 2、與層間絕緣膜 1 4 和氧化矽膜 1 6 所構成的電容絕緣膜、與被形成於氧化矽膜 1 6 上的上部電極 3 4 等來構成 (第 1 9 圖)。此處，所謂半導體區域 3 3，係半導體區域 1 c 而以絕緣分離溝 1 8 包圍的區域。又，以場氧化膜 1 2 以及層間絕緣膜 1 4 構成電容絕緣膜，在層間絕緣膜 1 4 上形成上部電極 3 4 以及配線 3 4 a 亦可。

此電容元件 C 之成爲下部電極的半導體區域 3 3 與電路區域 2，係由配線 3 3 a 接續的。此外，此電容元件 C 的上部電極 3 4 與電路區域 3，係由配線 3 4 a 接續的。

此處，與成爲下部電極的半導體區域 3 3 接續的配線 3 3 a，例如可以與第 1 0 圖所示的第 1 層配線 1 5 等相同之層來形成。此外，上部電極 3 4 與配線 3 4 a，例如可以與介由層間絕緣膜被形成於第 1 層配線上的第 2 層配線相同之層來形成。

介由此電容元件 C，與第 5 實施型態的場合相同，被傳達至電路區域 2 上的元件之訊號，被傳送至形成於電路區域 3 上的元件。此外，被傳達至電路區域 3 上的元件的訊號，被傳送至形成於電路區域 2 的元件。前述絕緣分離溝 1 8，扮演防止此電氣訊號往其他區域或元件洩漏的功

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (15)

能。

第 7 實施型態

第 20 圖係顯示本發明之半導體積體電路裝置之使用樣態之方塊圖。如第 20 圖所示，本發明之半導體積體電路裝置 76，接收被局側裝置 71 傳達的訊號，傳達至個人電腦等機器。此訊號，由局側裝置 71 經由電路 72，經由突波吸收電路 73 以及平衡電路 74，被傳送至半導體積體電路裝置 76。又，在平衡電路 74 與半導體積體電路 76 之間被接續著有電容器 75a 以及電源電路 75。

例如，對前述電路 72 等，被施加雷擊突波或者誘導電壓等，電路電壓上升。

此處，所謂雷擊突波，係指由於落雷導致的電壓上升，誘導電壓係指電話線路及與此並列鋪設的電力電纜等之電磁結合導致的電壓上升。

雷擊突波導致的電壓波形，係脈衝狀，由突波吸收電路 73 等吸收。此外，誘導電壓的頻率係 50 Hz / 60 Hz 之商用頻率，所以無法以前述突波吸收電路 73 吸收，有施加於半導體積體電路裝置 76 之虞。

亦即，對半導體積體電路裝置 76，被要求具有耐得住前述誘導電壓之耐電壓。

為阻絕此誘導電壓，考慮耐電壓規格為 1500 V 的場合。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (16)

此場合考慮耐電壓的範圍 (3 0 0 V) 程度，進而考慮到交流電壓的尖峰值的變動，以交流 3 0 0 0 V 為耐電壓的目標。

以前述之絕緣分離溝每一條的耐電壓為 1 0 0 V 的話，為了滿足 3 0 0 0 V 的耐電壓，必須要 3 0 條程度的絕緣分離溝。

第 2 1 圖係顯示本發明之第 7 實施型態之半導體積體電路裝置之重要部位平面圖。第 2 2 圖係第 2 1 圖之 A — B 剖面圖。本實施型態之半導體積體電路裝置，其電路區域 2 與 3，分別以 1 7 條絕緣分離溝 4 所包圍。亦即，電路區域 2 與 3 之間，合計以 3 4 條之絕緣分離溝 4 分離。又，在第 2 1 圖中，僅記載分別包圍電路區域 2 與 3 的 6 條絕緣分離溝，省略剩下的絕緣分離溝。

此外，於本實施型態，分別設 4 個電容元件 C，這些電容元件 C，由分別被形成於電路區域與 3 上之電容部 C a、C b 所構成。此電容部 C a，由半導體區域 3 3 A、被形成於半導體區域 3 3 A 上的場氧化膜 1 2、層間絕緣膜 1 4 及氧化矽膜 1 6 所構成的電容絕緣膜、被形成於氧化矽膜 1 6 上的上部電極 3 4 A 所構成。此外，電容部 C b，由半導體區域 3 3 B、被形成於半導體區域 3 3 B 上的場氧化膜 1 2、層間絕緣膜 1 4 及氧化矽膜 1 6 所構成的電容絕緣膜、被形成於氧化矽膜 1 6 上的上部電極 3 4 B 所構成。此處，半導體區域 3 3 A、3 3 B，係半導體區域 c 而以絕緣分離溝 1 8 A、1 8 B 分別包圍的區

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (17)

域。此外，上部電極 3 4 A 與 3 4 B，以配線部 3 5 接續。

此處，上部電極 3 4 A、3 4 B 與配線部 3 5，例如可以介由層間絕緣膜被形成於第 1 層配線上的第 2 層配線相同之層所形成。

介由此電容元件 C，與第 5 實施型態的場合相同，被傳達致電路區域 2 上的元件之訊號，被傳送至形成於電路區域 3 上的元件。此外，被傳達至電路區域 3 上的元件之訊號，被傳送至形成於電路區域 2 上的元件。於本實施型態，電容元件被形成 4 個，由電路區域 2 至電路區域 3 之訊號傳送用的電容元件 C 有 2 個，由電路區域 3 至電路區域 2 之訊號傳送用的電容元件 C 有 2 個。

以由電路區域 2 至電路區域 3 之訊號傳送用的電容元件 C 與由電路區域 3 至電路區域 2 之訊號傳送用的電容元件 C 構成 1 個通道，所以本實施型態的場合有 2 個通道。

此外，在電路區域 2 與 3 的周邊，被形成接合座 2 2 (第 2 1 圖)。

如此，於本實施型態，使電路區域與 3 之間的絕緣分離溝 4 數目達到 3 0 條以上所以可得高耐壓。此外，以電路區域 2 及 3 上分別被形成的電容部 C a 與 C b 構成電容元件 C，以配線部 3 5 接續這些電容部，所以可增大電容元件 C 的耐電壓。此外，於本實施型態，為確保耐電壓而使構成 S O I 基板的絕緣層也增厚至 3 μ m。

然而，如前所述，即使增多絕緣分離溝 4 的數目，對

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (18)

絕緣分離溝施加的電壓也會產生不均一的緣故，無法確保絕緣分離溝的數目乘以 1 0 0 V 之耐電壓（本實施型態的場合為 3 4 0 0 V）。

實際上，本實施型態的耐電壓為 2 0 0 0 V 程度，滿足 1 5 0 0 V 的耐電壓規格，但仍然未能達到目標的 3 0 0 0 V 之耐電壓。

第 8 實施型態

第 2 3 圖係顯示本發明之第 8 實施型態之半導體積體電路裝置之重要部位平面圖。

本實施型態的半導體積體電路裝置，電路區域 2 與 3 分別以 1 7 條絕緣分離溝 4 包圍。亦即，電路區域 2 與 3 之間，合計以 3 4 條之絕緣分離溝 4 隔開。又，於第 2 3 圖中，分別僅記載著以內側的 3 條絕緣分離溝來包圍電路區域 2 與 3，標示上省略其餘的絕緣分離溝。

此外，本實施型態的半導體積體電路裝置，介由第層配線 1 5 a 以及配線電阻 1 3 a 接續電路區域 2 與分離區域 9 b 之間。此外，此配線電阻 1 3 a 係沿著絕緣分離溝 4 a 形成的。此處，圖中的黑圓點 2 0 顯示電路區域 2、3、分離區域 9 b 等以及中間區域 9 與第 1 層配線 1 5 a ~ 1 5 f 或者與配線電阻 1 3 a ~ 1 3 f 之接續部。此外，分離區域 9 b 與分離區域 9 c 也同樣介由配線電阻 1 3 b 接續。進而，分離區域 9 c 與分離區域 9 也同樣介由配線電阻 1 3 c 接續。

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明 (19)

此外，本實施型態的半導體積體電路裝置，介由第 1 層配線 1 5 d 以及配線電阻 1 3 d 接續電路區域 3 與分離區域 9 e 之間。此外，此配線電阻，係沿著絕緣分離溝 4 d 形成的。此外，分離區域 9 e 以及分離區域 9 f 同樣由配線電阻 1 3 e 接續。進而，分離區域 9 f 與中間區域 9 也同樣藉由配線電阻 1 3 f 接續。

又，關於其他構成，與第 7 實施型態的場合相同，所以省略其說明。

如此般根據本實施型態，如第 1 實施型態所詳細說明的，藉由配線電阻 1 3 a ~ 1 3 f 分擔電壓的緣故，可以使被施加至絕緣分離溝 4 a ~ 4 f 的電壓均一化，可以使耐電壓上升。此外，於本實施型態，分別以 1 7 條絕緣分離溝 4 a ~ 4 f 等包圍電路區域 2 與 3，使電路區域 2 與 3 之間以 3 0 條以上（合計 3 4 條）之絕緣分離溝 4 隔開的緣故，因此可得到 3 0 0 0 V 的耐電壓。

第 9 實施型態

第 2 4 圖係顯示本發明之第 9 實施型態之半導體積體電路裝置之重要部位平面圖。

本實施型態之半導體積體電路裝置，在電路區域 2 與 3 間以寬幅的絕緣分離溝 4 包圍。又，第 2 4 圖中，係分別以 1 條寬幅絕緣分離溝 4 包圍電路區域 2 與 3，但以複數條寬幅絕緣分離溝 4 包圍亦可。

此外，本實施型態之半導體積體電路裝置，藉由第 1

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明 (20)

層配線 1 5 以及配線電阻 1 3 接續電路區域 2 與中間區域 9 之間。此外，此配線電阻 1 3，係沿著絕緣分離溝 4 形成的。此處，圖中的黑圓點 2 0 顯示電路區域 2、3、及中間區域 9 與第 1 層配線 1 5 或者配線電阻 1 3 之接續部。

此外，同樣地，電路區域 3 與中間區域 9 之間介由配線電阻 1 3 接續。此外，此配線電阻 1 3 係沿著絕緣分離溝 4 形成的。

又，關於其他構成，與第 7 實施型態的場合相同，所以省略其說明。

如此般根據本實施型態，電路區域與中間區域 9 之間以及電路區域 3 與中間區域 9 之間介由配線電阻 1 3 接續，所以如第 1 實施型態所詳細說明的，藉由配線電阻 1 3 分擔電壓的緣故，可以使被施加至絕緣分離溝的電壓均一化，可以使耐電壓上升。此外，於本實施型態，以寬幅絕緣分離溝 4 包圍電路區域 2 與 3，所以可使耐電壓上升。進而，以寬幅絕緣分離溝 4 包圍電路區域 2 與 3 的緣故，中間區域 9 變小，結果有可能成為浮動狀態的區域減少的緣故，容易使施加至絕緣分離溝的電壓均一化。

第 1 0 實施型態

第 2 5 圖係顯示本發明之第 1 0 實施型態之半導體積體電路裝置之重要部位平面圖。

本實施型態的半導體積體電路裝置，在電路區域 2 與

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (21)

3 之間分別以 3 條絕緣分離溝 4 a ~ 4 c , 4 d ~ 4 f 包圍。又, 包圍電路區域 2 與 3 的絕緣分離溝 4 也可以在 3 條以上。此外, 如前所述, 在以 1 7 條絕緣分離溝包圍的場合, 可得 3 0 0 0 V 以上的耐電壓。

此外, 本實施型態的半導體積體電路裝置, 藉由擴散電阻 (電阻元件) 接續電路區域 2 與分離區域 9 b 之間。亦即, 中間區域 9 與分離區域 9 c 之間, 分離區域 9 c 與分離區域 9 b 之間, 分離區域 9 b 與電路區域 2 之間分別藉由第 1 層配線 1 5 c 、 1 5 b 、 1 5 a 接續著。此外, 中間區域 9 與分離區域 9 f 之間, 分離區域 9 f 與分離區域 9 e 之間, 分離區域 9 e 與電路區域 3 之間分別藉由第 1 層配線 1 5 f 、 1 5 e 、 1 5 d 接續著。圖中的黑圓點 2 0 顯示電路區域 2 、 3 、 分離區域 9 b 等以及中間區域 9 與第 1 層配線 1 5 a ~ 1 5 f 之接續部。

此外, 相對於第 1 層配線 1 5 c 、 1 5 a 係位於 S O I 基板 1 (約略矩形之電路區域 2) 的左上角部, 第 1 層配線 1 5 b 係存在於左下角部。亦即, 可以將對應於約略矩形的電路區域 2 的幾乎一邊的長度之分離區域 9 c 、 9 d 作為擴散電阻利用。此外, 同樣的, 可以將對應於電路區域 3 的幾乎一邊的長度之分離區域 9 f 、 9 e 作為擴散電阻利用。又, 至於其他構成與第 7 實施型態相同的緣故, 省略其說明。

如此般根據本實施型態, 藉由擴散電阻接續電路區域 2 與中間區域 9 之間以及電路區域 3 與中間區域 9 之間,

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (22)

所以如第 1 實施型態所詳細說明的，藉由擴散電阻分擔電壓的緣故，可以使被施加至絕緣分離溝的電壓均一化，可以使耐電壓上升。此外，可以藉容易的工程形成擴散電阻。

第 1 1 實施型態

第 2 6 圖係顯示本發明之第 1 1 實施型態之半導體積體電路裝置之重要部位平面圖。

本實施型態的半導體積體電路裝置，與第 1 0 實施型態的場合相同，在電路區域 2 與 3 之間分別以 3 條絕緣分離溝 4 包圍。但是這些絕緣分離溝，不形成於橫跨電路區域 2 或 3 的外周全區域，而是如第 2 6 圖所示，被形成短路區域（接續部）2 5 a ~ 2 5 f。又，包圍電路區域 2 與 3 的絕緣分離溝也可以在 3 條以上。此外，如前所述，在以 1 7 條絕緣分離溝包圍的場合，可得 3 0 0 0 V 以上的耐電壓。

亦即，本實施型態的半導體積體電路裝置，藉由擴散電阻接續電路區域 2 與中間區域 9 之間。亦即，中間區域 9 與分離區域 9 c 之間，分離區域 9 c 與分離區域 9 b 之間，分離區域 9 b 與電路區域 2 之間分別藉由短路區域 2 5 c、2 5 b、2 5 a 接續著。此外，中間區域 9 與分離區域 9 f 之間，分離區域 9 f 與分離區域 9 e 之間，分離區域 9 e 與電路區域 3 之間分別藉由短路區域 2 5 f、2 5 e、2 5 d 接續著。

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明 (23)

此外，短路區域 2 5 c、2 5 a 係位於約略矩形之電路區域 2 的短邊中央（圖中下部）而短路區域 2 5 b 係存在於前述短邊相對方向的邊的中央（圖中上部）。此外，短路區域 2 5 d c、2 5 f 係位於約略矩形之電路區域 3 的短邊中央（圖中下部）而短路區域 2 5 e 係存在於前述短邊相對方向的邊的中央（圖中上部）。

亦即，可以將對應於約略矩形的電路區域 2 全周的幾乎一半長度之分離區域 9 c、9 d 作為擴散電阻利用。此外，可以將對應於電路區域 3 全周的幾乎一半的長度之分離區域 9 f、9 e 作為擴散電阻利用。又，至於其他構成與第 7 實施型態相同的緣故，省略其說明。

如此般根據本實施型態，藉由擴散電阻接續電路區域 2 與中間區域 9 之間以及電路區域 3 與中間區域 9 之間，所以如第 2 實施型態所詳細說明的，藉由擴散電阻分擔電壓的緣故，可以使被施加至絕緣分離溝的電壓均一化，可以使耐電壓上升。此外，因為不需要配線或接續部的形成，所以可藉容易的工程形成擴散電阻 1 7。此外，可以謀求元件的高集積化以及晶片面積的降低。

第 1 2 實施型態

第 2 7 圖係顯示本發明之第 1 2 實施型態之半導體積體電路裝置之重要部位平面圖。

本實施型態之半導體積體電路裝置，其電路區域 2、3 分別以螺旋狀的絕緣分離溝 4 包圍。於第 2 7 圖，電路

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明 (24)

區域 2、3 之大約 2.5 圈的絕緣分離溝被形成為螺旋狀。又，於電路區域 2 與 3 也可以 2.5 圈以上的絕緣分離溝來包圍。此外，如前所述，在以相當於 1.7 圈的螺旋狀絕緣分離溝包圍的場合，可得 3000 V 以上的耐電壓。

亦即，本實施型態的半導體積體電路裝置，藉由螺旋狀的擴散電阻 (9 b) 接續電路區域 2 與中間區域 9。

此外，藉由螺旋狀的擴散電阻 (9 c) 接續電路區域 3 與中間區域 9。

亦即，可以將約略矩形的電路區域 2 的全周之 2 倍弱的分離區域 9 c 作為擴散電阻利用。又，至於其他構成與第 7 實施型態的場合相同，所以省略其說明。

如此般根據本實施型態，藉由擴散電阻接續電路區域 2 與中間區域 9 之間以及電路區域 3 與中間區域 9 之間，所以如第 2 實施型態所詳細說明的，藉由擴散電阻分擔電壓的緣故，可以使被施加至絕緣分離溝的電壓均一化，可以使耐電壓上升。此外，因為不需要配線或接續部的形成，所以可藉容易的工程形成擴散電阻。此外，可以謀求元件的高集積化以及晶片面積的降低。進而因為使擴散電阻形成為螺旋狀，可以容易增大擴散電阻。

第 13 實施型態

第 28 圖係顯示本發明之第 13 實施型態之半導體積體電路裝置之重要部位平面圖。

本實施型態之半導體積體電路裝置，與第 12 實施型

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (25)

態的場合相同，其電路區域 2、3 之間以螺旋狀的絕緣分離溝 4 包圍，進而，在中間區域 9 上形成接合座部 2 2 b。此接合座部 2 2 b 與第 4 實施型態的場合同樣，與被搭載 S O I 基板 1 之突出板 (die pad) 接續。又，至於其他構成與第 7 實施型態的場合相同，所以省略其說明。

如此般根據本實施型態，除了第 1 2 實施型態所說明的效果以外，因為中間區域 9 與突出板接續，所以與第 4 實施型態的場合相同，電路區域 2、分離區域 9 b、中間區域 9、分離區域 9 c 以及電路區域 3 以外，連 S O I 基板 1 中的支撐層 1 a 也不會成為浮動狀態，可以防止在支撐層 1 a 蓄積突波等電荷。

第 1 4 實施型態

將第 1 ~ 1 3 實施型態，使用於例如被接續在通訊電路與終端裝置之間的數據機電路的話，可以絕緣分離通訊電路與終端裝置之間，同時可以傳送訊號。此數據機 (調變解調) 電路係將通訊電路與終端裝置之間傳送的訊號予以調變解調。此外，將第 1 ~ 1 3 實施型態使用於醫療用檢測機器的話，可以在絕緣分離機器中的傳感器部與訊號處理部之間的同時，進行訊號的傳送。

第 2 9 圖係將第 1 ~ 1 3 實施型態之半導體積體電路裝置適用於數據機用類比前端 (Analog Front End)

L S I 的場合之半導體積體電路裝置之重要部位平面圖。

在此場合，於被接續在電話電路的電路區域 2，被形

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (26)

成具有濾波電路或擴大器電路的濾波擴大器電路 4 1 a 、 4 1 b 、 A / D (類比至數位) 轉換電路 4 2 以及 D / A (數位至類比) 轉換電路 4 3 。

此外，在被接續於個人電腦等終端電路的電路區域 3，被形成數位濾波電路或 DSP (數位訊號處理器，digital signal processor) 電路 4 4 。

此外，在電路區域 2 與 3 之間，被形成隔離器 4 5 a ~ 4 5 d。這些隔離器 4 5 a ~ 4 5 d 以電容元件與送訊擴大器以及受訊擴大器構成。如此構成的隔離器製造容易，可以謀求低成本化。

又，電路區域 2 與 3，以絕緣分離溝 4 a ~ 4 d 包圍，針對這些絕緣分離溝的構成可以適用第 1 ~ 1 3 實施型態。

如此般於本實施型態，在電路區域 2 與 3 上，形成 A / D 轉換器電路 4 2、D / A 轉換器電路 4 3 以及 DSP (數位訊號處理器) 電路 4 4 等訊號傳送所必要的電路，所以可以謀求通訊裝置的小型化 (單晶片化)。

又，於本實施型態，係將本發明適用於數據機用的 L S I，但也可以適用於個人電腦等終端裝置內。在此場合，可以絕緣分離邏輯演算電路等之終端裝置內的內部電路與通訊電路之間同時傳送訊號。

第 1 5 實施型態

於第 1 4 實施型態，在 S O I 基板 1 上，形成 A / D

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (27)

轉換器電路 4 2、D / A 轉換器電路 4 3 以及 DSP (數位訊號處理器) 電路 4 4 等訊號傳送所必要的電路，但如第 3 0 圖所示，僅形成隔離器 4 5 a ~ 4 5 d 亦可。

如此般於本實施型態，可以使複數之隔離器 4 5 a ~ 4 5 d 形成於同一 SOI 基板 1 上，所以與例如使用光電二極體等之隔離器那般把隔離器以其他零件的方式形成的場合相比，可以謀求高集積化或低成本化。此外，可以謀求裝置的零件數目的削減以及裝置的小型化。

第 1 6 實施型態

其次說明第 1 ~ 1 3 實施型態的半導體積體電路裝置的製造方法。又，這些製造方法都很類似，所以僅針對第 1 0 圖 (第 2 實施型態) 以及第 2 4 圖 (第 9 實施型態) 所示之半導體積體電路裝置的製造方法加以說明，省略其他半導體積體電路裝置的製造方法。

第 3 1 及 3 2 圖顯示第 2 實施型態所說明的第 1 0 圖之半導體積體電路裝置的製造方法之基板的重要部位剖面圖。

如第 3 1 圖 (a) 所示，在支撐板 1 a、絕緣層 1 b 以及單晶矽等之半導體區域 1 c 所構成的 SOI 基板 1 上堆積氮化矽膜 (未圖示)，將此氮化矽膜圖案化。其後，以此氮化矽膜為遮罩，藉由使半導體區域 1 c 熱氧化形成場氧化膜 1 2。

接著，如第 3 1 圖 (b) 所示，使被形成於場氧化膜

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (28)

1 2 上的光阻劑膜 (未圖示) 為遮罩向異性蝕刻場氧化膜 1 2 以及半導體區域 1 c , 形成到達絕緣層 1 b 之分離溝 5 1 。

接著, 如第 3 1 圖 (c) 所示, 在包含分離溝內 5 1 的半導體區域 1 c 上堆積氧化矽膜 4 。此時, 堆積出氧化矽膜 4 充分充填於分離溝內的程度之膜厚之氧化矽膜。其後, 藉由機械化學研磨法 (C M P : Chemical Mechanical Polishing) 等研磨或者蝕刻氧化矽膜 4 的表面直到露出場氧化膜 1 2 的表面為止。

以到此為止的工程, 在分離溝內埋入氧化矽膜, 完成絕緣分離溝 4 b 、 4 c 。

接著, 如第 3 2 圖 (a) 所示, 在 S O I 基板 1 上堆積多晶矽等半導體膜之後, 藉由圖案化, 在絕緣分離溝 4 b 、 4 c 上形成配線電阻 1 3 b 、 1 3 c 。

接著, 如第 3 2 圖 (b) 所示, 在配線電阻 1 3 b 、 1 3 c 、 分離區域 9 b 、 9 c 以及中間區域上形成接觸孔。接著, 在 S O I 基板 1 上堆積鋁等導電性膜, 藉由圖案化形成接續配線電阻 1 3 b 、 1 3 c 與分離區域 9 b 、 9 c 之第 1 層配線 1 5 以及接續配線電阻 1 3 b 、 1 3 c 與中間區域 9 之第 1 層配線 1 5 。

其次, 說明如第 2 4 圖 (第 9 實施型態) 所示之具有寬幅絕緣分離溝之半導體積體電路裝置的製造。

第 3 3 以及 3 4 圖係顯示第 9 實施型態所說明的第 2 4 圖之半導體積體電路裝置的製造方法之基板的重要部

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (29)

位剖面圖。第 3 3 以及 3 4 圖係對應於第 2 4 圖之 A — B 以及 C — D 剖面圖。

如第 3 3 圖 (a) 所示，在支撐板 1 a、絕緣層 1 b 以及單晶矽等之半導體區域 1 c 所構成的 S O I 基板 1 所形成的光阻劑膜 (未圖示)，藉由向異性蝕刻半導體區域 1 c 形成到達絕緣層 1 b 的寬幅分離溝 6 1。

接著，如第 3 3 圖 (b) 所示，在包含寬幅分離溝 6 1 內的半導體區域 1 c 上堆積氧化矽膜 6 2。此時，以使氧化矽膜 6 2 充分充填於寬幅分離溝 6 1 內的方式堆積氧化矽膜 6 2。其後，僅在寬幅分離溝 6 1 上形成 C M P 止擋膜 6 3。此 C M P 止擋膜 6 3 發揮防止寬幅分離溝 6 1 內的氧化矽膜 6 2 被研磨到比 S O I 基板 1 表面更深的效果。

接著，如第 3 3 圖 (c) 所示，藉由 C M P 法研磨氧化矽膜 6 2 直到 S O I 基板 1 表面露出為止後，除去 C M P 止擋膜 6 3。

接著，如第 3 4 圖 (a) 所示，在 S O I 基板 1 上堆積多晶矽等半導體膜後，藉由圖案化在寬幅絕緣分離溝 4 上形成配線電阻 1 3。

接著，如第 3 4 圖 (b) 所示，藉由堆積氧化矽膜等絕緣膜形成層間絕緣膜 1 4。接著，在配線電阻 1 3、電路區域 2、3 以及中間區域 9 上形成接觸孔。其次，在 S O I 基板 1 上堆積鋁等導電性膜，藉由圖案化形成接續配線電阻 1 3 與電路區域 2、3 之第 1 層配線 1 5 與接續

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (30)

配線電阻 1 3 與中間區域 9 之第 1 層配線 1 5 。

以上，根據實施型態具體說明由本案發明人所完成的發明，但本發明並不以前述實施型態為限，在不逸脫其要旨的範圍內當然可以進行種種的變更。

簡單說明藉由本發明所揭示的發明之中具有代表性者所可得到的效果如下。

於本發明之半導體積體電路裝置，係以配線電阻或者 S O I 基板中的擴散電阻接續 S O I 基板主表面的第 1 電路區域與以前述第 1 與第 2 絕緣分離溝所區隔的第 1 分離區域，以配線電阻或者 S O I 基板中的擴散電阻接續前述第 1 分離區域與前述第 2 與第 4 絕緣分離溝之間延伸的中間區域，此外，以配線電阻或者 S O I 基板中的擴散電阻接續前述第 2 電路區域與以前述第 3 與第 4 絕緣分離溝所區隔的第 2 分離區域，以配線電阻或者 S O I 基板中的擴散電阻接續第 2 分離區域與中間區域；所以因配線電阻或擴散電阻分擔電壓，可以使被施加至絕緣分離溝的電壓均一化，可以提高電路區域 2、3 的耐電壓。

此外，因為以寬幅絕緣分離溝包圍前述第 1 及第 2 電路區域，所以可以提高電路區域 2、3 的耐電壓。

此外介由電容元件 C 接續前述第 1 及第 2 電路區域的緣故，可以保持第 1 電路區域與第 2 電路區域之絕緣狀態同時僅傳送電氣訊號。

此外，於本發明之半導體積體電路裝置之製造方法，藉由使構成 S O I 基板的半導體區域蝕刻至絕緣層露出為

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (31)

止，形成包圍半導體區域上的第 1 以及第 2 電路區域的分離溝，介由在此分離溝內埋入氧化矽膜形成絕緣分離溝，在絕緣分離溝上形成配線電阻，進而透過此配線電阻，形成接續第 1 電路區域以及第 2 電路區域之配線，所以可形成高耐電壓的半導體積體電路裝置。

圖面之簡單說明

第 1 圖係顯示本發明之第 1 實施型態之半導體積體電路裝置的基板之重要部位平面圖。

第 2 圖係顯示本發明之第 1 實施型態之半導體積體電路裝置的基板之重要部位剖面圖。

第 3 圖係供顯示本發明的效果之基板的重要部位平面圖。

第 4 圖係供顯示本發明的效果之基板的重要部位剖面圖。

第 5 圖係供顯示本發明的效果之基板的重要部位剖面圖。

第 6 圖係顯示被施加於絕緣分離溝之電壓之圖。

第 7 圖係供顯示本發明的效果之絕緣分離溝數與耐電壓之關係。

第 8 圖係顯示本發明的電阻與被施加於絕緣分離溝之最大電壓之關係。

第 9 圖係顯示本發明之電阻與洩漏電流之關係。

第 10 圖係顯示本發明之第 2 實施型態之半導體積體

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (32)

電路裝置的基板之重要部位剖面圖。

第 1 1 圖係顯示本發明之第 3 實施型態之半導體積體電路裝置的基板之重要部位平面圖。

第 1 2 圖係顯示本發明之第 3 實施型態之半導體積體電路裝置的基板之重要部位剖面圖。

第 1 3 圖係本發明之第 4 實施型態之半導體積體電路裝置之立體圖。

第 1 4 圖係本發明之第 4 實施型態之半導體積體電路裝置的基板之重要部位剖面圖。

第 1 5 圖係顯示本發明之第 5 實施型態之半導體積體電路裝置的基板之重要部位平面圖。

第 1 6 圖係顯示本發明之第 5 實施型態之半導體積體電路裝置的基板之重要部位剖面圖。

第 1 7 圖係顯示本發明之第 5 實施型態之半導體積體電路裝置的基板之重要部位剖面圖。

第 1 8 圖係顯示本發明之第 6 實施型態之半導體積體電路裝置的基板之重要部位平面圖。

第 1 9 圖係顯示本發明之第 6 實施型態之半導體積體電路裝置的基板之重要部位剖面圖。

第 2 0 圖係顯示本發明之半導體積體電路裝置之使用樣態之方塊圖。

第 2 1 圖係顯示本發明之第 7 實施型態之半導體積體電路裝置的基板之重要部位平面圖。

第 2 2 圖係顯示本發明之第 7 實施型態之半導體積體

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (34)

的製造方法之基板的重要部位剖面圖。

符號說明

- 1 : S O I 基板
- 1 a : 支撐層
- 1 b : 絕緣層
- 1 c : 半導體區域
- 2 : 電路區域
- 3 : 電路區域
- 4 , 4 a ~ 4 h : 絕緣分離槽
- 9 : 中間區域
- 9 b ~ 9 d , 9 e ~ 9 g : 分離區域
- 1 1 a ~ 1 1 d : 電阻
- 1 2 : 場氧化膜
- 1 3 , 1 3 a ~ 1 3 f : 配線電阻
- 1 4 : 層間絕緣膜
- 1 5 , 1 5 a ~ 1 5 f : 第 1 層配線
- 1 6 : 氧化矽膜
- 1 7 , 1 7 a ~ 1 7 d : 擴散電阻
- 1 8 , 1 8 A , 1 8 B : 絕緣分離槽
- 2 0 : 接續部
- 2 1 : 突出板 (die pad)
- 2 2 , 2 2 a , 2 2 b : 接合座
- 2 3 : 接合線

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (35)

- 2 5 a ~ 2 5 f : 短路區域
- 3 1 : 下部電極
- 3 1 a : 配線
- 3 2 : 上部電極
- 3 2 A , 3 2 B : 上部電極
- 3 2 a : 配線
- 3 3 , 3 3 A , 3 3 B : 半導體區域
- 3 3 a : 配線
- 3 4 , 3 4 A , 3 4 B : 上部電極
- 3 4 a : 配線
- 3 5 : 配線部
- 4 1 a , 4 1 b : 濾波擴大電路
- 4 2 : A / D 變換器電路
- 4 3 : D / A 變換器電路
- 4 4 : 數位濾波電路及 D S P 電路
- 4 5 a ~ 4 5 d : 隔離器
- 5 1 : 分離溝
- 6 1 : 寬幅分離溝
- 6 2 : 氧化矽膜
- 6 3 : C M P 止擋膜
- 7 1 : 局側裝置
- 7 2 : 電路
- 7 3 : 突波吸收電路
- 7 4 : 平衡電路

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (36)

7 5 : 電源 電 路

7 5 a : 電 容 器

7 6 : 半 導 體 積 體 電 路 裝 置

C : 電 容 元 件

C a : 電 容 部

C b : 電 容 部

(請先閱讀背面之注意事項再填寫本頁)

訂

線

四、中文發明摘要(發明之名稱： 半導體積體電路裝置及其製造方法)

使 S O I 基板主表面之電路區域 2 與以絕緣分離槽 4 a 及 4 b 所區隔的分離區域 9 b 以配線電阻或 S O I 基板中的擴散電阻 1 1 a 接續，使分離區域 9 b 與中間區域 9 以配線電阻或 S O I 基板中的擴散電阻 1 1 b 接續，此外，使 S O I 基板主表面的電路區域 3 與以絕緣分離槽 4 c 以及 4 d 區隔的分離區域 9 c 以配線電阻或 S O I 基板中的擴散電阻 1 1 d 接續，使分離區域 9 c 與中間區域 9 以配線電阻或 S O I 基板中的擴散電阻 1 1 c 接續。結果，藉由配線電阻或擴散電阻 1 1 a ~ 1 1 c 分擔對電路區域 2 與 3 之間被施加的電壓，所以可以提高半導體積體電路裝置的可耐電壓。

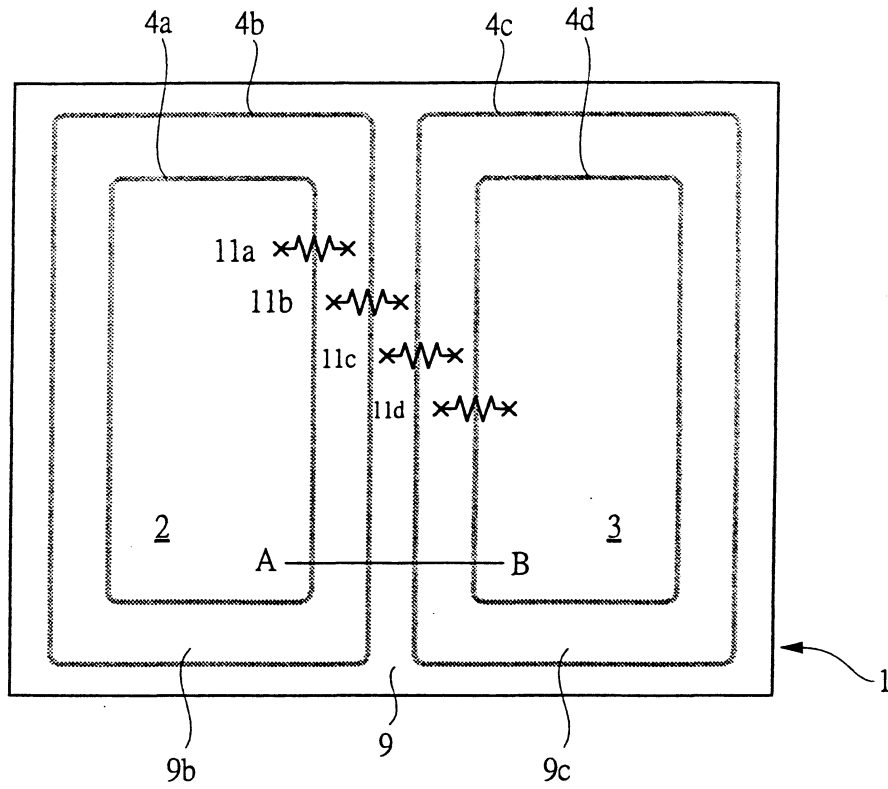
英文發明摘要(發明之名稱：)

(請先閱讀背面之注意事項再填寫本頁各欄)

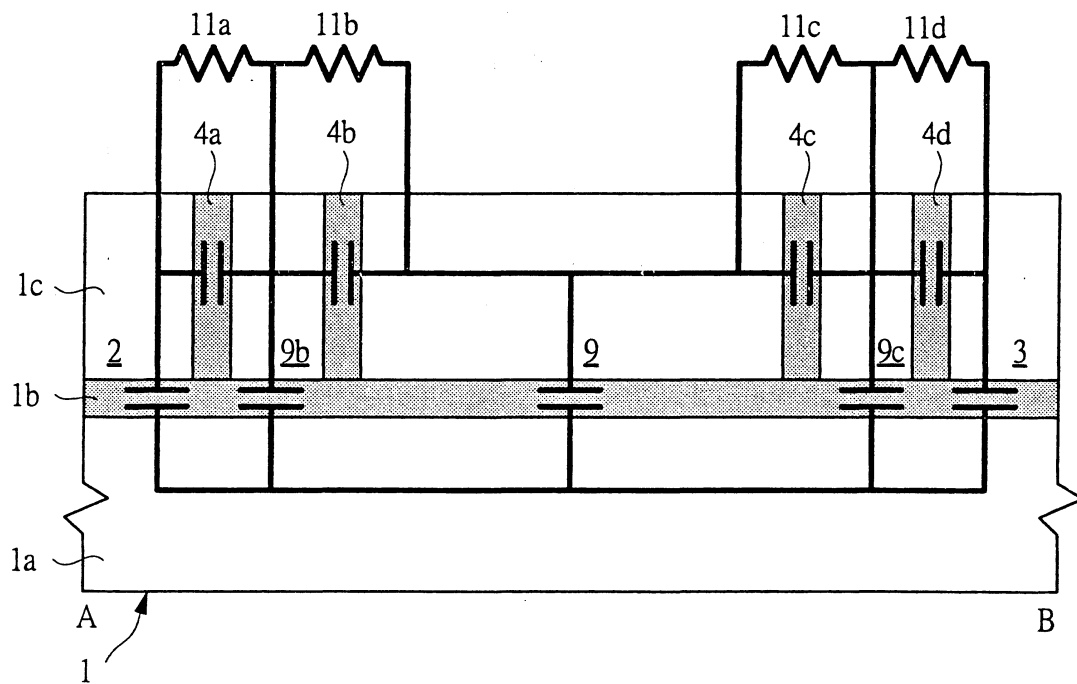
裝

訂

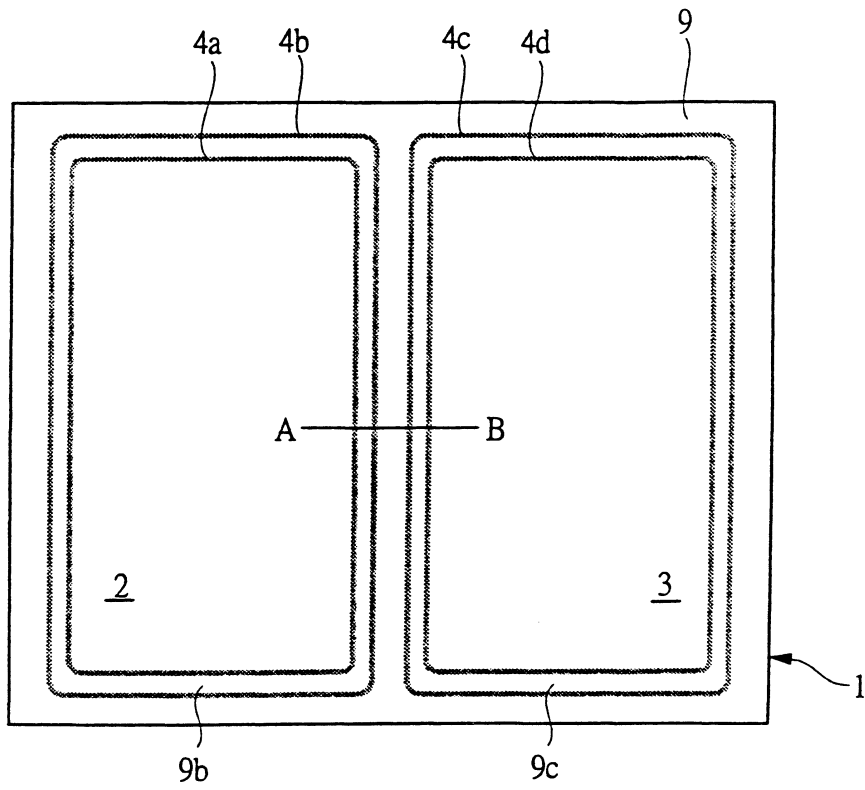
第 1 圖



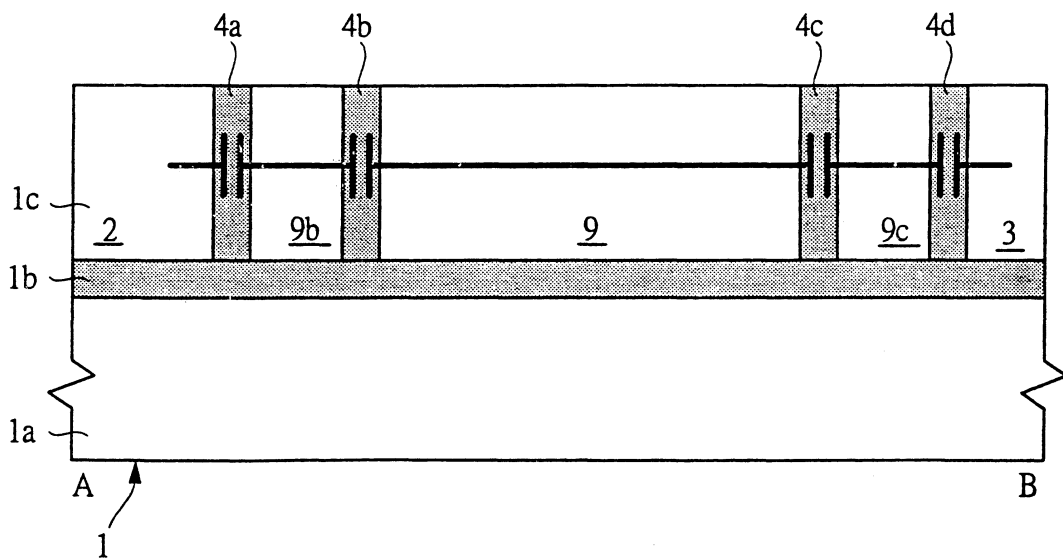
第 2 圖



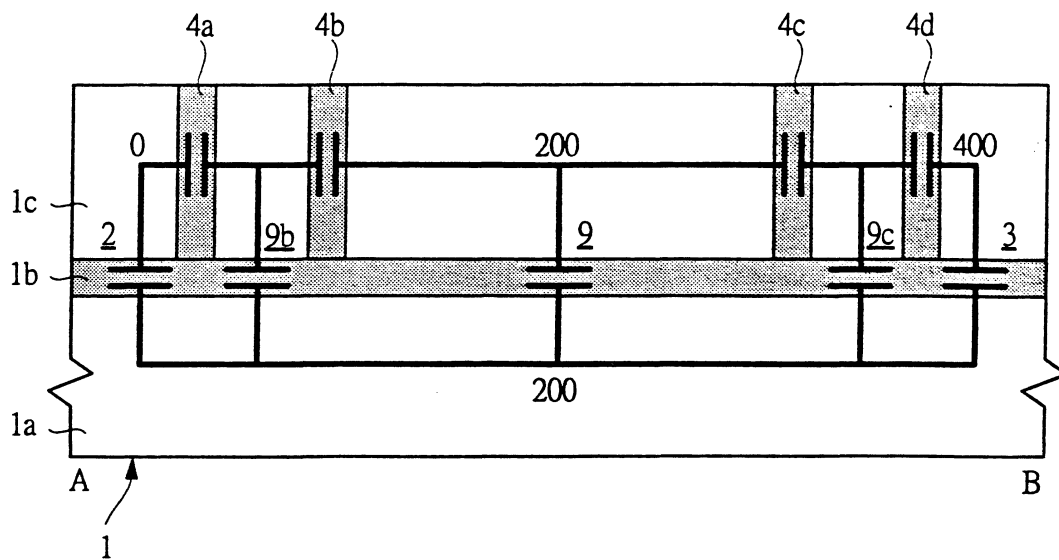
第 3 圖



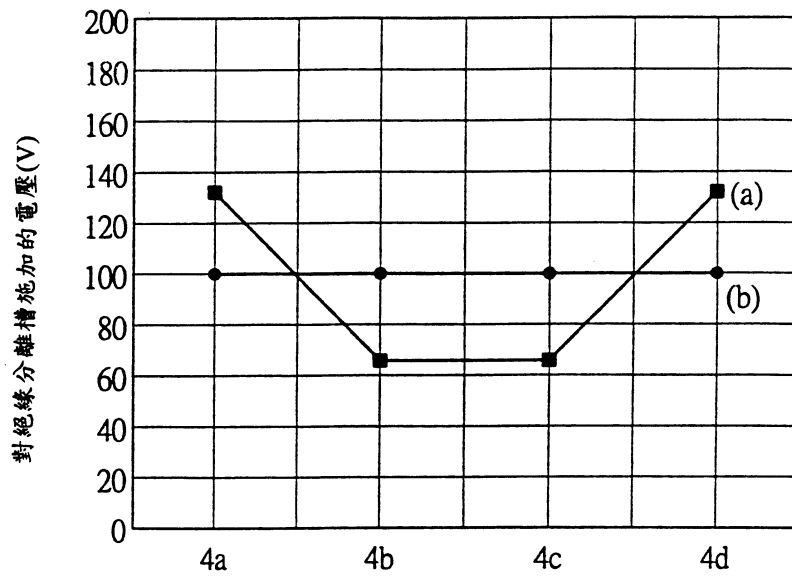
第 4 圖



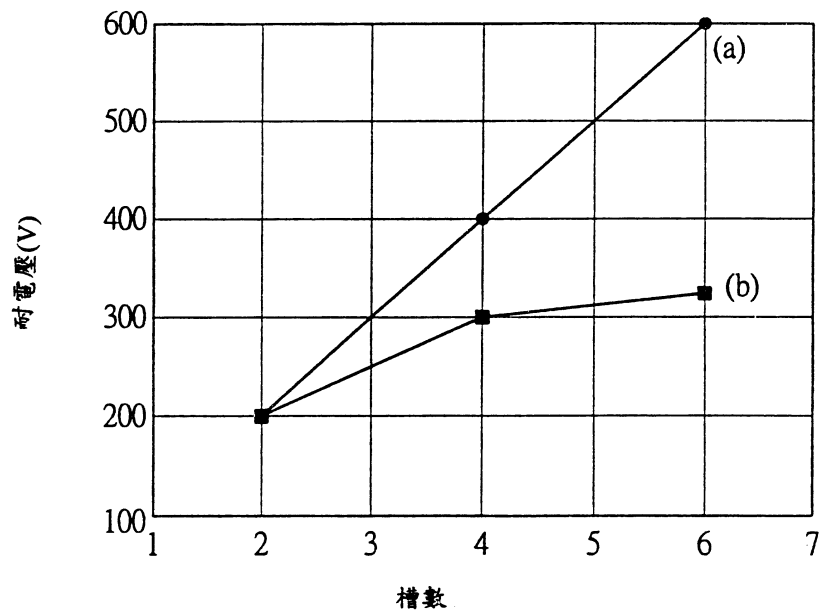
第 5 圖



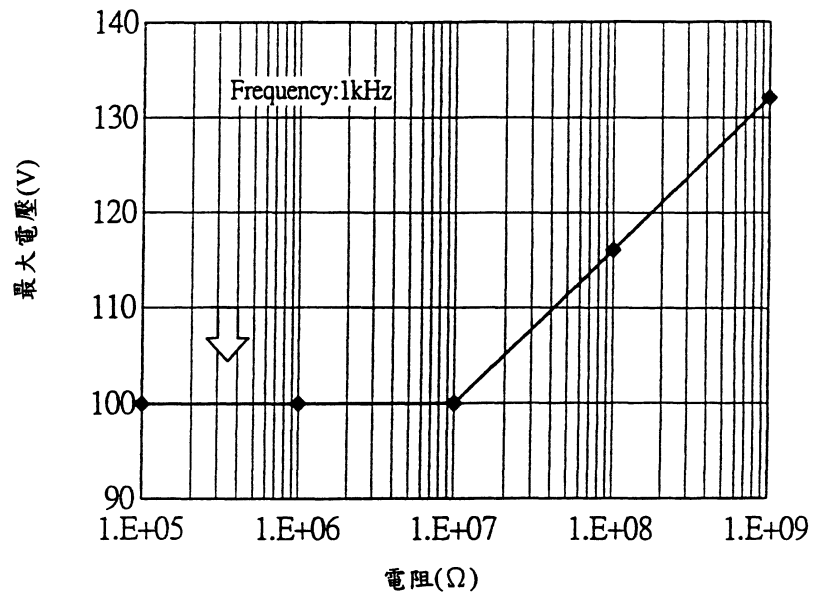
第 6 圖



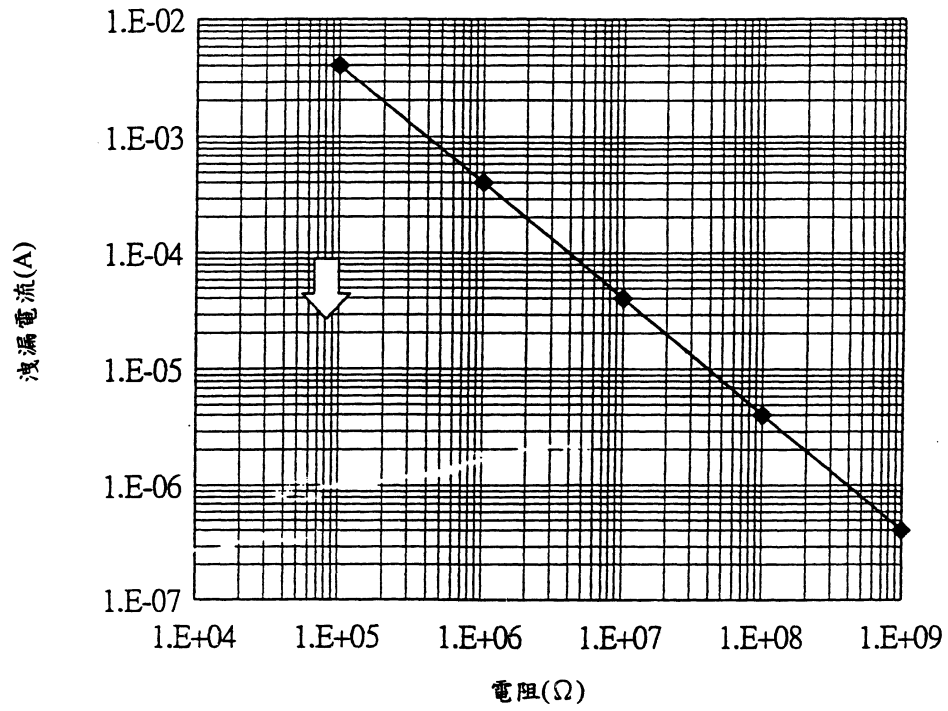
第 7 圖



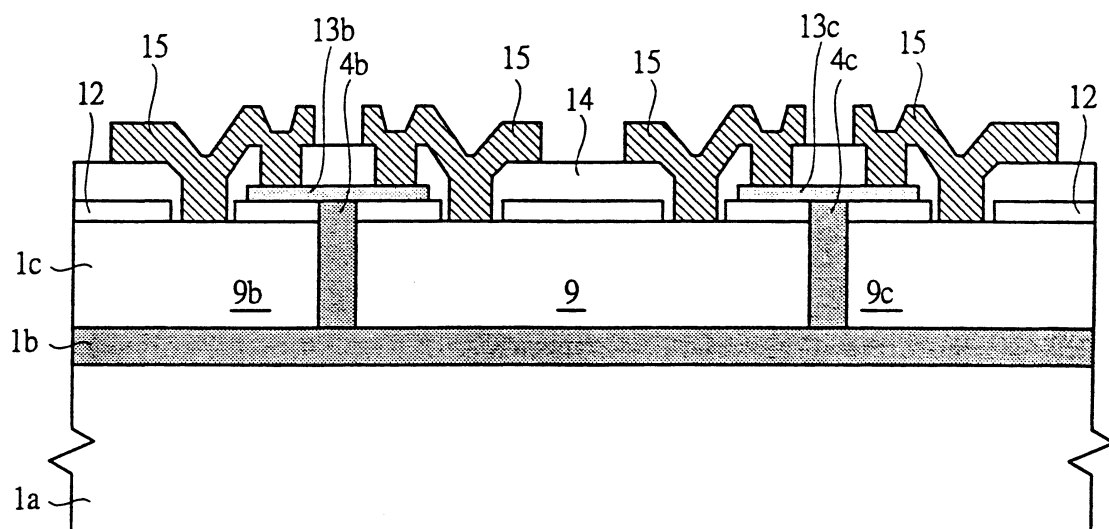
第 8 圖



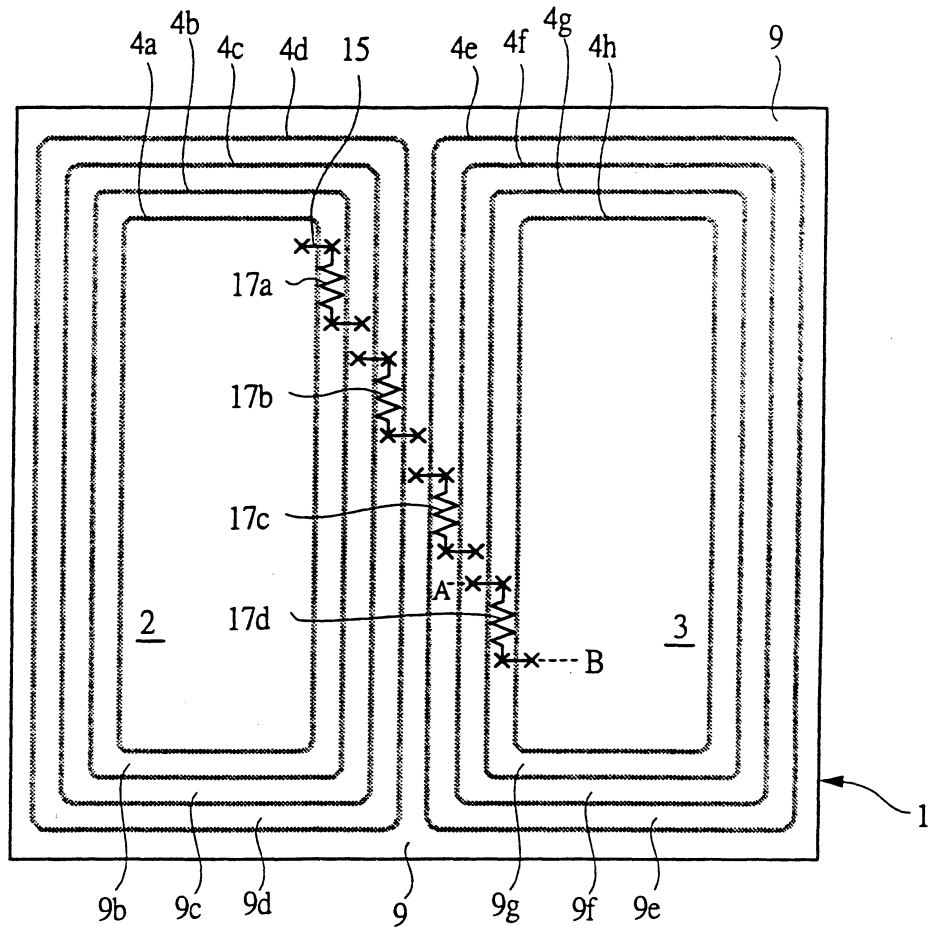
第 9 圖



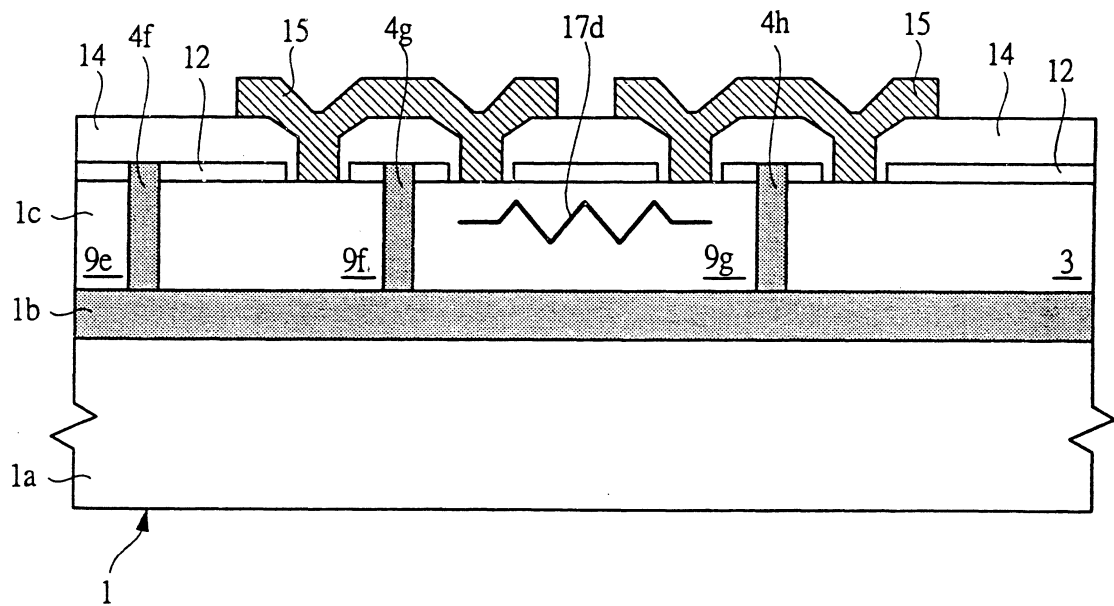
第 10 圖



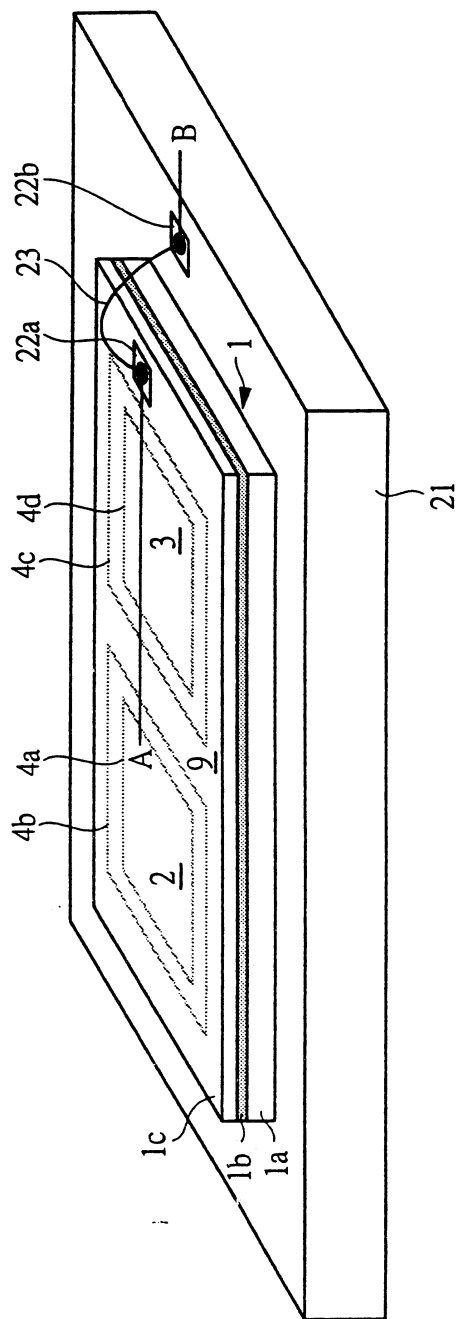
第 11 圖



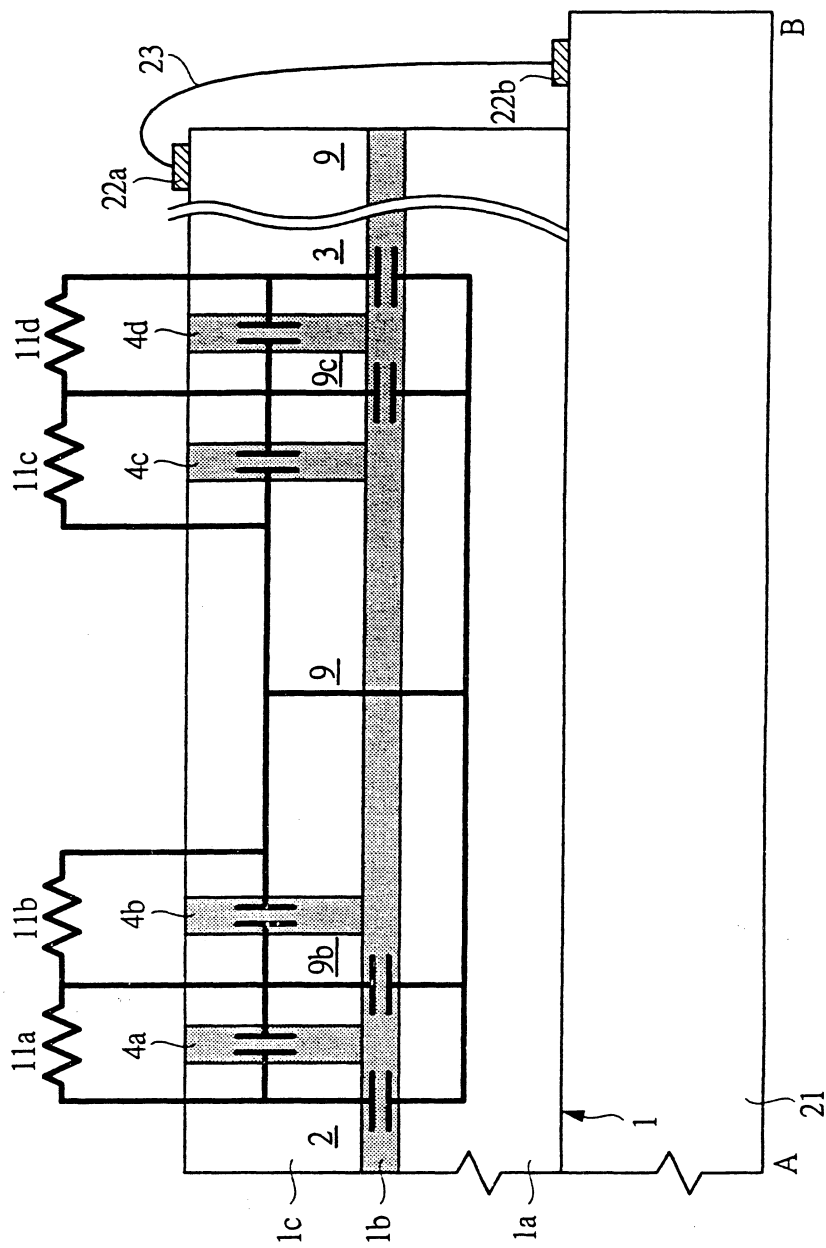
第 12 圖



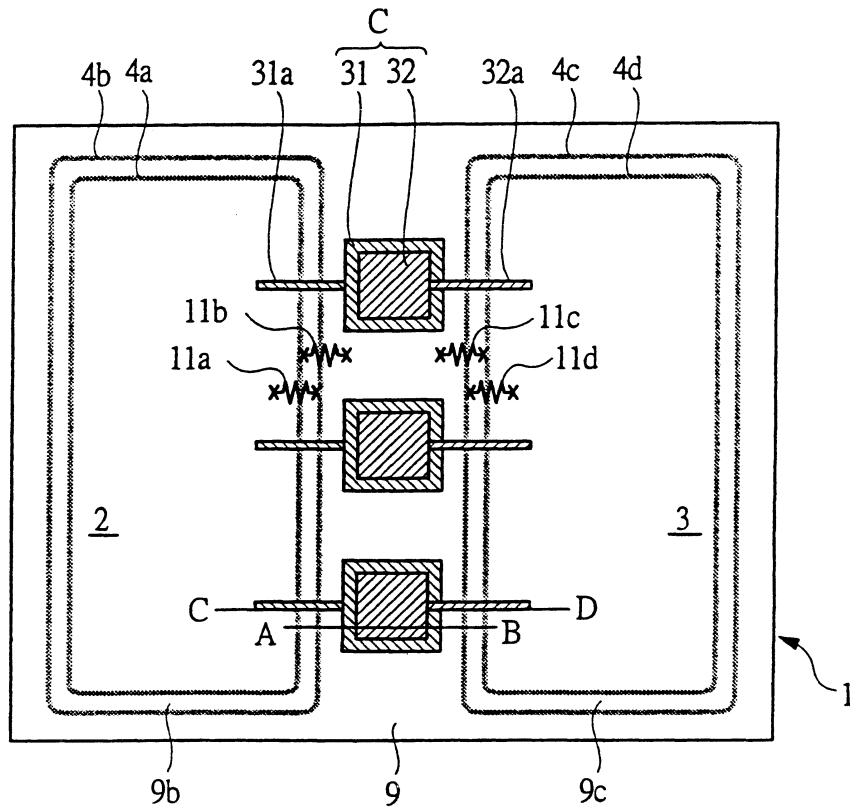
第 13 圖



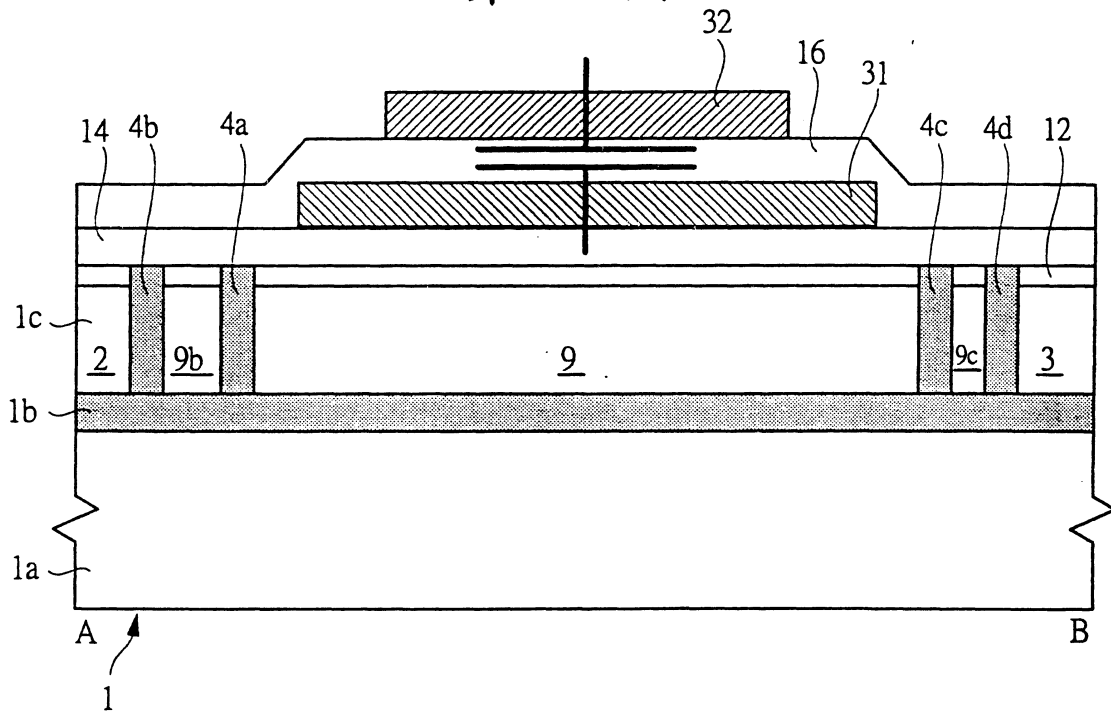
第 14 圖



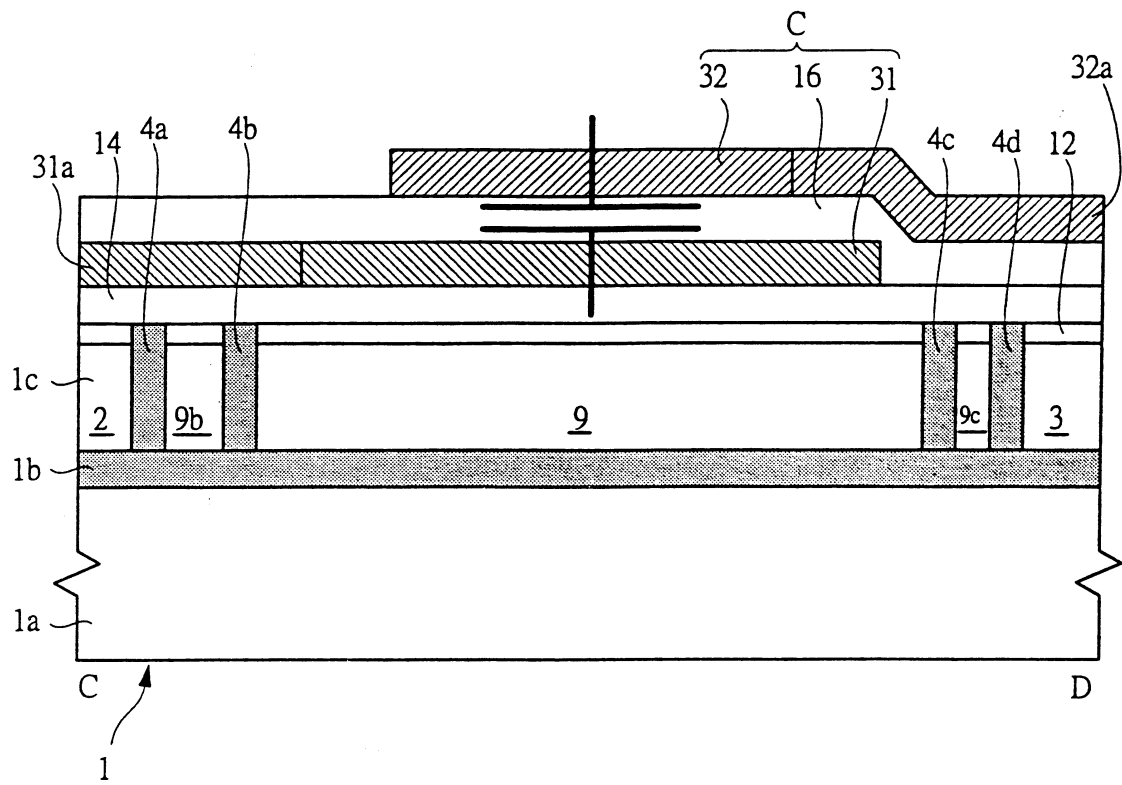
第 15 圖



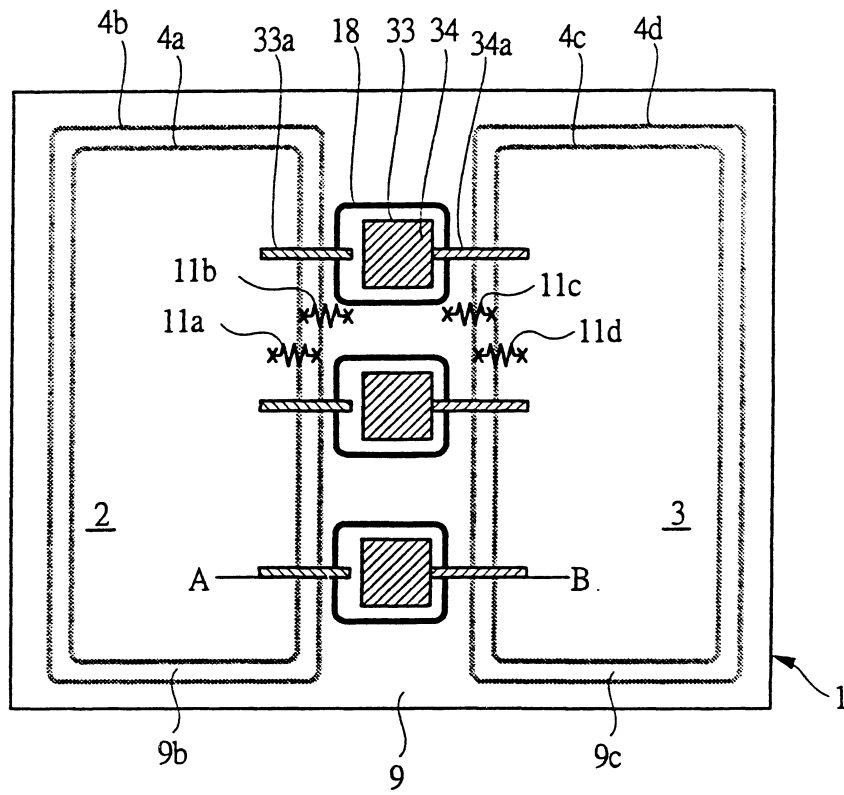
第 16 圖



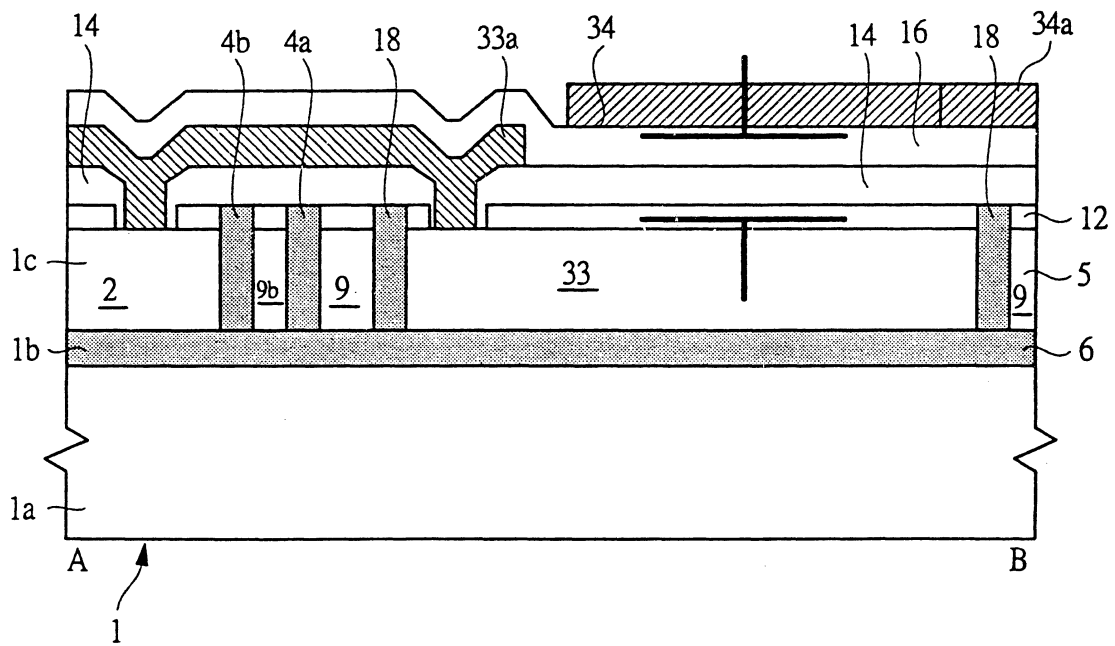
第 17 圖



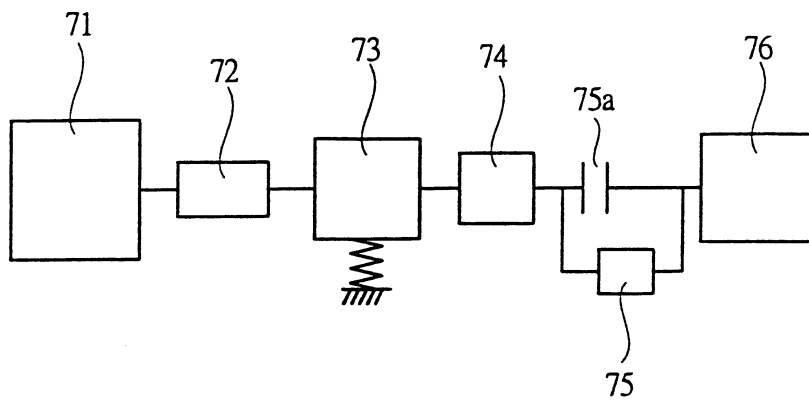
第 18 圖



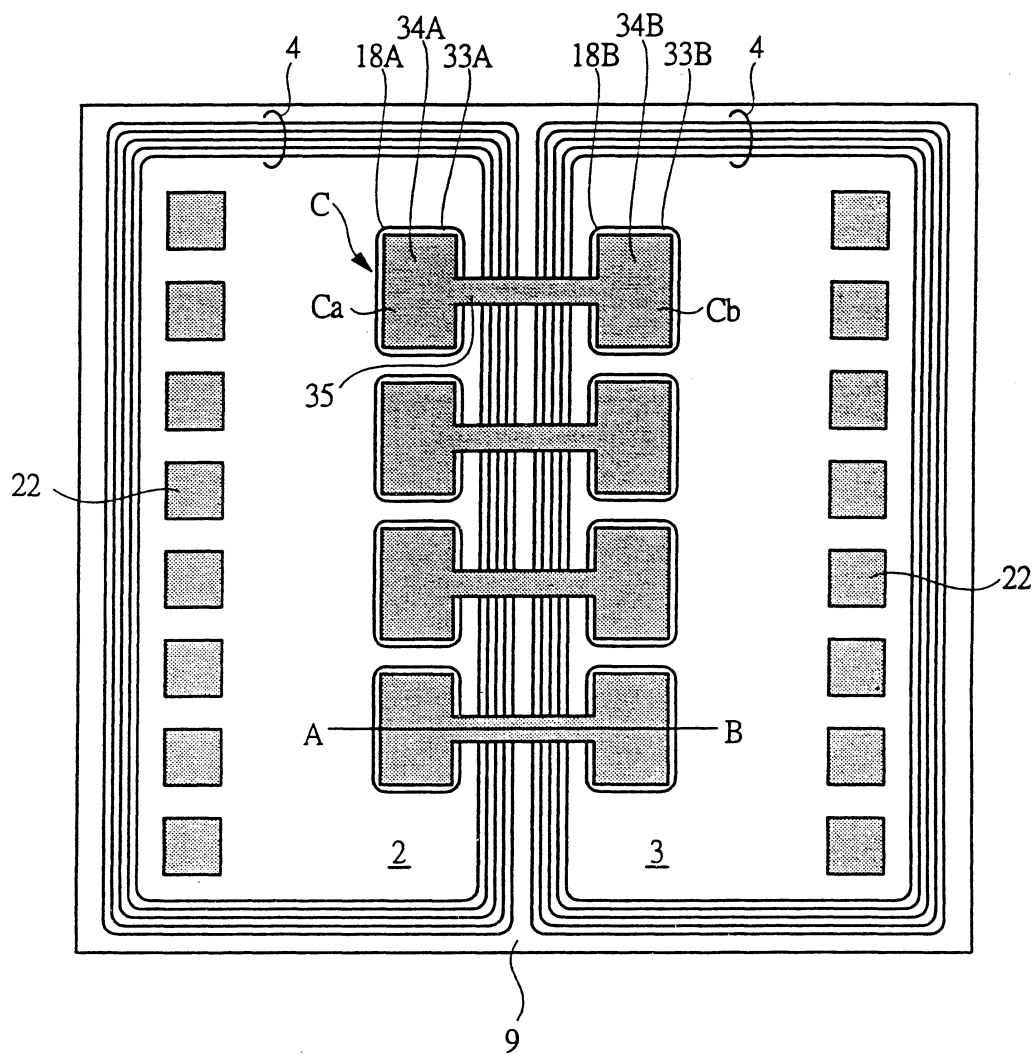
第 19 圖



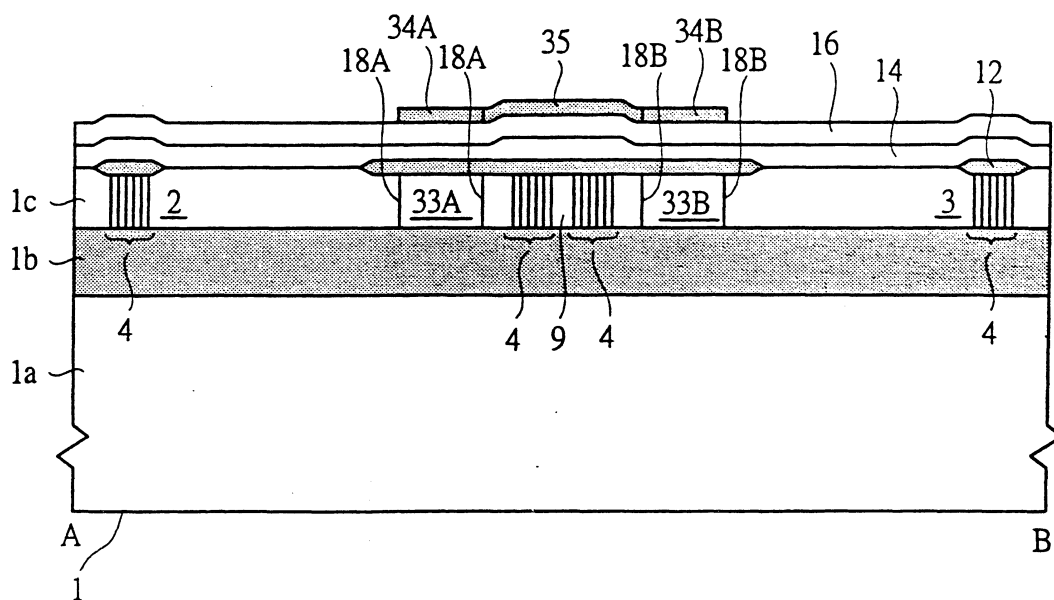
第 20 圖



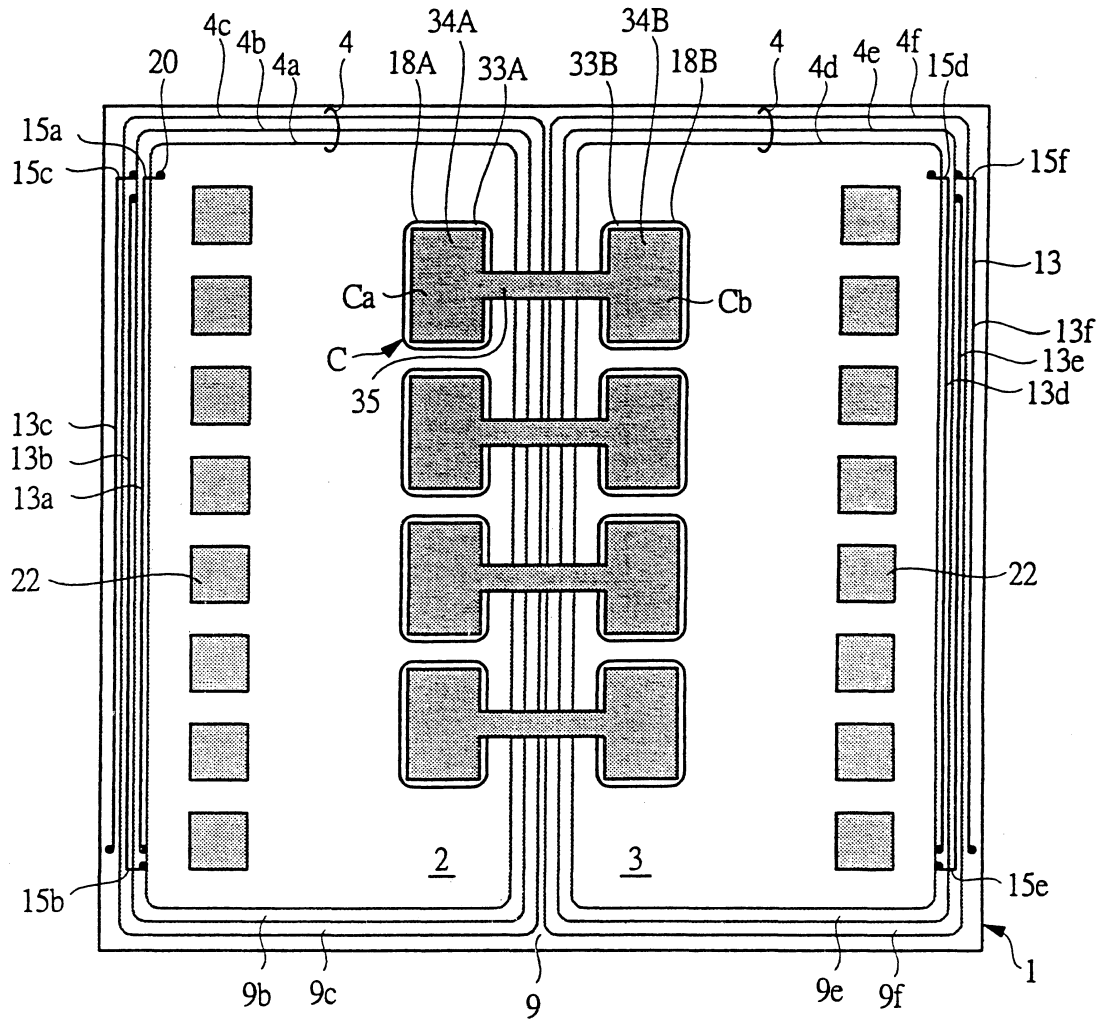
第 21 圖



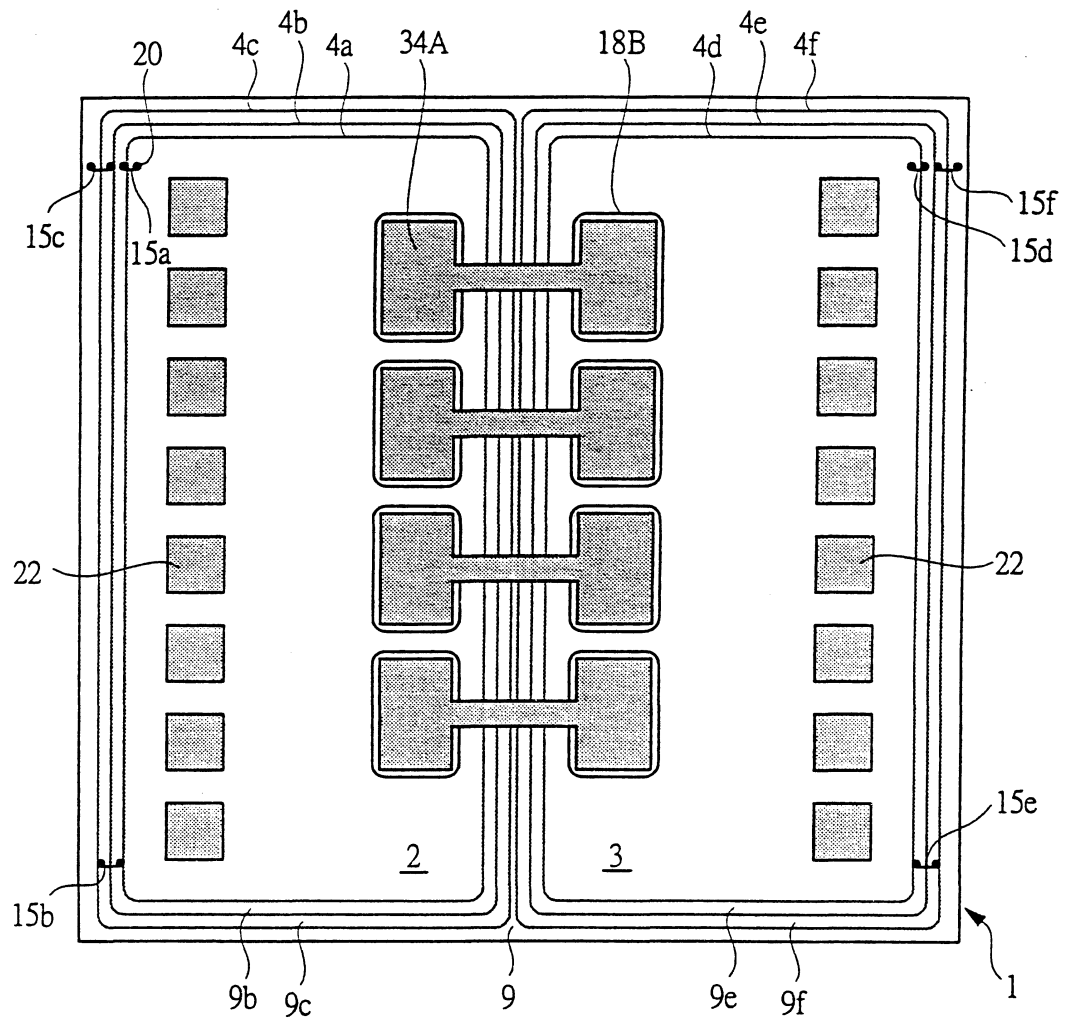
第 22 圖



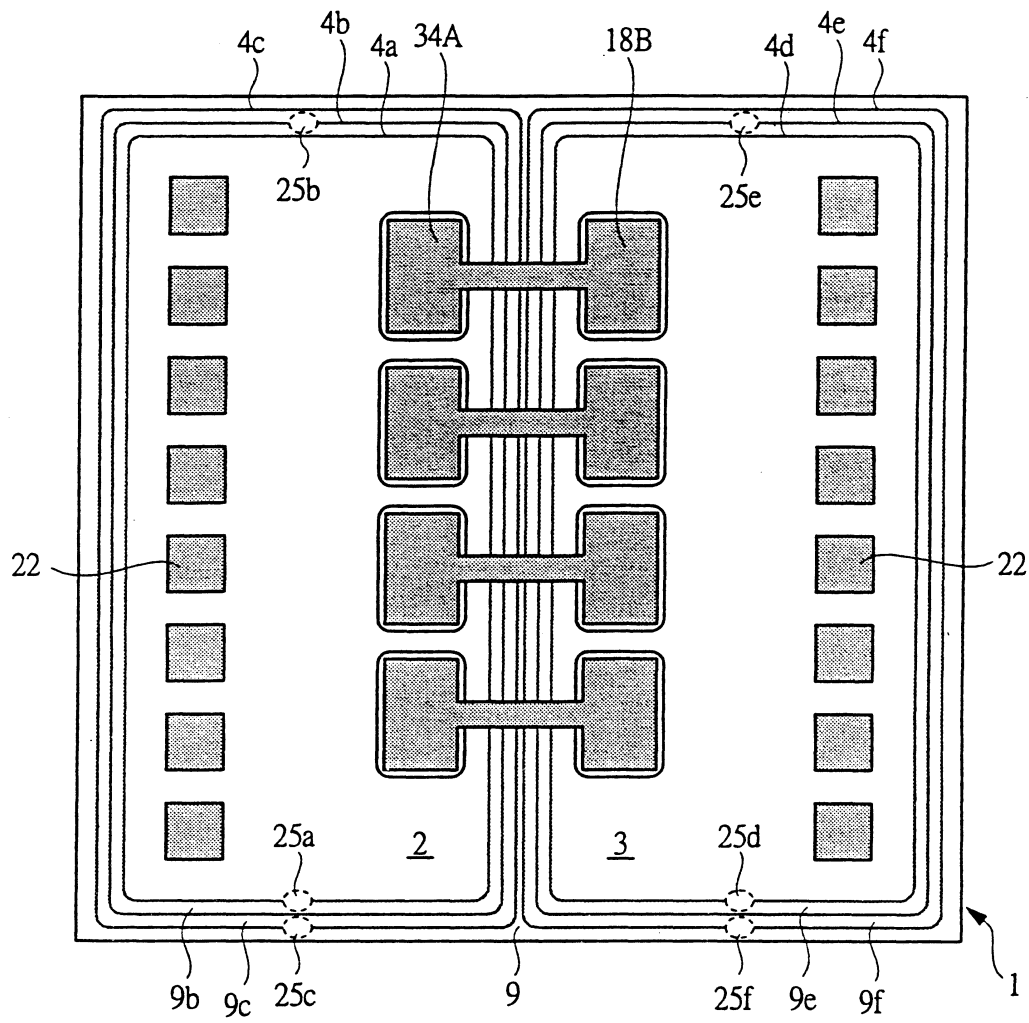
第 23 圖



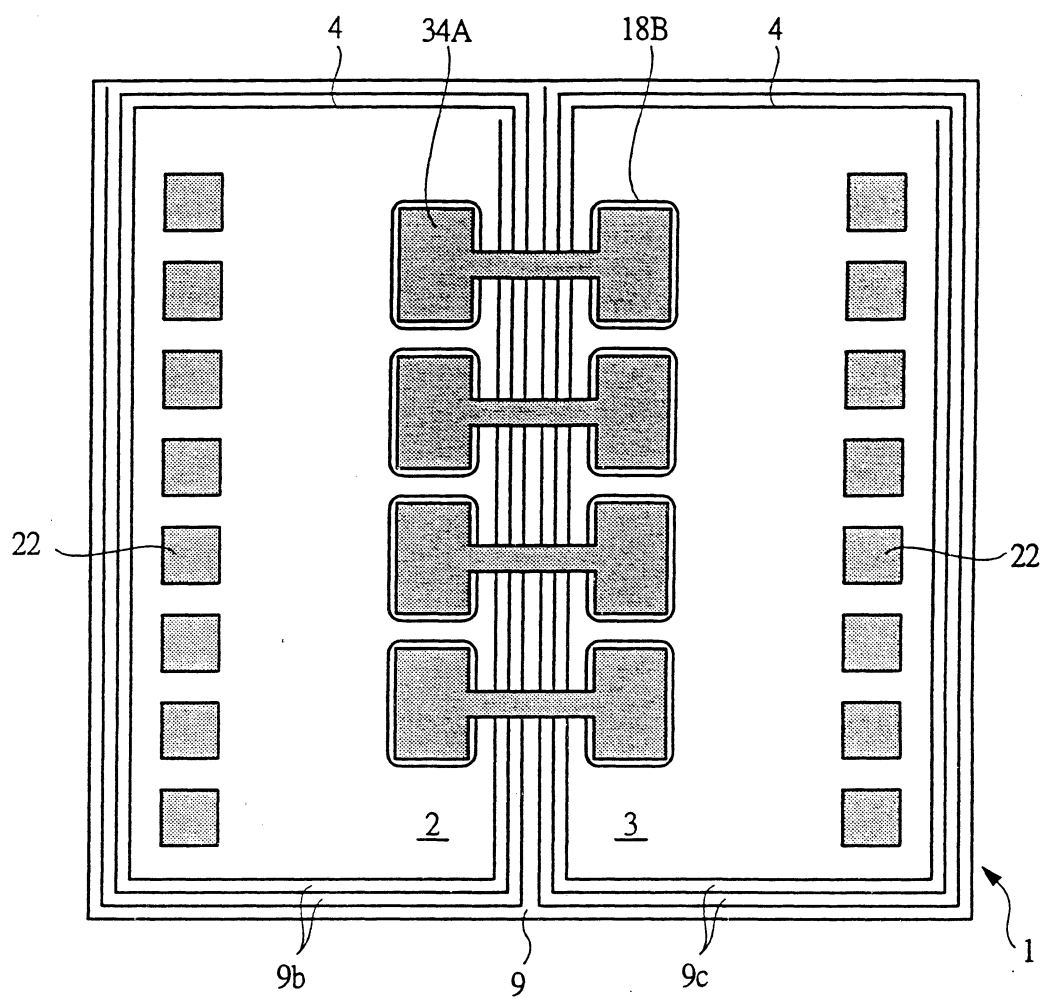
第 25 圖



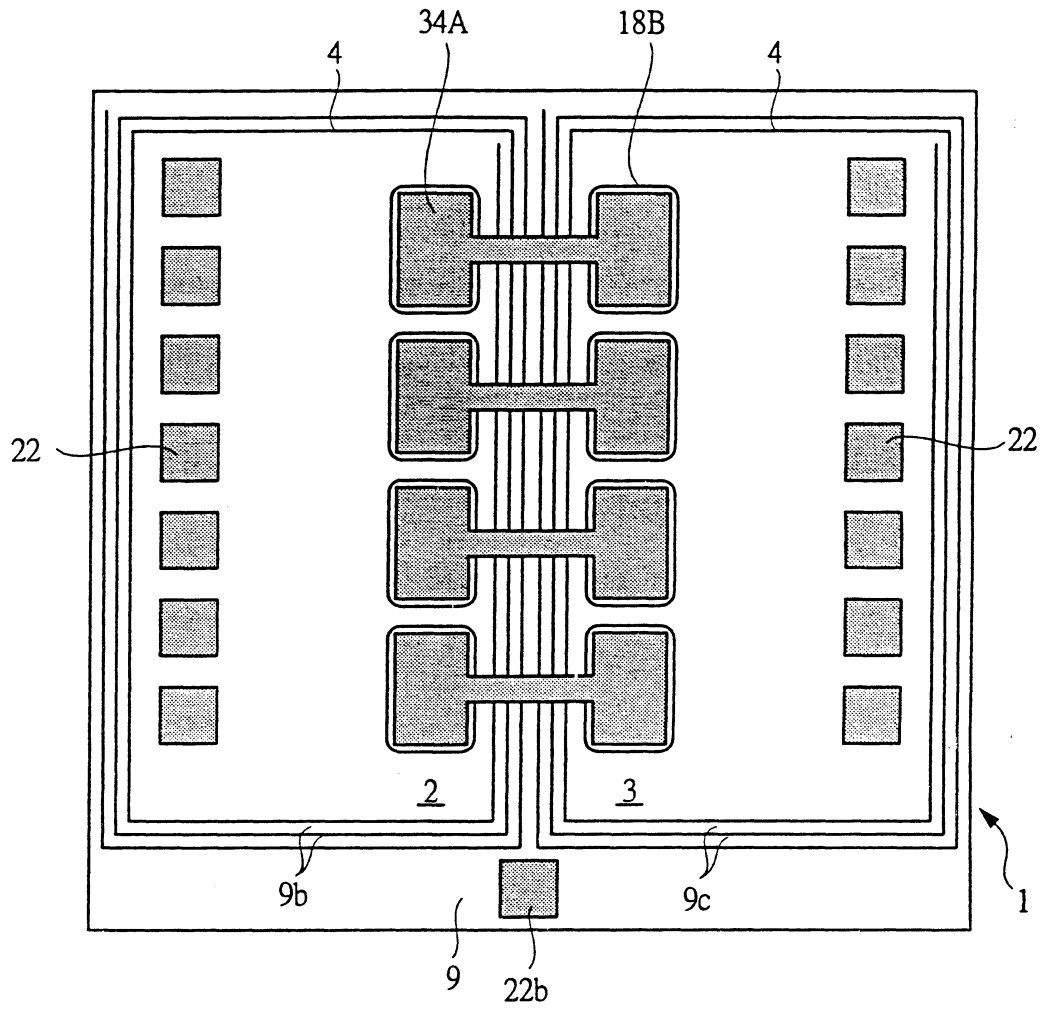
第 26 圖



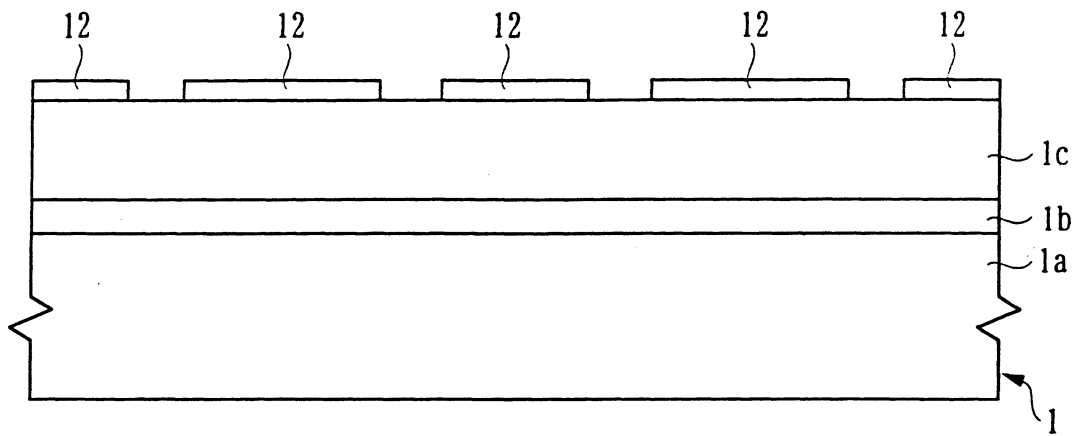
第 27 圖



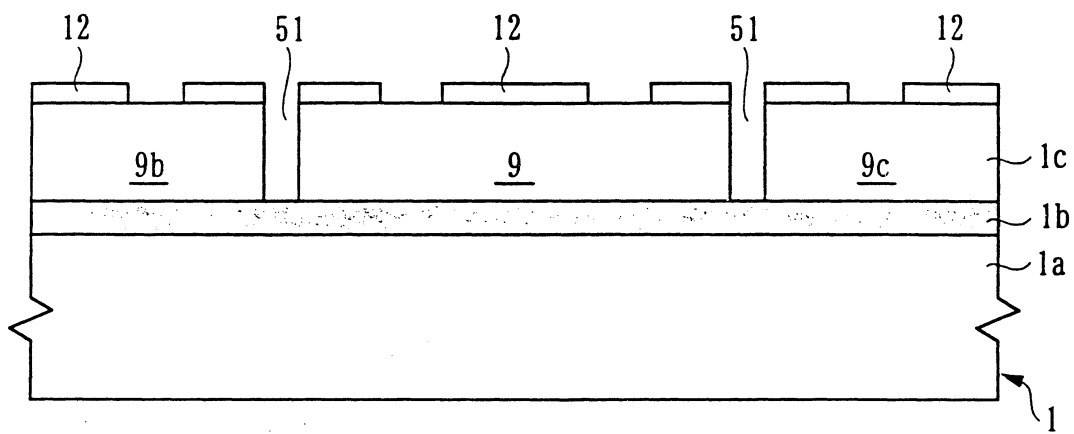
第 28 圖



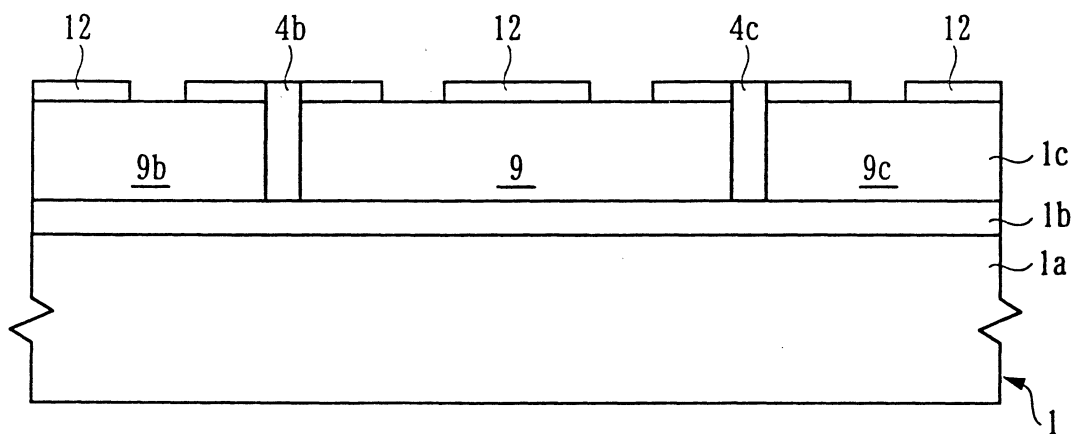
第 31 圖(a)



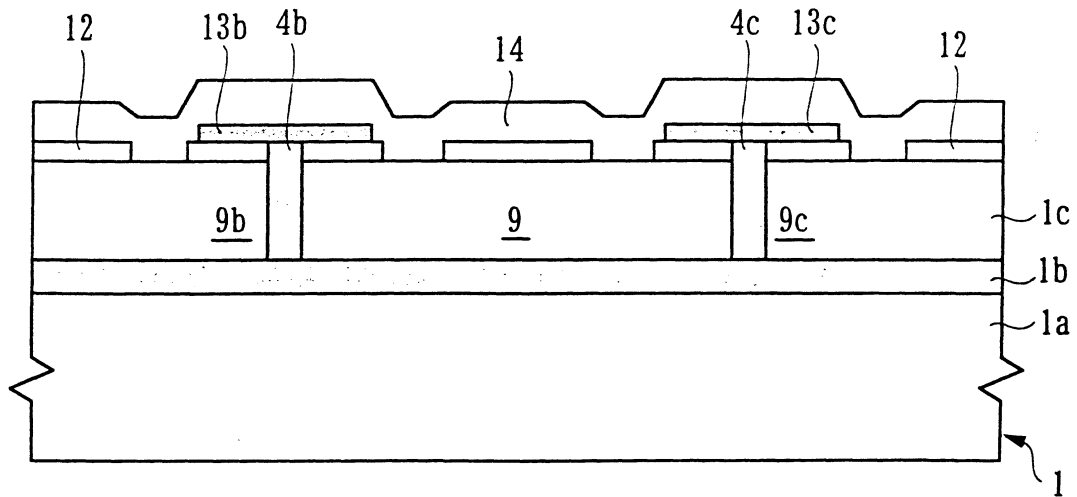
第 31 圖(b)



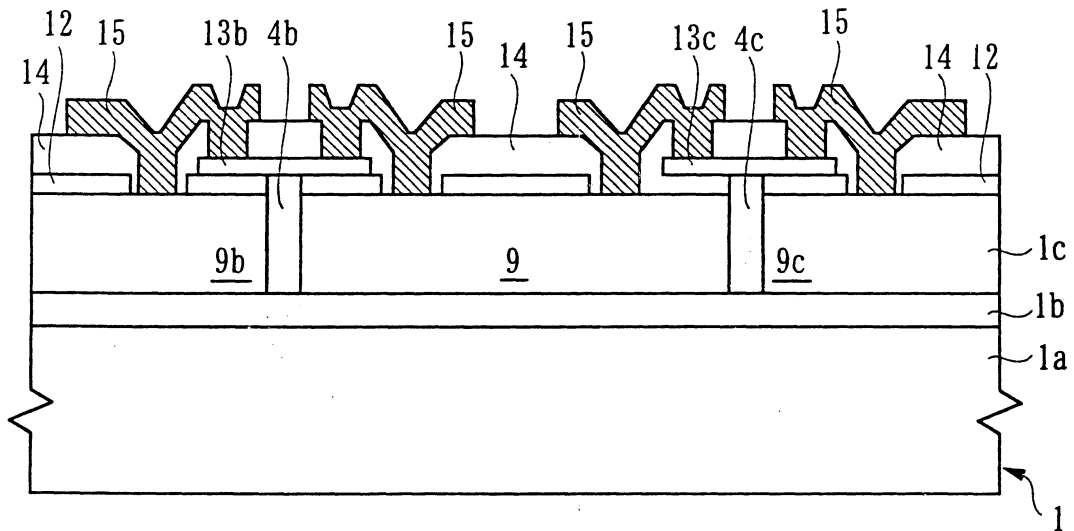
第 31 圖(c)



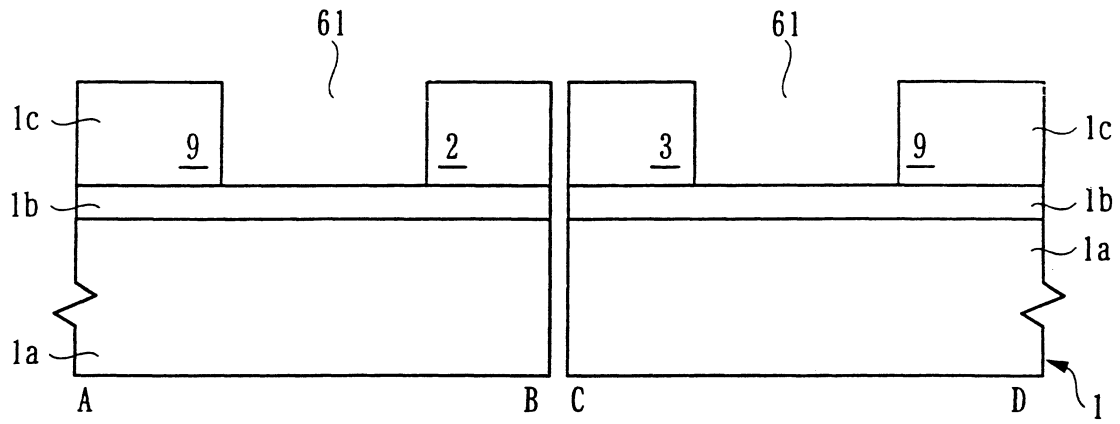
第 32 圖(a)



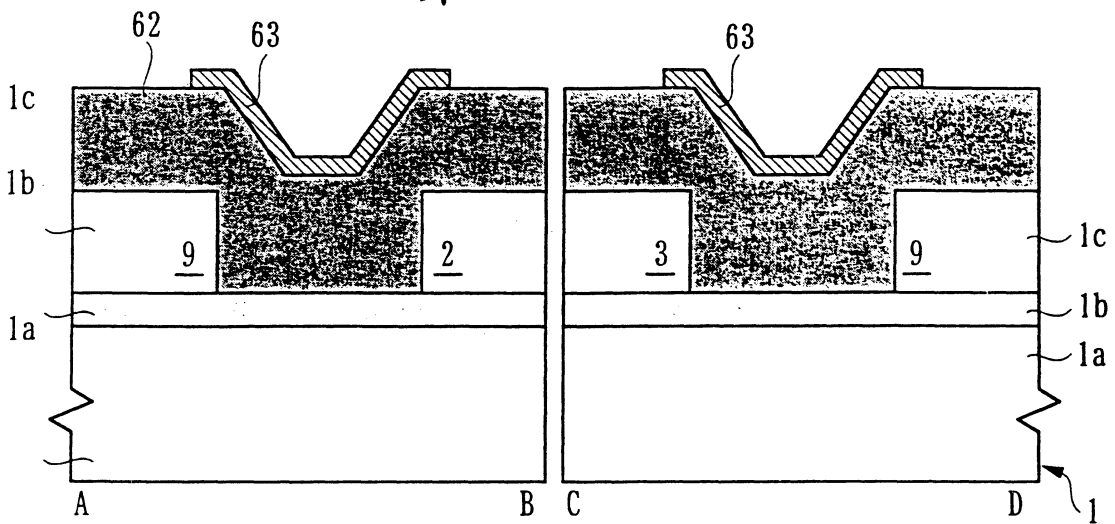
第 32 圖(b)



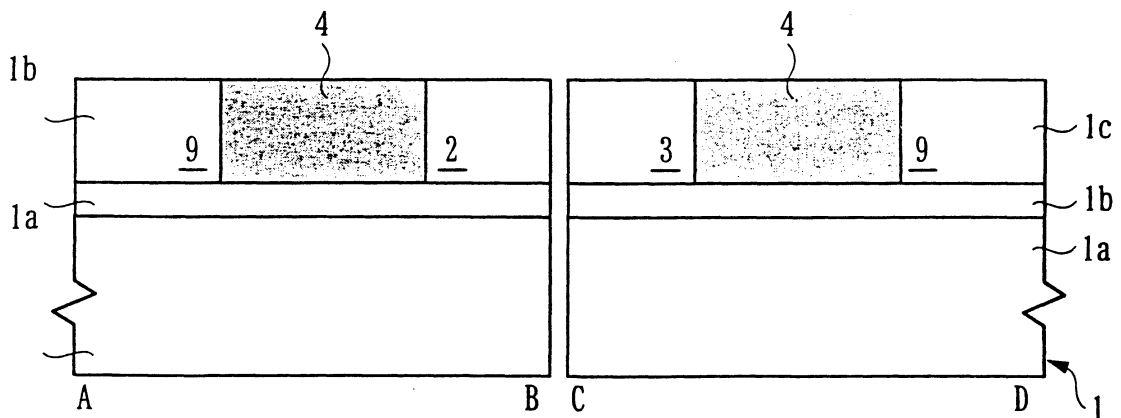
第 33 圖(a)



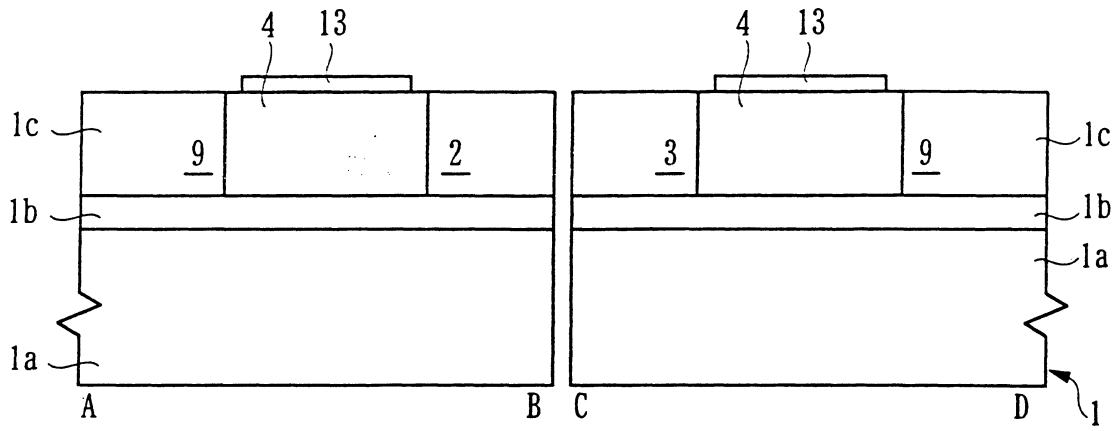
第 33 圖(b)



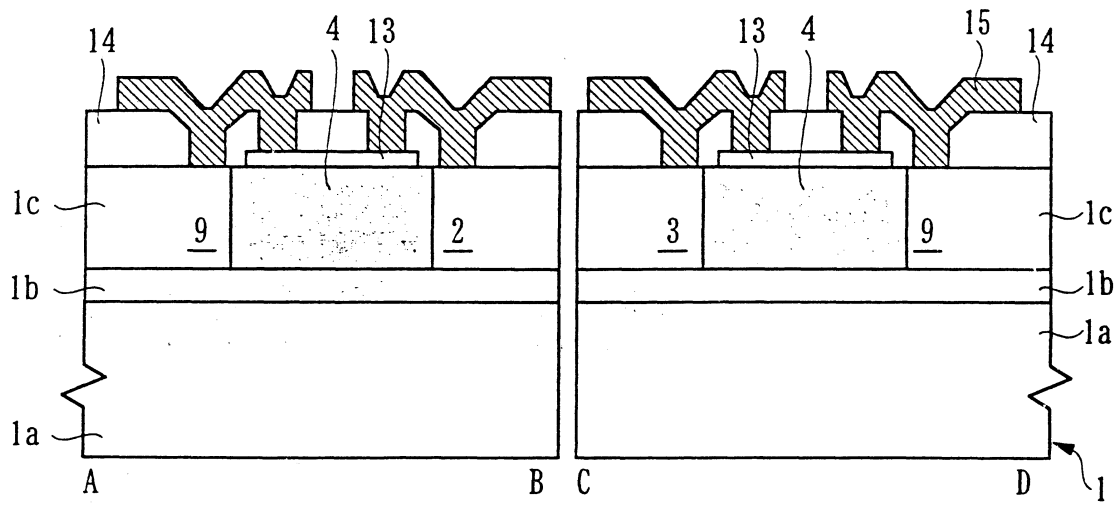
第 33 圖(c)



第 34 圖(a)



第 34 圖(b)



五、發明說明 (33)

91年11月7日 修正
補充

電路裝置的基板之重要部位剖面圖。

第 2 3 圖係顯示本發明之第 8 實施型態之半導體積體電路裝置的基板之重要部位平面圖。

第 2 4 圖係顯示本發明之第 9 實施型態之半導體積體電路裝置的基板之重要部位平面圖。

第 2 5 圖係顯示本發明之第 1 0 實施型態之半導體積體電路裝置的基板之重要部位平面圖。

第 2 6 圖係顯示本發明之第 1 1 實施型態之半導體積體電路裝置的基板之重要部位平面圖。

第 2 7 圖係顯示本發明之第 1 2 實施型態之半導體積體電路裝置的基板之重要部位平面圖。

第 2 8 圖係顯示本發明之第 1 3 實施型態之半導體積體電路裝置的基板之重要部位平面圖。

第 2 9 圖係顯示本發明之第 1 4 實施型態之半導體積體電路裝置的基板之重要部位平面圖。

第 3 0 圖係顯示本發明之第 1 5 實施型態之半導體積體電路裝置的基板之重要部位平面圖。

第 3 1 (a)~(c)圖係顯示本發明之半導體積體電路裝置的製造方法之基板的重要部位剖面圖。

第 3 2 (a),(b)圖係顯示本發明之半導體積體電路裝置的製造方法之基板的重要部位剖面圖。

第 3 3 (a)~(c)圖係顯示本發明之半導體積體電路裝置的製造方法之基板的重要部位剖面圖。

第 3 4 (a),(b)圖係顯示本發明之半導體積體電路裝置

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

第 90119389 號專利申請案

中文申請專利範圍修正本

民國 91 年 11 月 7 日修正

91年11月7日修正
補充

(請先閱讀背面之注意事項再填寫本頁)

1 . 一種半導體積體電路裝置，係在支撐層、及被形成於前述支撐層上之絕緣層、以及被形成於前述絕緣層上之半導體區域所構成的 S O I 基板的主表面上具有第 1 及第 2 電路區域的半導體積體電路裝置，其特徵為具有：

(a) 包圍前述第 1 電路區域，到達前述絕緣層為止的第 1 絕緣分離溝，與包圍前述第 1 絕緣分離溝，到達前述絕緣層為止的第 2 絕緣分離溝，及

(b) 包圍前述第 2 電路區域，到達前述絕緣層為止的第 3 絕緣分離溝，與包圍前述第 3 絕緣分離溝，到達前述絕緣層為止的第 4 絕緣分離溝，及

(c) 延伸存在於前述第 2 與第 4 絕緣分離溝之間的中間區域，及

(d) 接續前述第 1 電路區域與以前述第 1 與第 2 絕緣分離溝所區隔的第 1 分離區域之第 1 配線電阻，及接續前述第 1 分離區域與中間區域之第 2 配線電阻，及

(e) 接續前述第 2 電路區域與以前述第 3 與第 4 絕緣分離溝所區隔的第 2 分離區域之第 3 配線電阻，及接續前述第 2 分離區域與中間區域之第 4 配線電阻。

2 . 如申請專利範圍第 1 項之半導體積體電路裝置，其中

六、申請專利範圍

前述第 1 ~ 第 4 配線電阻之電阻值係 $4 \times 10^6 \sim 4 \times 10^7 \Omega$ 。

3 . 如申請專利範圍第 1 或 2 項之半導體積體電路裝置，其中

包圍前述第 1 及第 2 電路區域的絕緣分離溝，分別在 15 條以上。

4 . 如申請專利範圍第 1 項之半導體積體電路裝置，其中

前述第 1 及第 2 配線電阻，係沿著前述第 1 絕緣分離溝形成的，前述第 3 及第 4 配線電阻，係沿著前述第 3 絕緣分離溝形成的。

5 . 如申請專利範圍第 1 項之半導體積體電路裝置，其中

前述第 1 及第 2 電路區域，係約略矩形之區域，前述第 1 及第 2 配線電阻，係沿著前述約略矩形之長邊形成的，前述第 3 及第 4 配線電阻，係沿著前述約略矩形之長邊形成的。

6 . 如申請專利範圍第 1 項之半導體積體電路裝置，其中

前述 S O I 基板，被搭載於突出板上，前述中間區域，被導電接續於前述突出板。

7 . 如申請專利範圍第 1 項之半導體積體電路裝置，其中

前述第 1 及第 2 電路區域，透過電容元件相互接續。

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

8 . 如申請專利範圍第 7 項之半導體積體電路裝置，其中

前述電容元件，係被形成於前述中間區域上。

9 . 如申請專利範圍第 7 項之半導體積體電路裝置，其中

前述電容元件，係由前述中間區域，與被形成於中間區域上的絕緣膜，及被形成於前述絕緣膜上的上部電極所構成。

10 . 如申請專利範圍第 7 項之半導體積體電路裝置，其中

前述電容元件，係由被形成於前述中間區域上的下部電極，及被形成於前述下部電極上的絕緣膜，及被形成於前述絕緣膜上的上部電極所構成。

11 . 如申請專利範圍第 7 項之半導體積體電路裝置，其中

前述電容元件，構成進行由前述第 1 電路區域往第 2 電路區域，或者由第 2 電路區域往第 1 電路區域之訊號傳送的隔離器電路。

12 . 如申請專利範圍第 1 項之半導體積體電路裝置，其中

前述第 1 及第 2 電路區域，透過由電容元件所構成的隔離器電路而接續，

於前述第 1 電路區域，被形成擴大器電路、濾波器電路、A D 變換電路以及 D / A 變換電路，

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

於前述第 2 電路區域，被形成數位濾波電路以及 D S P 電路。

1 3 . 一種半導體積體電路裝置，係在支撐層、及被形成於前述支撐層上之絕緣層、以及被形成於前述絕緣層上之半導體區域所構成的 S O I 基板的主表面上具有第 1 及第 2 電路區域的半導體積體電路裝置，其特徵為具有：

(a) 包圍前述第 1 電路區域，到達前述絕緣層為止的第 1 寬幅絕緣分離溝，及

(b) 包圍前述第 2 電路區域，到達前述絕緣層為止的第 2 寬幅絕緣分離溝，及

(c) 延伸存在於前述第 1 與第 2 寬幅絕緣分離溝之間的中間區域，及

(d) 接續前述第 1 電路區域與中間區域之第 1 配線電阻，及

(e) 接續前述第 2 電路區域與中間區域之第 2 配線電阻。

1 4 . 如申請專利範圍第 1 3 項之半導體積體電路裝置，其中

前述第 1 及第 2 寬幅絕緣分離溝的寬度在 $0.4 \mu m$ 以上。

1 5 . 如申請專利範圍第 1 3 項之半導體積體電路裝置，其中

前述第 1 配線電阻係沿著前述第 1 寬幅絕緣分離溝而形成的，前述第 2 配線電阻係沿著前述第 2 寬幅絕緣分離

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

溝而形成的。

16. 一種半導體積體電路裝置，係在支撐層、及被形成於前述支撐層上之絕緣層、以及被形成於前述絕緣層上之半導體區域所構成的S O I基板的主表面上具有第1及第2電路區域的半導體積體電路裝置，其特徵為具有：

(a) 包圍前述第1電路區域，到達前述絕緣層為止的第1絕緣分離溝，與包圍前述第1絕緣分離溝，到達前述絕緣層為止的第2絕緣分離溝，及

(b) 包圍前述第2電路區域，到達前述絕緣層為止的第3絕緣分離溝，與包圍前述第3絕緣分離溝，到達前述絕緣層為止的第4絕緣分離溝，及

(c) 延伸存在於前述第2與第4絕緣分離溝之間的中間區域，及

(d) 接續前述第1電路區域與以前述第1與第2絕緣分離溝所區隔的第1分離區域之第1配線，及接續前述第1分離區域與中間區域之第2配線，及

(e) 接續前述第2電路區域與以前述第3與第4絕緣分離溝所區隔的第2分離區域之第3配線，及接續前述第2分離區域與中間區域之第4配線。

17. 如申請專利範圍第16項之半導體積體電路裝置，其中

被接續於前述第1與第2配線之間，以前述第1電路區域與以前述第1與第2絕緣分離溝區隔的第1分離區域之擴散電阻，以及

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

被接續於前述第 3 與第 4 配線之間，以前述第 2 電路區域與以前述第 3 與第 4 絕緣分離溝區隔的第 2 分離區域之擴散電阻之電阻值，係 $4 \times 10^6 \sim 4 \times 10^7 \Omega$ 。

18. 如申請專利範圍第 16 項之半導體積體電路裝置，其中

前述第 1 以及第 2 電路區域係約略矩形，

前述第 1 配線，被形成於前述第 1 電路區域的約略矩形的長邊之一端附近，

前述第 2 配線，被形成於前述第 1 電路區域的約略矩形的長邊之另一端附近，

前述第 3 配線，被形成於前述第 2 電路區域的約略矩形的長邊之一端附近，

前述第 4 配線，被形成於前述第 2 電路區域的約略矩形的長邊之另一端附近。

19. 如申請專利範圍第 16 項之半導體積體電路裝置，其中

前述 S O I 基板，被搭載於突出板上，前述中間區域，被導電接續於前述突出板。

20. 如申請專利範圍第 16 項之半導體積體電路裝置，其中

前述第 1 及第 2 電路區域，透過電容元件相互接續。

21. 如申請專利範圍第 20 項之半導體積體電路裝置，其中

前述電容元件，係被形成於前述中間區域上。

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

2 2 . 如申請專利範圍第 2 0 項之半導體積體電路裝置，其中

前述電容元件，係由前述中間區域，與被形成於中間區域上的絕緣膜，及被形成於前述絕緣膜上的上部電極所構成。

2 3 . 如申請專利範圍第 2 0 項之半導體積體電路裝置，其中

前述電容元件，係由被形成於前述中間區域上的下部電極，及被形成於前述下部電極上的絕緣膜，及被形成於前述絕緣膜上的上部電極所構成。

2 4 . 如申請專利範圍第 1 6 項之半導體積體電路裝置，其中

前述電容元件，構成進行由前述第 1 電路區域往第 2 電路區域，或者由第 2 電路區域往第 1 電路區域之訊號傳送的隔離器電路。

2 5 . 如申請專利範圍第 1 6 項之半導體積體電路裝置，其中

前述第 1 及第 2 電路區域，透過由電容元件所構成的隔離器電路而接續，

於前述第 1 電路區域，被形成擴大器電路、濾波器電路、A D 變換電路以及 D / A 變換電路，

於前述第 2 電路區域，被形成數位濾波電路以及 D S P 電路。

2 6 . 一種半導體積體電路裝置，係在支撐層、及被

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

形成於前述支撐層上之絕緣層、以及被形成於前述絕緣層上之半導體區域所構成的 S O I 基板的主表面上具有第 1 及第 2 電路區域的半導體積體電路裝置，其特徵為具有：

(a) 包圍前述第 1 電路區域，到達前述絕緣層為止的第 1 絕緣分離溝，與包圍前述第 1 絕緣分離溝，到達前述絕緣層為止的第 2 絕緣分離溝，及

(b) 包圍前述第 2 電路區域，到達前述絕緣層為止的第 3 絕緣分離溝，與包圍前述第 3 絕緣分離溝，到達前述絕緣層為止的第 4 絕緣分離溝，及

(c) 延伸存在於前述第 2 與第 4 絕緣分離溝之間的中間區域，及

(d) 接續前述第 1 電路區域與以前述第 1 與第 2 絕緣分離溝所區隔的第 1 分離區域之第 1 接續部，及接續前述第 1 分離區域與中間區域之第 2 接續部，及

(e) 接續前述第 2 電路區域與以前述第 3 與第 4 絕緣分離溝所區隔的第 2 分離區域之第 3 接續部，及接續前述第 2 分離區域與中間區域之第 4 接續部。

27 . 如申請專利範圍第 26 項之半導體積體電路裝置，其中

前述第 1 及第 2 接續部，分別藉由未被形成前述第 1 及第 2 絕緣分離溝的短路區域所構成，前述第 3 及第 4 接續部，分別藉由未被形成前述第 3 及第 4 絕緣分離溝的短路區域所構成。

28 . 一種半導體積體電路裝置，係在支撐層、及被

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

形成於前述支撐層上之絕緣層、以及被形成於前述絕緣層上之半導體區域所構成的 S O I 基板的主表面上具有第 1 及第 2 電路區域的半導體積體電路裝置，其特徵為具有：

(a) 螺旋狀包圍前述第 1 電路區域，到達前述絕緣層為止的第 1 絕緣分離溝，及

(b) 螺旋狀包圍前述第 2 電路區域，到達前述絕緣層為止的第 2 絕緣分離溝。

29 . 一種半導體積體電路裝置，係在支撐層、及被形成於前述支撐層上之絕緣層、以及被形成於前述絕緣層上之半導體區域所構成的 S O I 基板的主表面上具有第 1 及第 2 電路區域的半導體積體電路裝置，其特徵為具有：

(a) 包圍前述第 1 電路區域，到達前述絕緣層為止的複數絕緣分離溝，及

(b) 包圍前述第 2 電路區域，到達前述絕緣層為止的複數絕緣分離溝，及

(c) 延伸存在於包圍前述第 1 電路區域的複數絕緣分離溝之中的最外側絕緣分離溝與包圍前述第 2 電路區域的複數絕緣分離溝之中的最外側絕緣分離溝之間的中間區域，及

(d) 在前述第 1 電路區域與中間區域之間，與前述複數絕緣分離溝並聯接續的電阻元件，及

(e) 在前述第 2 電路區域與中間區域之間，與前述複數絕緣分離溝並聯接續的電阻元件。

30 . 一種半導體積體電路裝置之製造方法，其特徵

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

為具有：

(a) 準備由支撐層、及被形成於前述支撐層上之絕緣層、以及被形成於前述絕緣層上之半導體區域所構成的 S O I 基板之工程，

(b) 藉由使前述半導體區域蝕刻至前述絕緣層露出為止，形成包圍半導體區域上的第 1 電路區域之第 1 分離溝以及包圍前述第 1 分離溝之第 2 分離溝，及包圍第 2 電路區域之第 3 分離溝以及包圍前述第 3 分離溝之第 4 分離溝之工程，

(c) 在包含前述第 1 至第 4 分離溝的前述半導體區域上堆積氧化矽膜的工程，

(d) 藉由除去前述第 1 至第 4 分離溝外部的氧化矽膜，形成由被埋入前述第 1 至第 4 分離溝內的氧化矽膜所構成的第 1 至第 4 絕緣分離溝之工程，

(e) 在前述半導體區域上堆積半導體層，藉由圖案化，在第 1 至第 4 絕緣分離溝上形成第 1 至第 4 配線電阻的工程，

(f) 在前述第 1 至第 4 配線電阻上，形成層間絕緣膜的工程，及

(g) 在前述層間絕緣膜上堆積導電性膜，形成藉由圖案化透過前述第 1 至第 4 配線電阻，接續前述第 1 電路區域或者第 2 電路區域與前述第 2 與第 4 絕緣分離溝之間的中間區域之配線的工程。

3 1 . 一種半導體積體電路裝置之製造方法，其特徵

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

為具有：

(a) 準備由支撐層、及被形成於前述支撐層上之絕緣層、以及被形成於前述絕緣層上之半導體區域所構成的 S O I 基板之工程，

(b) 藉由使前述半導體區域蝕刻至前述絕緣層露出為止，形成包圍半導體區域上的第 1 電路區域之第 1 分離溝以及包圍前述第 1 分離溝之第 2 分離溝之工程，

(c) 在包含前述第 1 及第 2 分離溝的前述半導體區域上堆積氧化矽膜的工程，

(d) 在前述第 1 及第 2 分離溝上之氧化矽膜上形成止擋膜之工程，

(e) 藉由除去前述第 1 及第 2 分離溝外部的氧化矽膜，形成由被埋入前述第 1 及第 2 分離溝內的氧化矽膜所構成的第 1 及第 2 絕緣分離溝之工程，

(f) 在前述半導體區域上堆積半導體層，藉由圖案化，在第 1 及第 2 絕緣分離溝上形成第 1 及第 2 配線電阻的工程，

(g) 在前述第 1 及第 2 配線電阻上，形成層間絕緣膜的工程，及

(h) 在前述層間絕緣膜上堆積導電性膜，形成藉由圖案化透過前述第 1 及第 2 配線電阻，接續前述第 1 電路區域或者第 2 電路區域與前述第 1 與第 2 絕緣分離溝之間的中間區域之配線的工程。

(請先閱讀背面之注意事項再填寫本頁)

訂