(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3784434号
(P3784434)

(45)発行日　平成18年6月14日(2006.6.14)　(24)登録日　平成18年3月24日(2006.3.24)

(51)Int.Cl.　F I
G02F 1/133 (2006.01)　G02F 1/133 575
G09G 3/36 (2006.01)　G09G 3/36

請求項の数 3　(全 16 頁)

(21)出願番号　特願平7-289546
(22)出願日　平成7年11月8日(1995.11.8)
(65)公開番号　特開平8-211367
(43)公開日　平成8年8月20日(1996.8.20)
審査請求日　平成13年2月9日(2001.2.9)
審判番号　不服2003-20650(P2003-20650/J1)
審判請求日　平成15年10月24日(2003.10.24)
(31)優先権主張番号　特願平6-277351
(32)優先日　平成6年11月11日(1994.11.11)
(33)優先権主張国　日本国(JP)

(73)特許権者　502356528
株式会社　日立ディスプレイズ
千葉県茂原市早野３３００番地
(73)特許権者　000233088
日立デバイスエンジニアリング株式会社
千葉県茂原市早野３６８１番地
(74)代理人　100083552
弁理士　秋田　収喜
(72)発明者　栗原　博司
千葉県茂原市早野３３００番地　株式会社日立製作所　電子デバイス事業部内
(72)発明者　三島　康之
千葉県茂原市早野３３００番地　株式会社日立製作所　電子デバイス事業部内

最終頁に続く

(54)【発明の名称】液晶表示装置

(57)【特許請求の範囲】

【請求項１】

薄膜トランジスタと、該薄膜トランジスタのソースに電気的に接続された画素電極とを有する画素が複数配置された液晶表示パネルと、

前記薄膜トランジスタのドレインに、複数の電位の階調電圧から選択した、電圧を出力するドレインドライバと、

前記ドレインドライバに複数の電位の階調基準電圧を出力する電源回路と、

前記薄膜トランジスタのゲートに、上記画素を選択する、電圧を出力するゲートドライバとを有する液晶表示装置であって、

前記ドレインドライバは階調電圧生成回路を有し、

前記階調電圧生成回路に供給される前記複数の階調基準電圧は、最大の階調基準電圧、最小の階調基準電圧および当該最大と最小の階調基準電圧以外の階調基準電圧を有し、

前記階調基準電圧は等間隔でない階調基準電圧を有し、

前記階調電圧生成回路は、前記複数の各階調基準電圧の電位間を抵抗を直列に接続した分圧回路により複数の電位に分圧し前記複数の電位の階調電圧を生成し、前記分圧回路の各階調基準電圧の電位間の抵抗値を、各階調基準電圧間の電位差にほぼ比例した抵抗値に設定したことを特徴とする液晶表示装置。

【請求項２】

前記分圧回路の各階調基準電圧の電位間の抵抗値を、各階調基準電圧間の電位差にほぼ比例した抵抗値に変更するための切替手段を具備することを特徴とする請求項１に記載の

液晶表示装置。
【請求項３】
前記分圧回路の各階調基準電圧の電位間に複数の直列抵抗回路を設け、前記複数の直列抵抗回路の中から、各階調基準電圧間の電位差にほぼ比例した抵抗値となる直列抵抗回路を選択するための選択手段を具備することを特徴とする請求項１に記載の液晶表示装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、パーソナルコンピュータ、ワークステーション等に用いる液晶表示装置に関し、特に、多階調の表示が可能な液晶表示装置の階調電圧生成回路に関する。
【０００２】
【従来の技術】
多色表示、例えば、６４階調の多色表示が可能なＴＦＴ液晶表示装置の一例が下記文献Ｉに記載されている。
【０００３】
Ｉ　『Ｌｏｗ－Ｐｏｗｅｒ　６－ｂｉｔ　Ｃｏｌｕｍｎ　Ｄｒｉｖｅｒｆｏｒ　ＡＭＬＣＤｓ』
（１９９４年6月発行　ＳＩＤ　９４　ＤＩＪＥＳＴ　Ｐ．３５１－３５４）。
【０００４】
図８は、前記文献Ｉに記載されているＴＦＴ液晶表示装置の概略構成を示すブロック図である。
【０００５】
図８において、液晶表示パネル（ＴＦＴ－ＬＣＤ）は、８００×３×６００画素Ｐｉｘから構成される。
【０００６】
ＴＦＴ液晶表示パネルの画素Ｐｉｘの等価回路を図９に示す。
【０００７】
ＩＴＯは画素電極、ＣＯＭは対向電極で、ＩＴＯとＣＯＭと液晶層で液晶表示素子（図示せず）が形成される。
【０００８】
液晶表示素子は等価回路で示すと静電容量ＣLCで表せる。
【０００９】
液晶表示素子は図１４に示すようにＩＴＯとＣＯＭの間に印加する電圧により光の透過率が変化するので、画素電極ＩＴＯに、ＣＯＭに印加する電圧を基準として複数の表示階調毎に電圧が決められた、階調電圧を印加することにより多階調表示ができる。
【００１０】
Ｄｎはドレイン線あるいは映像信号線であり、階調電圧はドレインドライバ１１から複数のドレイン線Ｄｎに印加される。
【００１１】
ＴＦＴは薄膜トランジスタであり、ＩＴＯに電気的に接続されるソースＳ、Ｄｎに電気的に接続されるドレインＤ及びゲートＧを有し、ゲートＧに加える電圧によりＤｎ、ＩＴＯ間の電気的導通、非導通を制御する。
【００１２】
Ｇｎはゲート線あるいは走査線であり、Ｇｎは対応する画素ＰｉｘのＴＦＴのゲートＧに接続されているので、Ｇｎにより階調電圧を印加する画素電極ＩＴＯを選択することが出来る。
【００１３】
Ｃａｄｄは保持容量、Ｃｎは容量線で、ＣａｄｄはＩＴＯに印加された階調電圧を、次に階調電圧がＩＴＯに印加される迄の間、保持することが出来る。
【００１４】

図１０は図９に示す画素に印加される電圧波形のタイミングを示す図である。

【００１５】

同図で（１）はゲート線Ｇｎの波形、（２）は対向電極ＣＯＭ及び容量線Ｃｎの波形、（３）はドレイン線Ｄｎの波形を示す。画素電極ＩＴＯに階調電圧を印加する時はゲート電圧波形（１）が　Ｇａｔｅ　Ｏｎ　レベルとなりＴＦＴのソース、ドレイン間が導通する。ドレイン電圧波形（３）と対向電極電圧波形（２）は位相が反転した形になっており、ドレイン電圧波形（３）と対向電極電圧波形（２）の差の電圧が液晶表示素子ＣＬＣに印加される。液晶表示素子ＣＬＣに印加される電圧は、正極性で印加されるタイミングと負極性で印加されるタイミングが交互に現れるように、ゲート電圧波形（１）、対向電極電圧波形（２）、ドレイン電圧波形（３）を設定しているので、液晶表示素子ＣＬＣには直流成分が印加されず、ＴＦＴ液晶表示パネルの寿命の低下、画像の焼き付き及び残像の問題が無い。

【００１６】

ＴＦＴを用いた液晶表示装置の特徴は、ＴＦＴというスイッチング素子を介して画素電極ＩＴＯに階調電圧を印加する為各画素Ｐｉｘ間のクロストークが無く、単純マトリックス形液晶表示装置のようにクロストークを防止する為の特殊な駆動方法を用いる必要が無く、多階調表示が可能なことにある。

【００１７】

また図８に示すように、液晶表示パネル（ＴＦＴ－ＬＣＤ）の一方の側にドレインドライバ１１が配置され、このドレインドライバ１１を薄膜トランジスタ（ＴＦＴ）のドレイン線に接続し、薄膜トランジスタ（ＴＦＴ）に液晶を駆動するための電圧を供給する。

【００１８】

また、液晶表示パネル（ＴＦＴ－ＬＣＤ）の側面にはゲートドライバ１２が配置され、薄膜トランジスタ（ＴＦＴ）のゲート線に接続し、１水平動作時間（１Ｈ）薄膜トランジスタ（ＴＦＴ）のゲートＧにＧａｔｅ　Ｏｎ電圧を供給する。

【００１９】

表示制御装置１０は、インターフェースコネクタから、本体コンピュータからの表示用データと表示制御信号を受け取り、これを基にドレインドライバ１１，ゲートドライバ１２を駆動する。

【００２０】

ここで、本体コンピュータからの表示用データは、各色毎６ビットの１８ビットで構成されている。

【００２１】

ドレインドライバ１１は、図１１に示すように、１個の階調電圧生成回路を有し、前記階調電圧生成回路は、内部電源回路１３から入力される９値の階調基準電圧（Ｖ０－Ｖ８）から６４階調分の階調電圧を生成する。

【００２２】

また、ドレインドライバ１１は、シフトレジスタにより表示データラッチ用クロック信号ＣＬＫ１に同期して各色毎６ビットの表示用データを入力レジスタ内に出力本数分だけ取り込む。次に、出力タイミング制御用クロック信号ＣＬＫ２に応じて、入力レジスタ内の表示用データをストーレージレジスタに取り込み、出力回路は前記階調電圧生成回路で生成された６４階調分の階調電圧の中から、表示用データに対応する階調電圧を選択して各ドレイン線Ｄｎに出力する。

【００２３】

ドレインドライバ１１の極性端子はドレイン線Ｄｎに出力する電圧の極性を制御する為に設けられ、キャリー入力、キャリー出力端子は液晶表示装置内の複数のドレインドライバ１１間の連携を取る為に設けられている。

【００２４】

図１２は、前記図１１に示すドレインドライバ１１の階調電圧生成回路を示す図である。

【００２５】

図１２の（ａ）に示すように、前記図１１に示すドレインドライバ１１の階調電圧生成回路は、内部電源回路１３から入力された９値の階調基準電圧（Ｖ０－Ｖ８）の各階調基準電圧間を、直列抵抗分圧回路１により８等分してＶ００～Ｖ６３の６４階調分の階調電圧を生成するものである。

【００２６】

【発明が解決しようとする課題】

図１４に示すように、一般に液晶層に印加する電圧と透過率との関係は、リニアではなく、透過率の高いところ及び低いところでは、液晶層に印加する電圧に対する透過率の変化は少なく、その中間となるところで透過率の変化が大きい。

【００２７】

このため、６４階調の多色表示が可能な液晶表示装置において、６４階調をリニアに表示するためには、ドレインドライバ１１の階調電圧生成回路に与える階調基準電圧値は、等間隔ではなく、中間調付近（Ｖ２～Ｖ６）で差が小さく、それ以外（Ｖ０～Ｖ２，Ｖ６～Ｖ８）で大きくしなければならない。

【００２８】

ところが前記文献では、前記図１２に示すドレインドライバ１１の階調電圧生成回路の直列抵抗分圧回路１の抵抗値をどのように設定するかは詳しく言及していない。

【００２９】

そのため、図１２の（ａ）に示す階調電圧生成回路の直列抵抗分圧回路１に、図１４に示す等間隔ではない階調基準電圧Ｖ０～Ｖ８を印加すると、階調基準電圧を供給する線に直流（ＤＣ）電流が流れ、消費電力が増大する問題があった。

【００３０】

例えば図１２の（ｂ）は同図（ａ）を簡略化したものであるが、階調電圧生成回路において直列抵抗分圧回路１の各階調基準電圧印加端子間の抵抗値はそれぞれ１００Ωで一定の値にすると、階調基準電圧Ｖ０－Ｖ１間、Ｖ１－Ｖ２間、Ｖ６－Ｖ７間、Ｖ７－Ｖ８間の階調基準電圧差が、階調基準電圧Ｖ２－Ｖ３間、Ｖ３－Ｖ４間、Ｖ４－Ｖ５間、Ｖ５－Ｖ６間の階調基準電圧差の２倍となる。

【００３１】

したがって、直列抵抗分圧回路１の階調基準電圧Ｖ６，Ｖ７の階調基準電圧を印加する端子間、および、階調基準電圧Ｖ１，Ｖ２の階調基準電圧を印加する端子間を流れる電流は、１０ｍＡ（１．０Ｖ／１００Ω＝１０ｍＡ）であるのに対して、直列抵抗分圧回路１の階調基準電圧Ｖ５，Ｖ６、および、階調基準電圧Ｖ２，Ｖ３の階調基準電圧を印加する端子間を流れる電流は、５ｍＡ（０．５Ｖ／１００Ω＝５ｍＡ）となる。

【００３２】

そのため、電流値が不連続となる直列抵抗分圧回路１の階調基準電圧Ｖ６を印加する端子、および、階調基準電圧Ｖ２を印加する端子から電流が流入・流出し、階調電圧生成回路に流れる電流が多くなる為、ドレインドライバ１１の消費電力が増大するという問題があった。

【００３３】

また階調基準電圧Ｖ１～Ｖ７を供給する線に電流が流入・流出すると電源回路１３の内部抵抗による消費電力の増加も問題であった。

【００３４】

図１３は電源回路１３の階調基準電圧Ｖ０～Ｖ８の生成部を示す図である。

【００３５】

同図（ａ）は階調基準電圧Ｖ０～Ｖ８の生成部を抵抗分圧回路で生成する例を示す。階調基準電圧Ｖ０～Ｖ８は抵抗ＲＲ０～ＲＲ９の値の比により設定され、抵抗ＲＲ０～ＲＲ９の分圧回路の出力は、バッファ回路ＯＰ０～ＯＰ９により、充分な電力に増幅されてドレインドライバ１１の直列抵抗分圧回路１に出力される。

【００３６】

同図（ｂ）は同図（ａ）の等価回路を示す図である。電源回路１３は直流電圧源ｖ０～ｖ

８と内部抵抗ｒ０～ｒ８で表すことが出来る。直流電圧源ｖ０～ｖ８は抵抗ＲＲ０～ＲＲ９の分圧回路の出力により決まり、内部抵抗ｒ０～ｒ８はバッファ回路ＯＰ０～ＯＰ９の出力インピーダンスにより決まると考えられる。

【００３７】

仮に内部抵抗ｒ０～ｒ８を２０Ωにしたとすると、階調基準電圧Ｖ２の供給線に５ｍＡの電流が流れると０．５ｍWの電力が余分に電源回路１３で消費されることになる。また内部抵抗ｒ２により０．２Ｖの電圧降下を生じるので、ドレインドライバ１１に出力する階調基準電圧Ｖ２も０．２Ｖ降下し、目的とする階調電圧を液晶表示パネルに出力出来ず、正しい表示階調が得られない問題も生じる。

【００３８】

またドレインドライバ１１では、構成を簡単にし集積回路のチップサイズを小さくする目的で、図１１に示すように、階調電圧生成回路の出力をドレインドライバ１１が駆動する全てのドレイン線で共用する為、１つのドレインドライバ１１内で同一階調電圧を選択するドレイン信号線の本数が多くなると、階調基準電圧生成回路１の抵抗Ｒ１～Ｒ８に流れる電流が大きくなり、各階調電圧がドレインドライバ１１毎に変動し、特に、印加電圧に対する液晶層の透過率の変化が大きい中間調表示（Ｖ２～Ｖ６）の表示画面上では、ドレインドライバ１１が異なるドレイン線Ｄｎ，Ｄｎ＋１に対応する画素Ｐｉｘの境界で輝度差が発生し表示品質が低下するという問題点があった。

【００３９】

すなわち図１２に示す例で見ると、階調基準電圧差Ｖ３（２），Ｖ４（３），Ｖ５（４），Ｖ６（５）はＶ１（０），Ｖ２（１），Ｖ７（６），Ｖ８（７）よりも低いが、Ｒ３～Ｒ６の値はＲ１，Ｒ２，Ｒ７，Ｒ８の値と同じなので、Ｖ２～Ｖ６間の抵抗分圧回路から出力される階調電圧（Ｖ１５～Ｖ４７）の出力線には充分な電流を流すことが困難になる。

【００４０】

本発明は、前記従来技術の問題点を解決するためになされたものであり、本発明の目的は、液晶表示装置の階調電圧生成回路において、低消費電力と高画質表示を可能とする液晶表示装置を提供することにある。

【００４１】

本発明の前記目的並びにその他の目的及び新規な特徴は、本明細書の記載及び添付図面によって明らかにする。

【００４２】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記の通りである。

【００４３】

（１）複数の階調基準電圧の各階調基準電圧間を直列抵抗分圧回路により分圧して液晶層に印加する多階調の階調電圧を生成する液晶表示装置であって、前記直列抵抗分圧回路の各階調基準電圧を印加する端子間の抵抗値を、各階調基準電圧間の電位差にほぼ比例した抵抗値としたことを特徴とする。

【００４４】

（２）前記（１）の手段において、前記直列抵抗分圧回路の各階調基準電圧を印加する端子間の抵抗値を、各階調基準電圧間の電位差にほぼ比例した抵抗値に変更するための切替手段を具備することを特徴とする。

【００４５】

（３）前記（１）の手段において、前記直列抵抗分圧回路の各階調基準電圧を印加端する子間に複数の直列抵抗回路を設け、前記複数の直列抵抗回路の中から、各階調基準電圧間の電位差にほぼ比例した抵抗値となる直列抵抗回路を選択するための選択手段を具備することを特徴とする。

【００４６】

前記各手段によれば、液晶層に印加する多階調の階調電圧を生成する液晶表示装置の階調電圧生成回路において、直列抵抗分圧回路の各階調基準電圧印加端子間の抵抗値が、各階調基準電圧間の電圧差に比例しており、直列抵抗分圧回路の階調基準電圧印加端子のうちで、最大の階調基準電圧と最小の階調基準電圧電圧とが印加される階調基準電圧印加端子以外からの電流の流入、流出はほとんど０となり、ドレインドライバ１１及び電源回路１３の消費電力を低減することが可能となり、液晶表示装置全体の消費電力を低減することが出来る。

【００４７】

また、印加電圧に対する液晶層の透過率の変化が大きい中間調表示の部分では、階調基準電圧印加端子間の抵抗値を小さくするため、同一階調電圧を出力するドレイン信号線の本数が多くなっても、階調電圧生成回路の階調電圧の電圧変動が小さくなり、ドレインドライバ１１が異なる、画素Ｐｉｘ間の境界で輝度差が発生するのを抑えることが可能となり、液晶表示装置の表示特性が向上する。

【００４８】

【発明の実施の形態】

以下、本発明を適用したＴＦＴ液晶表示装置の実施形態について図面を参照して詳細に説明する。

【００４９】

なお、実施形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【００５０】

以下、本発明が適用されるＴＦＴ液晶表示装置構成は、前記図８に示すＴＦＴ液晶表示装置と同じであるので説明は省略する。

【００５１】

〔実施形態１〕

図１は、本発明の一実施形態（実施形態１）である液晶表示装置のドレインドライバ１１の階調電圧生成回路を示す図である。

【００５２】

本実施例１の階調電圧生成回路は、前記図１２に示す階調電圧生成回路と同じく、内部電源回路１３から入力された９値の階調基準電圧（Ｖ０－Ｖ８）の各階調基準電圧間を、直列抵抗分圧回路１により８等分して６４階調分の階調電圧を生成するものである。

【００５３】

ここで、９値の階調基準電圧（Ｖ０－Ｖ８）の階調基準電圧Ｖｎと階調基準電圧Ｖｎ－１（ｎ＝１～８）の電圧差をＶｎ（ｎ－１）と表記し、直列抵抗分圧回路１の階調基準電圧Ｖｎと階調基準電圧Ｖｎ－１（ｎ＝１～８）の階調基準印加端子間の合成抵抗値をＲｎと表記する。

【００５４】

本実施形態１の階調電圧生成回路では、Ｒ８：Ｒ７：Ｒ６：Ｒ５：Ｒ４：Ｒ３：Ｒ２：Ｒ１＝Ｖ８（７）：Ｖ７（６）：Ｖ６（５）：Ｖ５（４）：Ｖ４（３）：Ｖ３（２）：Ｖ２（１）：Ｖ１（０）である。

【００５５】

したがって、直列抵抗分圧回路１を流れる電流は、一定の電流値（Ｖｎ（ｎ－１）／Ｒｎ＝一定の電流値）となり、本実施形態１の階調電圧生成回路では、最大の階調基準電圧と最小の階調基準電圧電圧とが印加される直列抵抗分圧回路１の階調基準電圧（Ｖ０およびＶ８）印加端子以外からの電流の流入、流出はほとんど０となり、ドレインドライバの消費電力を低減することが可能となり、それにより、液晶表示装置の消費電力を低減することが可能となる。

【００５６】

図２は図１に示す直列抵抗分圧回路１に具体的な抵抗値を当てはめて本発明を実施した例を示す図である。

【００５７】
図２に記載の各抵抗の抵抗値は、図３に示す、３Ｖで透過率がほぼ０になる液晶を用いた場合の電圧透過率曲線に階調基準電圧Ｖ０～Ｖ８を合わせた例である。図３に記載のＶ０’～Ｖ８’は図２の基準電圧Ｖ０～Ｖ８に対応している。
【００５８】
図２に示す具体的な実施例では各階調基準電圧端子間の抵抗Ｒ１～Ｒ８に流れる電流は何れも１．３ｍＡとなり、Ｖ０，Ｖ８以外の階調基準電圧を印加する端子には電流が流れず、直列抵抗分圧回路１で消費する電力は、１．３ｍＡの電流に起因するもののみで、最も低くなる。
【００５９】
また図２に示す実施例においては、Ｖ６２，Ｖ６３の階調電圧を高く設定して黒の表示をより黒くしてコントラストを高める為に、最高電圧Ｖ８の端子に近い側の抵抗Ｒ８の内訳はＲ８８，Ｒ８７の値がその他の抵抗Ｒ８１～Ｒ８６の抵抗値よりも高く設定されている。
【００６０】
同様に図２に示す実施例においては、Ｖ００，Ｖ０１の階調電圧を低く設定して白の表示をより白くしてコントラストを高める為に、最低電圧Ｖ０の端子に近い側の抵抗Ｒ１の内訳はＲ１１，Ｒ１２の値がその他の抵抗Ｒ１３～Ｒ１７の抵抗値よりも高く設定されている。
【００６１】
なお図３に記載のＶ０’～Ｖ８’は、実際の液晶層（図示せず）に加わる電圧で示している為、図２の基準電圧Ｖ０～Ｖ８に比べ変動分（０．８Ｖ）だけシフトしている。
【００６２】
実際の液晶層に加わる電圧が図２の基準電圧Ｖ０～Ｖ８に比べシフトする理由としてはゲート電圧波形の画素電極ＩＴＯへの飛込みが考えられる。実際の画素には図９に示すようにゲートＧ、画素電極ＩＴＯ間には寄生容量Ｃｇｓがあり、図１０に示す駆動方法でゲート電圧波形がＧａｔｅ　ＯｎからＧａｔｅ　Ｏｆｆに変化すると、その変化に伴うパルスがＣｇｓを介して画素電極ＩＴＯに印加されるため液晶層に加わる電圧のシフトが起こる。
【００６３】
従って電源回路１３の階調基準電圧Ｖ０～Ｖ８を設定する場合は予め液晶層に加わる電圧のシフトを考慮に入れる必要がある。
【００６４】
なお、図２、図３に示す実施例は液晶に印加する電圧が負極性の場合を示したものであり、電圧のシフト分を階調基準電圧に加える場合を示している。しかし液晶に印加する電圧が正極性の場合は電圧のシフト分を階調基準電圧から引いた値が実際の液晶層に印加される電圧になる為、図１３に示す階調基準電圧生成回路は正極性と負極性の２種類必要になる。
【００６５】
同様にドレインドライバ１１内の階調電圧生成回路も正極性と負極性の２種類の直列抵抗分圧回路１を有し、極性信号に応じて切替ている。
【００６６】
なお、本実施形態１の階調基準電圧生成回路では、直列抵抗分圧回路１の各階調基準電圧印加端子間の抵抗値を、各階調基準電圧間の電位差に完全に比例した抵抗値としているが、完全に比例していなくても、同様な効果を有する。
【００６７】
すなわちＶｎ（ｎ－１）／Ｒｎの値が完全に一致していなくとも、その値のばらつきが特定の範囲内にあれば、特定の範囲外のものに比べ、余分な消費電力の発生を抑えることが出来る。
【００６８】

直列抵抗分圧回路１は半導体集積回路の内部に作られる。一般に半導体集積回路内に作られる抵抗にはばらつきがあり、抵抗に半導体の拡散抵抗を用いた場合、抵抗値は±２０％のばらつきを生じる。なお出来上がった半導体集積回路を選別して抵抗値を±１０％のばらつきにすることも可能であるが、半導体集積回路の歩留が下がるのでドレインドライバ１１のコストが高くなる。従って図１に示した直列抵抗分圧回路１を用いる液晶表示装置で、Ｖｎ（ｎ－１）／Ｒｎの値を完全に一致させるのは理想的であるが、実用的ではない。

【００６９】

図２に示す実施例で、最も階調表示に影響を与える、抵抗Ｒ３が±２０％ばらつくことを考えると、Ｖｎ（ｎ－１）／Ｒｎの値即ちＲ３に流れる電流は±０．３ｍＡ（±２３％）変動する。Ｒ４もＲ３と同じ抵抗値なのでＲ４に流れる電流も±０．３ｍＡ変動する。Ｒ３とＲ４に流れる電流値の差が最も大きくなった場合を考えると、端子Ｖ３には±０．６ｍＡの電流が流れ直列抵抗分圧回路１及び電源回路１３の消費電力が増加する。

【００７０】

しかし直列抵抗分圧回路１の抵抗値に±２０％のばらつきがあっても、本実施形態を適用すればＶ１～Ｖ７に流れる電流を±０．６ｍＡの範囲内に抑えることが出来るので、ドレインドライバ１１及び電源回路１３の消費電力を低く抑えることが出来、ドレインドライバ１１のコストが高くなく実用的である。

【００７１】

さらに図２に示す実施例で直列抵抗分圧回路１のばらつきを±１０％にすると、Ｒ３、Ｒ４に流れる電流は±０．２ｍＡ（±１５％）の変動に抑えることが出来る。従ってＲ３とＲ４に流れる電流値の差が最大の場合を考えると、端子Ｖ３には±０．４ｍＡの電流が流れ直列抵抗分圧回路１及び電源回路１３の消費電力の増加をさらに小さくすることが出来、最も好ましい。

【００７２】

なお本実施形態では電源回路のＶ１～Ｖ７の出力端子に流れる電流は低く抑えることが出来る為、図１３に示す構成の電源回路１３を用いた場合には、Ｖ１～Ｖ７を出力するバッファ回路ＯＰ１～ＯＰ７はＶ０，Ｖ８を出力するバッファ回路ＯＰ０～ＯＰ８に比べ出力インピーダンスが高くても良く、安価なものが使用出来、電源回路１３のコストを下げることが出来る。

【００７３】

さらに本実施形態においては、バッファ回路ＯＰ１～ＯＰ７を除いて、Ｖ１～Ｖ７の出力は直接抵抗分圧回路から得ることも可能であり、電源回路１３のコストを更に下げることが出来る。

【００７４】

また本実施形態によれば、図１に示すように中間調を表示する階調基準電圧差Ｖ４（３）、Ｖ５（４）は、電圧差が小さいため、直列抵抗分圧回路１の階調基準電圧印加端子間の抵抗値Ｒ５、Ｒ４も小さくなる。

【００７５】

すなわち図２に示す具体的実施例で見ると、階調基準電圧差Ｖ３（２），Ｖ４（３），Ｖ５（４），Ｖ６（５）はＶ１（０），Ｖ２（１），Ｖ７（６），Ｖ８（７）よりも低いが、Ｒ３～Ｒ６の値はＲ１，Ｒ２，Ｒ７，Ｒ８の値よりも充分低いので、Ｖ２～Ｖ６間の抵抗分圧回路から出力される階調電圧（Ｖ１５～Ｖ４７）の出力線には充分な電流を流すことが可能になる。

【００７６】

これにより、同一階調電圧を出力するドレイン線Ｄｎの本数が多くなっても、階調電圧生成回路の出力する階調電圧の電圧変動が小さくなり、ドレインドライバ１１が異なる、画素間の輝度に差が発生するのを抑えることが可能となる。

【００７７】

したがって、本実施形態１の階調電圧生成回路を使用するこにより、高画質で低消費電力

の液晶表示装置を構成することが可能となる。
【００７８】
〔実施形態２〕
図４、図５は、本発明の他の実施形態（実施形態２）である液晶表示装置のドレインドライバの階調電圧生成回路を示す図である。
【００７９】
一般に図１４に示す電圧透過率特性は液晶層の材料によって異なる。
【００８０】
従って電源回路１３の階調基準電圧は液晶層の電圧透過率特性に合わせて設定され、ドレインドライバ１１内の階調電圧生成回路も電圧透過率特性に合わせて設定しなければならないので、ドレインドライバ１１の汎用性がなく、各液晶表示パネル毎に専用のドレインドライバ１１を用いなければならず、液晶表示装置のコストが高くなる問題がある。
【００８１】
本実施形態２は、前記実施形態１をより具体的にした実施形態であり、液晶表示パネルに合わせて容易にドレインドライバ１１の階調電圧生成回路の階調電圧の設定値を変更可能にした実施形態である。
【００８２】
本実施形態２の階調基準電圧生成回路では、半導体製造段階において図４に示すように、各階調基準電圧（Ｖ１～Ｖ７）の階調基準電圧印加端子を、直列抵抗分圧回路１のいくつかの点（Ａ、Ｂ、Ｃ）へヒューズ３２を介して接続する。
【００８３】
この場合、Ａ、Ｂ、Ｃの各点は、実際に使用する可能性がある分圧値となるように選択する。
【００８４】
本実施形態２の階調基準電圧生成回路を、実際に使用する時に、各階調基準電圧（Ｖ０～Ｖ８）として所定の階調基準電圧を印加すると、各階調基準電圧の電圧差に比例した抵抗値のところに接続されたヒューズ３２には電流が流れず、ヒューズ３２は溶断されない。
【００８５】
しかしながら、それ以外のヒューズ３２には電流が流れ、ヒューズ３２が溶断され、これにより、直列抵抗分圧回路１の各階調基準電圧印加端子間の抵抗値は、各階調基準電圧の電圧差に比例した抵抗値となる。
【００８６】
また、図５に示すように、直列抵抗分圧回路１の出力スイッチ３が接続されている側にも、同様に各階調電圧出力端子４をヒューズ２を介して、直列抵抗分圧回路１のいくつかの点（Ｄ、Ｅ、Ｆ）へ接続する。
【００８７】
表示用データに基づき、所定階調、例えば、階調Ｖ６２を選択した後、階調基準電圧Ｖ８，Ｖ７の階調基準電圧印加端子と階調電圧出力端子４に所定の電圧を印加する。
【００８８】
このとき、階調電圧出力端子４には溶断したくないヒューズ２が接続されている点の抵抗値、例えば、Ｅの点に対応した電圧（０．８×Ｖ８（７））を印加する。
【００８９】
このように、本実施形態２の階調電圧生成回路では、出力スイッチ３が接続されている側のヒューズ２を溶断するときには、各階調基準電圧の電圧差のみ実使用時に対応した値とし、絶対値は実使用時より高い電圧とする。
【００９０】
これにより、本実施形態２の階調電圧生成回路では、実使用時にヒューズ２が溶断されない電流を流すことができる。
【００９１】
以上説明したように、本実施形態２では、ドレインドライバ１１に汎用性を持たせること

が出来、前記実施形態１と同様、高画質で低消費電力である液晶表示装置を様々な液晶表示パネルの特性に対応して、容易に実現することが可能となる。

【００９２】

〔実施形態３〕

図６は、本発明の他の実施形態（実施形態３）である液晶表示装置のドレインドライバの階調電圧生成回路を示す図である。

【００９３】

本実施形態３も、前記実施形態１をより具体的にした実施形態であり、液晶表示パネルに合わせて容易にドレインドライバ１１の階調電圧生成回路の階調電圧の設定値を変更可能にした実施形態である。

【００９４】

本実施形態３の階調電圧生成回路は、直列抵抗分圧回路１の各階調基準電圧（Ｖ０－Ｖ８）の階調基準電圧印加端子間に、何種類かの複数の直列抵抗回路（１０１，１０２，１０３）を設けておき、実使用時に、各階調基準電圧の電圧差の比に近い抵抗比となる直列抵抗回路（１０１，１０２，１０３）を、切替え信号により選択する。

【００９５】

また、同じく、切替え信号により切替えスイッチ５を切り替えて、各直列抵抗回路（１０１，１０２，１０３）からの階調電圧を各階調電圧出力端子４に出力するようにしたものである。

【００９６】

このとき切替え信号は、表示制御装置１０内のレジスタ、ＥＰＲＯＭ、あるいはコンピュータと接続するインタフェースコネクタの専用の入力端子等から各ドレインドライバ１１に供給されるようにしておく。

【００９７】

これにより、実使用時の各階調基準電圧の電圧差の比に近い抵抗比を有する直列抵抗分圧回路を容易に実現でき、本実施形態３の階調電圧生成回路でも、ドレインドライバ１１に汎用性を持たせることが出来、前記実施形態１と同様、高画質で低消費電力である液晶表示装置を様々な液晶表示パネルの特性に対応して、容易に実現することが可能となる。

【００９８】

〔実施形態４〕

図７は、本発明の他の実施形態（実施形態４）である液晶表示装置のドレインドライバの階調電圧生成回路を示す図である。

【００９９】

本実施形態４も、前記実施形態１をより具体的にした実施形態であり、液晶表示パネルに合わせて容易にドレインドライバ１１の階調電圧生成回路の階調電圧の設定値を変更可能にした実施形態である。

【０１００】

本実施形態４の階調電圧生成回路でも、前記実施形態３と同様、直列抵抗分圧回路１の各階調基準電圧（Ｖ０－Ｖ８）の階調基準電圧印加端子間に、何種類かの複数の直列抵抗回路（１０１，１０２，１０３）を設けておき、各階調基準電圧の電圧差の比に近い抵抗比となる直列抵抗回路（１０１，１０２，１０３）を、半導体製造工程中の金属配線層等のみの変更により選択する。

【０１０１】

また、同じく、半導体製造工程中の金属配線層等のみの変更により切替え手段６を切り替えて、各直列抵抗回路（１０１，１０２，１０３）からの階調電圧を各階調電圧出力端子４に出力するようにしたものである。

【０１０２】

これにより、実使用時の各階調基準電圧の電圧差の比に近い抵抗比を有する直列抵抗分圧回路を容易に実現でき、本実施形態４の階調電圧生成回路でも、ドレインドライバ１１に汎用性を持たせることが出来、前記実施形態１と同様、高画質で低消費電力である液晶表

示装置を様々な液晶表示パネルの特性に対応して、容易に実現することが可能となる。

【０１０３】

なお、前記各実施形態では、液晶表示装置に本発明を適用した場合について説明したが、これに限定されず、本発明は、液晶表示モジュール等のすべての液晶表示装置に適用できることはいうまでもない。

【０１０４】

以上、本発明を実施形態に基づき具体的に説明したが、本発明は、前記実施形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更し得ることは言うまでもない。

【０１０５】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【０１０６】

（１）本発明によれば、液晶層に印加する多階調の階調電圧を生成する液晶表示装置の階調電圧生成回路において、直列抵抗分圧回路１の各階調基準電圧印加端子間の抵抗値が、各階調基準電圧間の電圧差に比例しており、直列抵抗分圧回路の階調基準電圧印加端子のうちで、最大の階調基準電圧と最小の階調基準電圧電圧とが印加される階調基準電圧印加端子以外からの電流の流入、流出はほとんど０となり、ドレインドレイバの消費電力を低減することが可能となり、これにより、液晶表示装置の消費電力を低減することが可能となる。

【０１０７】

（２）本発明によれば、印加電圧に対する液晶層の透過率の変化が大きい中間調表示の部分では、階調基準電圧印加端子間の抵抗値が小さいため、同一階調電圧を出力するドレイン信号線の本数が多くなっても、階調基準電圧生成回路の階調電圧の電圧変動が小さくなり、異なるドレインドライバ１１間で表示画面の輝度差の発生を抑えることが可能となる。

【図面の簡単な説明】

【図１】本発明の一実施形態（実施形態１）である液晶表示装置のドレインドレイバの階調電圧生成回路を示す図である。

【図２】本発明の一実施形態（実施形態１）である液晶表示装置のドレインドレイバの階調電圧生成回路に具体的な抵抗値及び階調基準電圧値を当てはめた図である。

【図３】図２に示した階調基準電圧と液晶表示素子の透過率との関係を示す図である。

【図４】本発明の他の実施形態（実施形態２）である液晶表示装置のドレインドレイバの階調電圧生成回路を示す図である。

【図５】本発明の他の実施形態（実施形態２）である液晶表示装置のドレインドレイバの階調電圧生成回路を示す図である。

【図６】本発明の他の実施形態（実施形態３）である液晶表示装置のドレインドレイバの階調電圧生成回路を示す図である。

【図７】本発明の他の実施形態（実施形態４）である液晶表示装置のドレインドレイバの階調電圧生成回路を示す図である。

【図８】ＴＦＴ液晶表示装置の概略構成を示すブロック図である。

【図９】ＴＦＴ液晶表示装置の画素の等価回路を示す図である。

【図１０】ＴＦＴ液晶表示装置の画素に印加する電圧のタイミング関係を示す図である。

【図１１】ドレインドライバの概略構成を示すブロック図である。

【図１２】従来のドレインドライバ１１の階調電圧生成回路を示す図である。

【図１３】電源回路の階調基準電圧生成部の回路図である。

【図１４】図１１に示した、階調基準電圧と液晶表示素子の透過率との関係を示す図である。

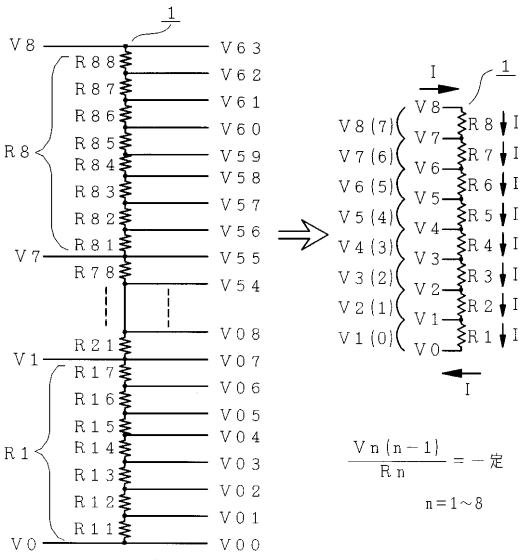
【符号の説明】

ＴＦＴ－ＬＣＤ…ＴＦＴ液晶表示パネル、１…直列抵抗分圧回路、２，３２…ヒューズ、

３…スイッチ、４…階調電圧出力端子、５…切替えスイッチ、６，７…切替え手段、１０…表示制御装置、１１…ドレインドライバ、１２…ゲートドライバ、１３…電源回路、１０１，１０２，１０３…直列抵抗回路。

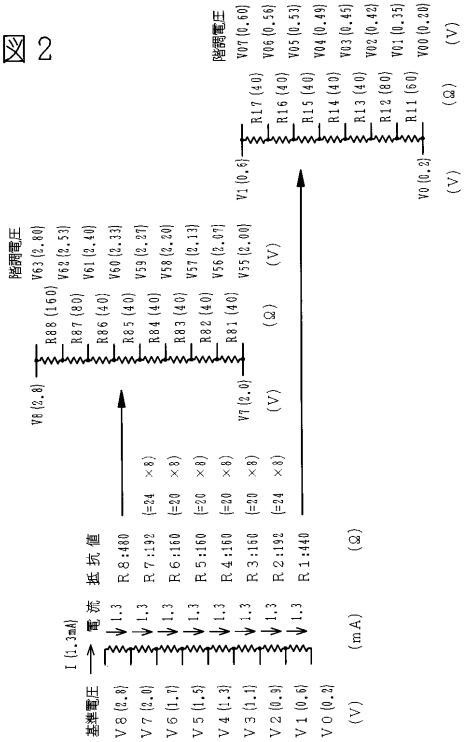
【図１】

図１



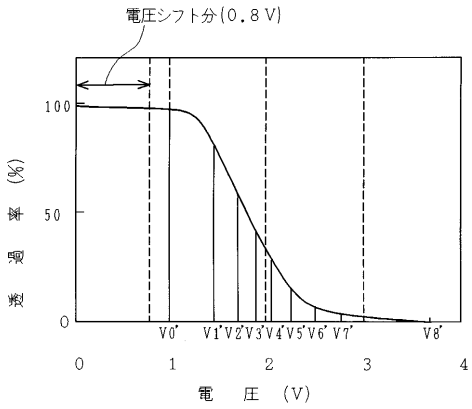
【図２】

図２



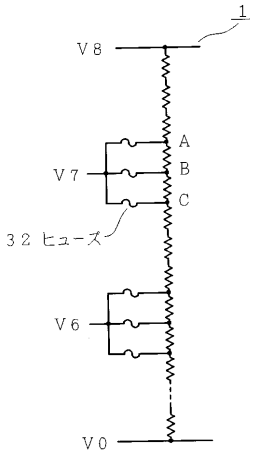
【図３】

図３



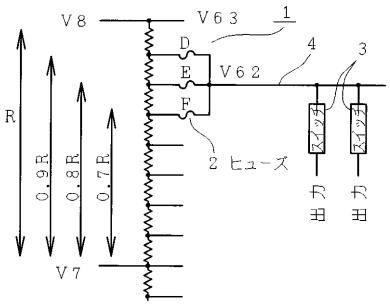
【図４】

図４



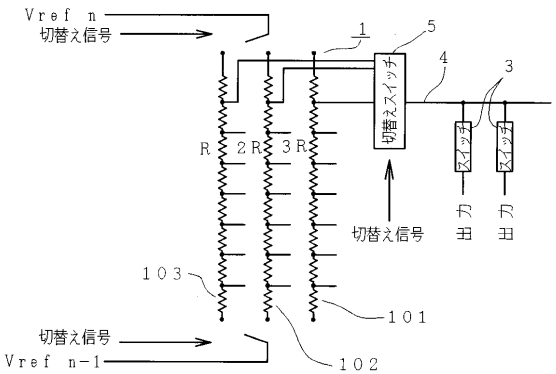
【図５】

図５



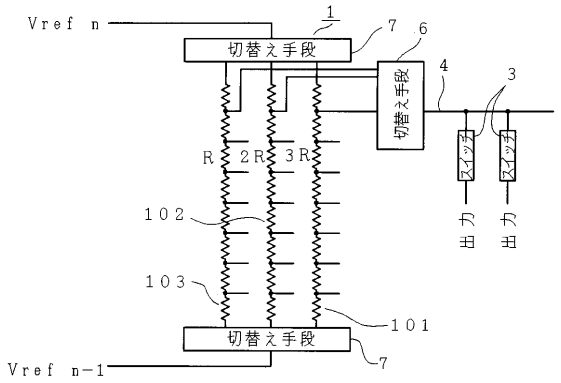
【図６】

図６



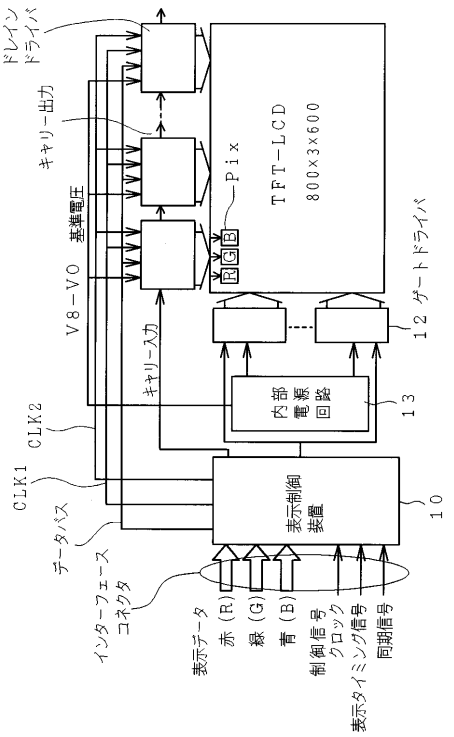
【図７】

図７



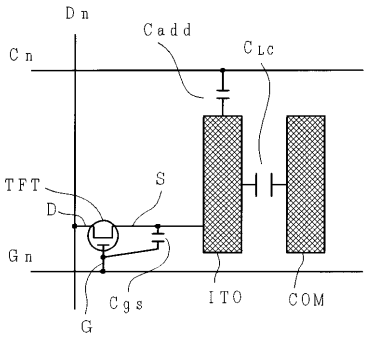
【図８】

図８



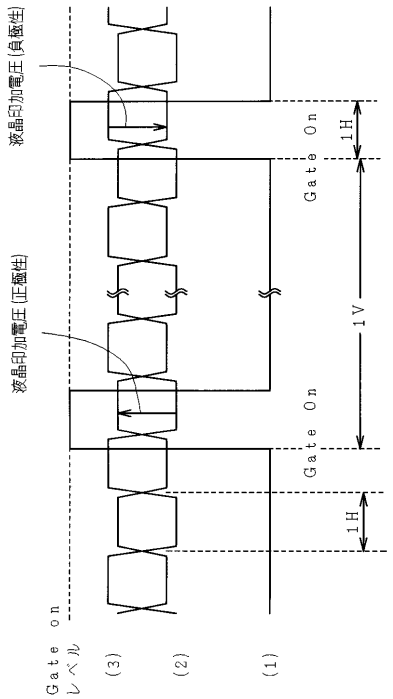
【図９】

図９



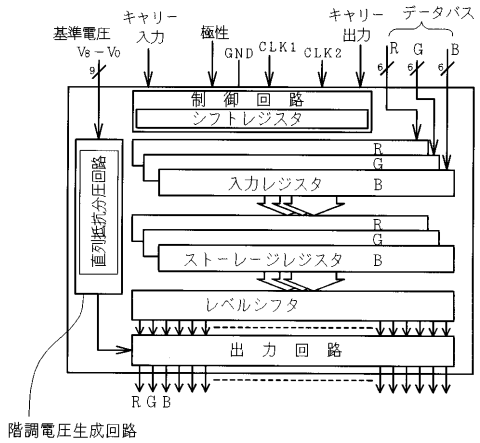
【図１０】

図１０



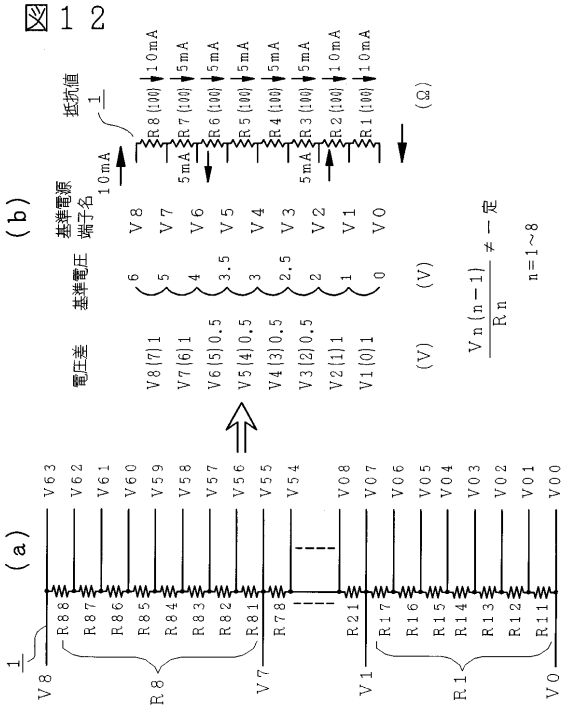
【図１１】

図１１



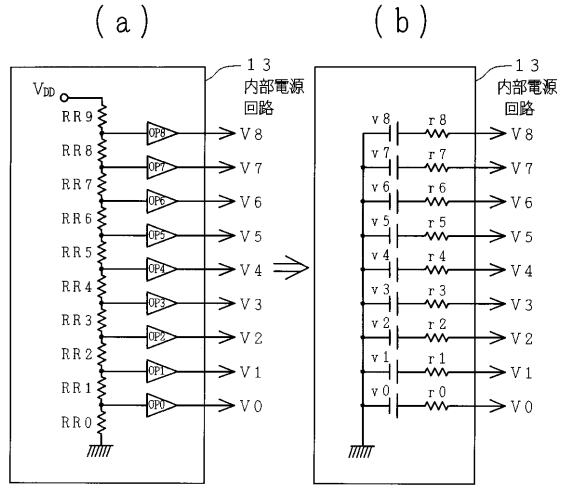
【図１２】

図１２



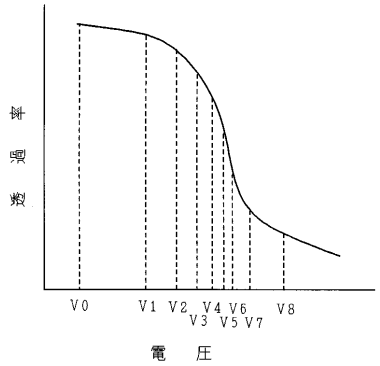
【図１３】

図１３



【図１４】

図１４



フロントページの続き

(72)発明者　岩▲崎▼　伸一
千葉県茂原市早野３６８１番地　日立デバイスエンジニアリング株式会社内

合議体
審判長　向後　晋一
審判官　樋口　信宏
審判官　鈴木　俊光

(56)参考文献　特開平６－２０８３３７（ＪＰ，Ａ）