

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 3 区分
 【発行日】平成 29 年 9 月 21 日 (2017.9.21)

【公開番号】特開 2017-126357 (P2017-126357A)
 【公開日】平成 29 年 7 月 20 日 (2017.7.20)
 【年通号数】公開・登録公報 2017-027
 【出願番号】特願 2017-43333 (P2017-43333)
 【国際特許分類】

G 0 6 F 12/16 (2006.01)

G 0 6 F 11/36 (2006.01)

G 0 6 F 9/38 (2006.01)

【 F I 】

G 0 6 F 12/16 3 3 0 A

G 0 6 F 11/36 1 5 6

G 0 6 F 9/38 3 7 0 C

【手続補正書】

【提出日】平成 29 年 8 月 7 日 (2017.8.7)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

メモリアドレスを記憶する第 1 レジスタと、
前記メモリアドレスに注入されるデータに適用されるマスクを記憶する第 2 レジスタと

入力される書き込みアドレスを前記第 1 レジスタの前記メモリアドレスにマッチングし、
エラーを含むデータを生成するべく前記マスクを適用し、前記エラーを含む前記データを
前記メモリアドレスに書き込む回路と、
を備え、

前記メモリアドレスは、試験対象のソフトウェアの試験実行中に書き込みトランザクション
を発行するプロセッサによって前記第 1 レジスタに格納される装置。

【請求項 2】

前記メモリアドレスは、ダイナミックランダムアクセスメモリ (D R A M) に対するア
ドレスである請求項 1 に記載の装置。

【請求項 3】

当該装置はコントローラハブのコンポーネントである請求項 1 または 2 に記載の装置。

【請求項 4】

前記エラーは修正可能エラーである請求項 1 ~ 3 の何れか 1 項に記載の装置。

【請求項 5】

前記エラーは修正不能エラーである請求項 1 ~ 3 の何れか 1 項に記載の装置。

【請求項 6】

前記マスクはどのビットが前記エラーを含むかを制御する請求項 1 ~ 5 の何れか 1 項に
記載の装置。

【請求項 7】

前記第 1 レジスタをロックまたはロック解除して、それぞれ前記第 2 レジスタがメモリ
に前記エラーを出力できるようにするか、または、前記第 2 レジスタが前記メモリに前記

エラーを出力できないようにするロックメカニズムをさらに備える請求項 1 ~ 6 の何れか 1 項に記載の装置。

【請求項 8】

メモリと、

命令を処理するプロセッサと、

装置と、

を備え、

前記装置は、

メモリアドレスを記憶する第 1 レジスタと、

前記メモリアドレスに注入されるデータに適用されるマスクを記憶する第 2 レジスタと

、
入力される書き込みアドレスを前記第 1 レジスタの前記メモリアドレスにマッチングし
、エラーを含むデータを生成するべく前記マスクを適用し、前記エラーを含む前記データ
を前記メモリアドレスに書き込む回路と、

を有し、

前記メモリアドレスは、試験対象のソフトウェアの試験実行中に書き込みトランザクシ
ョンを発行するプロセッサによって前記第 1 レジスタに格納されるシステム。

【請求項 9】

前記メモリアドレスは、ダイナミックランダムアクセスメモリ (DRAM) に対するア
ドレスである請求項 8 に記載のシステム。

【請求項 10】

前記装置はコントローラハブのコンポーネントである請求項 8 または 9 に記載のシステ
ム。

【請求項 11】

前記エラーは修正可能エラーである請求項 8 ~ 10 の何れか 1 項に記載のシステム。

【請求項 12】

前記エラーは修正不能エラーである請求項 8 ~ 10 の何れか 1 項に記載のシステム。

【請求項 13】

前記マスクはどのビットが前記エラーを含むかを制御する請求項 8 ~ 12 の何れか 1 項
に記載のシステム。

【請求項 14】

試験対象のソフトウェアの試験実行中に書き込みトランザクションを発行するプロセッ
サからのアドレスを第 1 レジスタにおいて受信する段階と、

前記第 1 レジスタにおける前記アドレスが、入力されるメモリ書き込みアドレスに一致
すると判断する段階と、

マスクを適用してエラーを含むデータを生成する段階と、

前記エラーを含む前記データを前記入力されるメモリ書き込みアドレスに書き込む段階
と

を備える方法。

【請求項 15】

前記入力されるメモリ書き込みアドレスは、ダイナミックランダムアクセスメモリ (D
RAM) に対するアドレスである請求項 14 に記載の方法。

【請求項 16】

前記エラーは修正可能エラーである請求項 14 または 15 に記載の方法。

【請求項 17】

前記エラーは修正不能エラーである請求項 14 または 15 に記載の方法。

【請求項 18】

前記マスクはどのビットが前記エラーを含むかを制御する請求項 14 ~ 17 の何れか 1
項に記載の方法。