

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年12月12日(12.12.2024)



(10) 国際公開番号

WO 2024/252488 A1

(51) 国際特許分類:
H02M 3/28 (2006.01)

(21) 国際出願番号: PCT/JP2023/020860

(22) 国際出願日: 2023年6月5日(05.06.2023)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人: スミダコーポレーション株式会社
(SUMIDA CORPORATION) [JP/JP]; 〒1040042
東京都中央区入船三丁目7番2号KDX銀
座イーストビル7階 Tokyo (JP).

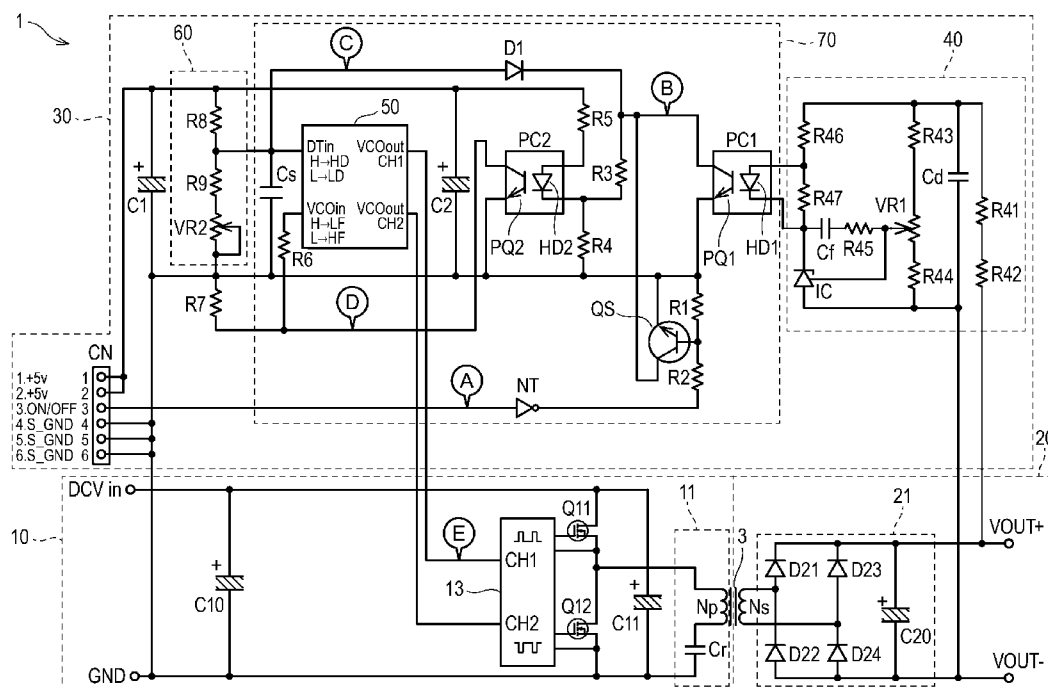
(72) 発明者: 宮崎 弘行 (MIYAZAKI, Hiroyuki);
〒9811226 宮城県名取市植松字宮島3-1-1
スミダ電機株式会社内 Miyagi (JP).

(74) 代理人: 右田 俊介 (MIGITA, Shunsuke);
〒1020074 東京都千代田区九段南3-7-14 VORT九段10F ソナー
レ特許事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC,
EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,
HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG,
KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU,

(54) Title: CONTROL CIRCUIT AND CONTROL METHOD FOR LLC RESONANT CONVERTER CIRCUIT

(54) 発明の名称: LLC共振コンバータ回路の制御回路及び制御方法



(57) Abstract: This control circuit (30) for an LLC resonant converter circuit is equipped with: a drive control circuit (50) that outputs, to a drive circuit, a drive signal indicating a switching frequency corresponding to the voltage level of a frequency control terminal and a duty ratio corresponding to the voltage level of a duty control terminal; a detection circuit (40) that detects an output voltage from the LLC resonant converter circuit; a voltage divider circuit (60) that divides an input voltage and applies same to the duty control terminal as a duty control voltage; and a regulation circuit (70) that is



LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告 (条約第21条(3))

connected to the voltage divider circuit and the detection circuit and can adjust the duty control voltage and a frequency control voltage, and which, in response to a switch from an input of a first instruction signal to a second instruction signal, changes the duty control voltage so that the duty ratio indicated by the drive signal increases and changes the frequency control voltage so that the switching frequency indicated by the drive signal decreases.

(57) 要約：L L C 共振コンバータ回路の制御回路 (30) は、周波数制御端子の電圧レベルに対応するスイッチング周波数及びデューティ制御端子の電圧レベルに対応するデューティ比を示すドライブ信号をドライブ回路へ出力するドライブ制御回路 (50)、L L C 共振コンバータ回路からの出力電圧を検出する検出回路 (40)、入力電圧を分圧してデューティ制御電圧としてデューティ制御端子に印加する分圧回路 (60)、分圧回路及び検出回路に接続されており、デューティ制御電圧及び周波数制御電圧を調整可能であり、第一指示信号の入力から第二指示信号の入力への切り替えに応じて、ドライブ信号が示すデューティ比が上がるようにデューティ制御電圧を変動させかつドライブ信号が示すスイッチング周波数が下がるように周波数制御電圧を変動させる調整回路 (70) を備える。

明 細 書

発明の名称：ＬＬＣ共振コンバータ回路の制御回路及び制御方法 技術分野

[0001] 本発明は、ＬＬＣ共振コンバータ回路に関する。

背景技術

[0002] ＬＬＣ共振コンバータ回路では、二次側回路からの出力電力に対応するフィードバック信号を用いて周波数制御が行われる。例えば、特許文献１には、直流電源と、コンバータトランスと、第１及び第２のスイッチング素子の直列回路と、コンバータトランスの１次巻線と共振用コンデンサの直列回路と、コンバータトランスの２次巻線と接続され、その２次巻線に得られる電力を整流平滑して負荷に供給する整流平滑回路と、第１及び第２のスイッチング素子のオンオフの周波数を制御するコンバータ制御回路と、負荷に供給される負荷電圧を検出して増幅する演算増幅器と、この演算増幅器の出力電圧変化を検出してコンバータ制御回路にフィードバックする光結合手段を備えた電流共振型コンバータ装置が開示されている。そして、この装置は、負荷に流れる負荷電流を検出する負荷電流検出回路の検出出力に基づいて演算増幅器のゲインを調整することで、軽負荷時から重負荷時までゲイン特性が安定化し、重負荷時のゲイン上昇による異常発振を防止している。

先行技術文献

特許文献

[0003] 特許文献１：特開２００５－３９９７５号公報

発明の概要

発明が解決しようとする課題

[0004] ＬＬＣ共振コンバータ回路において想定していた共振条件から外れた場合にスイッチング素子のボディダイオードのリカバリー電流による貫通電流が発生し、スイッチング損失の増大やスイッチング素子の破損を招くことが知られている。これは、共振外れ現象と呼ばれる。この共振外れ現象を防ぐた

めに、スイッチング素子のスイッチング周波数（動作周波数）が共振周波数よりも低くならないように、共振周波数以上でスイッチング周波数が制御される。

[0005] 図3は、一般的なLLC共振コンバータ回路における出力特性を示すグラフである。

図3の例では、共振周波数よりも高い下限周波数 f_{min} から上限周波数 f_{max} までの周波数範囲で動作周波数が制御されている。

ところが、一般的なLLC共振コンバータ回路では、図3に示されるように、動作周波数をいくら高くしたとしても、コンバータ出力を或るレベルより低くすることは難しい。

[0006] 本発明は、このような課題に鑑みてなされたものであり、出力電圧を広範囲で連続的に可変とするLLC共振コンバータ回路の制御技術を提供する。

課題を解決するための手段

[0007] 本発明によれば、直列共振回路と、該直列共振回路に接続されておりドライブ信号に基づいて複数のスイッチング素子をスイッチング動作させるドライブ回路と、該直列共振回路を構成する共振コイルを一次巻線とするトランスと、該トランスの二次巻線に生じた交流電力を整流及び平滑化する整流回路とを含むLLC共振コンバータ回路における、該直列共振回路の共振周波数以上でスイッチング周波数を制御する制御回路であって、周波数制御端子及びデューティ制御端子を含み、該周波数制御端子の電圧レベルに対応するスイッチング周波数及び該デューティ制御端子の電圧レベルに対応するデューティ比を示すドライブ信号を前記ドライブ回路へ出力するドライブ制御回路と、前記LLC共振コンバータ回路からの出力電圧を検出して該出力電圧が設定電圧レベルとなるように安定化させる検出回路と、制御電源端子からの入力電圧を分圧してデューティ制御電圧として前記デューティ制御端子に印加する分圧回路と、前記分圧回路及び前記検出回路に接続されており、前記デューティ制御電圧を調整可能であると共に、前記入力電圧及び前記検出回路で検出される出力電圧に基づいて前記周波数制御端子に印

加される周波数制御電圧を調整可能である調整回路と、を備え、前記調整回路は、第一指示信号の入力から第二指示信号の入力への切り替えに応じて、前記ドライブ信号が示すデューティ比が上がるように前記デューティ制御電圧を変動させかつ前記ドライブ信号が示すスイッチング周波数が下がるように前記周波数制御電圧を変動させるＬＬＣ共振コンバータ回路の制御回路が提供可能である。

[0008] また、本発明によれば、直列共振回路と、前記直列共振回路に接続されておりドライブ信号に基づいて複数のスイッチング素子をスイッチング動作させるドライブ回路と、前記直列共振回路を構成する共振コイルを一次巻線とするトランスと、前記トランスの二次巻線に生じた交流電力を整流及び平滑化する整流回路と、周波数制御端子及びデューティ制御端子を含み、該周波数制御端子の電圧レベルに対応するスイッチング周波数及び該デューティ制御端子の電圧レベルに対応するデューティ比を示すドライブ信号を前記ドライブ回路へ出力するドライブ制御回路と、前記整流回路からの出力電圧を検出して該出力電圧が設定電圧レベルとなるように安定化させる検出回路と、制御電源端子からの入力電力の電圧を分圧してデューティ制御電圧として前記デューティ制御端子に印加する分圧回路と、前記分圧回路及び前記検出回路に接続されており、前記デューティ制御電圧を調整可能であると共に、前記入力電力及び前記検出回路で検出される出力電圧に基づいて前記周波数制御端子に印加される周波数制御電圧を調整可能である調整回路と、を備えるＬＬＣ共振コンバータ回路の制御方法であって、第一指示信号の入力から第二指示信号の入力への切り替えに応じて、前記ドライブ信号の前記デューティ比が上がるように前記デューティ制御電圧を変動させかつ前記ドライブ信号の前記スイッチング周波数が下がるように前記周波数制御電圧を変動させるＬＬＣ共振コンバータ回路の制御方法も提供可能である。

発明の効果

[0009] 上述の態様によれば、出力電圧を広範囲で連続的に可変とするＬＬＣ共振

コンバータ回路の制御技術を提供することができる。

図面の簡単な説明

[0010] [図1]実施形態に係るLLC共振コンバータ回路（コンバータ回路）の回路図である。

[図2]調整回路におけるA点、B点、C点及びD点での電圧の経時変化及びE点のドライブ信号を概念的に示すグラフである。

[図3]一般的なLLC共振コンバータ回路の出力特性を示すグラフである。

発明を実施するための形態

[0011] 以下、本発明の実施形態について説明する。なお、以下に挙げる実施形態は例示であり、本発明は以下の実施形態の構成に限定されるものではない。

[0012] [回路構成]

図1は、実施形態に係るLLC共振コンバータ回路（以降、コンバータ回路と略称する場合もある）1の回路図である。

コンバータ回路1は、直流電源に接続され直列共振回路11を含む一次側回路10、トランス3、一次側回路10からトランス3を介して交流電力を得る二次側回路20、及び制御回路30を少なくとも備える。

[0013] 一次側回路10は、直列共振回路11、スイッチング素子Q11及びQ12、ドライブ回路13、コンデンサC10、入力コンデンサC11等を含む。

一次側回路10は、入力端子(DC Vin)を介して外部の直流電源と接続されている。

[0014] 直列共振回路11は、直列に接続されるトランス3の一次側コイルNp及び共振コンデンサCrにより形成されている。このため一次側コイルNpは共振コイルと呼ぶこともできる。

[0015] スwitchング素子Q11及びQ12は、ドライブ回路13によってスイッチング動作するよう制御される。スイッチング素子Q11及びQ12のスイッチング動作によって直列共振回路11の共振コイル（一次側コイルNp）に流れる電流の向きが切り替わる。

スイッチング素子Q 1 1 及びQ 1 2 には、例えばF E T (Field Effect Transistor) が利用され、図 1 には、Nチャンネル型のM O S F E T (Metal Oxide Semiconductor Field Effect Transistor) が例示されている。このため、スイッチング素子Q 1 1 及びQ 1 2 はトランジスタQ 1 1 及びQ 1 2 と表記する場合もある。

[0016] トランジスタQ 1 1 のドレインが直流電源の入力端子 (D C V i n) に接続されており、トランジスタQ 1 1 のソースとトランジスタQ 1 2 のドレインとが接続されており、トランジスタQ 1 2 のソースがグランド端子 (G N D) からのグランドラインに接続されている。

このように図 1 では、ハーフブリッジ方式で接続されるスイッチング素子Q 1 1 及びQ 1 2 が例示されているが、フルブリッジ方式で接続される2以上のスイッチング素子に置き換えることも可能である。

[0017] ドライブ回路1 3 は、トランジスタQ 1 1 及びQ 1 2 のゲートソース電圧（以降、V G S 電圧と表記する場合もある）を印加可能にトランジスタQ 1 1 及びQ 1 2 に接続されている。

ドライブ回路1 3 は、トランジスタQ 1 1 及びトランジスタQ 1 2 に対して交互に閾値電圧を超えるV G S 電圧を印加することで、トランジスタQ 1 1 及びトランジスタQ 1 2 のオンオフ状態を交互にスイッチングさせる（スイッチング動作させる）。このとき、ドライブ回路1 3 は、ドライブ制御回路5 0 からのドライブ信号 (V C O o u t C H 1 及びV C O o u t C H 2) のパルス周期及びデューティ比に合わせてトランジスタQ 1 1 及びQ 1 2 のオンオフ状態をスイッチングさせる。

[0018] 直列共振回路1 1 は、トランジスタQ 1 1 のソースに接続されると共に、トランジスタQ 1 2 のドレイン・ソース間に設けられている。これにより、トランジスタQ 1 1 がオン状態かつトランジスタQ 1 2 がオフ状態である場合には、トランジスタQ 1 1 のドレイン - ソース間、一次側コイルN p、共振コンデンサC r へと負荷電流が流れ得るのに対して、トランジスタQ 1 1 がオフ状態でトランジスタQ 1 2 がオン状態である場合には、共振コンデ

ンサ C_r に蓄電された電力により、共振コンデンサ C_r 、一次側コイル N_p 、トランジスタ Q_{12} のドレインソース間へと負荷電流が流れ得る。

このようにトランジスタ Q_{11} 及び Q_{12} のスイッチング動作により一次側コイル N_p に流れる電流の向きが切り替えられる。

[0019] コンデンサ C_{10} は、入力端子(DCV_{in})とグランド端子(GND)との間に接続される直流電源の電圧変化を吸収する。

入力コンデンサ C_{11} は、トランジスタ Q_1 のドレインとトランジスタ Q_2 のソースとに接続、即ちトランジスタ Q_{11} 及び Q_{12} に対して並列に接続されており、入力電圧を平滑化する。

[0020] トランス3は、相互に電氣的に絶縁された一次側コイル N_p 及び二次側コイル N_s 並びにコアから構成されており、一次側コイル N_p と二次側コイル N_s とを磁気結合させる。図1には、トランス3の励磁インダクタンス(L_m)及び漏れインダクタンス(L_r)、後述するスイッチング素子 Q_{11} 及び Q_{12} における出力容量や寄生ダイオード等のような寄生要素は図示されていない。

[0021] 二次側回路20は、出力端子($VOUT+$)($VOUT-$)を含み、これら出力端子から直流電力を出力する。出力される直流電力の利用形態は特に制限されない。当該出力端子には様々な特性の負荷が接続可能である。

[0022] 二次側回路20は、更に、トランス3の二次巻線である二次側コイル N_s 、二次側コイル N_s に接続されており二次側コイル N_s に生じた交流電力を整流及び平滑化する整流回路21等を含む。整流回路21は、整流ダイオード D_{21} 、 D_{22} 、 D_{23} 及び D_{24} により構成されるブリッジ整流回路とコンデンサ C_{20} 等を含む。二次側コイル N_s に生じた交流電力は、ブリッジ整流回路による半波整流及び出力コンデンサ C_{20} による平滑化によって直流電力に変換される。

[0023] 制御回路30は、直列共振回路11の共振周波数以上でスイッチング素子 Q_{11} 及び Q_{12} のスイッチング周波数を制御可能であり、かつスイッチング素子 Q_{11} 及び Q_{12} のスイッチング動作のデューティ比を制御可能で

ある。即ち、制御回路30は、PFM (Pulse Frequency Modulation) 制御及びPWM (Pulse Width Modulation) 制御を実行可能であり、これによりコンバータ回路1 (二次側回路20) からの出力電圧を広範囲に連続的に可変とする。

ここで「広範囲」とは、LLC共振コンバータ回路において共振周波数よりも高い帯域での周波数制御のみでは実現することが難しいコンバータ出力の低出力域、及び当該周波数制御のみで実現可能な高出力域を含む電圧範囲である。

[0024] より具体的には、制御回路30は、所定低電圧領域内の所定下限電圧レベルから電圧レベルを調整し、設定電圧レベルで安定化させる。当該設定電圧レベルは、当該所定低電圧領域よりも高いレベルに設定される。本実施形態では、所定下限電圧レベルをゼロとする例が示され、制御回路30は、コンバータ回路1からの出力電圧をゼロから調整し、所定の設定電圧レベルに安定化させる。但し、所定下限電圧レベルは、ゼロに限定されず、当該所定低電圧領域内の電圧レベルに設定されればよい。

ここでの「所定低電圧領域」とは、LLC共振コンバータ回路において共振周波数よりも高い帯域での周波数制御のみでは実現することが難しいコンバータ出力の低出力域であって、ゼロを含む電圧領域を意味する。効率が著しく悪い或いは回路素子が損失するような非実用的な設計条件ではない通常の設計条件で動作する出力電力500ワット(W)以上のLLC共振コンバータ回路において、当該所定低電圧領域は、例えば、0(V)以上5(V)以下の範囲となる。

[0025] 制御回路30は、検出回路40、ドライブ制御回路50、分圧回路60、調整回路70、入力端子台CN等を含む。

図1の例において入力端子台CNは、制御電源端子(1番端子及び2番端子)、指示信号端子(3番端子)及びグランド端子(4番端子、5番端子及び6番端子)を含む。

制御電源端子には制御電源から供給される電圧が入力され、指示信号端子

にはオフ信号（第一指示信号に相当）又はオン信号（第二指示信号に相当）が入力され、グランド端子にはグランドラインが接続される。

[0026] ドライブ制御回路50は、周波数制御端子（VCOin端子）及びデューティ制御端子（DTin端子）並びに2チャンネル分のドライブ信号の出力端子（VCOoutCH1端子、VCOoutCH2端子）を含み、周波数制御端子の電圧レベルに対応するスイッチング周波数及びデューティ制御端子の電圧レベルに対応するデューティ比を示すドライブ信号をドライブ回路13へ出力する。以降、周波数制御端子に印加される電圧を周波数制御電圧又はVCO電圧と表記し、デューティ制御端子に印加される電圧をデューティ制御電圧又はDT電圧と表記する場合がある。

[0027] 図1の例においてドライブ制御回路50は、VCO電圧が所定範囲内で高い程、出力するドライブ信号のパルス周波数を低くし、VCO電圧がその所定範囲内で低い程、出力するドライブ信号のパルス周波数を高くし、DT電圧が所定範囲内で高い程、出力するドライブ信号のデューティ比を大きくし、DT電圧がその所定範囲内で低い程、出力するドライブ信号のデューティ比を小さくするよう構成されている。

ドライブ制御回路50は、周波数制御端子（VCOin端子）、デューティ制御端子（DTin端子）並びに2チャンネル以上のドライブ信号の出力端子を含んでおり、上述のようにドライブ信号のパルス周波数及びデューティ比を制御可能であれば、その具体的構成は何ら限定されない。

[0028] 分圧回路60は、入力端子台CNの制御電源端子からの入力電圧を分圧してデューティ制御電圧（DT電圧）としてドライブ制御回路50のデューティ制御端子（DTin端子）に印加する。

図1の例では、分圧回路60は、制御電源端子とグランド端子との間に直列に接続された抵抗素子R8及びR9並びに可変抵抗器VR2から構成されており、抵抗素子R8と抵抗素子R9との間にドライブ制御回路50のデューティ制御端子に繋がるラインが接続されている。これにより、制御電源端子から入力される電圧が抵抗素子R8及びR9並びに可変抵抗器VR2の

合成抵抗に対する抵抗素子 R 8 の抵抗の比で分圧されてデューティ制御端子に印加される。

[0029] このようにデューティ制御端子に印加される D T 電圧の上限レベルは、抵抗素子 R 8 及び R 9 並びに可変抵抗器 V R 2 の各抵抗値によって定まり、それは、ドライブ制御回路 5 0 によって制御されるデューティ比の上限（デューティ比上限値）に対応する。即ち、分圧回路 6 0 は、デューティ比上限値（最大デューティ比）に対応する D T 電圧の上限レベルを定めている。

[0030] 検出回路 4 0 は、二次側回路 2 0 からの出力電圧を検出してその出力電圧を設定電圧レベルとなるように安定化させる。図 1 の例において検出回路 4 0 は、コンデンサ C d 及び C f、抵抗素子 R 4 1、R 4 2、R 4 3、R 4 4、R 4 5、R 4 6 及び R 4 7、可変抵抗器 V R 1、シャントレギュレータ I C 等を含む。

[0031] 二次側回路 2 0 の出力端子（V O U T +）（V O U T -）間にコンデンサ C d、抵抗素子 R 4 1 及び R 4 2 が直列に接続されており、抵抗素子 R 4 3、可変抵抗器 V R 1 及び抵抗素子 R 4 4 の直列接続ラインと抵抗素子 R 4 6 及び R 4 7 並びにシャントレギュレータ I C の直列接続ラインとがそれぞれコンデンサ C d に対して並列に接続されている。そして、抵抗素子 R 4 7 とシャントレギュレータ I C のカソードとの接続ラインからの分岐ラインが、直列に接続されたコンデンサ C f 及び抵抗素子 R 4 5 を介して可変抵抗器 V R 1 の摺動子端子（摺動子に繋がる端子）に接続されている。また、シャントレギュレータ I C のリファレンス端子から延びるラインが抵抗素子 R 4 5 と可変抵抗器 V R 1 の摺動子端子との接続ラインに繋がっている。

[0032] 可変抵抗器 V R 1 は、二次側回路 2 0 からの出力電圧（出力端子（V O U T +）（V O U T -）間の電圧）の設定電圧レベルを当該所定低電圧領域よりも高い電圧領域で調整可能とするために設けられる。可変抵抗器 V R 1 の摺動子にかかる電圧がシャントレギュレータ I C によって基準電圧となるように制御されるため、抵抗素子 R 4 3 及び R 4 4 並びに摺動子の位置に対応

する可変抵抗器V R 1 の抵抗比によって出力電圧が設定される。これによりコンバータ回路1 の出力電圧を可変に設定することができる。即ち、抵抗素子R 4 3 及びR 4 4 並びに可変抵抗器V R 1 は、コンバータ回路1 からの出力電圧の電圧レベルを可変に設定可能な出力可変回路と表記することができる、この出力可変回路により設定された出力電圧のレベルが設定電圧レベルと表記される。

[0033] 以上のように、検出回路4 0 では、コンデンサC d の両端で二次側回路2 0 からの出力電圧が検出され、その検出された出力電圧が抵抗素子R 4 3 及びR 4 4 並びに摺動子の位置に対応する可変抵抗器V R 1 の抵抗で分圧されてシャントレギュレータI C のリファレンス端子に印加され、分圧された電圧が基準電圧（例えば、2. 5 V）となるように制御される。このため、シャントレギュレータI C、抵抗素子R 4 6 及びR 4 7 等を含む回路は、検出された出力電圧の分圧電圧と基準電圧との比較により、コンバータ回路1 からの出力電圧を設定電圧レベルとなるように安定化させる安定化回路と表記することができる。

[0034] 調整回路7 0 は、分圧回路6 0 及び検出回路4 0 に接続されており、デューティ制御端子（D T i n 端子）に印加されるD T 電圧を調整可能であると共に、制御電源端子からの入力電圧及び検出回路4 0 で検出される出力電圧に基づいて周波数制御端子（V C O i n 端子）に印加されるV C O 電圧を調整可能である。

図1 の例において調整回路7 0 は、フォトカプラP C 1 及びP C 2、スイッチング素子Q S、整流ダイオードD 1、コンデンサC s、抵抗素子R 1、R 2、R 3、R 4、R 5 及びR 6 等を含む。

[0035] フォトカプラは、一次側と二次側とが電氣的に絶縁されており、一次側の発光ダイオードと二次側のフォトランジスタとから構成されている。フォトカプラP C 1 は、一次側の発光ダイオードH D 1 と二次側のフォトランジスタP Q 1 とから構成され、フォトカプラP C 2 は、一次側の発光ダイオードH D 2 と二次側のフォトランジスタP Q 2 とから構成される。

フォトカプラPC1及びPC2はそれぞれ、非発光順電圧を超える入力電圧の印加によってオン状態（一次側の発光ダイオードHD1及びHD2の発光状態）となり、オン状態において一次側の発光ダイオードHD1及びHD2に流れる電流の増減に応じて二次側のフォトランジスタPQ1及びPQ2の出力インピーダンスを増減させることができる。以降の説明では、フォトカプラの一次側の発光ダイオードに流れる電流をフォトカプラのダイオード電流と表記する場合がある。

[0036] フォトカプラPC1の発光ダイオードHD1は、抵抗素子R47に対して並列に接続されている。即ち、発光ダイオードHD1は、アノードが抵抗素子R46と抵抗素子R47との接続ラインに繋がり、カソードが抵抗素子R47とシャントレギュレータICのカソードとコンデンサCfとの接続点に繋がっている。

フォトカプラPC1のフォトランジスタPQ1は、コレクタ端子が整流ダイオードD1のカソードと抵抗素子R3との接続ラインに接続されており（フォトカプラ出力ラインに相当）、エミッタ端子がグラウンドラインに接続されている。

[0037] フォトカプラPC2の発光ダイオードHD2、抵抗素子R4及びR5は、制御電源端子から延びてグラウンドラインへと繋がるラインに直列に設けられている。発光ダイオードHD2は、カソードが抵抗素子R4に接続され、アノードが抵抗素子R5に接続されている。また、直列に接続される発光ダイオードHD2、抵抗素子R4及びR5は、分圧回路60とは並列に接続されている。

[0038] 整流ダイオードD1及び抵抗素子R3は、分圧回路60からデューティ制御端子へのDT電圧の出力ラインから分岐した分岐ラインに直列に設けられており、この分岐ラインが発光ダイオードHD2のカソードと抵抗素子R4との接続ラインに接続されている。整流ダイオードD1のカソードが抵抗素子R3に接続されており、抵抗素子R3と抵抗素子R4との接続ラインに発光ダイオードHD2のカソードが接続されている。

また、デューティ制御端子とグラウンドラインとの間にコンデンサC_sが設けられている。コンデンサC_sの作用により制御回路30によるPFM制御及びPWM制御のソフトスタートが実現される。

[0039] フォトカプラPC2のフォトランジスタPQ2及び抵抗素子R6は、周波数制御端子から延びてグラウンドラインへと繋がるラインに直列に設けられている。フォトランジスタPQ2は、コレクタ端子が抵抗素子R6を介して周波数制御端子に接続されており、エミッタ端子がグラウンドラインに接続されている。また、フォトランジスタPQ2のコレクタ端子と抵抗素子R6との接続ラインからの分岐ラインが抵抗素子R7を介してグラウンドラインに接続されている。

[0040] スイッチング素子QSは、指示信号端子（3番端子）から入力される指示信号に応じてオン状態又はオフ状態となる。スイッチング素子QSは、コレクタ端子がフォトランジスタPQ1のコレクタ端子から延びるライン（フォトカプラ出力ライン）に接続されており、エミッタ端子がグラウンドラインに接続されている。スイッチング素子QSのゲート端子は、抵抗素子R1を介してグラウンドラインに接続されている一方で、抵抗素子R2及びNOT回路NTを介して指示信号端子（3番端子）に接続されている。

スイッチング素子QSには、例えばFET（Field Effect Transistor）が利用され、スイッチング素子QSはトランジスタQSと表記する場合もある。

[0041] 図1の例において指示信号端子からオフ信号が入力されると、そのオフ信号がNOT回路NTで反転されてゲート端子に入力されることで、トランジスタQSがオン状態となる。逆に、指示信号端子からオン信号が入力されると、そのON信号がNOT回路NTで反転されてゲート端子に入力されることで、トランジスタQSがオフ状態となる。

トランジスタQSがオン状態になると、フォトランジスタPQ1のコレクタ端子から延びるライン（フォトカプラ出力ライン）及び整流ダイオードD1のカソード側がグラウンドレベルに落ちることになる。結果、後述するよ

うに、デューティ制御端子に印加されるDT電圧がデューティ比下限値に対応する電圧レベルとなる。

ここで「デューティ比下限値」とは、コンバータ回路1（二次側回路20）からの出力電圧を所定下限電圧レベルとすることができるデューティ比のゼロ以上の値を示し、本実施形態では、デューティ比下限値がゼロとされる例が示される。

[0042] 制御回路30にはその他にコンデンサC1及びC2が設けられている。

コンデンサC1及びC2は、制御電源端子（1番端子及び2番端子）に繋がるラインとグランド端子（4番端子、5番端子及び6番端子）に繋がるグランドラインとの間に相互に並列に設けられており、制御電源端子からの入力電圧を平滑化する。

[0043] [動作]

このような回路構成を有するコンバータ回路1は次のように動作する。

ドライブ回路13は、ドライブ制御回路50からのドライブ信号のパルス周期及びデューティ比に合わせてトランジスタQ11及びQ12のオンオフ状態をスイッチングさせる。具体的には、ドライブ回路13は、ドライブ制御回路50のVCOoutCH1端子から出力されるドライブ信号に基づいてトランジスタQ11のオンオフ状態をスイッチングさせ、ドライブ制御回路50のVCOoutCH2端子から出力されるドライブ信号に基づいてトランジスタQ12のオンオフ状態をスイッチングさせる。

[0044] これにより、トランス3の一次側コイルNpに流れる電流の向きが切り替わる。トランジスタQ11がオン状態となりトランジスタQ12がオフ状態となる場合には、トランジスタQ11のドレイン・ソース間、一次側コイルNp、共振コンデンサCrの経路で負荷電流が流れ、共振コンデンサCrは充電される。トランジスタQ11がオフ状態となりトランジスタQ12がオン状態になると、共振コンデンサCrに充電された電力により、トランジスタQ12のドレイン・ソース間、共振コンデンサCr、一次側コイルNpの経路で上述の場合とは逆向きに負荷電流が流れる。

[0045] 一次側回路 10 では、このようなトランジスタ Q11 及び Q12 のスイッチング動作により直列共振回路 11 に共振電流が流れ、トランス 3 の二次側コイル Ns には交流電力が誘起される。二次側回路 20 では、二次側コイル Ns で生じた交流電力が整流回路 21 で整流及び平滑化されて直流電力に変換され出力される。

[0046] 検出回路 40 は、二次側回路 20 からの出力電圧を検出し、出力電圧が設定電圧レベルとなるように安定化させる。具体的には、コンデンサ Cd の両端で二次側回路 20 からの出力電圧が検出され、その検出された出力電圧が抵抗素子 R43 及び R44 並びに摺動子の位置に対応する可変抵抗器 VR1 の抵抗で分圧されてシャントレギュレータ IC のリファレンス端子に印加され、分圧された電圧が基準電圧（例えば、2.5V）となるように制御される。

これにより可変抵抗器 VR1 の摺動子の電圧が基準電圧よりも高くなろうとすると、フォトカプラ PC1 のダイオード電流が大きくなり、可変抵抗器 VR1 の摺動子の電圧が基準電圧よりも低くなろうとすると、フォトカプラ PC1 のダイオード電流が小さくなる。

[0047] フォトカプラ PC1 によれば一次側のダイオード電流の大きさに応じて二次側の出力インピーダンスが増減する。これにより、トランジスタ QS がオフ状態の場合には、抵抗素子 R3 の電圧が変化してフォトカプラ PC2 のダイオード電流が変わり、結果としてドライブ制御回路 50 の周波数制御端子（VCOin 端子）に印加される VCO 電圧を上下させることになる。

一方で、分圧回路 60 では、制御電源端子からの入力電圧が分圧されてドライブ制御回路 50 のデューティ制御端子（DTin 端子）に印加される（DT 電圧）。

[0048] このようにデューティ制御端子に印加される DT 電圧及び周波数制御端子に印加される VCO 電圧は、指示信号端子から入力されるオン信号又はオフ信号に応じて調整回路 70 により調整される。

[0049] 以下、図 2 を用いて、調整回路 70 による DT 電圧及び VCO 電圧の調整

動作について詳細に説明する。図2は、調整回路70におけるA点、B点、C点及びD点での電圧の経時変化及びE点のドライブ信号を概念的に示すグラフである。ここで、C点の電圧はデューティ制御端子(DT_{in}端子)の電圧と等しく、D点の電圧は周波数制御端子(VCO_{in}端子)の電圧と比例する。

[0050] A点のグラフで示されるように、タイミングT₁までの時間、指示信号端子からオフ信号が入力されており、タイミングT₁に指示信号端子から入力される信号がオフ信号からオン信号に切り替わり、タイミングT₁以降、オン信号の入力が継続される。

[0051] オフ信号が入力されている状態では、そのオフ信号がNOT回路NTで反転されてトランジスタQSのゲート端子に入力され、トランジスタQSがオン状態となる。

トランジスタQSがオン状態では、フォトトランジスタPQ1のコレクタ端子から延びるライン(フォトカプラ出力ライン)及び整流ダイオードD1のカソード側がグラウンドレベルに落ちる。これにより、B点の電圧はグラウンドレベル(0V)となり、C点の電圧は下限値となる。そしてドライブ制御回路50から出力されるドライブ信号はデューティ比ゼロを示し、結果、コンバータ回路1からの出力電力はゼロとなる。

ここで、図1の例においてC点の電圧の下限値は、整流ダイオードD1の順方向電圧及びオン状態のトランジスタQSのコレクタエミッタ間飽和電圧によって定まり、デューティ比下限値(本実施形態ではデューティ比ゼロ)を示すDT電圧に対応する。

[0052] このとき、フォトカプラPC2のダイオード電流は最大となり、2次側の出力インピーダンスは最小となることから、D点の電圧も下限値となり、VCO電圧も下限値となる。そして、ドライブ制御回路50から出力されるドライブ信号が示すスイッチング周波数は、所定の周波数範囲の上限周波数となる。

[0053] タイミングT₁でオフ信号からオン信号に切り替わると、そのオン信号が

N O T回路N Tで反転されるため、トランジスタQ Sがオフ状態となる。

トランジスタQ Sがオフ状態となることで、B点及びC点の電圧が上昇し、D T電圧も上昇することから、出力されるドライブ信号が示すデューティ比は増加していく。ここで、C点の電圧は抵抗素子R 8及びコンデンサC sの時定数で上昇し、B点の電圧も整流ダイオードD 1を通じて上昇する。結果、コンバータ回路1からの出力電力も増加していくことになる。

[0054] 一方で、B点及びC点の電圧の上昇に伴い、フォトカプラP C 2の発光ダイオードH D 2に流れる電流（ダイオード電流）は逆に減少していく。これによりフォトカプラP C 2の2次側の出力インピーダンスが増加して、D点の電圧がドライブ制御回路50の周波数制御端子（V C O i n端子）から流れ出す電流により上昇し、V C O電圧も上昇する。結果、出力されるドライブ信号が示すスイッチング周波数は、上限周波数から低下する方向で制御される。

[0055] このように本実施形態において、調整回路70は、オフ信号（第一指示信号に相当）の入力に応じて、D T電圧をデューティ比下限値（本実施形態ではデューティ比ゼロ）に対応する電圧レベルにしかつV C O電圧を直列共振回路11の共振周波数よりも高い所定高周波数（上限周波数）に対応する電圧レベルにし、オフ信号の入力からオン信号（第二指示信号に相当）の入力への切り替えに応じて、ドライブ信号が示すデューティ比が上がるようにD T電圧を変動させかつドライブ信号が示すスイッチング周波数が下がるようにV C O電圧を変動させる。

[0056] 従って、本実施形態によれば、共振周波数よりも高い周波数範囲で動作周波数を設定しながらも、デューティ比を下限値（本実施形態ではデューティ比ゼロ）とすることで、コンバータ回路1からの出力電圧をL L C共振コンバータ回路における周波数制御のみでは実現することが難しい所定下限電圧レベル（本実施形態ではゼロ）とすることができる。更に、デューティ比を下限値から徐々に増加させることで、コンバータ回路1からの出力電圧を所定下限電圧レベルから徐々に増加させることができ、ひいては、出力

電圧をゼロを含む低電圧領域内の所定下限電圧レベルから調整していき設定電圧レベルで安定化させることができる。

[0057] C点電圧及びD T電圧はタイミングT 1から徐々に上昇し、タイミングT 2で上限レベルに達する。結果、タイミングT 2以降は、ドライブ信号が示すデューティ比も上限値（最大デューティ比）となる。C点及びD T電圧の上限レベルは、上述したように、抵抗素子R 8及びR 9並びに可変抵抗器V R 2の各抵抗値によって定まる。また、C点電圧及びD T電圧の上昇時間（タイミングT 1からタイミングT 2までの時間）は、上述したとおり、抵抗素子R 8及びコンデンサC sの時定数に応じて決まり、その時間は、PWM制御（デューティ比制御）が実行される期間となる。

[0058] 一方で、B点の電圧は、C点の電圧及びD T電圧が上限に達してもなお上昇していく。

このときD点の電圧及びV C O電圧もなお上昇していき、結果、出力されるドライブ信号が示すスイッチング周波数についても上限周波数から低下する方向で制御される。このとき、そのドライブ信号が示すデューティ比は上限値となっており、コンバータ回路1からの出力電圧は上昇していく。

[0059] これにより検出回路40により検出される出力電圧が上昇していき、可変抵抗器V R 1の摺動子の電圧が基準電圧よりも高くなろうとすると、フォトカプラP C 1のダイオード電流が増加に転じることで二次側の出力インピーダンスが減少に転じ、B点の電圧の上昇が制限されることになる。これに伴い、フォトカプラP C 2の作用により、D点の電圧及びV C O電圧の上昇も制限されることになり、結果として、出力されるドライブ信号が示すスイッチング周波数の低下も制限される。

このタイミングは、図2のグラフにおいてタイミングT 3で示されており、以降、スイッチング周波数の変動が安定化されて、コンバータ回路1からの出力電圧が所定の設定電圧レベルで安定化される。つまり、タイミングT 1からタイミングT 3までの時間は、PFM制御が実行される期間となる。

[0060] このように本実施形態において、調整回路70は、第二指示信号（オン信

号)が入力された状態において、分圧電圧(可変抵抗器VR1の摺動子の電圧)が基準電圧よりも高くなろうとした場合に周波数制御電圧(VCO電圧)の変動を抑制する。即ち、本実施形態では、或る程度の高さの出力域ではPFM制御により一定の設定電圧となるように出力を制御する。

従って、本実施形態によれば、コンバータ回路1からの出力電圧をゼロを含む当該低電圧領域内の所定下限電圧レベルから調整し、当該低電圧領域よりも高い設定電圧レベルで安定化させることができる。

[0061] また、上述したとおり、C点電圧及びDT電圧は、タイミングT1から徐々に上昇し、タイミングT2以降、上限レベルで制限され、D点電圧及びVCO電圧は、タイミングT1から徐々に上昇し、タイミングT2以降も上昇し続け、タイミングT3で制限される。これにより、タイミングT1で指示信号がオフ信号からオン信号に切り替えられてから、タイミングT2以降は、ドライブ信号が示すデューティ比が上限値(最大デューティ比)となり、タイミングT3以降は、ドライブ信号が示すスイッチング周波数が下限値(共振周波数よりも高い周波数)となる。

[0062] 即ち、本実施形態において調整回路70は、第一指示信号(オフ信号)の入力から第二指示信号(オン信号)の入力への切り替えに伴うデューティ制御電圧(DT電圧)の第一変動時間が当該切り替えに伴う周波数制御電圧(VCO電圧)の第二変動時間よりも短くなるように構成されており、当該第一変動時間は、デューティ制御電圧(DT電圧)をデューティ比下限値(本実施形態ではデューティ比ゼロ)に対応する電圧レベルからデューティ比上限値に対応する電圧レベルまで変動させるのに要する時間であり、当該第二変動時間は、周波数制御電圧(VCO電圧)が所定高周波数(上限周波数)に対応する電圧レベルから変動して抑制されるまでの時間である。

なお、周波数制御電圧(VCO電圧)が抑制されるタイミングは、出力電圧が所定の設定電圧レベルに到達したタイミングに近似する。

[0063] このようにDT電圧の第一変動時間をVCO電圧の第二変動時間よりも短

くすることで、PWM制御（デューティー比制御）により低出力域を実現しながら、或る程度の高さの出力域ではPWM制御を止めてPFM制御により一定の設定電圧となるように出力を制御することができる。PWM制御ではハードスイッチングとなるが、低出力域のみでの実行に留めているため、回路上、特段問題は生じない。

[0064] [変形例]

上述の実施形態の内容は適宜変形可能である。即ち、本実施形態は、図1に例示される回路構成に限定されない。

[0065] 図1には、スイッチング素子Q11及びQ12がハーフブリッジ方式で接続される構成が例示されているが、4つスイッチング素子がフルブリッジ方式で接続される構成に変形させることもできる。この変形例においては、ドライブ制御回路50は、4チャンネル分のドライブ信号の出力端子を備えていてもよいし、2チャンネル分のドライブ信号の出力端子を備えていてもよい。前者の場合には、ドライブ回路13は、各チャンネルのドライブ信号に応じて、各チャンネルに対応するスイッチング素子の動作をそれぞれ制御すればよい。後者の場合には、ドライブ回路13は、1チャンネルのドライブ信号に応じてそのチャンネルに対応するスイッチング素子ペアの動作を制御すればよい。

[0066] また、上述の実施形態を変形させて、オン信号の入力によってスイッチング素子QSをオン状態とし、オフ信号の入力によってスイッチング素子QSをオフ状態とするようにしてもよい。この場合、NOT回路NTは不要となる。

[0067] また、上述の実施形態を変形させて、ドライブ制御回路50が、DT電圧が所定範囲内で高い程、低いデューティー比を示すドライブ信号を出力し、DT電圧が所定範囲内で低い程、高いデューティー比を示すドライブ信号を出力するように構成されてもよい。また、ドライブ制御回路50が、VCO電圧が所定範囲内で高い程、高スイッチング周波数を示すドライブ信号を出力し、VCO電圧がその所定範囲内で低い程、低スイッチング周波数を示す

ドライブ信号を出力するように構成されてもよい。この場合には、調整回路 70 は、第一指示信号（オフ信号）の入力から第二指示信号（オン信号）の入力への切り替えに応じて、ドライブ信号が示すデューティ比が上がるように D T 電圧を低下させ、かつドライブ信号が示すスイッチング周波数が下がるように V C O 電圧を低下させるよう構成されればよい。

[0068] 上述の実施形態及び変形例の一部又は全部は、次のようにも特定され得る。但し、上述の実施形態及び変形例が以下の記載に制限されるものではない。

[0069] < 1 >

直列共振回路と、該直列共振回路に接続されておりドライブ信号に基づいて複数のスイッチング素子をスイッチング動作させるドライブ回路と、該直列共振回路を構成する共振コイルを一次巻線とするトランスと、該トランスの二次巻線に生じた交流電力を整流及び平滑化する整流回路とを含む L L C 共振コンバータ回路において、該直列共振回路の共振周波数以上でスイッチング周波数を制御する制御回路であって、

周波数制御端子及びデューティ制御端子を含み、該周波数制御端子の電圧レベルに対応するスイッチング周波数及び該デューティ制御端子の電圧レベルに対応するデューティ比を示すドライブ信号を前記ドライブ回路へ出力するドライブ制御回路と、

前記 L L C 共振コンバータ回路からの出力電圧を検出して該出力電圧が設定電圧レベルとなるように安定化させる検出回路と、

制御電源端子からの入力電圧を分圧してデューティ制御電圧として前記デューティ制御端子に印加する分圧回路と、

前記分圧回路及び前記検出回路に接続されており、前記デューティ制御電圧を調整可能であると共に、前記入力電圧及び前記検出回路で検出される出力電圧に基づいて前記周波数制御端子に印加される周波数制御電圧を調整可能である調整回路と、

を備え、

前記調整回路は、第一指示信号の入力から第二指示信号の入力への切り替えに応じて、前記ドライブ信号が示すデューティ比が上がるように前記デューティ制御電圧を変動させかつ前記ドライブ信号が示すスイッチング周波数が下がるように前記周波数制御電圧を変動させる、

ＬＬＣ共振コンバータ回路の制御回路。

< 2 >

前記調整回路は、前記第一指示信号の入力に応じて、前記デューティ制御電圧をデューティ比下限値に対応する電圧レベルにしかつ前記周波数制御電圧を前記共振周波数よりも高い所定高周波数に対応する電圧レベルにする、

< 1 >に記載のＬＬＣ共振コンバータ回路の制御回路。

< 3 >

前記検出回路は、

前記ＬＬＣ共振コンバータ回路からの出力電圧の電圧レベルを可変に設定可能な出力可変回路と、

検出された出力電圧の分圧電圧と基準電圧との比較により、前記ＬＬＣ共振コンバータ回路からの出力電圧を前記出力可変回路により設定された前記設定電圧レベルとなるように安定化させる安定化回路と、

を含み、

前記調整回路は、前記第二指示信号が入力された状態において、前記分圧電圧が前記基準電圧よりも高くなろうとした場合に前記周波数制御電圧の変動を抑制する、

< 2 >に記載のＬＬＣ共振コンバータ回路の制御回路。

< 4 >

前記調整回路は、前記第一指示信号の入力から第二指示信号の入力への切り替えに伴う前記デューティ制御電圧の第一変動時間が該切り替えに伴う前記周波数制御電圧の第二変動時間よりも短くなるように構成されており、

前記第一変動時間は、前記デューティ制御電圧を前記デューティ比下

限值に対応する電圧レベルからデューティ比上限値に対応する電圧レベルまで変動させるのに要する時間であり、

前記第二変動時間は、前記周波数制御電圧が前記所定高周波数に対応する電圧レベルから変動して抑制されるまでの時間である、

<3>に記載のLLC共振コンバータ回路の制御回路。

<5>

前記調整回路は、

前記分圧電圧が前記基準電圧よりも高くなろうとした場合に流れる電流が大きくなる第一発光ダイオードと、

前記第一発光ダイオードと共に第一フォトカプラを構成する第一フォトトランジスタと、

前記分圧回路から前記デューティ制御端子への前記デューティ制御電圧の出力ラインから分岐してグラウンドラインへ繋がる分岐ラインに直列に設けられた整流ダイオード及び第一抵抗素子と、

前記制御電源端子から延びてグラウンドラインへと繋がるラインに前記分圧回路と並列に接続される第二抵抗素子及び第二発光ダイオードと、

前記第二発光ダイオードと共に第二フォトカプラを構成する第二フォトトランジスタと、

を含み、

前記第二発光ダイオード及び前記第二抵抗素子が直列に設けられたラインが前記第二発光ダイオードのカソード側で前記分岐ラインと接続されており、

前記周波数制御端子から延びてグラウンドラインへと繋がるラインに前記第二フォトトランジスタが設けられており、

前記第一フォトトランジスタのエミッタ端子はグラウンドラインに接続されており、

前記第一フォトトランジスタのコレクタ端子から延びるフォトカプラ出力ラインが前記分岐ラインにおける前記整流ダイオードのカソードと前記第一

抵抗素子との間に接続されている、

＜3＞又は＜4＞に記載のLLC共振コンバータ回路の制御回路。

＜6＞

前記調整回路は、エミッタ端子がグラウンドラインに接続されており、コレクタ端子が前記フォトカプラ出力ラインに接続されており、前記第一指示信号の入力に応じてオン状態となり前記第二指示信号の入力に応じてオフ状態となるスイッチング素子を更に含み、

前記スイッチング素子がオン状態になると、前記フォトカプラ出力ライン及び前記整流ダイオードのカソード側がグラウンドレベルに落ちることで、前記デューティ制御端子に印加される前記デューティ制御電圧が前記デューティ比下限値に対応する電圧レベルになる、

＜5＞に記載のLLC共振コンバータ回路の制御回路。

＜7＞

＜1＞から＜6＞のいずれか一つに記載の制御回路と、

前記直列共振回路と、

前記ドライブ回路と、

前記トランスと、

前記整流回路と、

を備えるLLC共振コンバータ回路。

＜8＞

直列共振回路と、

前記直列共振回路に接続されておりドライブ信号に基づいて複数のスイッチング素子をスイッチング動作させるドライブ回路と、

前記直列共振回路を構成する共振コイルを一次巻線とするトランスと、

前記トランスの二次巻線に生じた交流電力を整流及び平滑化する整流回路と、

周波数制御端子及びデューティ制御端子を含み、該周波数制御端子の電圧レベルに対応するスイッチング周波数及び該デューティ制御端子の電圧

レベルに対応するデューティ比を示すドライブ信号を前記ドライブ回路へ出力するドライブ制御回路と、

前記整流回路からの出力電圧を検出して該出力電圧が設定電圧レベルとなるように安定化させる検出回路と、

制御電源端子からの入力電力の電圧を分圧してデューティ制御電圧として前記デューティ制御端子に印加する分圧回路と、

前記分圧回路及び前記検出回路に接続されており、前記デューティ制御電圧を調整可能であると共に、前記入力電力及び前記検出回路で検出される出力電圧に基づいて前記周波数制御端子に印加される周波数制御電圧を調整可能である調整回路と、

を備えるＬＬＣ共振コンバータ回路の制御方法であって、

第一指示信号の入力から第二指示信号の入力への切り替えに応じて、前記ドライブ信号の前記デューティ比が上がるように前記デューティ制御電圧を変動させかつ前記ドライブ信号の前記スイッチング周波数が下がるように前記周波数制御電圧を変動させる、

ＬＬＣ共振コンバータ回路の制御方法。

< 9 >

前記第一指示信号の入力に応じて、前記デューティ制御電圧をデューティ比下限値に対応する電圧レベルにしかつ前記周波数制御電圧を前記直列共振回路の共振周波数よりも高い所定高周波数に対応する電圧レベルにする、

ことを更に含む< 8 >に記載のＬＬＣ共振コンバータ回路の制御方法。

< 10 >

前記検出回路は、前記ＬＬＣ共振コンバータ回路からの出力電圧の電圧レベルを可変に設定可能な出力可変回路と、検出された出力電圧の分圧電圧と基準電圧との比較により、前記ＬＬＣ共振コンバータ回路からの出力電圧を前記出力可変回路により設定された前記設定電圧レベルとなるように安定化させる安定化回路とを含み、

前記第二指示信号が入力された状態において、前記分圧電圧が前記基準電圧よりも高くなろうとした場合に前記周波数制御電圧の変動を抑制する、
ことを更に含む<9>に記載のLLC共振コンバータ回路の制御方法。

<11>

前記第一指示信号の入力から第二指示信号の入力への切り替えに伴う前記デューティ制御電圧の第一変動時間が該切り替えに伴う前記周波数制御電圧の第二変動時間よりも短く、

前記第一変動時間は、前記デューティ制御電圧を前記デューティ比下限値に対応する電圧レベルからデューティ比上限値に対応する電圧レベルまで変動させるのに要する時間であり、

前記第二変動時間は、前記周波数制御電圧が前記所定高周波数に対応する電圧レベルから変動して抑制されるまでの時間である、

<10>に記載のLLC共振コンバータ回路の制御方法。

符号の説明

[0070] 1 LLC共振コンバータ回路（コンバータ回路）

3 トランス

10 一次側回路

11 直列共振回路

13 ドライブ回路

20 二次側回路

21 整流回路

30 制御回路

40 検出回路

50 ドライブ制御回路

60 分圧回路

70 調整回路

VR1、VR2 可変抵抗器

IC シャントレギュレータ

P C 1、P C 2 フォトカプラ

Q S、Q 1 1、Q 1 2 スイッチング素子（トランジスタ）

N T N O T回路

H D 1、H D 2 発光ダイオード

P Q 1、P Q 2 フォトトランジスタ

請求の範囲

[請求項1]

直列共振回路と、該直列共振回路に接続されておりドライブ信号に基づいて複数のスイッチング素子をスイッチング動作させるドライブ回路と、該直列共振回路を構成する共振コイルを一次巻線とするトランスと、該トランスの二次巻線に生じた交流電力を整流及び平滑化する整流回路とを含むLLC共振コンバータ回路における、該直列共振回路の共振周波数以上でスイッチング周波数を制御する制御回路であって、

周波数制御端子及びデューティ制御端子を含み、該周波数制御端子の電圧レベルに対応するスイッチング周波数及び該デューティ制御端子の電圧レベルに対応するデューティ比を示すドライブ信号を前記ドライブ回路へ出力するドライブ制御回路と、

前記LLC共振コンバータ回路からの出力電圧を検出して該出力電圧が設定電圧レベルとなるように安定化させる検出回路と、

制御電源端子からの入力電圧を分圧してデューティ制御電圧として前記デューティ制御端子に印加する分圧回路と、

前記分圧回路及び前記検出回路に接続されており、前記デューティ制御電圧を調整可能であると共に、前記入力電圧及び前記検出回路で検出される出力電圧に基づいて前記周波数制御端子に印加される周波数制御電圧を調整可能である調整回路と、

を備え、

前記調整回路は、第一指示信号の入力から第二指示信号の入力への切り替えに応じて、前記ドライブ信号が示すデューティ比が上がるように前記デューティ制御電圧を変動させかつ前記ドライブ信号が示すスイッチング周波数が下がるように前記周波数制御電圧を変動させる、

LLC共振コンバータ回路の制御回路。

[請求項2]

前記調整回路は、前記第一指示信号の入力に応じて、前記デューテ

ィー制御電圧をデューティ比下限値に対応する電圧レベルにしかつ前記周波数制御電圧を前記共振周波数よりも高い所定高周波数に対応する電圧レベルにする、

請求項 1 に記載の L L C 共振コンバータ回路の制御回路。

[請求項3]

前記検出回路は、

前記 L L C 共振コンバータ回路からの出力電圧の電圧レベルを可変に設定可能な出力可変回路と、

検出された出力電圧の分圧電圧と基準電圧との比較により、前記 L L C 共振コンバータ回路からの出力電圧を前記出力可変回路により設定された前記設定電圧レベルとなるように安定化させる安定化回路と、

を含み、

前記調整回路は、前記第二指示信号が入力された状態において、前記分圧電圧が前記基準電圧よりも高くなろうとした場合に前記周波数制御電圧の変動を抑制する、

請求項 2 に記載の L L C 共振コンバータ回路の制御回路。

[請求項4]

前記調整回路は、前記第一指示信号の入力から第二指示信号の入力への切り替えに伴う前記デューティ制御電圧の第一変動時間が該切り替えに伴う前記周波数制御電圧の第二変動時間よりも短くなるように構成されており、

前記第一変動時間は、前記デューティ制御電圧を前記デューティ比下限値に対応する電圧レベルからデューティ比上限値に対応する電圧レベルまで変動させるのに要する時間であり、

前記第二変動時間は、前記周波数制御電圧が前記所定高周波数に対応する電圧レベルから変動して抑制されるまでの時間である、

請求項 3 に記載の L L C 共振コンバータ回路の制御回路。

[請求項5]

前記調整回路は、

前記分圧電圧が前記基準電圧よりも高くなろうとした場合に流れ

る電流が大きくなる第一発光ダイオードと、

前記第一発光ダイオードと共に第一フォトカプラを構成する第一フォトトランジスタと、

前記分圧回路から前記デューティ制御端子への前記デューティ制御電圧の出力ラインから分岐してグラウンドラインへ繋がる分岐ラインに直列に設けられた整流ダイオード及び第一抵抗素子と、

前記制御電源端子から延びてグラウンドラインへと繋がるラインに前記分圧回路と並列に接続される第二抵抗素子及び第二発光ダイオードと、

前記第二発光ダイオードと共に第二フォトカプラを構成する第二フォトトランジスタと、

を含み、

前記第二発光ダイオード及び前記第二抵抗素子が直列に設けられたラインが前記第二発光ダイオードのカソード側で前記分岐ラインと接続されており、

前記周波数制御端子から延びてグラウンドラインへと繋がるラインに前記第二フォトトランジスタが設けられており、

前記第一フォトトランジスタのエミッタ端子はグラウンドラインに接続されており、

前記第一フォトトランジスタのコレクタ端子から延びるフォトカプラ出力ラインが前記分岐ラインにおける前記整流ダイオードのカソードと前記第一抵抗素子との間に接続されている、

請求項3又は4に記載のLLC共振コンバータ回路の制御回路。

[請求項6]

前記調整回路は、エミッタ端子がグラウンドラインに接続されており、コレクタ端子が前記フォトカプラ出力ラインに接続されており、前記第一指示信号の入力に応じてオン状態となり前記第二指示信号の入力に応じてオフ状態となるスイッチング素子を更に含み、

前記スイッチング素子がオン状態になると、前記フォトカプラ出力

ライン及び前記整流ダイオードのカソード側がグラウンドレベルに落ちることで、前記デューティ制御端子に印加される前記デューティ制御電圧が前記デューティ比下限値に対応する電圧レベルになる、

請求項 5 に記載の L L C 共振コンバータ回路の制御回路。

[請求項 7]

請求項 1 から 6 のいずれか一項に記載の制御回路と、

前記直列共振回路と、

前記ドライブ回路と、

前記トランスと、

前記整流回路と、

を備える L L C 共振コンバータ回路。

[請求項 8]

直列共振回路と、

前記直列共振回路に接続されておりドライブ信号に基づいて複数のスイッチング素子をスイッチング動作させるドライブ回路と、

前記直列共振回路を構成する共振コイルを一次巻線とするトランスと、

前記トランスの二次巻線に生じた交流電力を整流及び平滑化する整流回路と、

周波数制御端子及びデューティ制御端子を含み、該周波数制御端子の電圧レベルに対応するスイッチング周波数及び該デューティ制御端子の電圧レベルに対応するデューティ比を示すドライブ信号を前記ドライブ回路へ出力するドライブ制御回路と、

前記整流回路からの出力電圧を検出して該出力電圧が設定電圧レベルとなるように安定化させる検出回路と、

制御電源端子からの入力電力の電圧を分圧してデューティ制御電圧として前記デューティ制御端子に印加する分圧回路と、

前記分圧回路及び前記検出回路に接続されており、前記デューティ制御電圧を調整可能であると共に、前記入力電力及び前記検出回路で検出される出力電圧に基づいて前記周波数制御端子に印加される周

波数制御電圧を調整可能である調整回路と、

を備えるＬＬＣ共振コンバータ回路の制御方法であって、

第一指示信号の入力から第二指示信号の入力への切り替えに応じて、前記ドライブ信号の前記デューティ比が上がるように前記デューティ制御電圧を変動させかつ前記ドライブ信号の前記スイッチング周波数が下がるように前記周波数制御電圧を変動させる、

ＬＬＣ共振コンバータ回路の制御方法。

[請求項9] 前記第一指示信号の入力に応じて、前記デューティ制御電圧をデューティ比下限値に対応する電圧レベルにしかつ前記周波数制御電圧を前記直列共振回路の共振周波数よりも高い所定高周波数に対応する電圧レベルにする、

ことを更に含む請求項8に記載のＬＬＣ共振コンバータ回路の制御方法。

[請求項10] 前記検出回路は、前記ＬＬＣ共振コンバータ回路からの出力電圧の電圧レベルを可変に設定可能な出力可変回路と、検出された出力電圧の分圧電圧と基準電圧との比較により、前記ＬＬＣ共振コンバータ回路からの出力電圧を前記出力可変回路により設定された前記設定電圧レベルとなるように安定化させる安定化回路とを含み、

前記第二指示信号が入力された状態において、前記分圧電圧が前記基準電圧よりも高くなろうとした場合に前記周波数制御電圧の変動を抑制する、

ことを更に含む請求項9に記載のＬＬＣ共振コンバータ回路の制御方法。

[請求項11] 前記第一指示信号の入力から第二指示信号の入力への切り替えに伴う前記デューティ制御電圧の第一変動時間が該切り替えに伴う前記周波数制御電圧の第二変動時間よりも短く、

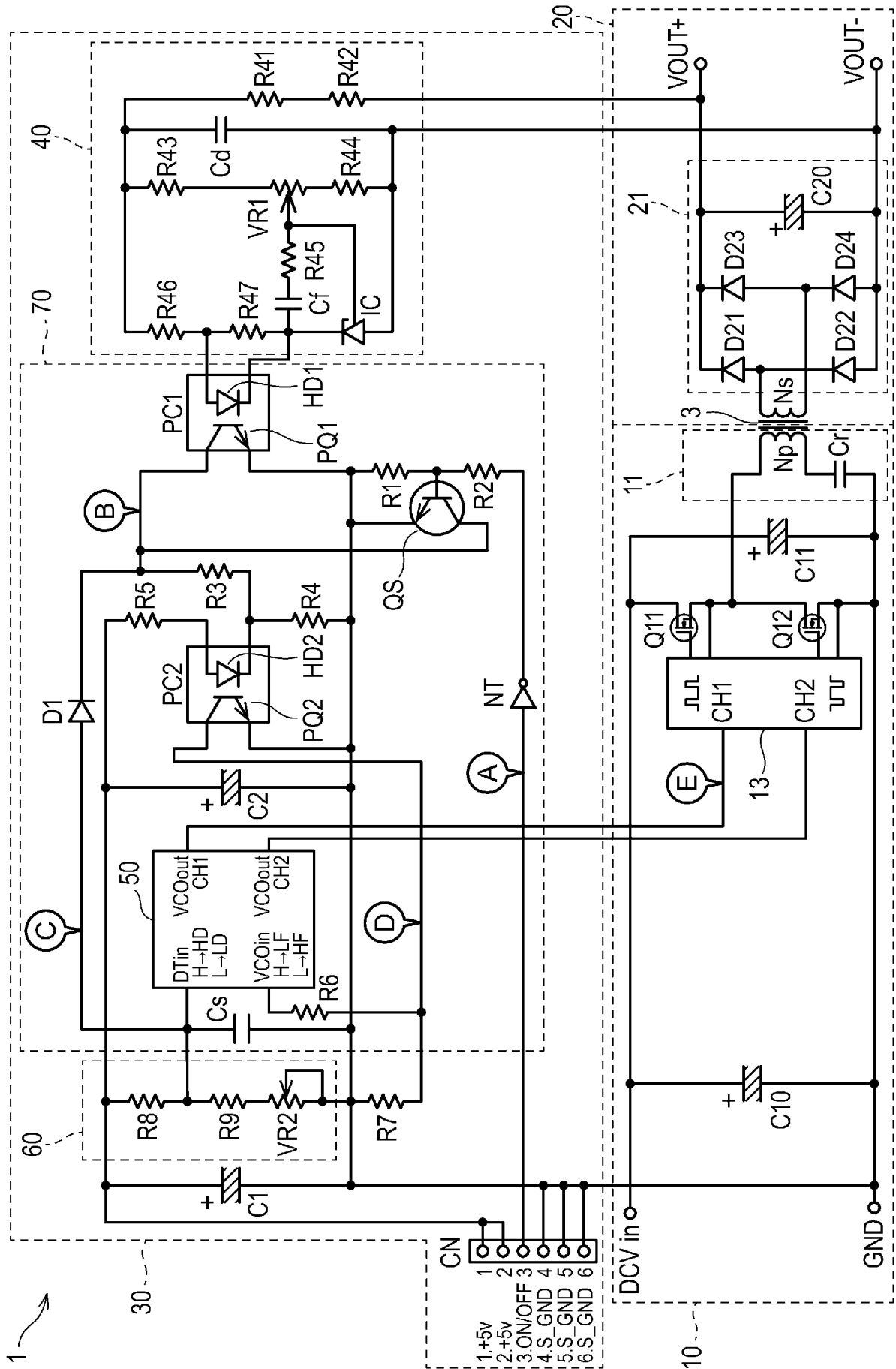
前記第一変動時間は、前記デューティ制御電圧を前記デューティ比下限値に対応する電圧レベルからデューティ比上限値に対応す

る電圧レベルまで変動させるのに要する時間であり、

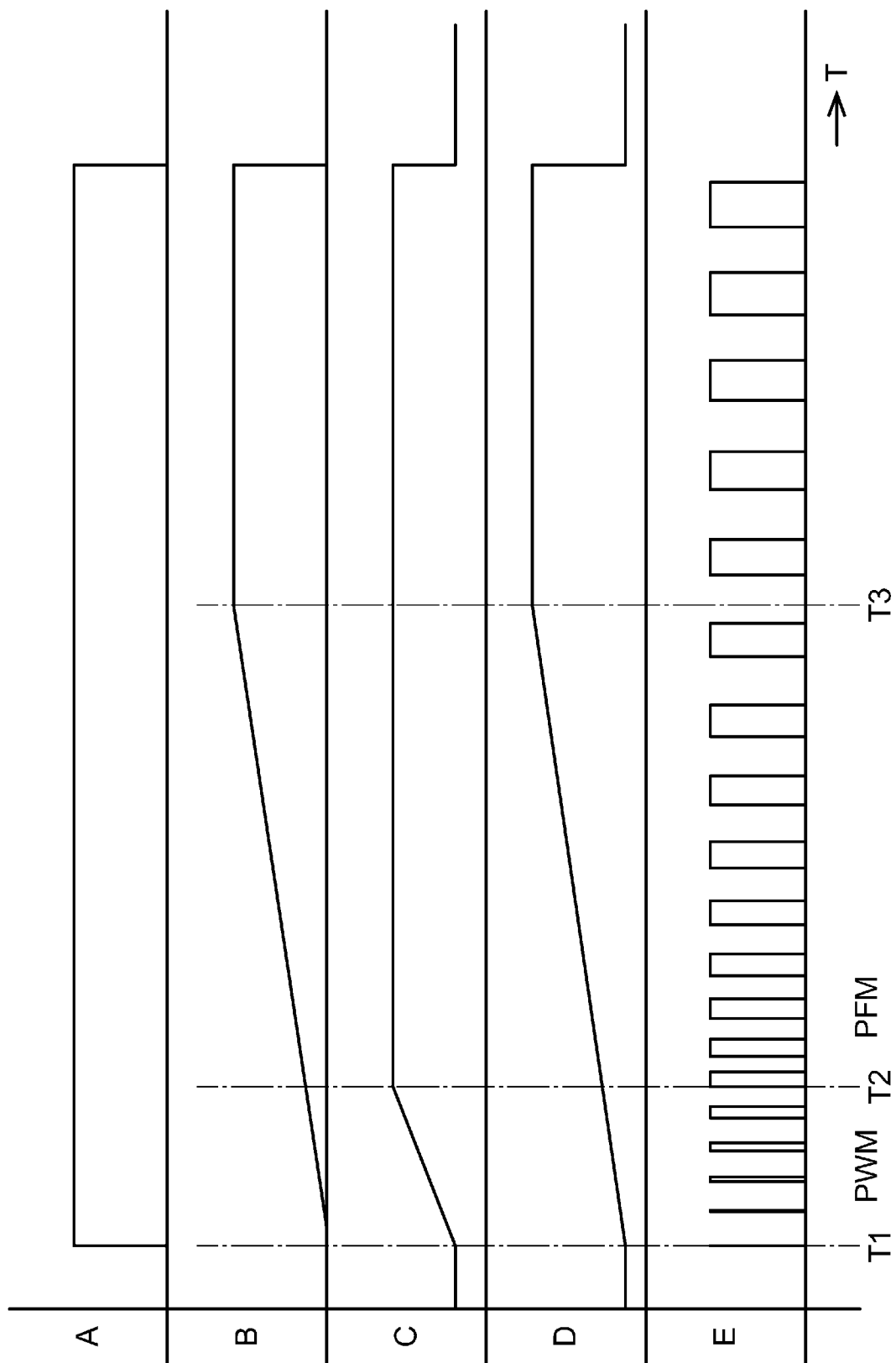
前記第二変動時間は、前記周波数制御電圧が前記所定高周波数に対応する電圧レベルから変動して抑制されるまでの時間である、

請求項 10 に記載の L L C 共振コンバータ回路の制御方法。

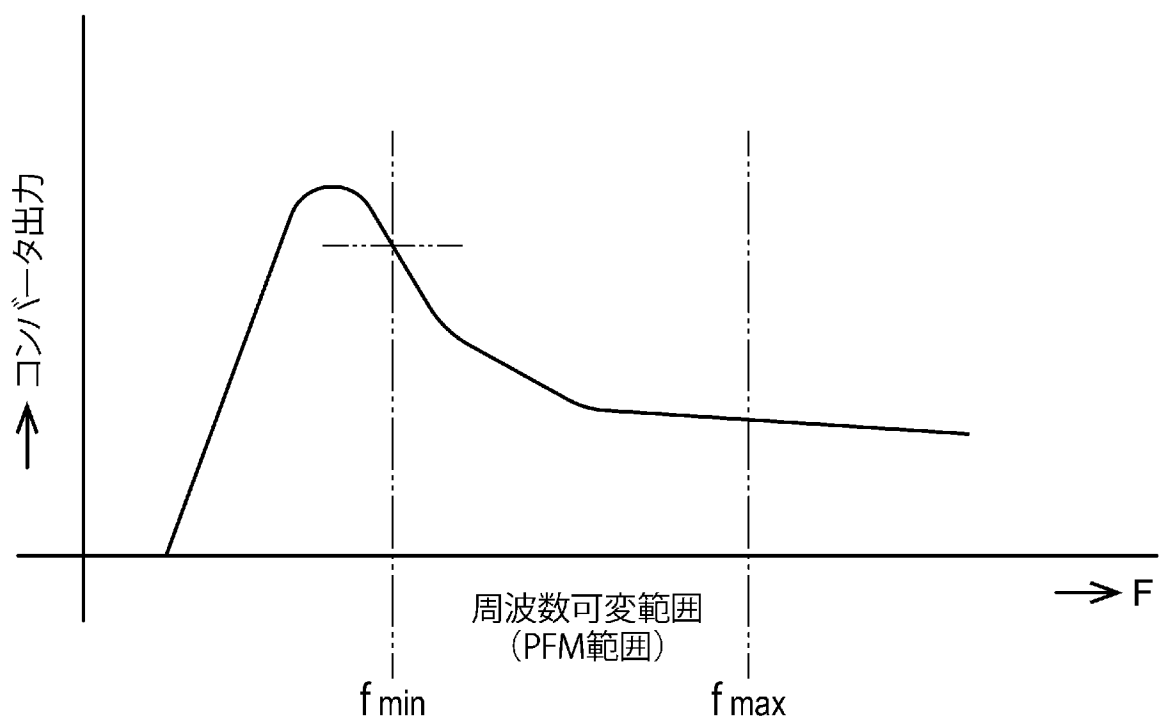
[図1]



[図2]



[図3]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/020860

A. CLASSIFICATION OF SUBJECT MATTER**H02M 3/28**(2006.01)i

FI: H02M3/28 Q; H02M3/28 P

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M3/28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2023

Registered utility model specifications of Japan 1996-2023

Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2012-50264 A (MINEBEA CO., LTD.) 08 March 2012 (2012-03-08) entire text, all drawings	1-11
A	JP 2012-249415 A (MINEBEA CO., LTD.) 13 December 2012 (2012-12-13) entire text, all drawings	1-11
A	JP 2019-30122 A (HITACHI INDUSTRY EQUIPMENT SYSTEMS CO., LTD.) 21 February 2019 (2019-02-21) entire text, all drawings	1-11
A	JP 2006-314189 A (MATSUSHITA ELECTRIC IND. CO., LTD.) 16 November 2006 (2006-11-16) entire text, all drawings	1-11
A	JP 2019-154177 A (SHINDENGEN ELECTRIC MFG.) 12 September 2019 (2019-09-12) entire text, all drawings	1-11



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

02 August 2023

Date of mailing of the international search report

15 August 2023

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)**3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915****Japan**

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2023/020860

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2012-50264	A	08 March 2012	(Family: none)	
JP	2012-249415	A	13 December 2012	(Family: none)	
JP	2019-30122	A	21 February 2019	(Family: none)	
JP	2006-314189	A	16 November 2006	US 2006/0250823 A1 entire text, all drawings CN 1858981 A	
JP	2019-154177	A	12 September 2019	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H02M 3/28(2006.01)i FI: H02M3/28 Q; H02M3/28 P										
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H02M3/28 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2023年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2023年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2023年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2023年	日本国実用新案登録公報	1996 - 2023年	日本国登録実用新案公報	1994 - 2023年
日本国実用新案公報	1922 - 1996年									
日本国公開実用新案公報	1971 - 2023年									
日本国実用新案登録公報	1996 - 2023年									
日本国登録実用新案公報	1994 - 2023年									
C. 関連すると認められる文献										
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号								
A	JP 2012-50264 A（ミネベア株式会社）08.03.2012（2012 - 03 - 08） 全文, 全図	1-11								
A	JP 2012-249415 A（ミネベア株式会社）13.12.2012（2012 - 12 - 13） 全文, 全図	1-11								
A	JP 2019-30122 A（株式会社日立産機システム）21.02.2019（2019 - 02 - 21） 全文, 全図	1-11								
A	JP 2006-314189 A（松下電器産業株式会社）16.11.2006（2006 - 11 - 16） 全文, 全図	1-11								
A	JP 2019-154177 A（新電元工業株式会社）12.09.2019（2019 - 09 - 12） 全文, 全図	1-11								
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。										
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献										
国際調査を完了した日 02.08.2023		国際調査報告の発送日 15.08.2023								
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 佐藤 匡 5G 2573 電話番号 03-3581-1101 内線 3526								

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2023/020860

引用文献			公表日	パテントファミリー文献	公表日
JP	2012-50264	A	08.03.2012	(ファミリーなし)	
JP	2012-249415	A	13.12.2012	(ファミリーなし)	
JP	2019-30122	A	21.02.2019	(ファミリーなし)	
JP	2006-314189	A	16.11.2006	US 2006/0250823 A1 全文, 全図 CN 1858981 A	
JP	2019-154177	A	12.09.2019	(ファミリーなし)	