

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 200480028257.2

[51] Int. Cl.

H01L 27/108 (2006.01)

H01L 29/76 (2006.01)

H01L 29/94 (2006.01)

H01L 31/119 (2006.01)

[45] 授权公告日 2009 年 12 月 9 日

[11] 授权公告号 CN 100568507C

[22] 申请日 2004.9.30

[21] 申请号 200480028257.2

[30] 优先权

[32] 2003.9.30 [33] US [31] 10/605,444

[86] 国际申请 PCT/US2004/032405 2004.9.30

[87] 国际公布 WO2005/034201 英 2005.4.14

[85] 进入国家阶段日期 2006.3.29

[73] 专利权人 国际商业机器公司

地址 美国纽约阿芒克

[72] 发明人 道格拉斯·D·库尔鲍

埃比尼泽·E·埃施安

杰弗里·P·甘比诺 何忠祥

维德亚·拉马钱德兰

[56] 参考文献

US2002/0179955A1 2002.12.5

US6461914B1 2002.10.8

US6500724B1 2002.12.31

US6329233B1 2001.12.11

US2003/0032234A1 2003.2.13

审查员 车晓璐

[74] 专利代理机构 北京市金杜律师事务所

代理人 朱海波

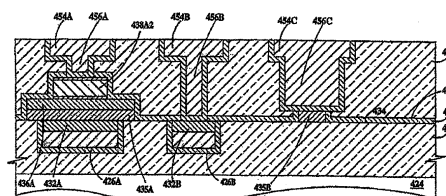
权利要求书 3 页 说明书 13 页 附图 21 页

[54] 发明名称

金属-绝缘体-金属电容器及制造方法

[57] 摘要

一种用于 MIM 电容器的方法和结构，所述结构包括：电子器件，其包括：在半导体衬底上形成的层间介电层；在层间介电层中形成的铜底部电极，所述底部电极的上表面与所述层间介电层的上表面共面；直接与所述底部电极的上表面接触的导电扩散阻挡层；直接与导电扩散阻挡层的上表面接触的 MIM 电介质；以及直接与 MIM 电介质的上表面接触的顶部电极。所述导电扩散阻挡层可以凹进所述铜底部电极中，或者可以提供附加的凹陷导电扩散阻挡层。还公开了相容电阻器和对齐标志结构。



1. 一种电子器件，包括：

在半导体衬底上形成的层间介电层；

在所述层间介电层中形成的铜底部电极，所述铜底部电极的上表面凹进所述层间介电层的上表面之下；

形成于所述铜底部电极的上表面之上的第一导电扩散阻挡层，所述第一导电扩散阻挡层的上表面与所述层间介电层的上表面共面；

直接与所述第一导电扩散阻挡层的上表面接触的第二导电扩散阻挡层；

直接与所述第二导电扩散阻挡层的上表面接触的 MIM 电介质；
以及

直接与所述 MIM 电介质的上表面接触的顶部电极。

2. 根据权利要求 1 所述的电子器件，其中所述第二导电扩散阻挡层和所述 MIM 电介质都延伸经过所述第一导电扩散阻挡层的至少两侧。

3. 根据权利要求 1 所述的电子器件，其中所述第二导电扩散阻挡层包括 W、Ta、WN、TaN、TaSiN、Pt、IrO₂ 或 RuO₂，或其组合，并且所述第二导电扩散阻挡层的厚度为 5 到 200 nm。

4. 根据权利要求 1 所述的电子器件，其中第一导电扩散阻挡层包括 W、Ta、WN、TaN、TaSiN、Pt、IrO₂ 或 RuO₂，或其组合，并且所述第一导电扩散阻挡层的厚度为 5 到 200 nm。

5. 根据权利要求 1 所述的电子器件，其中所述 MIM 电介质包括 SiO₂、Si₃N₄、SiC、Ta₂O₅、BaTiO₃、HfO₂、ZrO₂ 或 Al₂O₃，或其组合，并且所述 MIM 电介质的厚度为 2 到 20nm。

6. 根据权利要求 1 所述的电子器件，其中所述顶部电极包括 Al 或 W。

7. 一种电子器件，包括：

在半导体衬底上形成的层间介电层；

在所述层间介电层中形成的底部电极,所述底部电极包括铜芯和导电内衬,所述导电内衬形成于所述铜芯的侧壁和底部;

直接与所述铜芯的上表面接触的第一导电扩散阻挡层,所述第一导电扩散阻挡层凹进所述底部电极,所述铜芯的上表面凹进所述层间介电层上表面之下,所述第一导电扩散阻挡层的上表面与所述层间介电层的所述上表面以及所述导电内衬的上表面共面;

直接与所述第一导电扩散阻挡层的上表面接触的第二导电扩散阻挡层;

直接与所述第二导电扩散阻挡层的上表面接触的 MIM 电介质;
以及

直接与所述 MIM 电介质的上表面接触的顶部电极。

8. 根据权利要求 7 所述的电子器件,其中所述顶部电极以及所述 MIM 电介质都延伸经过所述底部电极的至少两侧。

9. 根据权利要求 7 所述的电子器件,其中第一导电扩散阻挡层和第二导电扩散阻挡层分别包括 W、Ta、WN、TaN、TaSiN、Pt、 IrO_2 或 RuO_2 , 或其组合,并且所述第一导电扩散阻挡层和所述第二导电扩散阻挡层的厚度分别为 5 到 200 nm。

10. 根据权利要求 7 所述的电子器件,其中所述 MIM 电介质包括 SiO_2 、 Si_3N_4 、SiC、 Ta_2O_5 、 BaTiO_3 、 HfO_2 、 ZrO_2 或 Al_2O_3 , 或其组合,并且所述 MIM 电介质的厚度为 2 到 20 nm。

11. 根据权利要求 7 所述的电子器件,其中所述顶部电极包括 Al 或 W。

12. 一种制造电子器件的方法,包括:

- (a) 提供半导体衬底;
- (b) 在所述半导体衬底上形成层间介电层;
- (c) 在所述层间介电层中形成铜底部电极,所述铜底部电极的上表面凹进所述层间介电层的上表面;
- (d) 形成直接与所述铜底部电极的上表面接触的第一导电扩散阻挡层,所述第一导电扩散阻挡层的上表面与所述层间介电层的上表面

面共面；

(e) 在所述第一导电扩散阻挡层的上表面之上，形成第二导电扩散阻挡层；

(f) 形成直接与所述第二导电扩散阻挡层的上表面接触的 MIM 电介质；以及

(g) 形成直接与所述 MIM 电介质上表面接触的顶部电极。

13. 根据权利要求 12 所述的方法，其中所述第二导电扩散阻挡层以及所述 MIM 电介质都延伸经过所述第一导电扩散阻挡层的至少两侧。

14. 根据权利要求 12 所述的方法，其中所述第二导电扩散阻挡层包括 W、Ta、WN、TaN、TaSiN、Pt、IrO₂ 或 RuO₂，或其组合，并且所述第二导电扩散阻挡层的厚度为 5 到 200 nm。

15. 根据权利要求 12 所述的方法，其中第一导电扩散阻挡层包括 W、Ta、WN、TaN、TaSiN、Pt、IrO₂ 或 RuO₂，或其组合，并且所述第一导电扩散阻挡层的厚度为 5 到 200 nm。

16. 根据权利要求 12 所述的方法，其中所述 MIM 电介质包括 SiO₂、Si₃N₄、SiC、Ta₂O₅、BaTiO₃、HfO₂、ZrO₂ 或 Al₂O₃，或其组合，并且所述 MIM 电介质的厚度为 2 到 20 nm。

17. 根据权利要求 12 所述的方法，其中所述顶部电极包括 Al 或 W。

18. 根据权利要求 12 所述的方法，其中步骤(e)还包括用所述第二导电扩散阻挡层同时在所述层间介电层的上表面之上形成电阻器。

19. 根据权利要求 18 所述的方法，其中所述电阻器包括 W、Ta、WN、TaN、TaSiN、Pt、IrO₂ 或 RuO₂，或其组合层，并且所述电阻器的厚度为 5 到 200 nm。

20. 根据权利要求 12 所述的方法，还包括：

在步骤(g)之后在所述第二导电扩散阻挡层、所述 MIM 电介质和所述层间介电层的所有暴露的表面上淀积反应离子蚀刻层。

金属-绝缘体-金属电容器及制造方法

技术领域

本发明涉及半导体结构及工艺领域；更具体地说，涉及与高介电常数电介质材料以及铜冶金相容的金属-绝缘体-金属(MIM)电容器和制造所述MIM的方法。

背景技术

MIM电容器逐渐被用于集成电路，特别是那些用于射频(RF)及其他高频应用的集成电路中。对与始终存在的高频应用相容的高性能电容器的需要，促使该行业将高介电常数电介质材料用作MIM电容器中的绝缘体。然而，当用于有铜互连的集成电路时，高介电常数电介质有严重的缺点，最值得注意的是较差防止铜扩散的性能，其可能导致成品率或可靠性问题。因此，需要一种与铜互连技术相容的MIM结构和制造方法。

发明内容

本发明的第一方面是一种电子器件，包括：在半导体衬底上形成的层间介电层；在层间介电层中形成的铜底部电极，该底部电极上表面与该层间介电层上表面共面；直接与所述底部电极上表面接触的导电的扩散阻挡层(diffusion barrier)；直接与导电的扩散阻挡层上表面接触的MIM电介质；以及直接与MIM电介质上表面接触的顶部电极。

本发明的第二方面是一种电子器件，包括：在半导体衬底上形成的层间介电层；在所述层间介电层中形成的铜底部电极；直接与所述底部电极上表面接触的导电的扩散阻挡层，所述底部电极上表面凹进

层间介电层上表面之下,所述导电的扩散阻挡层上表面与层间介电层的上表面共面;直接与导电的扩散阻挡层的上表面接触的MIM电介质;以及直接与MIM电介质上表面接触的顶部电极。

本发明的第三方面是一种制造电子器件的方法,包括:(a)提供半导体衬底;(b)在所述半导体衬底上形成层间介电层;(c)在层间介电层中形成铜底部电极,所述底部电极上表面与该层间介电层上表面共面;(d)形成直接与所述底部电极上表面接触的导电扩散阻挡层;(e)形成直接与所述导电扩散阻挡层的上表面接触的MIM电介质;以及(f)形成直接与所述MIM电介质上表面接触的顶部电极。

本发明的第四方面是一种制造电子器件的方法,包括:(a)提供半导体衬底;(b)在所述半导体衬底上形成层间介电层;(c)在所述层间介电层内形成铜底部电极;(d)形成直接与所述底部电极上表面接触的导电扩散阻挡层,所述底部电极的上表面凹进所述层间介电层上表面之下,所述导电扩散阻挡层的上表面与所述层间介电层的上表面共面;(e)形成直接与所述导电扩散阻挡层的上表面接触的MIM电介质;以及(f)形成直接与所述MIM电介质的上表面接触的顶部电极。

本发明提供了一种电子器件,包括:在半导体衬底上形成的层间介电层;在所述层间介电层中形成的铜底部电极,所述铜底部电极的上表面凹进所述层间介电层的上表面之下;形成于所述铜底部电极的上表面之上的第一导电扩散阻挡层,所述第一导电扩散阻挡层的上表面与所述层间介电层的上表面共面;直接与所述第一导电扩散阻挡层的上表面接触的第二导电扩散阻挡层;直接与所述第二导电扩散阻挡层的上表面接触的MIM电介质;以及直接与所述MIM电介质的上表面接触的顶部电极。

本发明还提供了一种电子器件,包括:在半导体衬底上形成的层间介电层;在所述层间介电层中形成的底部电极,所述底部电极包括铜芯和导电内衬,所述导电内衬形成于所述铜芯的侧壁和底部;直接与所述铜芯的上表面接触的导电扩散阻挡层,所述导电扩散阻挡层凹进所述底部电极,所述铜芯的上表面凹进所述层间介电层上表面之

下,所述导电扩散阻挡层的上表面与所述层间介电层的所述上表面以及所述导电内衬的上表面共面;直接与所述导电扩散阻挡层的上表面接触的 MIM 电介质;以及直接与所述 MIM 电介质的上表面接触的顶部电极。

本发明还提供了一种制造电子器件的方法,包括:(a) 提供半导体衬底;(b) 在所述半导体衬底上形成层间介电层;(c) 在所述层间介电层中形成铜底部电极,所述铜底部电极的上表面凹进所述层间介电层的上表面;(d) 形成直接与所述铜底部电极的上表面接触的第一导电扩散阻挡层,所述第一导电扩散阻挡层的上表面与所述层间介电层的上表面共面;(e) 在所述第一导电扩散阻挡层的上表面之上,形成第二导电扩散阻挡层;(f) 形成直接与所述第二导电扩散阻挡层的上表面接触的 MIM 电介质;以及(g) 形成直接与所述 MIM 电介质上表面接触的顶部电极。

附图说明

在附加的权利要求中阐明了本发明的特征。然而,当结合所述附图阅读本发明时,通过参考对下列说明性具体实施例的详细描述,将很容易理解本发明,其中:

图 1A,是根据本发明的示例性 MIM 电容器的截面视图;

图 1B 是根据本发明的结合 MIM 电容器的互连结构的顶视图而图 1C 是图 1B 中沿着线 1C-1C 截取的截面视图;

图 2A 到 2F 是示出了根据本发明第一实施例的 MIM 电容器的制造过程的横截面视图;

图 3A 是根据本发明的电阻器的触点(contact)的顶视图而图 3B 是沿着图 3A 的线 3B-3B 截取的截面视图;

图 4A 到 4E 是示出了根据本发明第二实施例的 MIM 电容器的制造过程的横截面视图;

图 5A 到 5F 是示出了根据本发明第三实施例的 MIM 电容器的制造过程的横截面视图;

图 6A 到 6F 是示出了根据本发明第四实施例的 MIM 电容器的制造过程的横截面视图；以及

图 7A 到 7F 是示出了根据本发明第五实施例的 MIM 电容器的制造过程的横截面视图。

具体实施方式

图 1A 是根据本发明的示例性 MIM 电容器 100 的截面视图。在图 1A 中，MIM 电容器 100 包括含有铜芯导体 110 的底部电极 105 以及导电的内衬 (liner) 115。MIM 电容器 100 还包括在底部电极 105 的上表面 125 上形成的导电扩散阻挡层 120、在导电扩散阻挡层 120 的上表面 135 上形成的介电层 130 以及在 MIM 电介质 130 的上表面 145 上形成的顶部电极 140。扩散阻挡层 120 用来防止底部电极 105 的铜扩散，以及防止当电介质 MIM 130 包括氧化物时铜芯导体 110 与 MIM 电介质 130 反应形成 CuO。顶部电极 140 包括核心导体 155、可选底部导体 160 以及可选顶部导体 165。尽管在图 1A 中，导电扩散阻挡层 120 延伸经过下部电极 105 的侧面 150，但该特征不是在本发明的每个实施例都有的。底部电极 105、导电扩散阻挡层 120、电介质 130 以及顶部电极 140 之间的几何关系，将在下文根据本发明各种实施例进行描述。

在一个例子中，导电内衬 115 含有 Ta、TaN 或其组合。在一个例子中，导电扩散阻挡层 120 包括大约 5 到 200 nm 厚的诸如 W、Ta 或 TaN 的难熔金属层、诸如 WN、TaN、TaSiN、Pt、IrO₂ 或 RuO₂ 的导电材料层或其组合层。在一个例子中，MIM 电介质 130 包括大约 2 到 20 nm 厚的 SiO₂、Si₃N₄ 或 SiC 层、诸如 Ta₂O₅、BaTiO₃、HfO₂、ZrO₂ 或 Al₂O₃ 之类的高介电常数介电层或其组合层。在一个例子中，顶部电极 140 有大约 50 到 300nm 厚，并且顶部电极 140 的核心导体 155 含有 Al 或 W 以及顶部导体 160 和底部导体 165 含有 TiN 或 TaN。本发明的全部实施例都在 MIM 电容器中使用了这些材料。

图 1B 是根据本发明的结合了 MIM 电容器的互连结构的顶视图而图 1C 是图 1B 中沿着线 1C-1C 截取的截面视图。图 1B 和 1C 是本发明 MIM 电容器集成为集成电路装置的金属镶嵌 (damascened) 布线层的示例。一种示例性级间电介质 (ILD) 叠层 170 在半导体衬底 180 上表面 175 上形成。ILD 叠层 170 包括在衬底 180 的上表面 175 上形成的第一 ILD 185 和在第一 ILD 185 上表面 195 上形成的第二 ILD 190。在第一 ILD 185 中形成底部电极 105。底部电极 105 还作为到 MIM 的电布线连接。在第二 ILD 190 中形成导电扩散阻挡层 120、电介质 130 和顶部电极 140。还在第二 ILD 195 中形成用于经由通孔 205 电连接到 MIM 电容器的顶板 140 的导体 200。导体 200 和通孔 205 含有铜芯 210 以及导电内衬 215。

虽然图 1C 示出了两个 ILD 层,但在集成电路装置中可以使用任意数目的 ILD 层,并且 MIM 电容器可以实际位于任何两个相邻的 ILD 层中,其中底部电极在两个 ILD 层中下层的 ILD 层中, MIM 电介质和顶部电极在两个 ILD 层中上层的 ILD 层中。导电扩散阻挡层可以位于上层 ILD 层或下层 ILD 层两者之一上或者位于两个 ILD 层上。ILD 材料的例子包括淀积氧化物,诸如四乙氧基硅烷 (TEOS)、加氟的二氧化硅玻璃 (FSG) 及其他化学汽相淀积 (CVD) 氧化物。

图 2A 到 2F 是横截面视图,示出了根据本发明第一实施例的 MIM 电容器的制造过程; 在图 2A 中,在半导体衬底 224 的上表面 222 上形成 ILD 220。在 ILD 220 中形成底部电极 226A 和导体 226B。底部电极 226A 包括铜芯导体 228A 和导电内衬 230A。导体 226B 包括铜芯导体 228B 和导电内衬 230B。导电内衬和 ILD 材料已经在上文描述过了。底部电极 226A 和导体 226B 是通过金属镶嵌处理形成的。在金属镶嵌处理中,通过下述方式在 ILD 中形成沟槽,即通过光刻方式对施加在 ILD 上的掩模层进行构图,对 ILD 执行反应离子蚀刻 (RIE),去掉屏蔽层,电极导电内衬,淀积铜籽晶层淀积物,镀铜以填满所述沟槽并执行化学机械抛光 (CMP) 处理,以使所述铜和导电内衬以及 ILD 的上表面共面 (co-planarize)。底部电极 226A 将成

为 MIM 电容器的底部电极并且导体 226b 是典型的互连导体。

在图 2B 中,淀积导电扩散阻挡层,用光刻方式构图,并执行 RIE 处理以在 ILD 220 的上表面 234 上形成导电扩散阻挡层 232A 和 232B、电阻器 232C 和对齐标志 232D。注意,导电扩散阻挡层 232A 和 232B 分别覆盖在第一和第二导体 226A 和 226B 上。导电扩散阻挡层的材料和厚度已经在上文描述过了。

在图 2C 中,淀积一层 MIM 介电层 236。MIM 的电介质材料和厚度已经在上文描述过了。

在图 2D 中,淀积导体,以光刻方式构图并进行 RIE 蚀刻以在 MIM 介电层 236 的上表面 240 上形成顶部电极 238。顶部电极 238 定位在导电扩散阻挡层 232A 和底部电极 226A 上面。顶部电极 238 与导电扩散阻挡层 232A 的部分交叠(即顶部电极小于导电扩散阻挡层 232A)。顶部电极的材料和厚度已经在上文描述过了。

在图 2E 中,可选 RIE 阻止层 242 淀积在 MIM 介电层 236 的上表面 240 和顶部电极 238 的上表面 246 以及侧壁 248 上。在一个例子中,RIE 阻止层 242 具有大约 5 到 50nm 的厚度并包括 Si_3N_4 。

在图 2F 中,在 RIE 阻止层 242 的上表面 252 上淀积第二 ILD 层 250。将分别与通路 256A、256B 和 256C 整合的导体 254A、254B 和 254C 通过 RIE 阻止层 242 分别与顶部电极 238、导体 226B 以及电阻器 232C 形成电接触。导体 254A、254B 以及 254C 通过双重金属镶嵌处理形成。在双重金属镶嵌处理中,通过下述方式在 ILD 中形成导体,即通过光刻方式对施加在 ILD 上的第一掩模层进行构图,对 ILD 执行 RIE 以在 ILD 内蚀刻沟槽,去掉第一掩模层,以光刻方式对施加在 ILD 和沟槽上的第二掩模层进行构图,对 ILD 执行 RIE 以在所述沟槽底部蚀刻通路,去掉第二掩模层,淀积导电内衬,淀积铜籽晶层淀积物,镀铜以填充所述沟槽并执行 CMP 处理,以使所述铜的表面以及所述导电内衬和 ILD 形成共面。

虽然图 2F 示出了两个 ILD 层,但在集成电路装置中可以使用任意数目的 ILD 层,且 MIM 电容器可以实际位于任何两个相邻的 ILD

层, 其中底部电极在两个 ILD 层中下层的 ILD 层中, 以及导电扩散阻挡层、MIM 电介质和顶部电极在两个 ILD 层中上层的 ILD 层中。

图 3A 是根据本发明到电阻器 232C 的触点 (contact) 的顶视图, 而图 3B 是沿着图 3A 的线 3B-3B 截取的截面视图。第一导体 254C1 与电阻器 232C 的第一端点 256A 形成电接触而第二导体 254C2 与该电阻器的第二端点 256B 形成电接触。通路 256C1 和 256C2 分别覆盖在端点 256A 和 256B 上, 以及侧面 258A 和 258B 邻近于电阻器 232C 的端点的部分上。

图 4A 到 4E 是横截面视图, 示出了根据本发明第二实施例的 MIM 电容器的制造过程。在图 4A 中, 在半导体衬底 324 的上表面 322 上形成 ILD320。在 ILD 320 中形成底部电极 326A 和导体 326B。底部电极 326A 包括铜芯导体 328A 和导电内衬 330A。导体 326B 包括铜芯导体 328B 和导电内衬 330B。导电内衬和 ILD 材料已经在上文描述过了。底部电极 326A 和导体 326B 通过如上文所述的金属镶嵌处理形成。底部电极 326A 将成为 MIM 电容器的底部电极并且导体 326B 是典型的互连导体。

在图 4B 中, 核心导体 328A 和 328B 通过湿法处理或 RIE 处理而形成凹陷。导电扩散阻挡层淀积在足够厚的 ILD 320 上以填充由核心刻蚀处理形成的凹陷, 执行 CMP 处理以形成凹陷的导电扩散阻挡层 332A 和 332B 并使该导电扩散阻挡层与 ILD 320 的上表面 334 形成共面。扩散阻挡层的材料和厚度已经在上文描述过了。

在图 4C 中, MIM 电介质 336 和顶部电极 338 (在 MIM 电介质的上表面 340 上) 通过下述方式形成, 即, 在 ILD 320 的上表面 334 上, 并在导电扩散阻挡层 326A 和 326B 上淀积 MIM 介电层, 在 MIM 介电层的上表面上淀积导电层, 以光刻方式对施加在导电层上方的掩模层进行构图以限定 MIM 电介质 336 和顶部电极 338 的范围, 对 MM 介电层和导电层执行 RIE, 并去掉所述掩模层。顶部电极 338 定位在凹陷的导电扩散阻挡层 332A 和底部电极 326A 的上面。顶部电极 338 完全覆盖在凹陷的导电扩散阻挡层 332A 上 (顶部电极 338 大于导电扩

散阻挡层 332A)。导电扩散阻挡层材料和厚度、MIM 电介质材料和厚度以及顶部电极材料和厚度已经在上文描述过了。

在图 4D 中,在顶部电极 338 的上表面 346 以及侧壁 348、ILD 320 的暴露的上表面 334 以及凹陷的导电扩散阻挡层 332B 的上表面 343 上淀积可选的 RIE 阻止层 342。在一个例子中,RIE 阻止层 342 具有大约 5 到 50nm 的厚度并包括 Si_3N_4 。

在图 4E 中,在 RIE 阻止层 342 的上表面 352 上淀积第二 ILD 层 350。将分别与通路 356A 和 356B 整合的导体 354A 和 354B 通过 RIE 阻止层 342 分别与顶部电极 338 和凹陷的导电扩散阻挡层 332B 形成电接触。导体 354A 和 354B 通过如上文所述的双重金属镶嵌处理形成。

虽然图 4E 示出了两个 ILD 层,但在集成电路装置中可以使用任意数目的 ILD 层,且 MIM 电容器可以实际位于任何两个相邻的 ILD 层中,其中底部电极在两个 ILD 层中下层的 ILD 层中,MIM 电介质和顶部电极在两个 ILD 层中上层的 ILD 层中。

图 5A 到 5F 是横截面视图,示出了根据本发明第三实施例的 MIM 电容器的制造。在图 5A 中,在半导体衬底 424 的上表面 422 上形成 ILD 420。在 ILD 420 中形成底部电极 426A 和导体 426B。底部电极 426A 包括铜芯导体 428A 和导电内衬 430A。导体 426B 包括铜芯导体 428B 和导电内衬 430B。导电内衬和 ILD 材料已经在上文描述过了。底部电极 426A 和导体 426B 通过如上文所述的金属镶嵌处理形成。底部电极 426A 将成为 MIM 电容器的底部电极,并且导体 426B 是典型的互连导体。

在图 5B 中,核心导体 428A 和 428B 通过湿法处理或 RIE 处理而形成凹陷。在足够厚的 ILD 420 上淀积第一导电扩散阻挡层以填充由蚀刻处理形成的凹陷,执行 CMP 处理以形成凹陷的导电扩散阻挡层 432A 和 432B 并使该凹陷的导电扩散阻挡层与 ILD 420 的上表面 434 形成共面。导电扩散阻挡层的材料和厚度已经在上文描述过了。

在图 5C 中,上层导电扩散阻挡层 435A、电阻器 435B、MIM 电

介质 436A 以及顶部电极 438A1 (在 MIM 电介质的上表面 440 上)以及顶盖 438B 按下述方式形成: 第一, 在 ILD 420 的上表面 434 上, 并在凹陷的导电扩散阻挡层 432A 以及 432B 上方淀积第二导电扩散阻挡层。第二, 在第二导电扩散阻挡层上表面上淀积 MIM 介电层并在第二导电扩散阻挡层的上表面上淀积导电层。第三, 以光刻方式对施加在导电层上方的掩模层进行构图, 以限定 MIM 电介质 436A 的范围、上层导电扩散阻挡层 435A 以及电阻器 435B 的范围、以及顶部电极 438A1 的初始范围和顶盖 438B 的范围。第四, 对 MIM 介电层、第二导电扩散阻挡层和导电层执行 RIE 并去掉所述掩模层。导电扩散阻挡层材料和厚度已经在上文描述过了。

在图 5D 中, 以光刻方式对所施加的掩模层进行构图, 并执行 RIE 以限定顶部电极 438A2 的最终的范围以及去掉 MIM 电介质 436B 上方的顶盖 438B (参见图 5C)。然后去掉所述掩模层。顶部电极 438A2 定位在凹陷的导电扩散阻挡层 432A 和上层导电扩散阻挡层 435A 以及底部电极 426A 上方。顶部电极 438A2 部分覆盖上层导电扩散阻挡层 435A (即顶部电极 438A2 小于上层导电扩散阻挡层 435A)。上层导电扩散阻挡层 435A 完全覆盖在凹陷的导电扩散阻挡层 432A 上 (即上层导电扩散阻挡层 435A 大于导电扩散阻挡层 432A)。MIM 的电介质材料和厚度以及顶部电极的材料和厚度已经在上文描述过了。

在图 5E 中, 在顶部电极 438A2 的上表面 443 和侧壁 444、MIM 电介质 436B / 上层导电扩散阻挡层 435A 的上表面 445A 和侧壁 446A、MIM 电介质 436B / 电阻器 435B 的上表面 445B 和侧壁 446B、ILD 420 的暴露的上表面 434、以及凹陷的导电扩散阻挡层 432B 的上表面 447 上淀积可选的 RIE 阻止层 442。在一个例子中, RIE 阻止层 442 具有大约 5 到 50nm 的厚度并包括 Si_3N_4 。

在图 5F 中, 在 RIE 阻止层 442 的上表面 452 上淀积第二 ILD 层 450。将分别与通路 456A、456B 和 456C 整合的导体 454A、454B 和 454C 通过 RIE 阻止层 442 分别与顶部电极 438A2、凹陷的导电扩散阻挡层 432B 以及电阻器 435B 形成电接触。导体 454A 和 454B

通过如上文所述的双重金属镶嵌处理形成。

虽然图 5F 示出了两个 ILD 层，但在集成电路装置中可以使用任意数目的 ILD 层，且 MIM 电容器可以实际位于任何两个相邻的 ILD 层中，其中底部电极在两个 ILD 层中下层的 ILD 层中，MIM 电介质和顶部电极在两个 ILD 层中上层的 ILD 层中。

图 6A 到 6F 是横截面视图，示出了根据本发明第四实施例的 MIM 电容器的制造过程。在图 6A 中，在半导体衬底 524 的上表面 522 上形成 ILD520。在 ILD 520 中形成底部电极 526A 和导体 526B。底部电极 526A 包括铜芯导体 528A 和导电内衬 530A。导体 526B 包括铜芯导体 528B 和导电内衬 530B。导电内衬和 ILD 材料已经在上文描述过了。底部电极 526A 和导体 526B 通过如上文所述的金属镶嵌处理形成。底部电极 526A 将成为 MIM 电容器的底部电极，并且导体 526B 是典型的互连导体。

在图 6B 中，通过淀积在 ILD520、底部电极 526A 以及导体 526B 上形成介电扩散阻挡层 531。用于介电扩散阻挡层 531 的合适的材料的例子包括厚度大约为 5 到 50nm 的 Si_3N_4 、 SiC 、 Si_3N_4 上的 SiO_2 以及 Si_3N_4 上的 FSG。

在图 6C 中，通过如上文描述的金属镶嵌处理，在底部电极 526A 上方形成（并覆盖 ILD 520）导电扩散阻挡层 532A，并在 ILD 520 上表面 534 上形成电阻器 532B。扩散阻挡层的材料和厚度已经在上文描述过了。

在图 6D 中，首先淀积 MIM 介电层，然后淀积导电层，以光刻方式构图，并进行 RIE 蚀刻以在 MIM 电介质 536 的上表面 540 上形成顶部电极 538。顶部电极 538 定位在导电扩散阻挡层 532A 和底部电极 526A 上方。顶部电极 538 完全覆盖在导电扩散阻挡层 532A 上（即顶部电极 538 大于导电扩散阻挡层 532A）。导电扩散阻挡层 532A 完全覆盖在下部电极 526A 上（即导电扩散阻挡层 532A 大于下部电极 526A）。MIM 的电介质材料和厚度以及顶部电极的材料和厚度已经在上文描述过了。

在 6E 中,在顶部电极 538 的上表面 544、顶部电极 538 / MIM 电介质 536 的侧壁 545 上、电阻器 532B 的上表面 546 以及介电扩散阻挡层 531 的上表面 547 上淀积可选的 RIE 阻止层 542。在一个例子中, RIE 阻止层 542 具有大约 5 到 50nm 的厚度并包括 Si_3N_4 。

在图 6F 中,在 RIE 阻止层 542 的上表面 552 上淀积第二 ILD 层 550。将分别与通路 556A、556B 和 556C 整合的导体 554A、554B 和 554C 通过 RIE 阻止层 542 分别与顶部电极 538、导体 526B 以及电阻器 532B 形成电接触。导体 554A 和 554B 以及 554C 通过如上文所述的双重金属镶嵌处理形成。

虽然图 6F 示出了两个 ILD 层,但在集成电路装置中可以使用任意数目的 ILD 层,且 MIM 电容器可以实际位于任何两个相邻的 ILD 层中,其中底部电极在两个 ILD 层中下层的 ILD 层中, MIM 电介质和顶部电极在两个 ILD 层中上层的 ILD 层中。

图 7A 到 7F 是横截面视图,示出了根据本发明第五实施例的 MIM 电容器的制造。在图 7A 中,在半导体衬底 624 的上表面 622 上形成 ILD620。在 ILD 620 中形成底部电极 626A、导体 626B 以及电阻器触点 626C。底部电极 626A 包括铜芯导体 628A 和导电内衬 630A。导体 626B 包括铜芯导体 628B 和导电内衬 630B。电阻器触点 626C 包括铜芯导体 628C 以及导电内衬 630C。导电内衬和 ILD 材料已经在上文描述过了。底部电极 626A、导体 626B 以及电阻器触点 626C 如上文所述通过金属镶嵌处理形成。底部电极 626A 将成为 MIM 电容器的底部电极,并且导体 626B 是典型的互连导体。

在图 7B 中,核心导体 628A、628B 以及 628C 通过湿法处理或 RIE 处理而形成凹陷,在足够厚的 ILD620 上淀积第一导电扩散阻挡层以填充通过所述蚀刻处理形成的凹陷,执行 CMP 处理以形成凹陷的导电扩散阻挡层 632A、632B 以及 632C,并使所述凹陷的导电扩散阻挡层与 ILD620 的上表面 634 形成共面。导电扩散阻挡层的材料和厚度已经在上文描述过了。

在图 7C 中,通过在 ILD 620 上表面 634 上淀积导电扩散阻挡层,

形成上层导电扩散阻挡层 635A、电阻器 635B 以及对齐标志 635C，以光刻方式对施加在所述导电扩散阻挡层上的掩模层进行构图，执行 RIE 处理并去掉所述掩模层。导电扩散阻挡层的材料和厚度已经在上文描述过了。

在图 7D 中，按下述方式形成覆盖着上层导电扩散阻挡层 635A 的 MIM 电介质 636A，覆盖着 MIM 电介质 636A 的顶部电极 638A，和覆盖着电阻器 635B 的电介质顶盖 636B，以及覆盖着电介质顶盖 636B 的导电顶盖 638B：第一，在上层导电扩散阻挡层 635A、电阻器 635B 对齐标志 635C 以及 ILD 620 的暴露的上表面 634 上面淀积 MIM 介电层。第二，在 MIM 介电层上面施加掩模层并以光刻方式构图以限定 MIM 电介质 636A 以及 636B 的范围，对 MIM 介电层执行 RIE 并去掉所述掩模层。第三，在 MIM 电介质 636A 和 636B、对齐标志 635C、以及暴露的 ILD 620 上表面 634 上面淀积导电层。第四，在导电层上面施加掩模层以限定顶部电极 638A 和导体顶盖 638B 的范围，对 MIM 介电层执行 RIE 并去掉所述掩模层。顶部电极 638 定位在 MIM 电介质 636A 上面而 MIM 电介质定位在上层导电扩散阻挡层 635A 和底部电极 626A 上面。顶部电极 638A 完全覆盖在 MIM 电介质 636A 上(即顶部电极 638A 大于 MIM 电介质 636A)，而 MIM 电介质 636A 完全覆盖在上层导电扩散阻挡层 635A 上(即 MIM 电介质 636A 大于上层导电扩散阻挡层 635A)。MIM 的电介质材料和厚度以及顶部电极的材料和厚度已经在上文描述过了。

在图 7E 中，在顶部电极 638A 的上表面 643 和侧壁 644、导电顶盖 636B 的上表面 645 和侧壁 646、ILD 620 的暴露的上表面 634、凹陷的导电扩散阻挡层 632B 的上表面 647 上以及在对齐标志 635C 上方淀积可选的 RIE 阻止层 642。在一个例子中，RIE 阻止层 642 具有大约 5 到 50nm 的厚度并包括 Si_3N_4 。

在图 7F 中，在 RIE 阻止层 642 的上表面 652 上淀积第二 ILD 层 650。将分别与通路 656A 和 656B 整合的导体 654A 和 654B 通过 RIE 阻止层 642 分别与顶部电极 638A 和凹陷的导电扩散阻挡层 632B 形

成电接触。导体 654A 和 654B 通过如上文所述的双重金属镶嵌处理形成。

虽然图 7F 示出了两个 ILD 层，但在集成电路装置中可以使用任意数目的 ILD 层，且 MIM 电容器可以实际位于任何两个相邻的 ILD 层中，其中底部电极在两个 ILD 层中下层的 ILD 层中，MIM 电介质和顶部电极在两个 ILD 层中上层的 ILD 层中。

因此，本发明提供了一种与铜互连技术相容的 MIM 结构和制造方法以及相容电阻器以及对齐标志结构。

为了能使人们理解本发明，在上面给出了对本发明实施例的描述。应该明白，本发明并不局限于此处所描述的具体实施例，而是能够在不脱离本发明范围的情况下对其进行各种修改、重新组合以及替换，现在这对于本领域普通技术人员来说是显而易见的。因此，下列权利要求的目的是覆盖本发明的真正本质和范围内的所有这样的修改以及改变。

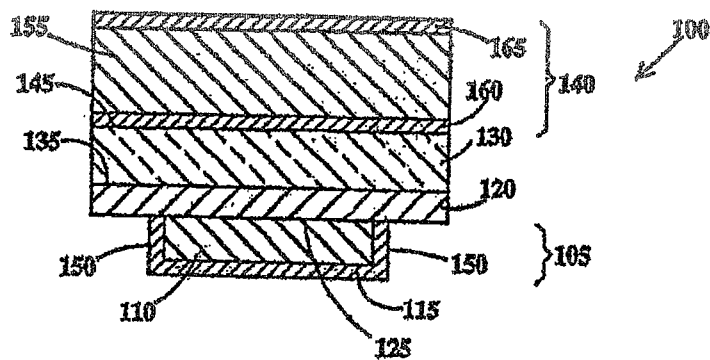


图 1A

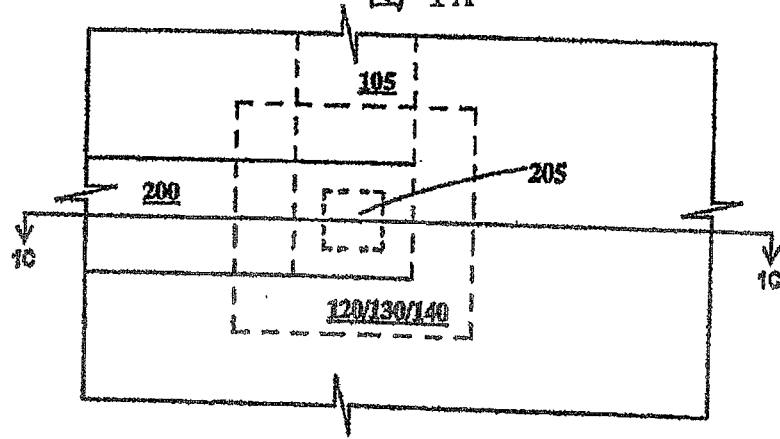


图 1B

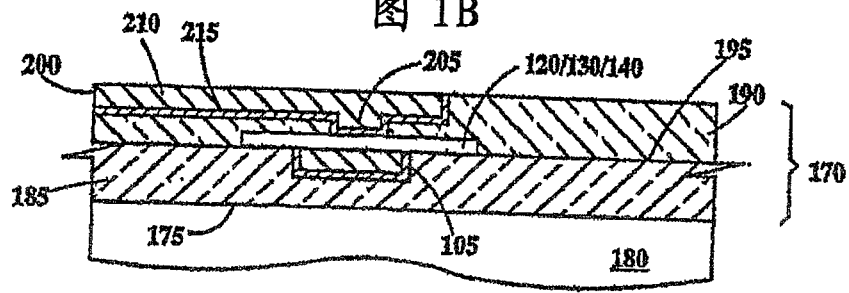


图 1C

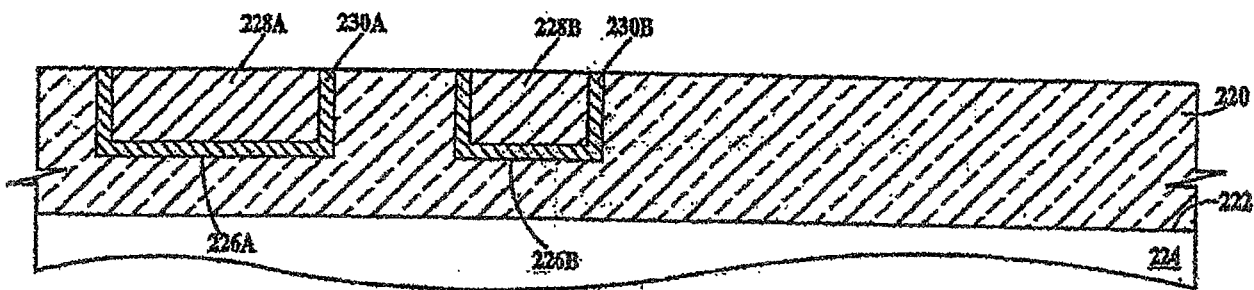


图 2A

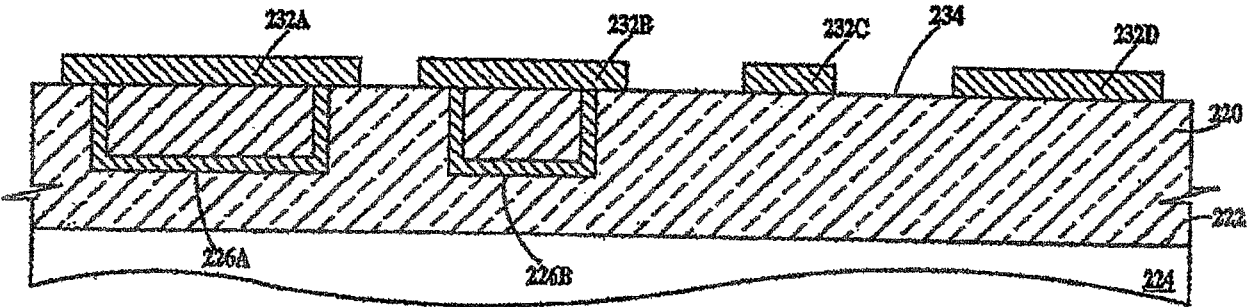


图 2B

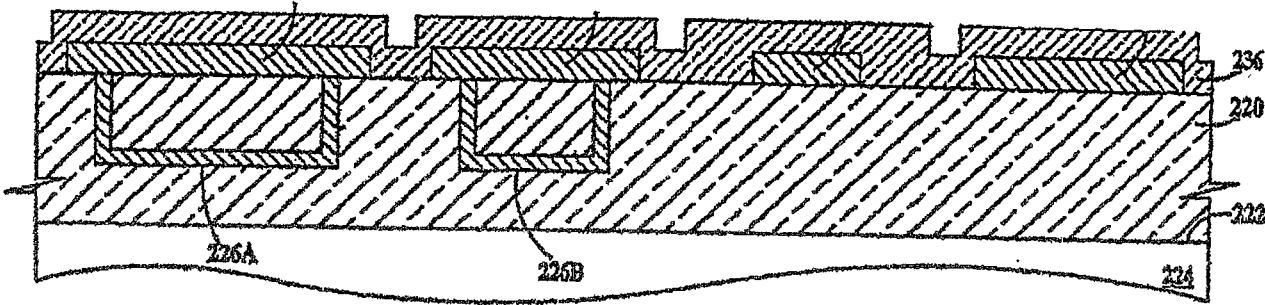


图 2C

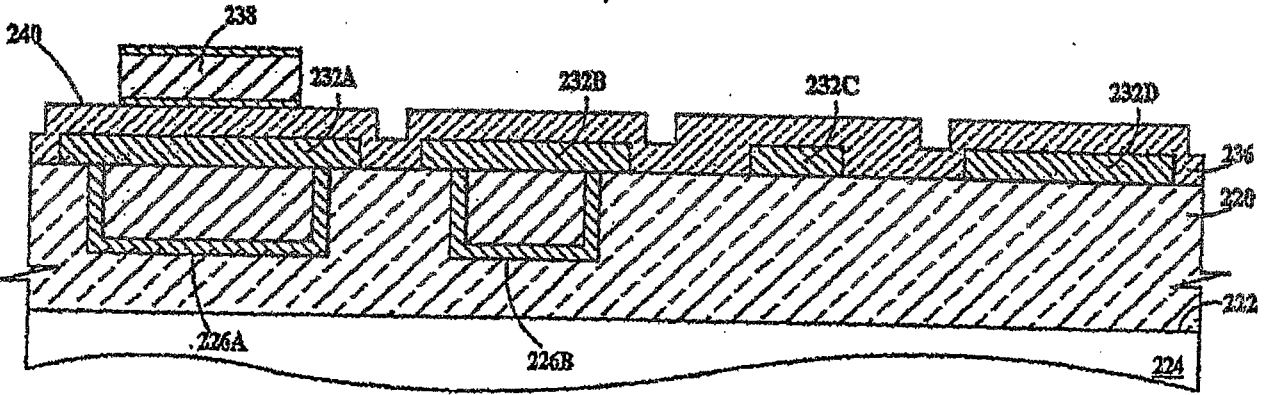


图 2D

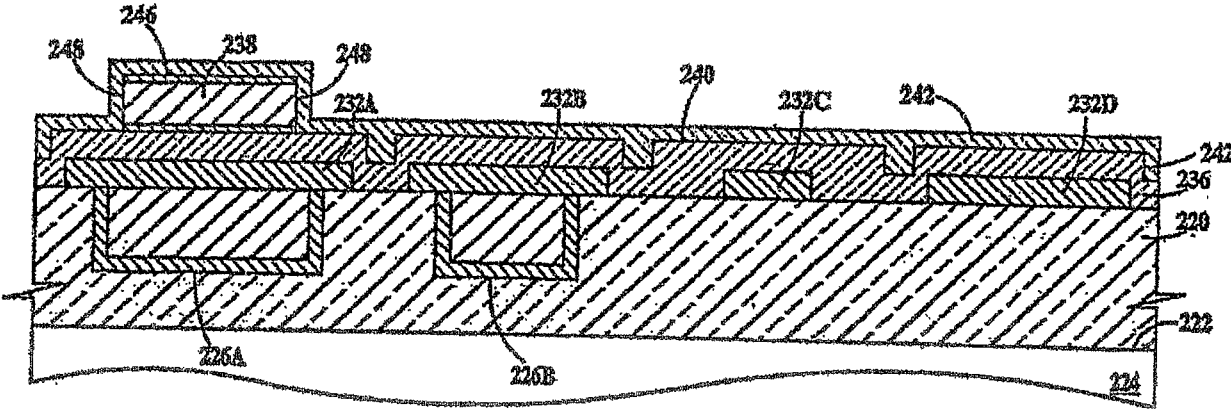


图 2E

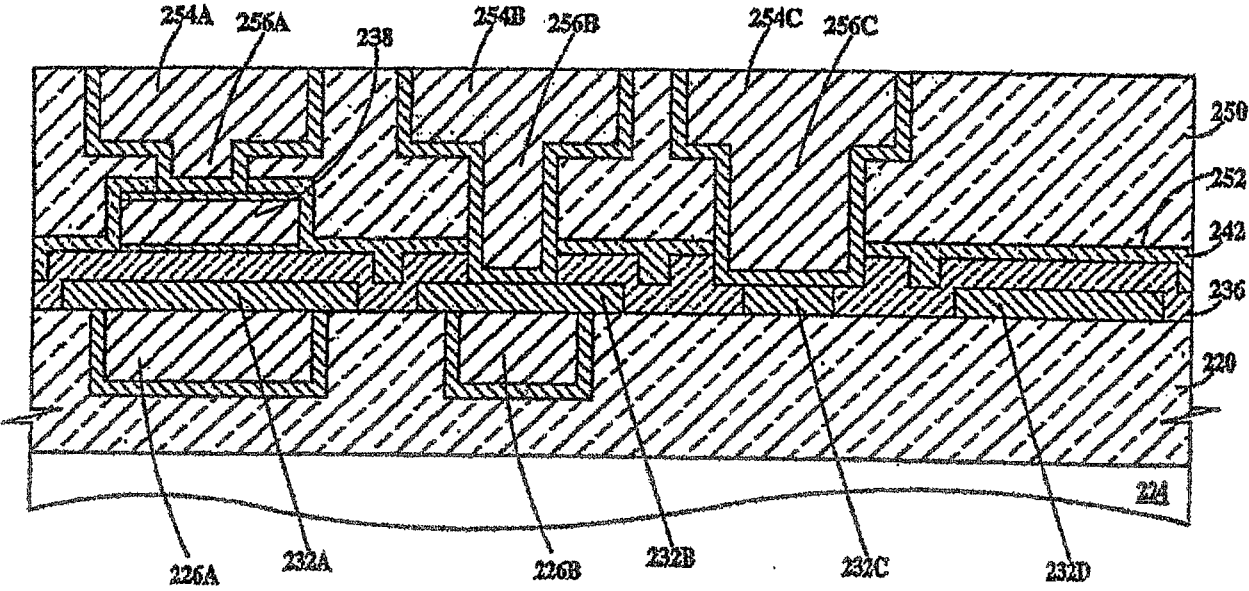


图 2F

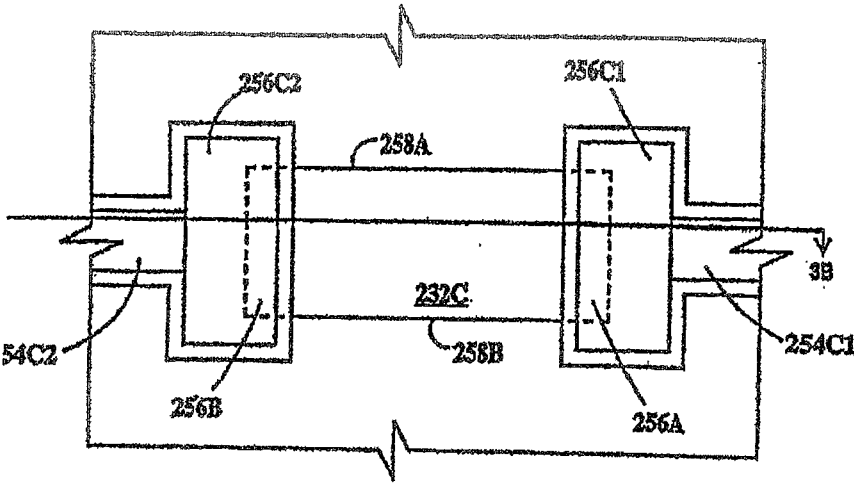


图 3A

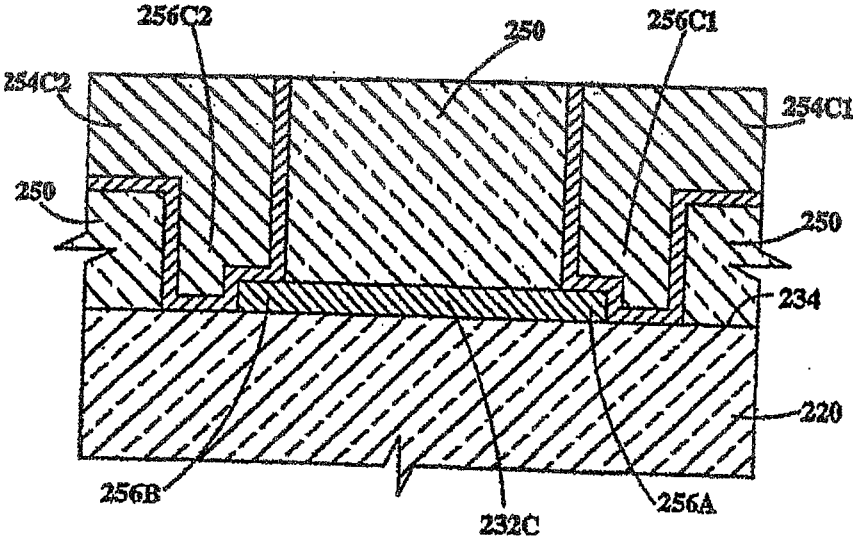


图 3B

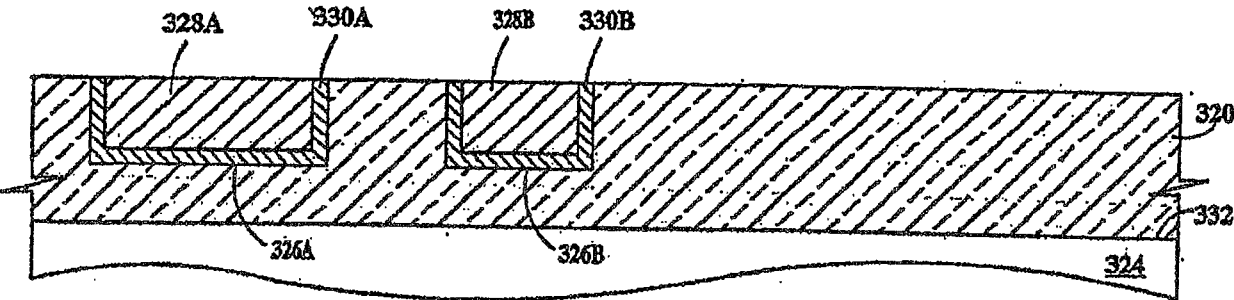


图 4A

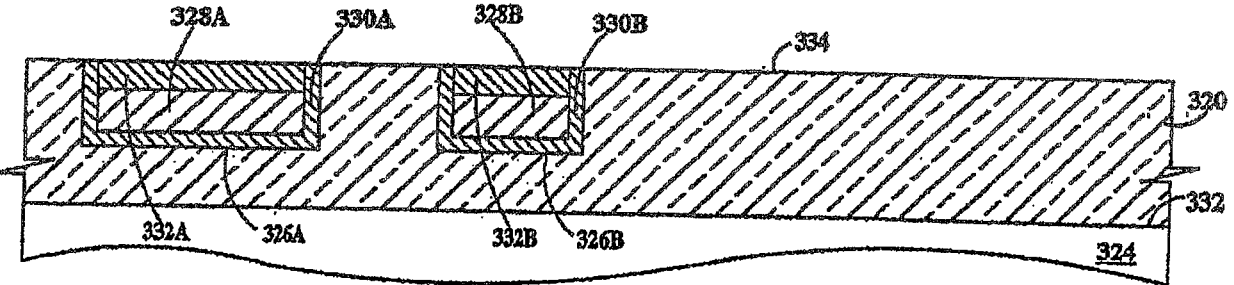


图 4B

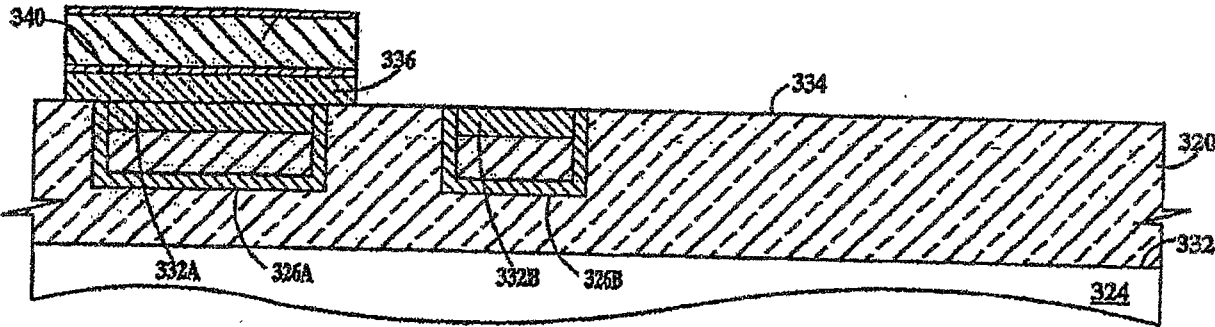


图 4C

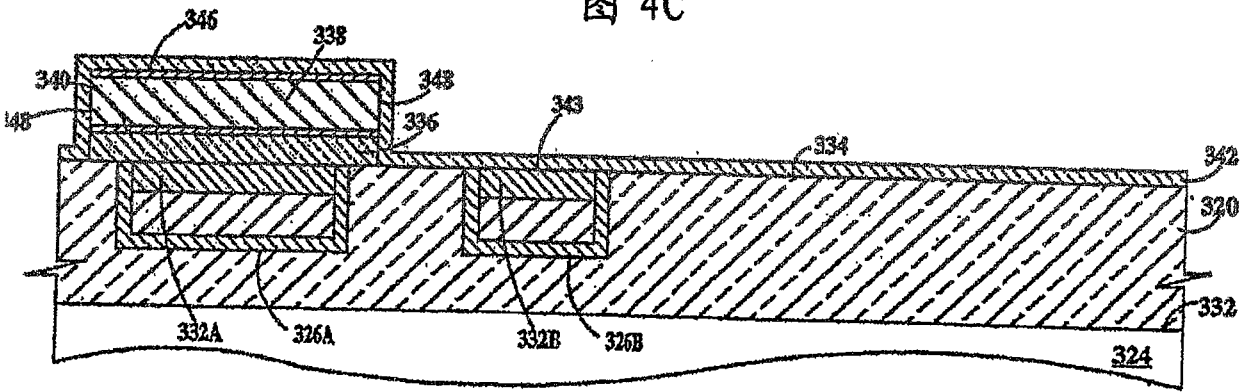


图 4D

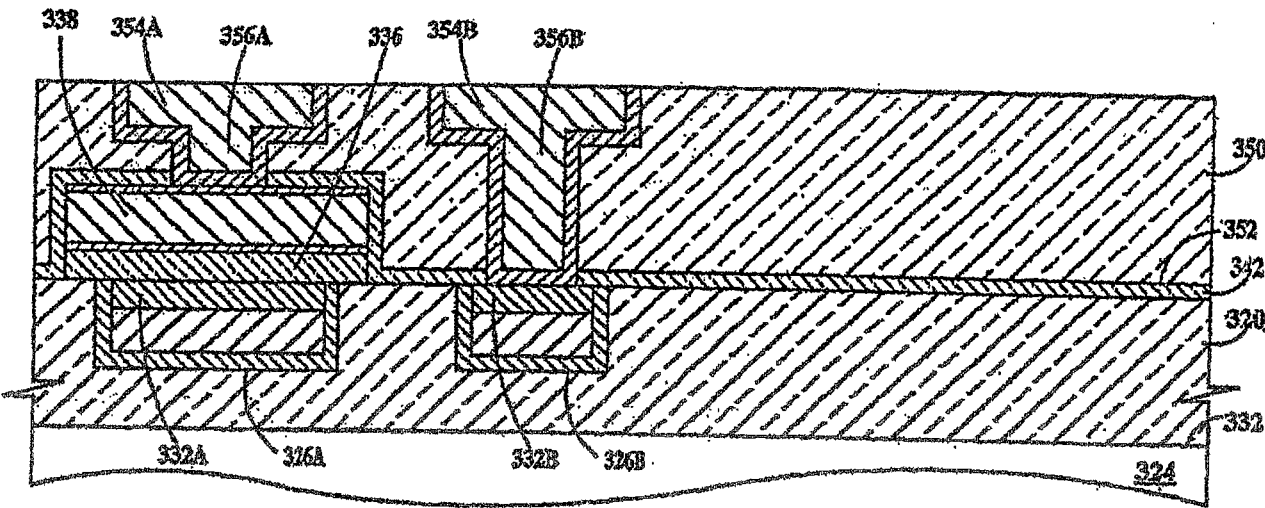


图 4E

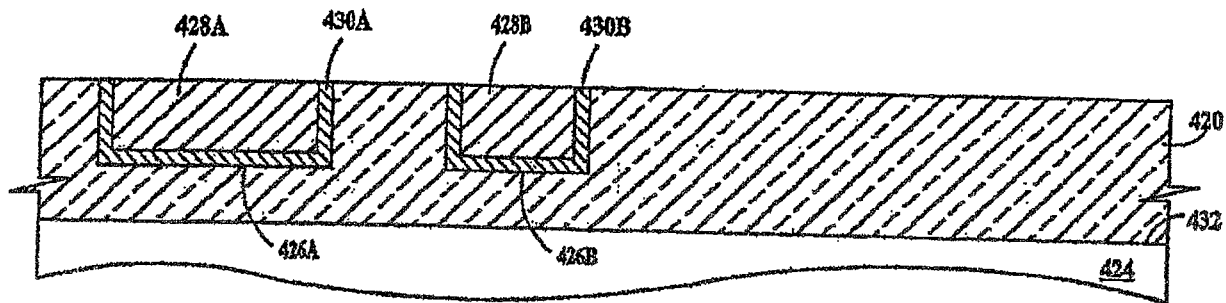


图 5A

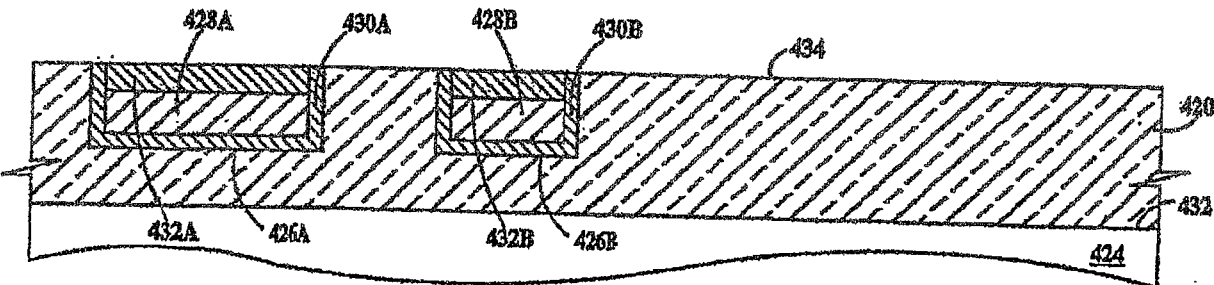


图 5B

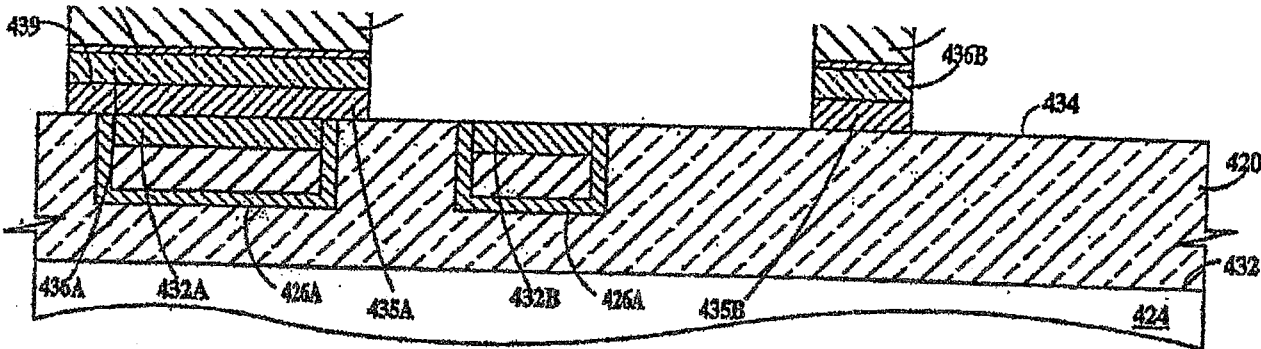


图 5C

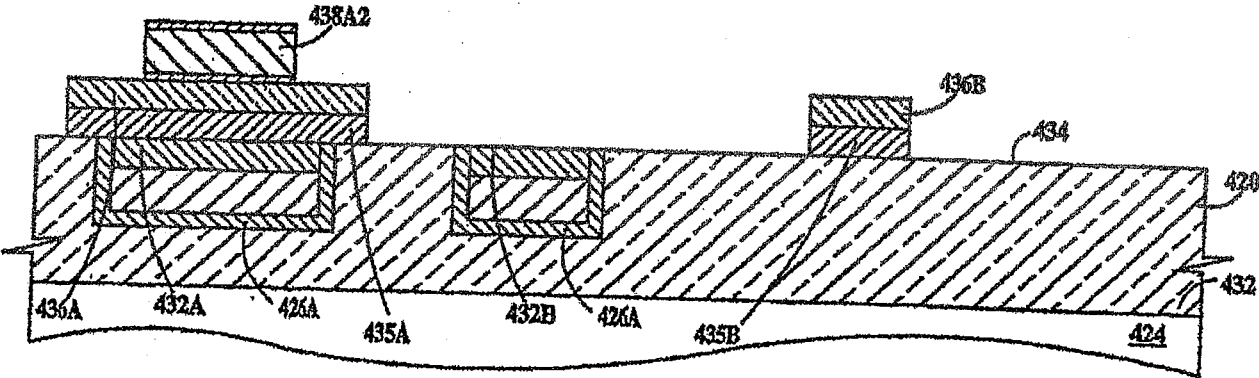


图 5D

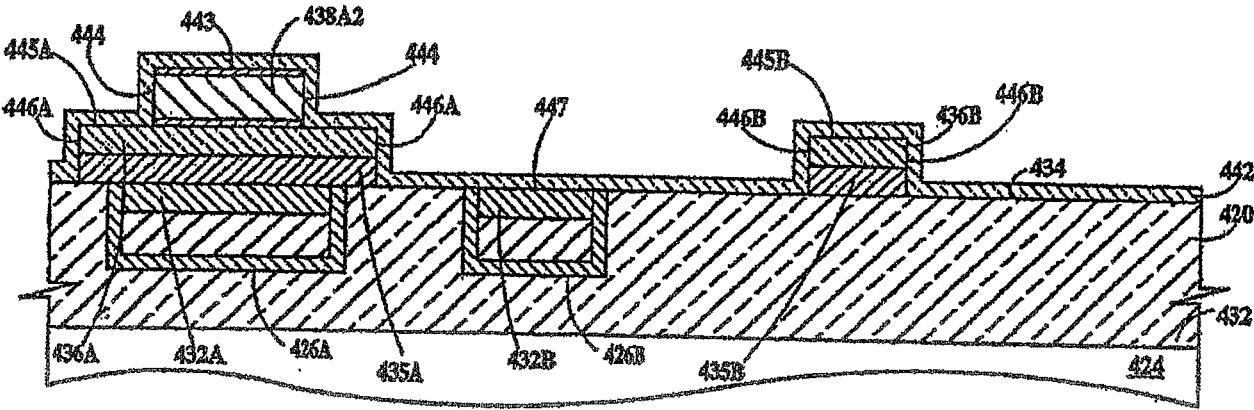


图 5E

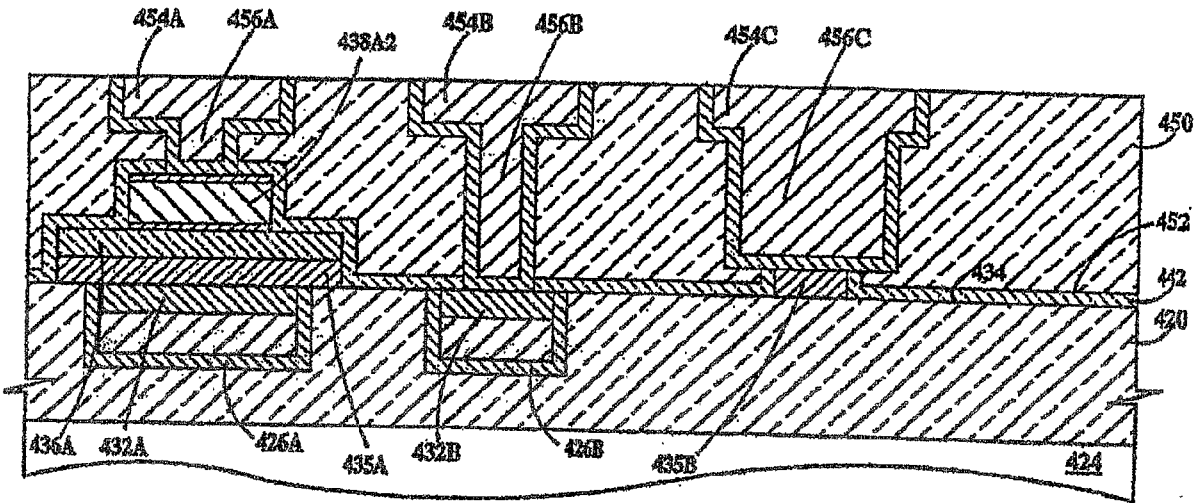


图 5F

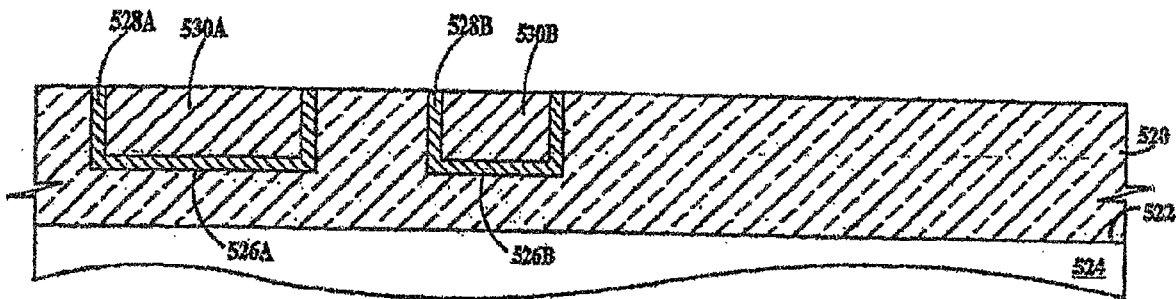


图 6A

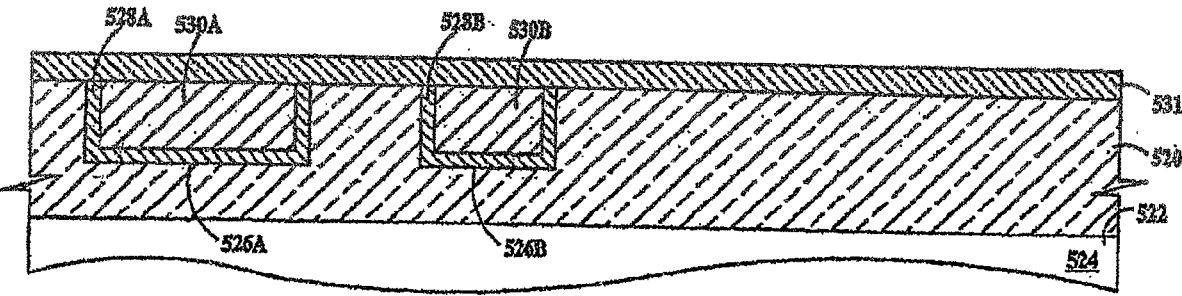


图 6B

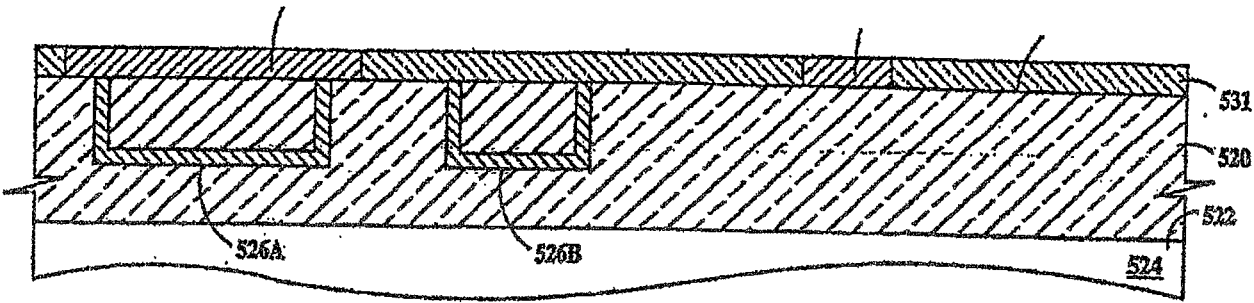


图 6C

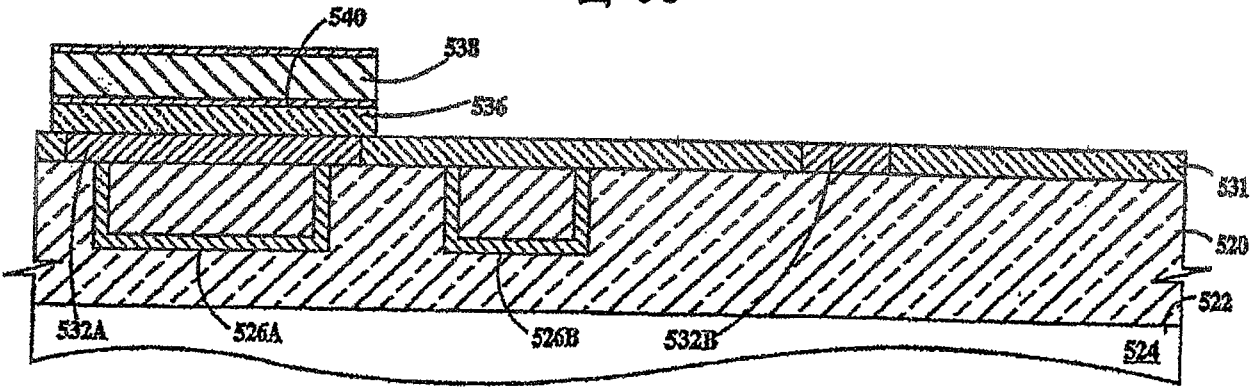


图 6D

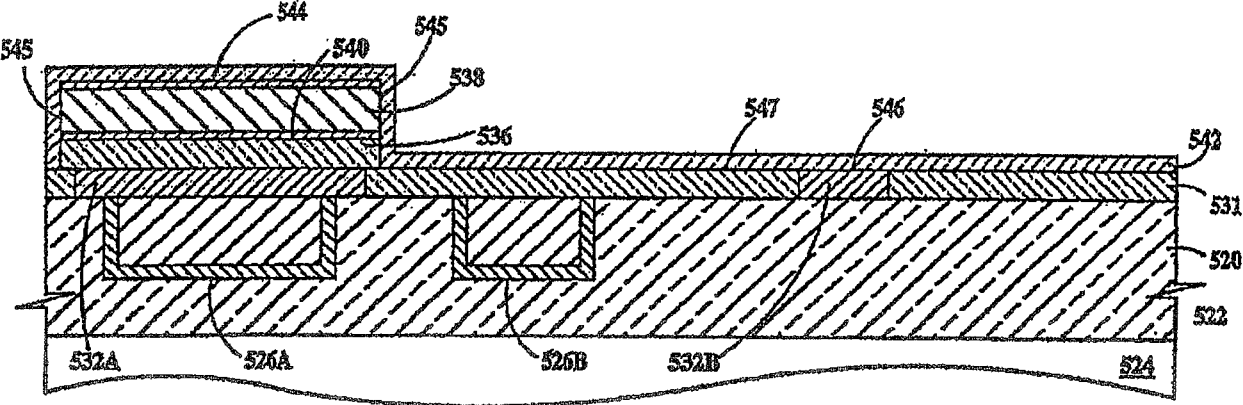


图 6E

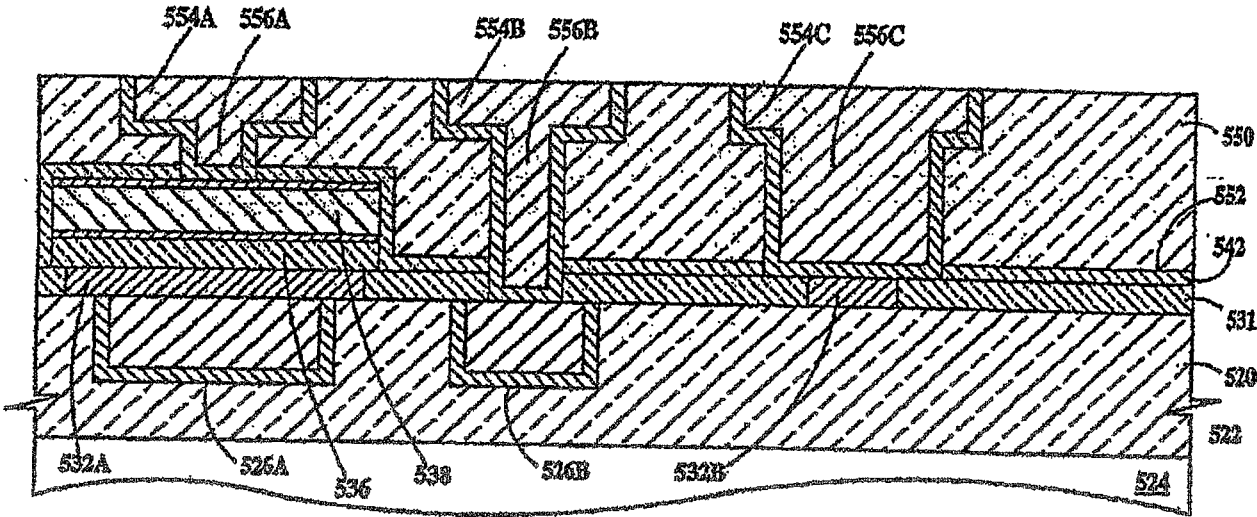


图 6F

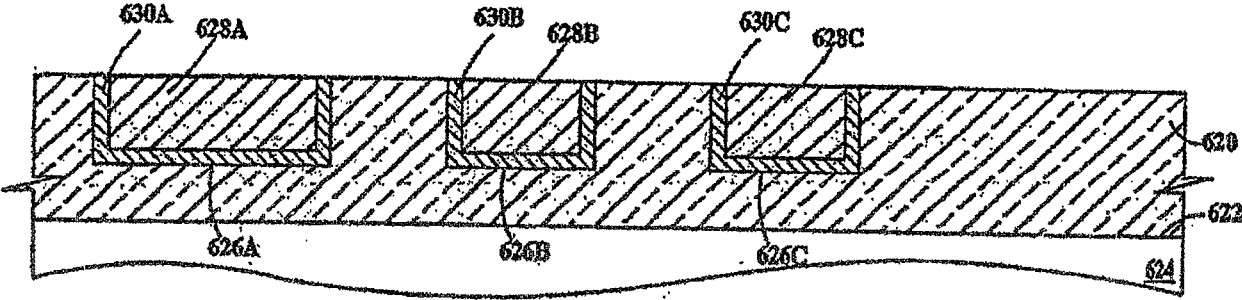


图 7A

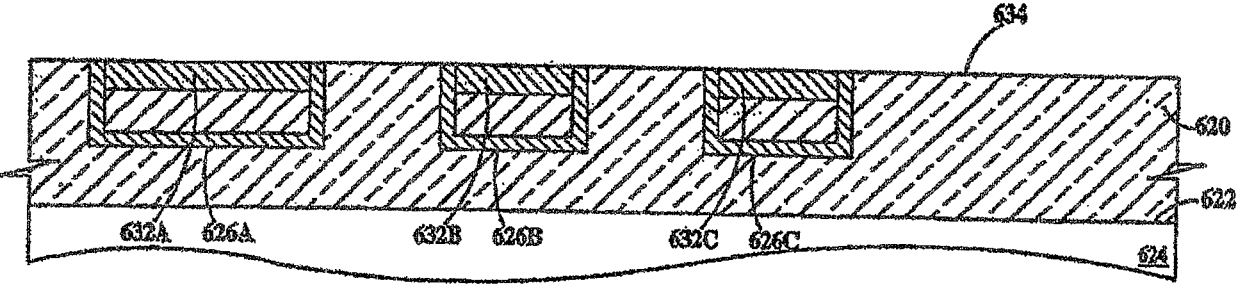


图 7B

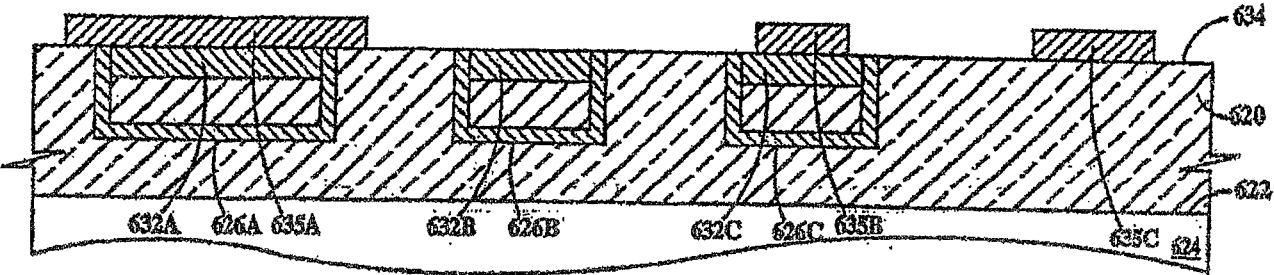


图 7C

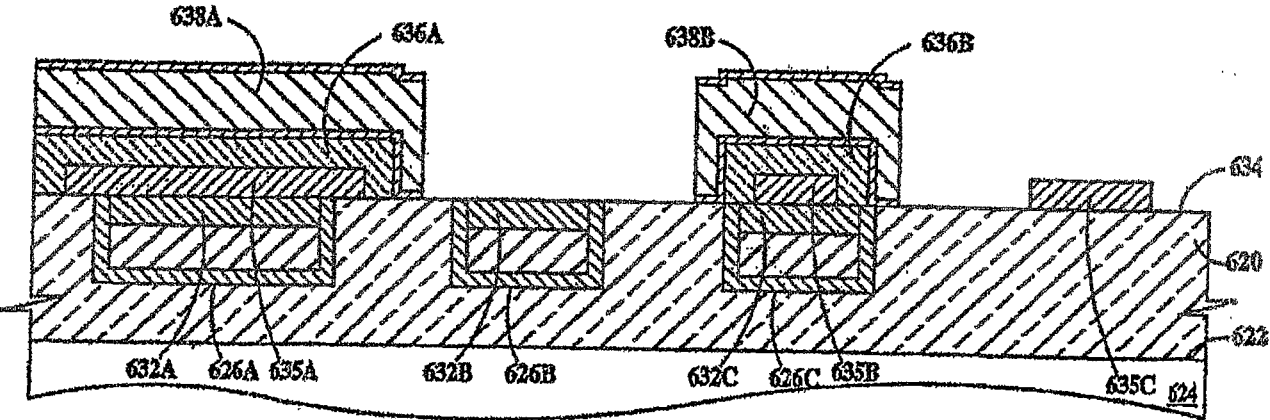


图 7D

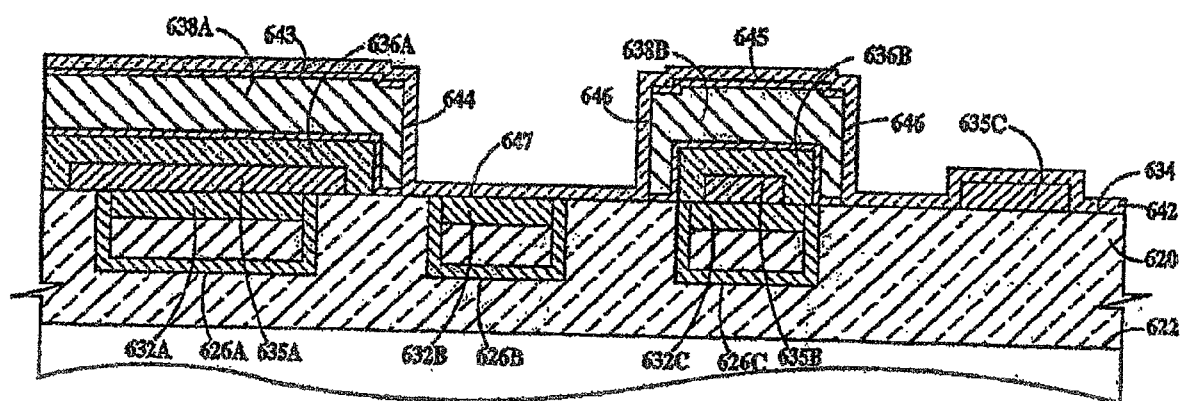


图 7E

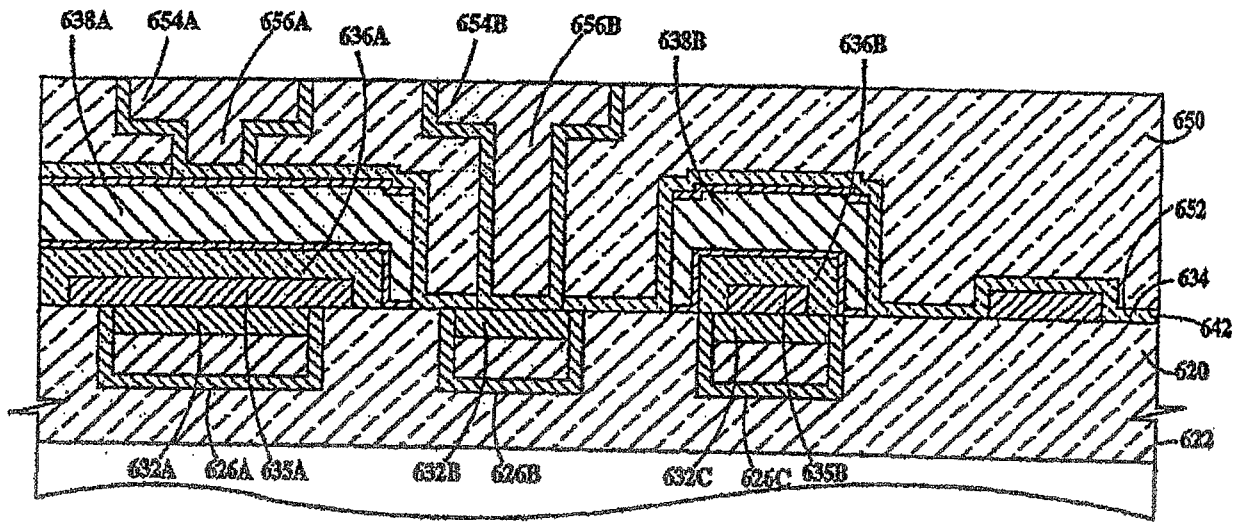


图 7F