

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2023 年 2 月 16 日 (16.02.2023)



(10) 国际公布号
WO 2023/016282 A1

- (51) 国际专利分类号:
H01L 27/112 (2006.01)
- (21) 国际申请号: PCT/CN2022/108981
- (22) 国际申请日: 2022 年 7 月 29 日 (29.07.2022)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
202110908421.4 2021年8月9日 (09.08.2021) CN
- (71) 申请人: 无锡华润上华科技有限公司 (CSMC TECHNOLOGIES FAB2 CO., LTD.) [CN/CN]; 中国江苏省无锡市新区新洲路 8 号, Jiangsu 214028 (CN)。
- (72) 发明人: 王浩 (WANG, Hao); 中国江苏省无锡市新区新洲路 8 号, Jiangsu 214028 (CN)。 张

楠 (ZHANG, Nan); 中国江苏省无锡市新区新洲路 8 号, Jiangsu 214028 (CN)。 刘小红 (LIU, Xiaohong); 中国江苏省无锡市新区新洲路 8 号, Jiangsu 214028 (CN)。 黄勇 (HUANG, Yong); 中国江苏省无锡市新区新洲路 8 号, Jiangsu 214028 (CN)。 郭术明 (GUO, Shuming); 中国江苏省无锡市新区新洲路 8 号, Jiangsu 214028 (CN)。 李侠 (LI, Xia); 中国江苏省无锡市新区新洲路 8 号, Jiangsu 214028 (CN)。 龚才 (GONG, Cai); 中国江苏省无锡市新区新洲路 8 号, Jiangsu 214028 (CN)。

(74) 代理人: 上海光华专利事务所 (普通合伙) (J.Z.M.C. PATENT AND TRADEMARK LAW OFFICE (GENERAL PARTNERSHIP)); 中国上海市杨浦区国定路 335 号 5022 室余明伟, Shanghai 200433 (CN)。

(54) Title: POLYCRYSTALLINE FUSE TYPE NON-VOLATILE MEMORY AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 一种多晶熔丝型非易失性存储器及其制作方法

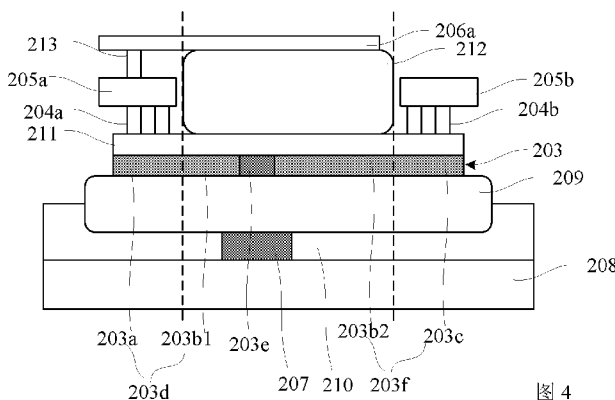


图 4

(57) Abstract: The present invention provides a polycrystalline fuse type non-volatile memory and a manufacturing method therefor. The memory comprises a plurality of memory cells; the memory cells comprise polysilicon fuses; the polysilicon fuse comprises first, second, and third fuse segments connected in sequence; the first and third fuse segments are made of doped polysilicon; the second fuse segment is made of a material comprising intrinsic polysilicon. The present invention employs ion implantation to produce a sandwich polycrystalline region, that is, a structure of low-resistance polycrystalline region+intrinsic polycrystalline pinch point+low-resistance polycrystalline region, during a polycrystalline doping process. The structure enables effective control of the programming position of the memory cells, and causes the fusing position to be deterministic and controllable, thereby effectively improving the resistance value distribution of the memory cells after programming. The structure can also effectively improve the data stability of the memory cells before and after programming, and prevent data loss caused by reconnection after disconnection. In addition, an upper region of the structure uses an electrically conductive cover layer to shield a data storage part of each memory cell, thereby improving data security.

(57) 摘要: 本发明提供一种多晶熔丝型非易失性存储器及其制作方法, 该存储器包括多个存储器单元, 存

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

一 包括国际检索报告(条约第21条(3))。

存储器单元包括多晶硅熔丝, 多晶硅熔丝包括依次相连的第一、第二及第三熔丝段, 第一及第三熔丝段的材质均包括掺杂多晶硅, 第二熔丝段的材质包括本征多晶硅。本发明利用离子注入在多晶的掺杂过程中产生了一个三明治的多晶区域, 即低阻多晶区+本征多晶狭点+低阻多晶区的结构, 此结构可有效控制存储器单元的编程位置, 熔断位置具有确定性, 位置可控, 可有效改善存储器单元编程后的阻值分布。此结构还可有效改善存储器单元编程前后的数据稳定性, 避免因断而复连导致的数据丢失现象。此外, 此结构上层区域利用导电覆盖层遮挡存储单元的数据存储部分, 可提高数据保密性。

一种多晶熔丝型非易失性存储器及其制作方法

相关申请的交叉引用

本申请要求于 2021 年 8 月 9 日提交中国专利局、申请号为 202110908421.4、发明名称为“一种多晶熔丝型非易失性存储器及其制作方法”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本发明属于半导体集成电路技术领域，涉及一种多晶熔丝型非易失性存储器及其制作方法。

背景技术

利用多晶熔丝修调芯片电参数，是一种常见的降低工艺波动对电路性能参数影响的方法。随着工艺特征尺寸的缩小，多晶熔丝变得更加容易修调，多晶熔丝型非易失性存储器单元修调技术逐渐发展成为一种可以进行封装后修调的技术，其更易于集成，无需特殊器件，无需增加层次，和逻辑工艺完全兼容，在深亚微米制程中得到了极为广泛的应用。在公式 $MTTF = AJ^n e^{-E_a/kT}$ 中，MTTF 是平均熔断时间，A 是一个常数，J 是电流密度，T 是温度， E_a 是约 0.9 eV 的活化能量，k 是玻尔兹曼常量，n 是一个在 1 到 2 之间的模型参数。不难看出，MTTF 时间主要和 J 电流密度有关，而电流密度又受多晶熔丝的横截面积以及电流大小影响，与电流大小成正比，与横截面积成反比。

如图 1 所示，为多晶熔丝型非易失性存储器单元的常见结构，其中，fuse 代表多晶熔丝、M1 代表第一选择管，M2 代表第二选择管，WWL 代表写字线端、RWL 代表读字线端、BL 代表位线端及 PL 代表电源线端。该结构分为两种工作模式：读模式、写模式。具体操作方式见表 1，其中，Program mode 代表编程模式，Read mode 代表读模式，VDD 代表工作电压，Floating 代表悬空，VPP 代表编程/擦除电压，sense amp 代表比较放大器。其中，在编程模式中第一选择管 M1 会导通，第二选择 M2 会关断，在读模式中，第一选择管 M1 会关断，第二选择 M2 会导通。其中，核心的编程功能单元由第一选择管 M1 和多晶熔丝 fuse 组成，当第一选择管 M1 开启时，编程电流会从多晶熔丝 fuse 和第一选择管 M1 上流过，一个恰到好处的电流会对多晶熔丝 fuse 造成不可恢复的损伤，将多晶熔丝 fuse 的多晶结构彻底破坏，使之从一个较小的电阻（约几十欧姆）变化成为较大的电阻（几十 K 欧姆）

以上), 一千倍的电阻变化, 可以使用检测电路将其检测出来。

	WWL	RWL	BL	PL
Program mode	VDD	0	Floating	VPP
Read mode	0	VDD	sense amp	0

表 1

如图 2 所示, 为多晶型非易失性存储器单元的一种版图, 包括离子注入区 101、金属引出区 102、多晶区 103, 接触区域 104。实际研究发现, 传统的熔丝单元当修调后的烧毁点发生在接近熔丝两端 (第一端 105 和第二端 106) 时, 由于熔断的化学特性, 会往外呈现扩散性, 使得修调后的电阻有一定几率会在开路后又连接在一起, 导致电阻由大变小, 阻值变成几百欧姆或几 K 欧姆, 从而导致修调后的数据不可控。

另外, 对已有的多晶熔丝型非易失性存储器单元的工作原理研究发现, 熔丝器件的熔断位置, 有的接近熔丝的端头, 有的接近熔丝的中间位置, 具有熔断位置的随机性, 这样对最终的修调结果带来一定的不确定性: 有时候会有几十 K 欧姆, 有时候会有几百 K 欧姆, 有时候会有几 M 欧姆不等, 这样的分布会带来位单元 (bitcell) 的电流 “0” 和 “1” 窗口区间变小, 会增加设计的难度, 以及影响存储数据的稳定性。另外, 现有的多晶熔丝型非易失性存储器单元, 烧断的痕迹比较明显, 不利于数据保护。

发明内容

鉴于以上所述现有技术的缺点, 本发明的目的在于提供一种多晶熔丝型非易失性存储器及其制作方法, 用于解决现有技术中熔断位置存在不确定性导致结果不可控, 熔断后的阻值分布存在不确定性导致结果离散性较大; 熔断痕迹明显, 且无遮挡层, 不利于数据的保密等问题。

为实现上述目的及其他相关目的, 本发明提供一种多晶熔丝型非易失性存储器, 其包括多个存储器单元, 所述存储器单元包括多晶硅熔丝, 所述多晶硅熔丝包括依次相连的第一熔丝段、第二熔丝段及第三熔丝段, 所述第一熔丝段及所述三熔丝段的材质均包括掺杂多晶硅, 所述第二熔丝段的材质包括本征多晶硅。

可选地, 所述第二熔丝段的长度小于所述第一熔丝段的长度, 所述第二熔丝段的长度小于所述第三熔丝段的长度。

可选地, 所述第二熔丝段位于所述多晶硅熔丝的二分之一处或黄金分割点处。

可选地, 所述存储器单元还包括位于所述多晶硅熔丝上方的导电覆盖层, 所述导电覆盖层在所述多晶硅熔丝所在平面的垂直投影遮挡所述第二熔丝段; 所述导电覆盖层的材质

包括导电金属或多晶硅。

可选地，所述存储器单元还包括第一导电材料层及绝缘介质层，所述第一导电材料层位于所述多晶硅熔丝的上表面，所述绝缘介质层位于的第一导电材料层的上表面，所述导电覆盖层位于所述绝缘介质层的上表面。

可选地，所述存储器单元还包括连接于所述多晶硅熔丝两端的掺杂多晶硅连接部及与所述掺杂多晶硅连接部电连接的第二导电材料层。

可选地，所述存储器单元还包括衬底及位于所述衬底上的隔离介质层，所述多晶硅熔丝位于所述隔离介质层上。

可选地，所述衬底中设有第一阱区及第二阱区，所述第一阱区位于所述第二阱区中，所述多晶硅熔丝的所述第二熔丝段在所述衬底上的垂直投影位于所述第一阱区内，所述第一阱区的掺杂类型与所述衬底的掺杂类型相反，所述第二阱区的掺杂类型与所述衬底的掺杂类型相同。

本发明还提供一种多晶熔丝型非易失性存储器的制作方法，包括以下步骤：

形成本征多晶硅层；

对所述本征多晶硅层的预设区域进行离子注入，以得到多晶硅熔丝，所述多晶硅熔丝包括依次相连的第一熔丝段、第二熔丝段及第三熔丝段，所述第一熔丝段及所述三熔丝段的材质均包括掺杂多晶硅，所述第二熔丝段的材质包括本征多晶硅。

可选地，所述对所述本征多晶硅层的预设区域进行离子注入包括：利用至少带有第一离子注入区的开口图形和第二离子注入区的开口图形的掩膜版进行所述离子注入，所述第一离子注入区开口露出所述第一熔丝段，所述第二离子注入区开口露出所述第三熔丝段，所述第二熔丝段被所述掩膜版覆盖。

可选地，还包括以下步骤：形成第一导电材料层于所述本征多晶硅层的上表面，形成绝缘介质层于所述第一导电材料层的上表面，形成导电覆盖层于所述绝缘介质层的上表面。

可选地，还包括以下步骤：提供一衬底，形成隔离介质层于所述衬底上，所述本征多晶硅层形成于所述隔离介质层上。

可选地，还包括以下步骤：形成第一阱区及第二阱区于所述衬底中，所述第一阱区位于所述第二阱区中，所述多晶硅熔丝的所述第二熔丝段在所述衬底上的垂直投影位于所述第一阱区内，所述第一阱区的掺杂类型与所述衬底的掺杂类型相反，所述第二阱区的掺杂类型与所述衬底的掺杂类型相同。

如上所述，本发明的多晶熔丝型非易失性存储器及其制作方法利用离子注入在多晶的掺杂过程中产生了一个三明治的多晶区域，即低阻多晶区+本征多晶狭点+低阻多晶区的结

构，此种结构可以有效地控制存储器单元的编程位置，使熔断点不会发生在两端，并且只发生在多晶狭点位置附近，即熔断位置具有确定性，位置可控，从而可以有效改善存储器单元编程后的阻值分布，使编程后单元阻值分布的离散性较低，提高设计的鲁棒性，并提高单元“0”和“1”状态的窗口区间设计宽度。同时，此结构还可以有效改善存储器单元编程前后的数据稳定性，不会存在因断而复连导致的数据丢失现象。此外，此结构的上层区域巧妙利用了金属层或多晶层来遮挡存储单元的数据存储部分，有效提高了存储单元的数据保密性。

附图说明

图 1 显示为现有技术中一种多晶熔丝型非易失性存储器单元结构。

图 2 显示为现有技术中多晶型非易失性存储器单元的一种版图。

图 3 显示为本发明的多晶熔丝型非易失性存储器的存储单元的一种版图。

图 4 显示为本发明的多晶熔丝型非易失性存储器的存储单元的一种立体结构剖面图。

图 5 显示为本发明的多晶熔丝型非易失性存储器的存储单元的另一种立体结构剖面图。

元件标号说明

201	第一离子注入区
202	第二离子注入区
203	多晶硅层
203a	第一掺杂多晶硅连接部
203b	多晶硅熔丝
203b1	第一熔丝断
203b2	第三熔丝断
203c	第二掺杂多晶硅连接部
203d	第一掺杂多晶区
203e	非掺杂多晶区
203f	第二掺杂多晶区
204a	第一接触部
204b	第二接触部
205a、205b	第二导电材料层
206、206a、206b	导电覆盖层

207	第一阱区
208	衬底
209	隔离介质层
210	第二阱区
211	第一导电材料层
212	绝缘介质层
213	第三接触部

具体实施方式

以下通过特定的具体实例说明本发明的实施方式，本领域技术人员可由本说明书所揭露的内容轻易地了解本发明的其他优点与功效。本发明还可以通过另外不同的具体实施方式加以实施或应用，本说明书中的各项细节也可以基于不同观点与应用，在没有背离本发明的精神下进行各种修饰或改变。

需要说明的是，本实施例中所提供的图示（请参阅图 1 至图 5）仅以示意方式说明本发明的基本构想，遂图式中仅显示与本发明中有关的组件而非按照实际实施时的组件数目、形状及尺寸绘制，其实际实施时各组件的型态、数量及比例可为一种随意的改变，且其组件布局型态也可能更为复杂。

实施例一

本实施例中提供一种多晶熔丝型非易失性存储器，包括多个存储器单元，所述存储器单元包括多晶硅熔丝，所述多晶硅熔丝包括依次相连的第一熔丝段、第二熔丝段及第三熔丝段，所述第一熔丝段及所述第三熔丝段的材质均包括掺杂多晶硅，所述第二熔丝段的材质包括本征多晶硅。

作为示例，所述多晶硅熔丝的所述第二熔丝段的一端连接所述第一熔丝段，所述第二熔丝段的另一端连接所述第三熔丝段。

具体地，由于所述第一熔丝段及所述第三熔丝段进行了掺杂，电阻较低，而所述第二熔丝段采用未掺杂的本征多晶硅，电阻较高，当对所述多晶硅熔丝进行熔断操作时，发热将集中在电阻较高的第二熔丝段，从而可以有效地控制存储器单元的编程位置，使熔断点不会发生在所述多晶硅熔丝的两端，并且只发生在第二熔丝段的位置附近，即熔断位置具有确定性，位置可控，从而可以有效改善存储器单元编程后的阻值分布，使编程后单元阻值分布的离散性较低，提高设计的鲁棒性，并提高单元“0”和“1”状态的窗口区间设计

宽度。

作为示例，所述第二熔丝段的长度小于所述第一熔丝段的长度，所述第二熔丝段的长度小于所述第三熔丝段的长度，相对较短的第二熔丝段长度使得第二熔丝段作为一个多晶硅狭点，此处多晶区域具有更低的电导率，也更容易发生熔断和电迁移，通过形成特定区域，可以将熔断点有效地控制在此狭点上，从而有效地提高了修调结果的稳定性和可靠性。

作为示例，所述第二熔丝段可位于所述多晶硅熔丝的二分之一处、黄金分割点（0.618 比例点或者 0.382 比例点）处或其它合适的位置，使所述第二熔丝段两侧都有足够的化学反应扩散区，可以避免前述提到的熔丝器件断而复连的现象，从而有效改善存储器单元编程前后的数据稳定性，防止因断而复连导致的数据丢失现象。

作为示例，请参阅图 3，显示为多晶熔丝型非易失性存储器的存储单元的一种版图，包括间隔设置的第一离子注入区 201 与第二离子注入区 202，并包括多晶硅层 203（图 3 中未示出，请参见图 4）、接触层及第二导电材料层（205a，205b），其中，所述第一离子注入区 201 与第二离子注入区 202 之间形成狭缝；所述多晶硅层 203 包括依次相连的第一掺杂多晶硅连接部 203a、多晶硅熔丝 203b 及第二掺杂多晶硅连接部 203c，所述第一掺杂多晶硅连接部 203a 位于所述第一离子注入区 201，所述第二掺杂多晶硅连接部 203c 位于所述第二离子注入区 202，所述多晶硅熔丝 203b 包括依次相连的第一熔丝段 203b1、第二熔丝段及第三熔丝段 203b2，所述第一熔丝段 203b1 位于所述第一离子注入区 201，所述第二熔丝段位于所述第一离子注入区 201 与所述第二离子注入区 202 之间的狭缝处，所述第三熔丝段 203b2 位于所述第二离子注入区 202；所述接触层包括位于所述第一掺杂多晶硅连接部 203a 上的至少一个第一接触部 204a 及位于所述第二掺杂多晶硅连接部 203c 上的至少一个第二接触部 204b；所述第二导电材料层（205a，205b）包括位于所述第一接触部 204a 上的第二导电材料层 205a 及位于所述第二接触部 204b 上的第二导电材料层 205b。

作为示例，如图 3 所示，所述第二掺杂多晶硅连接部 203c 具有一宽度渐变段，所述宽度渐变段与所述多晶硅熔丝 203b 连接，并在远离所述多晶硅熔丝 203b 的方向上宽度逐渐增加。

作为示例，所述存储单元还包括位于多晶硅层 203 上表面的第一导电材料层 211（图 3 中未图示，图 4 有图示），以降低多晶硅层 203 的接触电阻，所述第一导电材料层 211 的材质可包括金属硅化物、多晶硅或其它合适的导电材料。本实施例中，所述第一导电材料层 211 优选采用金属硅化物，在形成所述金属硅化物的过程中，所述多晶硅层 203 露出的硅表面均形成金属硅化物，即所述金属硅化物完全覆盖所述多晶硅层。

作为示例，如图 3 所示，所述存储单元还包括位于所述多晶硅熔丝 203b 上方的导电

覆盖层 206, 所述导电覆盖层 206 在所述多晶硅熔丝 203b 所在平面的垂直投影至少遮挡所述第二熔丝段。本实施例中, 所述导电覆盖层 206 在所述多晶硅熔丝 203b 所在平面的垂直投影遮挡整条所述多晶硅熔丝 203b, 并遮挡所述第二掺杂多晶硅连接部 203c 的宽度渐变段。所述导电覆盖层 206 的材质包括导电金属或多晶硅, 可有效遮挡住存储单元的数据存储部分, 有效提高存储单元的数据保密性。

作为示例, 如图 3 所示, 所述存储单元还包括第一阱区 207, 所述多晶硅熔丝 203b 的所述第二熔丝段的垂直投影位于所述第一阱区 207 内。

作为示例, 请参阅图 4 及图 5, 均显示为所述存储单元的立体结构剖面图, 相对于版图的说明, 立体结构剖面图更清晰的展示了本发明方案的实际情况, 其中图 4 中, 导电覆盖层 206a 的材质采用导电金属, 图 5 中, 导电覆盖层 206b 的材质采用多晶硅。

具体地, 如图 4 及图 5 所示, 所述存储器单元还包括衬底 208 及隔离介质层 209, 所述多晶硅层 203 位于所述隔离介质层 209 上, 且所述多晶硅层 203 包括第一掺杂多晶区 203d、非掺杂多晶区 203e 及第二掺杂多晶区 203f, 其中, 所述第一掺杂多晶区 203d 包括所述第一掺杂多晶硅连接部 203a 及所述多晶硅熔丝 203b 的所述第一熔丝段 203b1, 所述非掺杂多晶区 203e 作为所述多晶硅熔丝 203b 的所述第二熔丝段, 所述第二掺杂多晶区 203f 包括所述多晶硅熔丝 203b 的所述第三熔丝段 203b2 及所述第二掺杂多晶硅连接部 203c。

作为示例, 如图 4 及图 5 所示, 所述衬底 208 中设有第二阱区 210, 所述第一阱区 207 位于所述第二阱区 210 中, 且所述第一阱区 207 与所述第二阱区 210 的掺杂类型相反, 所述多晶硅熔丝 203b 的所述第二熔丝段在所述衬底 208 上的垂直投影位于所述第一阱区 207 内。所述第一阱区 207 的掺杂类型与所述衬底 208 的掺杂类型相反, 所述第二阱区 210 的掺杂类型与所述衬底 208 的掺杂类型相同。

作为示例, 如图 4 及图 5 所示, 所述存储器单元还包括第一导电材料层 211 及绝缘介质层 212, 所述第一导电材料层 211 位于所述多晶硅层 203 的上表面。所述绝缘介质层 212 至少完全覆盖所述第一导电层 211 的上表面, 所述第二导电材料层 205a 通过贯穿所述绝缘介质层 212 的所述第一接触部 204a 与所述第一导电层 211 电连接, 所述第二导电材料层 205b 通过贯穿所述绝缘介质层 212 的所述第二接触部 204b 与所述第一导电层 211 电连接。所述绝缘介质层 212 的上表面设有导电覆盖层 (206a, 206b)。

作为示例, 如图 4 所示, 采用导电金属材质的所述导电覆盖层 206a 延伸至所述第二导电材料层 205a 上方并通过贯穿所述绝缘介质层 212 的第三接触部 213 与所述第二导电材料层 205a 电连接; 如图 5 所示, 采用多晶硅材质的所述导电覆盖层 206b 在水平方向上位于所述第二导电材料层 205a 与所述第二导电材料层 205b 之间。

需要指出的是，版图及立体结构的各种细节设计可以根据需要进行调整，不以图 3、图 4 及图 5 所示为限。另外，图 4 及图 5 中所述绝缘介质层 212 未图示完整，实际上，接触部之间、不同导电层之间均设有绝缘介质。

本实施例的多晶熔丝型非易失性存储器中，多晶硅熔丝包括依次相连的第一熔丝段、第二熔丝段及第三熔丝段，所述第一熔丝段及所述第三熔丝段的材质均包括掺杂多晶硅，所述第二熔丝段的材质包括本征多晶硅，其中，所述第二熔丝段构成本征多晶狭点，能够将熔断点控制在此狭点上，有效地提高了修调结果的稳定性和可靠性。同时，此结构还可以有效改善存储器单元编程前后的数据稳定性，不会存在因断而复连导致的数据丢失现象。此外，此结构的上层区域巧妙利用了导电金属材质或多晶硅材质的导电覆盖层来遮挡存储单元的数据存储部分，有效提高了存储单元的数据保密性。

实施例二

本实施例中提供一种多晶熔丝型非易失性存储器的制作方法，包括以下步骤：

S1：形成本征多晶硅层；

S2：对所述本征多晶硅层的预设区域进行离子注入，以得到多晶硅熔丝，所述多晶硅熔丝包括依次相连的第一熔丝段、第二熔丝段及第三熔丝段，所述第一熔丝段及所述第三熔丝段的材质均包括掺杂多晶硅，所述第二熔丝段的材质包括本征多晶硅。

作为示例，在所述步骤 S2 中，利用至少带有第一离子注入区的开口图形和第二离子注入区的开口图形的掩膜版进行所述离子注入，所述第一离子注入区开口露出所述第一熔丝段，所述第二离子注入区开口露出所述第三熔丝段，所述第二熔丝段被所述掩膜版覆盖。

作为示例，所述第二熔丝段的长度小于所述第一熔丝段的长度，所述第二熔丝段的长度小于所述第三熔丝段的长度。

作为示例，所述第二熔丝段位于所述多晶硅熔丝的二分之一处、黄金分割点处或其它合适的位置以使所述第二熔丝段两侧都有足够的化学反应扩散区，以避免断而复连的现象，从而有效改善存储器单元编程前后的数据稳定性，防止因断而复连导致的数据丢失现象。

作为示例，还包括形成导电覆盖层于所述多晶硅熔丝上方的步骤，所述导电覆盖层在所述多晶硅熔丝所在平面的垂直投影遮挡所述第二熔丝段。所述导电覆盖层的材质包括导电金属或多晶硅，可有效遮挡住存储单元的数据存储部分，有效提高存储单元的数据保密性。

作为示例，还包括以下步骤：形成第一导电材料层于所述本征多晶硅层的上表面，形成绝缘介质层于所述第一导电材料层的上表面，其中，所述导电覆盖层形成于所述绝缘介

质层的上表面。第一导电材料层可以降低多晶硅与接触部之间的接触电阻。

作为示例，在对所述本征多晶硅层的预设区域进行离子注入时，还得到连接于所述多晶硅熔丝两端的掺杂多晶硅连接部，以通过所述掺杂多晶硅连接部在所述多晶硅熔丝两端施加电信号。

作为示例，还包括形成与所述掺杂多晶硅连接部电连接的第二导电材料层。

作为示例，还包括以下步骤：提供一衬底，形成隔离介质层于所述衬底上，所述本征多晶硅层形成于所述隔离介质层上。

作为示例，还包括以下步骤：形成第一阱区及第二阱区于所述衬底中，所述第一阱区位于所述第二阱区中，所述多晶硅熔丝的所述第二熔丝段在所述衬底上的垂直投影位于所述第一阱区内，所述第一阱区的掺杂类型与所述衬底的掺杂类型相反，所述第二阱区的掺杂类型与所述衬底的掺杂类型相同。

综上所述，本发明的多晶熔丝型非易失性存储器及其制作方法利用离子注入在多晶的掺杂过程中产生了一个三明治的多晶区域，即低阻多晶区+本征多晶狭点+低阻多晶区的结构，此种结构可以有效地控制存储器单元的编程位置，使熔断点不会发生在两端，并且只发生在多晶狭点位置附近，即熔断位置具有确定性，位置可控，从而可以有效地改善存储器单元编程后的阻值分布，使编程后单元阻值分布的离散性较低，提高设计的鲁棒性，并提高单元“0”和“1”状态的窗口区间设计宽度。同时，此结构还可以有效改善存储器单元编程前后的数据稳定性，不会存在因断而复连导致的数据丢失现象。此外，此结构的上层区域巧妙利用了金属层或多晶层来遮挡存储单元的数据存储部分，有效提高了存储单元的数据保密性。所以，本发明有效克服了现有技术中的种种缺点而具高度产业利用价值。

上述实施例仅例示性说明本发明的原理及其功效，而非用于限制本发明。任何熟悉此技术的人士皆可在不违背本发明的精神及范畴下，对上述实施例进行修饰或改变。因此，举凡所属技术领域中具有通常知识者在未脱离本发明所揭示的精神与技术思想下所完成的一切等效修饰或改变，仍应由本发明的权利要求所涵盖。

权 利 要 求 书

1. 一种多晶熔丝型非易失性存储器，其特征在于：包括多个存储器单元，所述存储器单元包括多晶硅熔丝，所述多晶硅熔丝包括依次相连的第一熔丝段、第二熔丝段及第三熔丝段，所述第一熔丝段及所述三熔丝段的材质均包括掺杂多晶硅，所述第二熔丝段的材质包括本征多晶硅。
2. 根据权利要求 1 所述的多晶熔丝型非易失性存储器，其特征在于：所述第二熔丝段的长度小于所述第一熔丝段的长度，所述第二熔丝段的长度小于所述第三熔丝段的长度。
3. 根据权利要求 1 所述的多晶熔丝型非易失性存储器，其特征在于：所述第二熔丝段位于所述多晶硅熔丝的二分之一处或黄金分割点处。
4. 根据权利要求 1 所述的多晶熔丝型非易失性存储器，其特征在于：所述存储器单元还包括位于所述多晶硅熔丝上方的导电覆盖层，所述导电覆盖层在所述多晶硅熔丝所在平面的垂直投影遮挡所述第二熔丝段；所述导电覆盖层的材质包括导电金属或多晶硅。
5. 根据权利要求 4 所述的多晶熔丝型非易失性存储器，其特征在于：所述存储器单元还包括第一导电材料层及绝缘介质层，所述第一导电材料层位于所述多晶硅熔丝的上表面，所述绝缘介质层位于的第一导电材料层的上表面，所述导电覆盖层位于所述绝缘介质层的上表面。
6. 根据权利要求 4 所述的多晶熔丝型非易失性存储器，其特征在于：所述存储器单元还包括连接于所述多晶硅熔丝两端的掺杂多晶硅连接部及与所述掺杂多晶硅连接部电连接的第二导电材料层。
7. 根据权利要求 6 所述的多晶熔丝型非易失性存储器，其特征在于：所述导电覆盖层在所述多晶硅熔丝所在平面的垂直投影遮挡整条所述多晶硅熔丝，并遮挡所述掺杂多晶硅连接部的宽度渐变段。
8. 根据权利要求 1 所述的多晶熔丝型非易失性存储器，其特征在于：所述存储器单元还包括衬底及位于所述衬底上的隔离介质层，所述多晶硅熔丝位于所述隔离介质层上。

9. 根据权利要求 8 所述的多晶熔丝型非易失性存储器，其特征在于：所述衬底中设有第一阱区及第二阱区，所述第一阱区位于所述第二阱区中，所述多晶硅熔丝的所述第二熔丝段在所述衬底上的垂直投影位于所述第一阱区内，所述第一阱区的掺杂类型与所述衬底的掺杂类型相反，所述第二阱区的掺杂类型与所述衬底的掺杂类型相同。

10. 一种多晶熔丝型非易失性存储器的制作方法，其特征在于，包括以下步骤：

形成本征多晶硅层；

对所述本征多晶硅层的预设区域进行离子注入，以得到多晶硅熔丝，所述多晶硅熔丝包括依次相连的第一熔丝段、第二熔丝段及第三熔丝段，所述第一熔丝段及所述第三熔丝段的材质均包括掺杂多晶硅，所述第二熔丝段的材质包括本征多晶硅。

11. 根据权利要求 10 所述的多晶熔丝型非易失性存储器的制作方法，其特征在于，所述对所述本征多晶硅层的预设区域进行离子注入包括：利用至少带有第一离子注入区的开口图形和第二离子注入区的开口图形的掩膜版进行所述离子注入，所述第一离子注入区开口露出所述第一熔丝段，所述第二离子注入区开口露出所述第三熔丝段，所述第二熔丝段被所述掩膜版覆盖。

12. 根据权利要求 10 所述的多晶熔丝型非易失性存储器的制作方法，其特征在于，还包括以下步骤：形成第一导电材料层于所述本征多晶硅层的上表面，形成绝缘介质层于所述第一导电材料层的上表面，形成导电覆盖层于所述绝缘介质层的上表面。

13. 根据权利要求 10 所述的多晶熔丝型非易失性存储器的制作方法，其特征在于，还包括以下步骤：提供一衬底，形成隔离介质层于所述衬底上，所述本征多晶硅层形成于所述隔离介质层上。

14. 根据权利要求 13 所述的多晶熔丝型非易失性存储器的制作方法，其特征在于，还包括以下步骤：形成第一阱区及第二阱区于所述衬底中，所述第一阱区位于所述第二阱区中，所述多晶硅熔丝的所述第二熔丝段在所述衬底上的垂直投影位于所述第一阱区内，所述第一阱区的掺杂类型与所述衬底的掺杂类型相反，所述第二阱区的掺杂类型与所述衬底的掺杂类型相同。

15. 根据权利要求 10 所述的多晶熔丝型非易失性存储器的制作方法，其特征在于，还包括以下步骤：在对所述本征多晶硅层的预设区域进行离子注入时，得到连接于所述多晶硅熔丝两端的掺杂多晶硅连接部；形成与所述掺杂多晶硅连接部电连接的第二导电材料层。

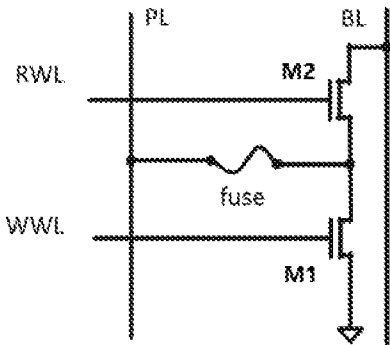


图 1

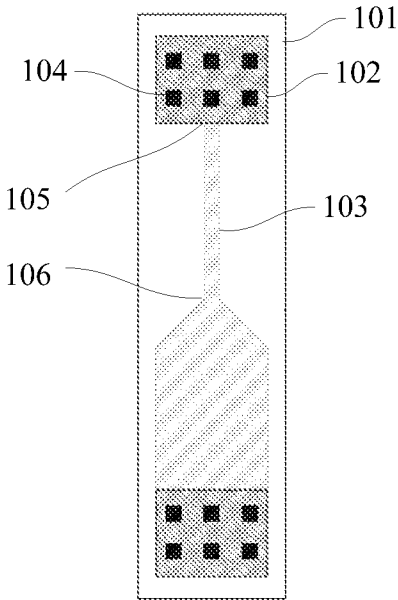


图 2

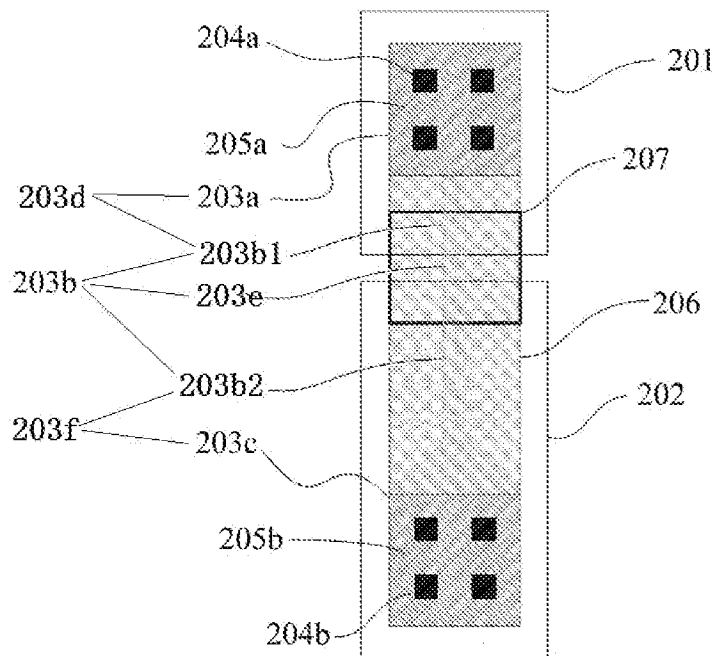


图 3

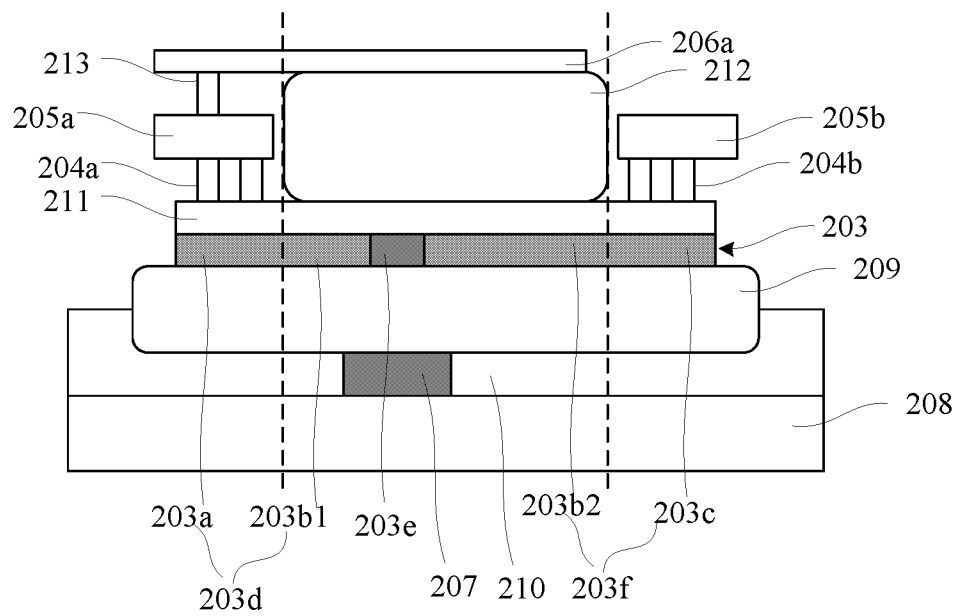


图 4

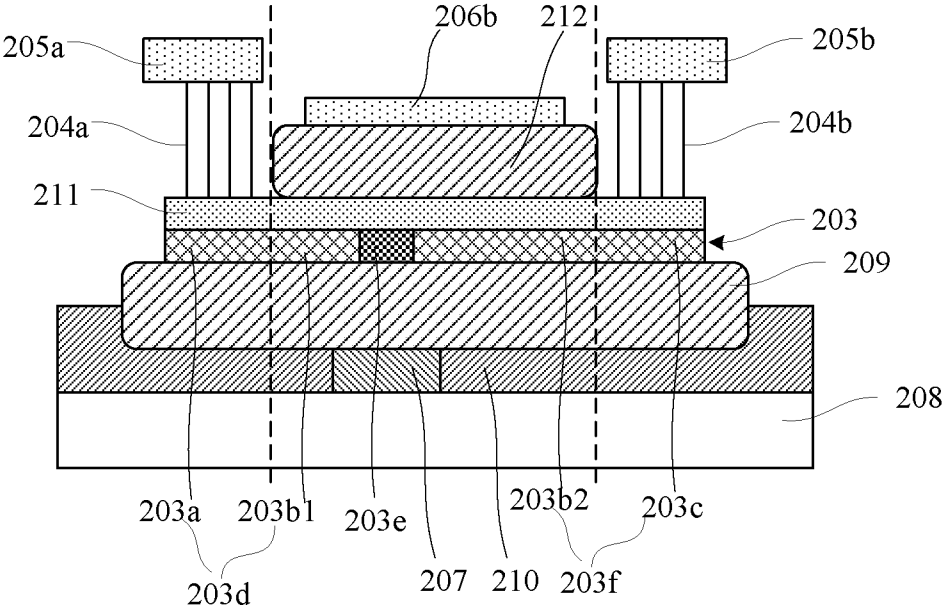


图 5

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/108981

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/112(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNTXT, ENTXT, ENTXTC, DWPI, CNKI: 非易失性存储器, 本征, 多晶硅, 掺杂, 熔丝, ROM, intrinsic, polysilicon, doping, dopant, fuse

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 6580156 B1 (BROADCOM CORP.) 17 June 2003 (2003-06-17) description, column 1, line 17-column 7, line 46, and figures 1A-8	1-5, 8-15
Y	US 6580156 B1 (BROADCOM CORP.) 17 June 2003 (2003-06-17) description, column 1, line 17-column 7, line 46, and figures 1A-8	6, 7
Y	US 2006065946 A1 (TEXAS INSTRUMENTS INC.) 30 March 2006 (2006-03-30) description, paragraphs 19-36, and figures 1-2F	6, 7
X	US 2007222027 A1 (YANG, J. H. et al.) 27 September 2007 (2007-09-27) description, paragraphs 11-13, and figures 1-4B	1-3, 8, 10-11, 13, 15
A	CN 105097772 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CORP.) 25 November 2015 (2015-11-25) entire document	1-15
A	CN 101681879 A (FREESCALE SEMICONDUCTOR INC.) 24 March 2010 (2010-03-24) entire document	1-15



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

08 September 2022

Date of mailing of the international search report

10 October 2022

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2022/108981

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	6580156	B1	17 June 2003	US	2003205777	A1	06 November 2003
				US	2004222491	A1	11 November 2004
				DE	60335320	D1	27 January 2011
				EP	1351254	A2	08 October 2003
				US	6770948	B2	03 August 2004
				US	7227238	B2	05 June 2007
				EP	1351254	A3	20 September 2006
				EP	1351254	B1	15 December 2010
US	2006065946	A1	30 March 2006	WO	2006039669	A2	13 April 2006
				WO	2006039669	A3	26 June 2008
US	2007222027	A1	27 September 2007	KR	20070096750	A	02 October 2007
				KR	100896912	B1	12 May 2009
CN	105097772	A	25 November 2015	None			
CN	101681879	A	24 March 2010	JP	2010527150	A	05 August 2010
				US	2008277756	A1	13 November 2008
				TW	200913147	A	16 March 2009
				WO	2008140904	A1	20 November 2008

国际检索报告

国际申请号

PCT/CN2022/108981

A. 主题的分类 H01L 27/112(2006.01) i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类																							
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) H01L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNTXT, ENTXT, ENTXTC, DWPI, CNKI:非易失性存储器, 本征, 多晶硅, 掺杂, 熔丝, ROM, intrinsic, polysilicon, doping, dopant, fuse																							
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>US 6580156 B1 (BROADCOM CORP) 2003年6月17日 (2003 - 06 - 17) 说明书第1栏第17行-第7栏第46行, 图1A-8</td> <td>1-5, 8-15</td> </tr> <tr> <td>Y</td> <td>US 6580156 B1 (BROADCOM CORP) 2003年6月17日 (2003 - 06 - 17) 说明书第1栏第17行-第7栏第46行, 图1A-8</td> <td>6, 7</td> </tr> <tr> <td>Y</td> <td>US 2006065946 A1 (TEXAS INSTRUMENTS INC) 2006年3月30日 (2006 - 03 - 30) 说明书第19-36段, 图1-2F</td> <td>6, 7</td> </tr> <tr> <td>X</td> <td>US 2007222027 A1 (YANG J 等) 2007年9月27日 (2007 - 09 - 27) 说明书第11-13段, 图1-4B</td> <td>1-3, 8, 10-11, 13, 15</td> </tr> <tr> <td>A</td> <td>CN 105097772 A (中芯国际集成电路制造上海有限公司) 2015年11月25日 (2015 - 11 - 25) 全文</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>CN 101681879 A (飞思卡尔半导体公司) 2010年3月24日 (2010 - 03 - 24) 全文</td> <td>1-15</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	US 6580156 B1 (BROADCOM CORP) 2003年6月17日 (2003 - 06 - 17) 说明书第1栏第17行-第7栏第46行, 图1A-8	1-5, 8-15	Y	US 6580156 B1 (BROADCOM CORP) 2003年6月17日 (2003 - 06 - 17) 说明书第1栏第17行-第7栏第46行, 图1A-8	6, 7	Y	US 2006065946 A1 (TEXAS INSTRUMENTS INC) 2006年3月30日 (2006 - 03 - 30) 说明书第19-36段, 图1-2F	6, 7	X	US 2007222027 A1 (YANG J 等) 2007年9月27日 (2007 - 09 - 27) 说明书第11-13段, 图1-4B	1-3, 8, 10-11, 13, 15	A	CN 105097772 A (中芯国际集成电路制造上海有限公司) 2015年11月25日 (2015 - 11 - 25) 全文	1-15	A	CN 101681879 A (飞思卡尔半导体公司) 2010年3月24日 (2010 - 03 - 24) 全文	1-15
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																					
X	US 6580156 B1 (BROADCOM CORP) 2003年6月17日 (2003 - 06 - 17) 说明书第1栏第17行-第7栏第46行, 图1A-8	1-5, 8-15																					
Y	US 6580156 B1 (BROADCOM CORP) 2003年6月17日 (2003 - 06 - 17) 说明书第1栏第17行-第7栏第46行, 图1A-8	6, 7																					
Y	US 2006065946 A1 (TEXAS INSTRUMENTS INC) 2006年3月30日 (2006 - 03 - 30) 说明书第19-36段, 图1-2F	6, 7																					
X	US 2007222027 A1 (YANG J 等) 2007年9月27日 (2007 - 09 - 27) 说明书第11-13段, 图1-4B	1-3, 8, 10-11, 13, 15																					
A	CN 105097772 A (中芯国际集成电路制造上海有限公司) 2015年11月25日 (2015 - 11 - 25) 全文	1-15																					
A	CN 101681879 A (飞思卡尔半导体公司) 2010年3月24日 (2010 - 03 - 24) 全文	1-15																					
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																							
<table border="0"> <tr> <td> * 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 </td> <td> “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件 </td> </tr> </table>			* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																			
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																						
国际检索实际完成的日期 2022年9月8日		国际检索报告邮寄日期 2022年10月10日																					
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		授权官员 张念国 电话号码 8601062412119																					

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2022/108981

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
US	6580156	B1	2003年6月17日	US	2003205777	A1	2003年11月6日
				US	2004222491	A1	2004年11月11日
				DE	60335320	D1	2011年1月27日
				EP	1351254	A2	2003年10月8日
				US	6770948	B2	2004年8月3日
				US	7227238	B2	2007年6月5日
				EP	1351254	A3	2006年9月20日
				EP	1351254	B1	2010年12月15日
US	2006065946	A1	2006年3月30日	WO	2006039669	A2	2006年4月13日
				WO	2006039669	A3	2008年6月26日
US	2007222027	A1	2007年9月27日	KR	20070096750	A	2007年10月2日
				KR	100896912	B1	2009年5月12日
CN	105097772	A	2015年11月25日	无			
CN	101681879	A	2010年3月24日	JP	2010527150	A	2010年8月5日
				US	2008277756	A1	2008年11月13日
				TW	200913147	A	2009年3月16日
				WO	2008140904	A1	2008年11月20日