



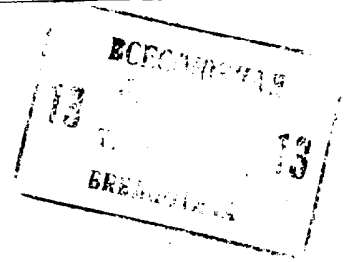
СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) **SU** (11) **1406587** **A1**

(51) 4 G 06 F 1/04

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

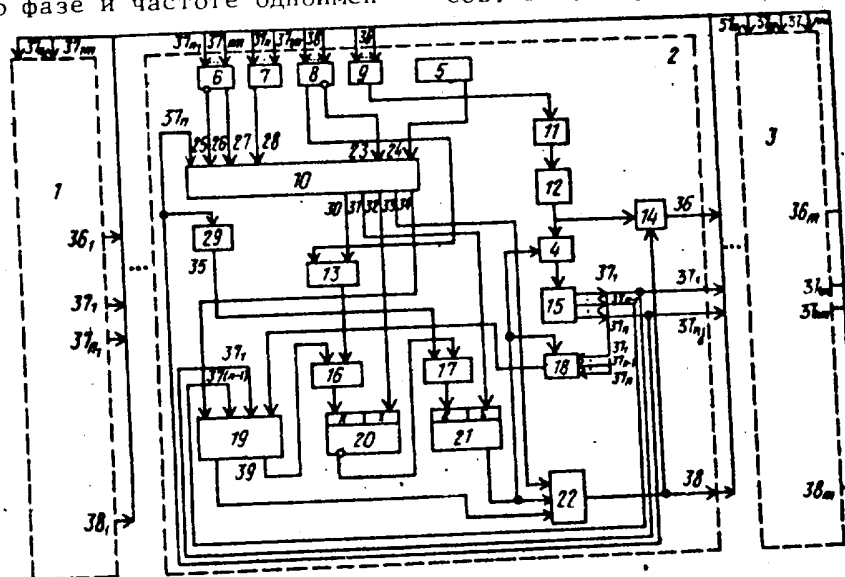


(21) 4075684/24-24
(22) 29.04.86
(46) 30.06.88. Бюл. № 24
(72) Р.Ф.Лобанов, В.И.Пашенко
и Н.Н.Суходольская
(53) 681.3(088.8)
(56) Патент США № 3932847,
кл. G 06 F 1/04, опублик. 1976.

Авторское свидетельство СССР
№ 783779, кл. G 06 F 1/04, 1979.
(54) МНОГОКАНАЛЬНОЕ УСТРОЙСТВО ДЛЯ
СИНХРОНИЗАЦИИ МНОГОМАШИННЫХ КОМПЛЕКСОВ

(57) Изобретение относится к цифровой вычислительной технике и может быть использовано при создании цифровых вычислительных комплексов повышенной надежности. Отличительной особенностью устройства является то, что оно позволяет совмещать по фазе и частоте одноимен-

ные импульсы генераторов и распределителей нескольких ЦВМ вычислительного комплекса, распознавать расфазировки и рассинхронизации неисправных генераторов и распределителей и путем своевременного исключения их влияния на работу исправных генераторов и распределителей других ЦВМ и обеспечивать их синхронную и синфазную работу. Целью изобретения является повышение надежности за счет исключения неисправных генераторов при расфазировке. Поставленная цель достигается за счет введения в каждый канал переключателя 5, элементов ИЛИ 6, 7, блока 10 управления, элементов 11 и 29 задержки, элементов И 14, 16, 17, 22, триггера 21, блока 19, контроля синхронизации, блока 18 контроля распределителя импульсов. 2 з.п. ф-лы, 4 ил.



Фиг.1

(19) **SU** (11) **1406587** **A1**

Изобретение относится к цифровой вычислительной технике и автоматике и может быть использовано при создании цифровых вычислительных комплексов (ЦВК) повышенной надежности.

Целью изобретения является повышение надежности путем исключения неисправных генераторов при расфазировке.

На фиг. 1 представлена схема устройства; на фиг. 2 - схема блока управления; на фиг. 3 - схема блока контроля синхронизации; на фиг. 4 - схема блока контроля распределителя импульсов.

Устройство содержит каналы 1-3, элемент И 4, переключатель 5, элементы ИЛИ 6-9, блок 10 управления, элемент 11 задержки, задающий генератор 12, элементы И 13, 14, распределитель 15 импульсов, элемент И 16, элемент И 17, блок 18 контроля распределителя импульсов, блок 19 контроля синхронизации, триггеры 20, 21, элемент И 22, входы 23-28 блока 10 управления, элемент 29 задержки, выходы 30-34 блока 10 управления, выход 35 элемента 29 задержки, первые выходы 36, ..., 36_m каналов, выходы 37, ..., 37_n распределителя 15 импульсов, вторые выходы 38, ..., 38_m каналов, выход 39 сбоя блока 19 контроля синхронизации.

Блок 10 управления (фиг. 2) содержит элемент НЕ 40, элемент И 41, триггер 42, элемент И 43, генератор 44 одиночного импульса, элементы ИЛИ 45, 46, элемент 47 задержки, элемент ИЛИ 48. Блок 19 контроля синхронизации (фиг. 3) содержит элемент 49 запрета, элемент И 50, элемент ИЛИ 51, триггеры 52, 53.

Блок 18 контроля распределителя импульсов (фиг. 4) содержит группу формирователей импульсов, элемент ИЛИ-НЕ 55, элемент И 56.

Устройство работает следующим образом.

При начальном включении устройства, когда включается первой данная ЦВМ, а переключатель 5 данной ЦВМ находится в исходном (начальном) состоянии "Отключено", триггер 21 устанавливается в "1" сигналом с выхода 31 блока 10, на котором в этом случае вырабатывается инверсия признака "Включено". Триггер 20 также сразу устанавливается в "1" сигналом с вы-

хода 32 того же блока 10. Сигналом с прямого выхода триггера 21 открывается элемент И 4, пропуская импульс задающего генератора 12 на вход распределителя 15 тактовых импульсов, который начинает вырабатывать тактовую серию на выходах 37, ..., 37_n данной ЦВМ, при этом два импульса этой серии - первый 37₁ и последний 37_n - одновременно поступают в аналогичные устройства других ЦВМ. При установке переключателя 5 ЦВМ в положение "Включено" на выходе 33 блока 10 вырабатывается через время задержки признак включенного состояния ЦВМ, который поступает на вход элемента И 22, на выходе которого сразу вырабатывается признак синхронного включения данной ЦВМ, который, с одной стороны, открывает элемент И 14, с выходов 36 которого импульсы "1" задающего генератора выдаются в другие ЦВМ, а с другой стороны, через выход 38 устройства этот признак поступает в аналогичные устройства других ЦВМ. При этом блок 19 контроля синхронизации блокируется сигналом с выхода 34 блока 10, благодаря чему на выходе блока 19 формируется сигнал исправности устройства синхронизации, поступающей на вход элемента И 22.

При включении в работу любой ЦВМ при наличии в вычислительном комплексе уже работающих ЦВМ работа устройства происходит следующим образом. Через элемент ИЛИ 9 и элемент 11 задержки, компенсирующий сдвиг фазы в линии связи, на вход задающего генератора 12 данной ЦВМ поступают одноименные импульсы с выходов 36 аналогичных устройств других работающих ЦВМ. Таким образом, импульсы данного задающего генератора 12 оказываются предварительно синхронизированы и сфазированы с импульсами аналогичных генераторов других ЦВМ, которые все вместе оказываются работающими на одной частоте.

Как и в предыдущем режиме начального включения, в данном случае триггеры 20 и 21 сразу устанавливаются в состояние "1" сигналами, поступающими с выходов 32 и 31 блока 10, при еще отключенном состоянии переключателя 5, и распределитель 15 импульсов данной ЦВМ начинает работать описанным выше образом. Однако признак на выходе 38 еще не формируется, так как

отсутствует сигнал с выхода 33 блока 10. При включении переключателя 5 в режим "Включено" и появлении сигнала на выходе 30 блока 10 формируется импульсный сигнал, и при наличии хотя бы одного из признаков $38_1 \dots 38_m$ на входе элемента ИЛИ 8 на его выходе формируется сигнал, после чего элемент И 13 вырабатывает сигнал на своем выходе, который через элемент ИЛИ 16 сбрасывает в "0" триггер 20, после чего последним тактовым импульсом, задержанным в блоке 10 и выдаваемым с его выхода 35, сбрасывается в "0" и триггер 21 сигналом, поступающим с выхода элемента И 17. В результате этого закрывается элемент И 4, распределитель 15 приостанавливается, причем фиксируется его начальное состояние за счет выбора момента времени приостановки. С приходом синхроимпульса на выходе 31 блока 10 формируется сигнал, по времени совпадающий с паузой между последним и первым тактовыми импульсами тактовой серии других ЦВМ, и триггер 21 устанавливается в состояние "1", вследствие чего вновь открывается элемент И 4, и распределитель 15 импульсов данной включаемой ЦВМ начинает работать с исходного положения, выдавая тактовую серию на выходах $37_1 \dots 37_n$ синхронно и синфазно с распределителями 15 других ЦВМ вычислительного комплекса. К этому моменту времени формируется признак на выходе 33 блока 10 и, если факт синхронности и синфазности подтверждается блоком 19 путем выдачи на его выходе сигнала исправности, то на выходе 38 элемента И 22 формируется признак синхронизации, который, как уже указывалось, с одной стороны, поступает на выход 38 устройства и далее в аналогичные устройства других ЦВМ, а с другой стороны, открывает элемент И 14, обеспечивая тем самым выдачу импульсов задающего генератора 12 через выход 36 устройства в другие ЦВМ.

При первом же совпадении фаз тактовых серий данного распределителя с распределителем других ЦВМ триггер 20 устанавливается в "1" сигналом с выхода 33 блока 10, тем самым блокируется работа элемента И 17, и как следствие этого, сброс триггера 21 в нулевое состояние. В случае нарушения синфазности и

синхронности работы данного распределителя 15 или задающего генератора 12 с работой одноименных распределителей и генераторов других ЦВМ вычислительного комплекса блок 19 контроля на своем выходе сбоя формирует сигнал неисправности, который через элемент ИЛИ 16 сбрасывает в "0" триггер 20 и затем последним тактовым импульсом, задержанным на время задержки элементом 29 задержки, сбрасывает в "0" триггер 21.

В результате этого распределитель 15 импульсов останавливается в начальном исходном состоянии, прекращается выдача в другие ЦВМ импульсов с генератора 12 и распределителя 15, а также формирование и выдача сигнала с выхода элемента И 22 признака синхронизации. Таким образом, полностью исключается влияние неисправности генератора и распределителя тактовой серии на работу одноименных устройств в других ЦВМ ЦВК.

Ф о р м у л а и з о б р е т е н и я

1. Многоканальное устройство для синхронизации многомашинных комплексов, содержащее m каналов, причем каждый канал содержит задающий генератор, распределитель импульсов, первый и второй элементы ИЛИ, триггер, первый и второй элементы И, причем первый выход i -го канала ($i=1, \dots, m$) соединен с i -ми входами первых элементов ИЛИ каналов, отличающееся тем, что, с целью повышения надежности за счет исключения неисправных генераторов или расфазировки, в каждый канал введены третий и четвертый элементы ИЛИ, переключатель, блок управления, два элемента задержки, четыре элемента И, триггер, блок контроля синхронизации и блок контроля распределителя импульсов, причем второй выход i -го канала соединен с i -ми входами вторых элементов ИЛИ каналов, третий выход i -го канала соединен с i -ми входами третьих элементов ИЛИ каналов и является i -м выходом первой группы выходов устройства, четвертый выход i -го канала соединен с i -ми входами четвертых элементов ИЛИ каналов и является i -м выходом второй группы выходов устройства, причем в каждом канале выход переключателя соединен

с входом запуска блока управления, первый синхровход которого соединен с инверсным выходом четвертого элемента ИЛИ, второй синхровход блока управления соединен с прямым выходом четвертого элемента ИЛИ, третий синхровход блока управления соединен с выходом третьего элемента ИЛИ, четвертый синхровход блока управления соединен с инверсным выходом второго элемента ИЛИ, выход запуска блока управления соединен с единичным входом первого триггера, первый выход однократного режима блока управления соединен с первым входом элемента И, второй вход которого соединен с прямым выходом второго элемента ИЛИ, выход разрешения контроля блока управления соединен с входом разрешения контроля блока контроля синхронизации, второй выход однократного режима управления соединен с первым входом третьего элемента И, выход первого элемента ИЛИ соединен с входом первого элемента задержки, выход которого соединен с входом запуска задающего генератора, выход которого соединен с первым входом первого элемента И и с первым входом четвертого элемента И, выход которого является первым выходом канала, второй вход которого соединен с выходом третьего элемента И и является вторым выходом канала, выход первого элемента И соединен с тактовым входом распределителя импульсов, первый выход которого соединен с входом первой контролируемой последовательности блока контроля распределителя, с входом первой контролируемой последовательности блока синхронизации и является третьим выходом блока, выходы распределителя с второго по $(n-2)$ -й соединены соответственно с входами с второго по $(n-2)$ -й контролируемых последовательностей блока контроля распределителя, $(n-1)$ -й выход распределителя соединен с входом второй контролируемой последовательности блока контроля синхронизации и с входами $(n-1)$ -й контролируемой последовательности блока контроля распределителя, n -й выход распределителя импульсов соединен с пятым синхровходом блока управления, с входом второго элемента задержки и является четвертым выходом канала, выход второго элемента задержки соединен с первым входом

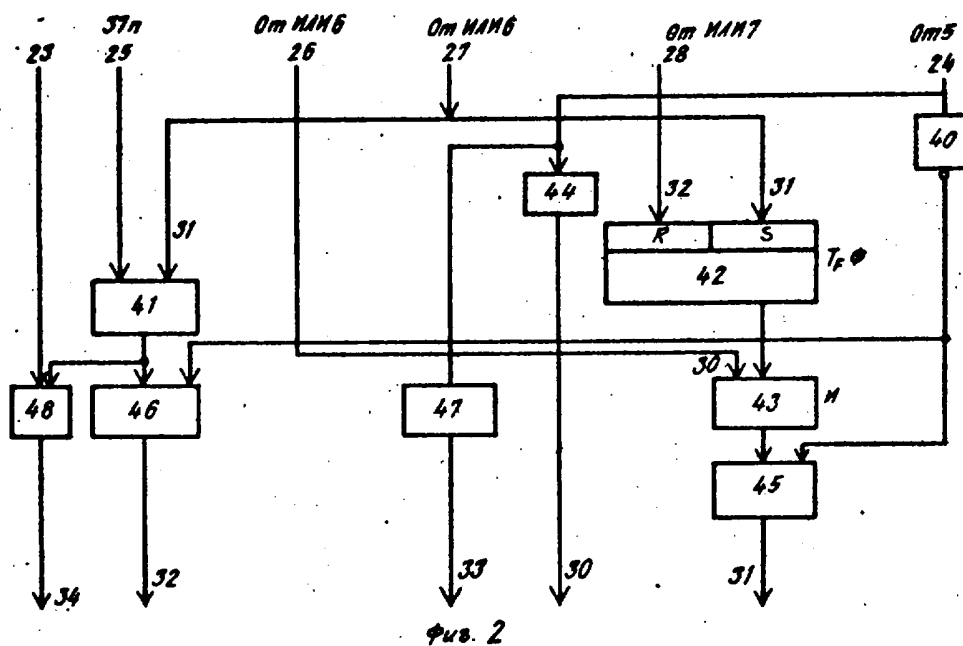
пятого элемента И, второй вход которого соединен с выходом первого триггера, выход второго элемента И соединен с первым входом шестого элемента И, выход которого соединен с нулевым входом первого триггера, выход второго триггера соединен с вторым входом третьего элемента И, с входом запуска блока контроля распределителя импульсов и вторым входом первого элемента И, выход разрешения ошибки блока управления соединен с единичным входом второго триггера, выход сбоя блока контроля распределителя импульсов соединен с входом третьей контролируемой последовательности блока контроля синхронизации, выход сбоя которого соединен с вторым входом шестого элемента И, выход отсутствия сбоя блока контроля синхронизации соединен с третьим входом третьего элемента И, выход пятого элемента И соединен с нулевым входом второго триггера, причем блок управления содержит генератор одиночного импульса, триггер, элемент НЕ, два элемента И, элемент задержки и три элемента ИЛИ, причем первый синхровход блока соединен с первым входом первого элемента И, второй вход которого соединен с выходом триггера, единичный вход которого соединен с первым входом второго элемента И и является вторым синхровходом блока, нулевой вход триггера является третьим синхровходом блока, первый вход первого элемента ИЛИ является четвертым синхровходом блока, пятый синхровход блока соединен с вторым входом второго элемента И, выход которого соединен с вторым входом первого элемента ИЛИ и первым входом второго элемента ИЛИ, второй вход которого соединен с вторым входом второго элемента ИЛИ и выходом элемента НЕ, вход которого соединен с входом запуска генератора одиночного импульса, с входом элемента задержки и является входом запуска блока, выход первого элемента ИЛИ является выходом разрешения контроля блока, выход второго элемента ИЛИ является выходом запуска блока, выход генератора одиночного импульса является первым выходом однократного режима блока, выход элемента задержки является вторым выходом однократного режима блока, выход первого элемента И соединен с

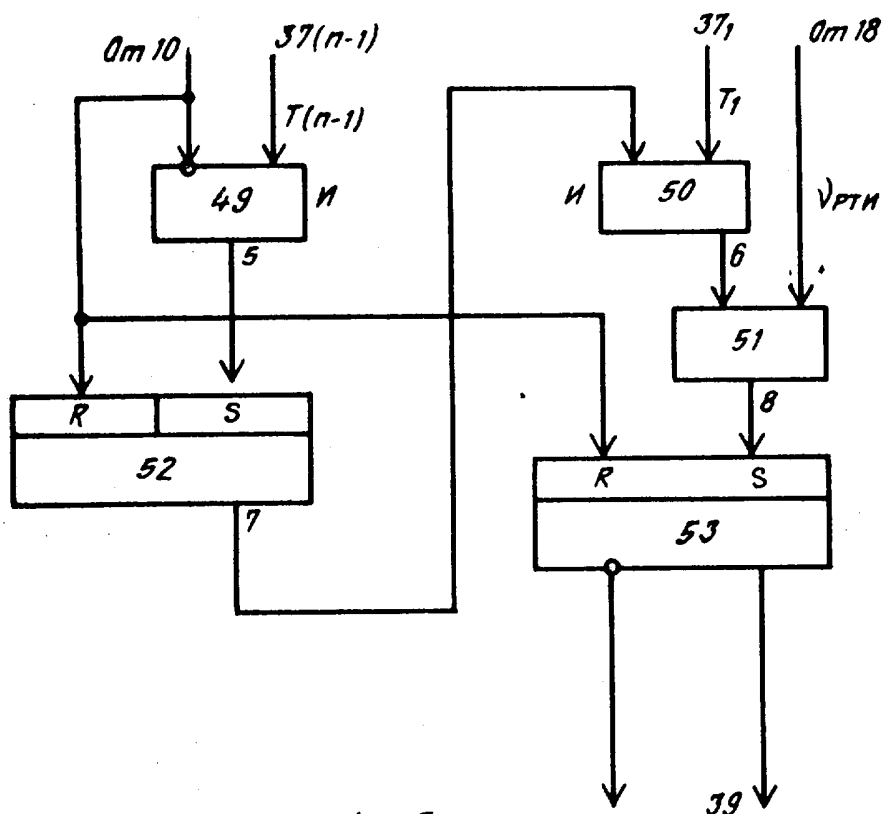
входом третьего элемента ИЛИ, выход которого является выходом разрешения выдачи ошибки блока.

2. Устройство по п. 1, отличающееся тем, что блок контроля синхронизации содержит два триггера, элемент запрета, элемент И и элемент ИЛИ, причем управляющий вход элемента запрета соединен с нулевым входом первого триггера, с нулевым входом второго триггера и является входом разрешения контроля блока, первый вход элемента И является входом первой контролируемой последовательности блока, информационный вход элемента запрета является входом второй контролируемой последовательности блока, выход элемента запрета соединен с единственным входом первого триггера, выход которого соединен с вторым входом элемента И, выход которого соединен с первым входом элемента ИЛИ, второй вход ко-

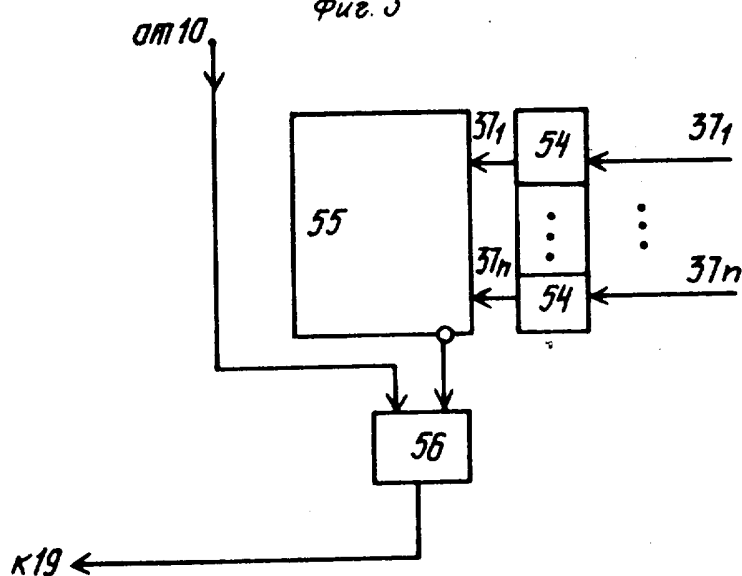
торого является входом третьей контролируемой последовательности блока, выход элемента ИЛИ соединен с единственным входом триггера, прямой выход которого является выходом сбоя блока, инверсный выход триггера является выходом отсутствия сбоя блока.

3. Устройство по п. 1, отличающееся тем, что блок контроля распределителя импульсов содержит группу из n формирователей импульсов, элемент ИЛИ-НЕ и элемент И, причем входы контролируемых последовательностей с первого по n -ю соединены соответственно с входами формирователей импульсов с первого по n -й группы, выходы которых соединены с входами элемента ИЛИ-НЕ, выход которого соединен с первым входом элемента И, второй вход которого является входом запуска блока, выход элемента И является выходом сбоя блока.





фиг. 3



фиг. 4

Редактор А. Маковская Составитель Н. Торопова Корректор М. Васильева
 Техред М. Ходанич

Заказ 3194/44

Тираж 704

Подписное

ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4