

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2014 年 10 月 2 日 (02.10.2014)



(10) 国际公布号
WO 2014/153798 A1

- (51) 国际专利分类号:
H01L 27/115 (2006.01) H01L 21/336 (2006.01)
H01L 21/8247 (2006.01) H01L 29/10 (2006.01)
H01L 29/78 (2006.01)
- (21) 国际申请号: PCT/CN2013/074771
- (22) 国际申请日: 2013 年 4 月 26 日 (26.04.2013)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201310100318.2 2013 年 3 月 26 日 (26.03.2013) CN
- (71) 申请人: 中国科学院微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。
- (72) 发明人: 朱慧珑 (ZHU, Huilong); 美国纽约州波基普西市奥特姆路 93#, New York 12603 (US)。
- (74) 代理人: 中科专利商标代理有限责任公司 (CHINA SCIENCE PATENT & TRADEMARK AGENT LTD.);

中国北京市海淀区西三环北路 87 号国际财经中心 D 座 11 层, Beijing 100089 (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

[见续页]

(54) Title: FLASH DEVICE AND MANUFACTURING METHOD FOR SAME

(54) 发明名称: FLASH 器件及其制造方法

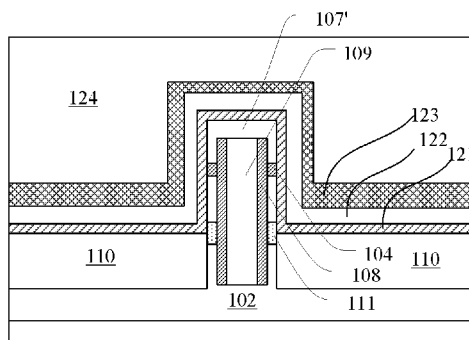


图 19(b) /Fig. 19(b)

(57) Abstract: Disclosed are a flash device and manufacturing method for same, the semiconductor device comprising: a semiconductor substrate (101); a well region of the semiconductor substrate (102); a sandwich structure situated on the well region, said sandwich structure comprising a back-gate conductor (109), two semiconductor fins (103') situated on either side of the back-gate conductor, and respective back-gate dielectrics (108) partitioning the back-gate conductor and the semiconductor fins, the well region being part of the conductive path of the back-gate conductor; a front-gate stack intersecting the semiconductor fins, said front-gate stack comprising a sequential arrangement of a floating gate dielectric (121), a floating gate conductor (122), a control gate conductor (124), the floating gate dielectric partitioning the floating gate conductor and the semiconductor fins; an insulating cap (107') situated above the back-gate conductor and semiconductor fins, the insulating cap partitioning the back-gate conductor and the control gate conductor; and an active region and a drain region connecting to a channel region provided by the semiconductor fins. The present semiconductor device may allow high integration and low power consumption.

(57) 摘要:

[见续页]



WO 2014/153798 A1

**本国际公布:**

— 包括国际检索报告(条约第 21 条(3))。

公开了一种 FLASH 器件及其制造方法, 该半导体器件包括: 半导体衬底 (101); 半导体衬底中的阱区 (102); 位于阱区上的夹层结构, 该夹层结构包括背栅导体 (109)、位于背栅导体两侧的半导体鳍片 (103')、以及将背栅导体与半导体鳍片分别隔开的各自的背栅电介质 (108), 其中阱区作为背栅导体的导电路径的一部分; 与半导体鳍片相交的前栅堆叠, 该前栅堆叠包括依次设置的浮栅电介质 (121)、浮栅导体 (122)、控制栅电介质 (123) 和控制栅导体 (124), 并且浮栅电介质将浮栅导体和半导体鳍片隔开; 位于背栅导体上方以及半导体鳍片上方的绝缘帽盖 (107'), 并且绝缘帽盖将背栅导体与控制栅导体隔开; 以及与半导体鳍片提供的沟道区相连的源区和漏区。该半导体器件可以实现高集成度和低功耗。

FLASH 器件及其制造方法

本申请要求了 2013 年 3 月 26 日提交的、申请号为 201310100318.2、发明名称为“FLASH 器件及其制造方法”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本发明涉及半导体技术，更具体地，涉及包含鳍片（Fin）的 FLASH 器件及其制造方法。

背景技术

随着半导体技术的发展，希望在减小半导体器件的尺寸以提高集成度的同时减小功耗。为了减小由于漏电导致的功耗，提出了在半导体衬底中形成的 UTBB（ultra-thin buried oxide body）型器件。UTBB 型器件包括位于半导体衬底中的超薄掩埋氧化物层、位于超薄氧化物埋层上方的前栅堆叠和源/漏区、以及位于超薄掩埋氧化物层下方的背栅。在工作中，通过向背栅施加偏置电压，可以在维持速度不变的情形下显著减小功耗。目前还难以将 UTBB 技术结合到鳍型 FLASH 器件中。

发明内容

本发明的目的是提供一种利用鳍片和背栅改善性能的 FLASH 器件及其制造方法。

根据本发明的一方面，提供了一种 FLASH 器件，包括：半导体衬底；半导体衬底中的阱区；位于阱区上的夹层结构，该夹层结构包括背栅导体、位于背栅导体两侧的半导体鳍片、以及将背栅导体与半导体鳍片分别隔开的各自的背栅电介质，其中阱区作为背栅导体的导电路径的一部分；位于半导体鳍片下部的穿通阻止层；与半导体鳍片相交的前栅堆叠，该前栅堆叠包括依次设置的浮栅电介质、浮栅导体、控制栅电介质和控制栅导体，并且浮栅电介质将浮栅导体和半导体鳍片隔开，并且浮栅电介质将浮栅导体和半导体鳍片隔开；位于

背栅导体上方以及半导体鳍片上方的绝缘帽盖,并且绝缘帽盖将背栅导体与控制栅导体隔开以及与半导体鳍片提供的沟道区相连的源区和漏区。

根据本发明的另一方面,提供了一种制造 FLASH 器件的方法,包括:在半导体衬底中形成阱区,使得半导体衬底位于阱区上方的部分形成半导体层;在阱区上形成夹层结构,该夹层结构包括背栅导体、位于背栅导体两侧的由半导体层形成的半导体鳍片、以及将背栅导体与半导体鳍片分别隔开的各自的背栅电介质,其中阱区作为背栅导体的导电路径的一部分;在半导体鳍片下部形成穿通阻止层;形成与半导体鳍片相交的前栅堆叠,该前栅堆叠包括从下至上设置的浮栅电介质、浮栅导体、控制栅电介质和控制栅导体,并且浮栅电介质将浮栅导体和半导体鳍片隔开,并且浮栅电介质将浮栅导体和半导体鳍片隔开;以及形成与半导体鳍片提供的沟道区相连的源区和漏区。

本发明的 FLASH 器件包括与两个半导体鳍片的各自一个侧面相邻的背栅导体。由于背栅导体未形成在半导体鳍片下方,因此可以根据需要独立地确定该背栅导体与作为导电路径的一部分的阱区之间的接触面积,以避免背栅导体产生的自热效应。并且,由于在形成背栅导体时不需要执行穿过半导体鳍片的离子注入,因此可以避免对沟道区的非有意掺杂而导致 FLASH 器件性能波动。

该半导体器件结合了鳍型 FLASH 器件和 UTBB 型器件的优点,一方面可以利用背栅导体控制或动态调整 FLASH 器件的阈值电压,在维持速度不变的情形下显著减小功耗,另一方面可以利用 Fin 抑制短沟道效应,在缩小 FLASH 器件时维持 FLASH 器件的性能。因此,该半导体器件可以在减小 FLASH 器件的尺寸以提高集成度的同时减小功耗。并且,并且该 FLASH 器件的制造方法与现有的半导体工艺兼容,因而制造成本低。

附图说明

通过以下参照附图对本发明实施例的描述,本发明的上述以及其他目的、特征和优点将更为清楚,在附图中:

图 1-15 是示出了根据本发明的一个实施例的制造 FLASH 器件的方法的各个阶段的 FLASH 结构的示意图。

图 16-17 示出了根据本发明的进一步优选实施例的制造 FLASH 器件的方

法的一部分阶段的 FLASH 结构的示意图。

图 18-19 示出了根据本发明的进一步优选实施例的制造 FLASH 器件的方法的一部分阶段的 FLASH 结构的示意图。

图 20 示出了根据本发明的优选实施例的 FLASH 器件的分解透视图。

具体实施方式

以下将参照附图更详细地描述本发明。在各个附图中，相同的元件采用类似的附图标记来表示。为了清楚起见，附图中的各个部分没有按比例绘制。

为了简明起见，可以在一幅图中描述经过数个步骤后获得的半导体结构。

应当理解，在描述器件的结构时，当将一层、一个区域称为位于另一层、另一个区域“上面”或“上方”时，可以指直接位于另一层、另一个区域上面，或者在其与另一层、另一个区域之间还包含其它的层或区域。并且，如果将器件翻转，该一层、一个区域将位于另一层、另一个区域“下面”或“下方”。

如果为了描述直接位于另一层、另一个区域上面的情形，本文将采用“直接在……上面”或“在……上面并与之邻接”的表述方式。

在本申请中，术语“半导体结构”指在制造半导体器件的各个步骤中形成的整个半导体结构的统称，包括已经形成的所有层或区域。在下文中描述了本发明的许多特定的细节，例如器件的结构、材料、尺寸、处理工艺和技术，以便更清楚地理解本发明。但正如本领域的技术人员能够理解的那样，可以不按照这些特定的细节来实现本发明。

除非在下文中特别指出，FLASH 器件的各个部分可以由本领域的技术人员公知的材料构成。半导体材料例如包括 III-V 族半导体，如 GaAs、InP、GaN、SiC，以及 IV 族半导体，如 Si、Ge。栅导体可以由能够导电的各种材料形成，例如金属层、掺杂多晶硅层、或包括金属层和掺杂多晶硅层的叠层栅导体或者是其他导电材料，例如为 TaC、TiN、TaTbN、TaErN、TaYbN、TaSiN、HfSiN、MoSiN、RuTax、NiTax，MoNx、TiSiN、TiCN、TaAlC、TiAlN、TaN、PtSix、Ni₃Si、Pt、Ru、Ir、Mo、W、HfRu、RuOx 和所述各种导电材料的组合。栅电介质可以由 SiO₂ 或介电常数大于 SiO₂ 的材料构成，例如包括氧化物、氮化物、氧氮化物、硅酸盐、铝酸盐、钛酸盐，其中，氧化物例如包括 SiO₂、HfO₂、

ZrO₂、Al₂O₃、TiO₂、La₂O₃，氮化物例如包括 Si₃N₄，硅酸盐例如包括 HfSiO_x，铝酸盐例如包括 LaAlO₃，钛酸盐例如包括 SrTiO₃，氧氮化物例如包括 SiON。并且，栅电介质不仅可以由本领域的技术人员公知的材料形成，也可以采用将来开发的用于栅电介质的材料。

本发明可以各种形式呈现，以下将描述其中一些示例。

参照图 1-15 描述根据本发明的一个实施例的制造 FLASH 器件的方法的示例流程，其中，在图 15 (a) 中示出了 FLASH 器件结构的俯视图及截面图的截取位置，在图 1-14 和 15 (b) 中示出在半导体鳍片的宽度方向上沿线 A-A 截取的 FLASH 器件结构的截面图，在图 15 (c) 中示出在半导体鳍片的宽度方向上沿线 B-B 截取的 FLASH 器件结构的截面图，在图 15 (d) 中示出在半导体鳍片的长度方向上沿线 C-C 截取的 FLASH 器件结构的截面图。

该方法开始于块状的半导体衬底 101。在块状的半导体衬底 101 中形成阱区 102，使得半导体衬底 101 位于阱区 102 上方的部分形成半导体层 103，并且阱区 102 将半导体层 103 和半导体衬底 101 隔开。在半导体衬底 101 中形成阱区 102 的工艺是已知的，例如采用离子注入从而在半导体层中形成掺杂区然后进行退火以激活掺杂区中的掺杂剂。针对 P 型 FLASH 可以形成 N 型阱区 102，针对 N 型 FLASH 可以形成 P 型阱区 102。进一步地，通过已知的沉积工艺，如电子束蒸发 (EBM)、化学气相沉积 (CVD)、原子层沉积 (ALD)、溅射等，在半导体层 103 上依次形成第一掩模层 104、第二掩模层 105 和第三掩模层 106。然后，例如通过旋涂在第三掩模层 106 上形成光致抗蚀剂层 PR，并通过其中包括曝光和显影的光刻工艺将光致抗蚀剂层 PR 形成用于限定背栅的图案（例如，宽度约为 15nm-100nm 的开口），如图 1 所示。

半导体衬底 101 由选自 Si、Ge、SiGe、GaAs、GaSb、AlAs、InAs、InP、GaN、SiC、InGaAs、InSb 和 InGaSb 构成的组中的一种组成。在一个示例中，半导体衬底 101 例如是单晶硅衬底。正如下文将要描述的，半导体层 103 将形成半导体鳍片，并且决定了半导体鳍片的大致高度。可以根据需要控制控制离子注入和退火的工艺参数，以控制阱区 102 的深度及延伸范围。结果，可以获得所需厚度的半导体层 103。

第一掩模层 104、第二掩模层 105 和第三掩模层 106 可以由所需化学和物

理性质的材料组成，从而在蚀刻步骤中获得所需的蚀刻选择性，和/或在化学机械抛光（CMP）中作为停止层，和/或在最终的 FLASH 器件中进一步作为绝缘层。并且，根据使用的材料，第一掩模层 104、第二掩模层 105 和第三掩模层 106 可以采用相同或不同的上述沉积工艺形成。在一个示例中，第一掩模层 104 是通过热氧化形成的厚度约为 5-15nm 的氧化硅层，第二掩模层 105 是通过溅射形成的厚度约为 50nm-200nm 的非晶硅层，第三掩模层 106 是通过溅射形成的厚度约为 5-15nm 的氮化硅层。

然后，采用光致抗蚀剂层 PR 作为掩模，通过干法蚀刻，如离子铣蚀刻、等离子蚀刻、反应离子蚀刻、激光烧蚀，或者通过使用蚀刻剂溶液的湿法蚀刻，从上至下去除第三掩模层 106 和第二掩模层 105 的暴露部分而形成开口，如图 2 所示。由于蚀刻的选择性，或者通过控制蚀刻时间，使得该蚀刻步骤停止在第一掩模层的顶部。可以多个步骤的蚀刻分别蚀刻不同层。在一个示例中，第一步蚀刻包括采用反应离子蚀刻，使用一种合适的蚀刻剂，相对于例如由非晶硅组成的第二掩模层 105 去除上面的例如由氮化硅组成的第三掩模层 106 的暴露部分，第二步蚀刻包括采用反应离子蚀刻，使用另一种合适的蚀刻剂，相对于例如由氧化硅组成的第一掩模层 104 去除上面的例如由非晶硅组成的第二掩模层 105 的暴露部分。

然后，通过在溶剂中溶解或灰化去除光致抗蚀剂层 PR。通过上述已知的沉积工艺，在半导体结构的表面上形成共形的第四掩模层 107。通过各向异性的蚀刻工艺（例如，反应离子蚀刻），去除第四掩模层 107 在第三掩模层 106 上方横向延伸的部分以及位于开口的底部（即第一掩模层 104 上）的部分，使得第四掩模层 107 位于开口内壁上的部分保留而形成侧墙，如图 3 所示。正如下文将要描述的，第四掩模层 107 将用于限定半导体鳍片的宽度。可以根据所需的半导体鳍片的宽度控制第四掩模层 107 的厚度。在一个示例中，第四掩模层 107 是通过原子层沉积形成的厚度约为 3nm-28nm 的氮化硅层。

然后，采用第三掩模层 106 和第四掩模层 107 作为硬掩模，通过上述已知的蚀刻工艺经由开口去除第一掩模层 104 的暴露部分。并且进一步蚀刻半导体层 103 和阱区 102 的暴露部分，直至穿过半导体层 103 并且在阱区 102 中达到预定的深度，如图 4 所示。可以根据设计需要确定开口在阱区 102 中的部分的

深度，并且通过控制蚀刻时间来控制该部分的深度。在一个示例中，该部分的深度例如是约 10nm-30nm，从而可以足够大以阻止阱区 102 中的掺杂剂在随后的步骤中扩散到半导体鳍片中。

然后，通过上述已知的沉积工艺，在半导体结构的表面上形成共形的电介质层。通过各向异性的蚀刻工艺（例如，反应离子蚀刻），去除该电介质层在第三掩模层 106 上方横向延伸的部分以及位于开口的底部（即阱区 102 在开口内的暴露表面上）的部分，使得该电介质层位于开口内壁上的部分保留而形成侧墙形式的背栅电介质 108，如图 5 所示。代替其中沉积电介质层的工艺，可以通过热氧化直接在半导体层 103 和阱区 102 位于开口内的侧壁上形成氧化物侧墙形式的背栅电介质 108。在一个示例中，背栅电介质 108 是厚度约为 10nm-30nm 的氧化硅层。

然后，通过上述已知的沉积工艺，在半导体结构的表面上形成导体层。该导体层至少填满开口。对该导体层进行回蚀刻，去除位于开口外部的部分，并且进一步去除该导体层位于开口内的一部分，从而在开口内形成背栅导体 109，如图 6 所示。背栅导体 109 与半导体层 103 之间由背栅电介质 108 隔开。背栅导体 109 由选自 TaC、TiN、TaTbN、TaErN、TaYbN、TaSiN、HfSiN、MoSiN、RuTax、NiTax，MoNx、TiSiN、TiCN、TaAlC、TiAlN、TaN、PtSix、Ni₃Si、Pt、Ru、Ir、Mo、W、HfRu、RuOx、掺杂的多晶硅中的至少一种组成。在一个示例中，背栅导体 109 由掺杂为 N 型或 P 型的多晶硅组成，掺杂浓度例如为 $1 \times 10^{18} \text{ cm}^{-3}$ - $1 \times 10^{21} \text{ cm}^{-3}$ 。

用于形成背栅导体 109 的回蚀刻使得背栅导体 109 的顶部位于背栅电介质 108 的下方。可选地，可以进一步相对于背栅导体 109 选择性地回蚀刻背栅电介质 108，使得背栅电介质 108 和背栅导体 109 的顶部大致齐平。

然后，在未使用掩模的情形下，通过上述已知的蚀刻工艺，相对于第二掩模层 105，选择性地完全去除位于第二掩模层 105 上方的第三掩模层 106，从而暴露第二掩模层 105 的表面。在一个示例中，在第二掩模层 105 由非晶硅组成以及第三掩模层 106 由氧化硅组成的情形下，可以使用氢氟酸作为蚀刻剂选择性地去除氧化硅。通过上述已知的沉积工艺，在半导体结构的表面上形成绝缘层。该绝缘层至少填满开口，从而覆盖背栅导体 109 的顶部表面。对该绝缘

层进行回蚀刻，去除位于开口外部的部分。在一个示例中，该绝缘层是通过溅射形成的氮化硅层。该绝缘层与第四掩模层 107 一起形成绝缘帽盖 107'，如图 7 所示。该蚀刻可能进一步去除该绝缘层位于开口内的一部分。通过控制回蚀刻的时间，使得该绝缘层位于开口内的部分覆盖背栅导体 109 的顶部，并且提供所需的电绝缘特性。

然后，在未使用掩模的情形下，通过上述已知的蚀刻工艺，相对于绝缘帽盖 107' 和第一掩模层 104，选择性地完全去除第二掩模层 105，从而暴露第一掩模层 104 的表面，如图 8 所示。在一个示例中，在第一掩模层 104 由氧化硅组成、第二掩模层 105 由非晶硅组成以及绝缘帽盖 107' 由氮化硅组成的情形下，可以使用四甲基氢氧化铵（TMAH）作为蚀刻剂选择性地去除非晶硅。

然后，采用绝缘帽盖 107' 作为硬掩模，通过上述已知的蚀刻工艺完全去除半导体层 103 的暴露部分。并且进一步蚀刻阱区 102 的暴露部分直至达到预定的深度，如图 9 所示。正如下文将描述的，阱区 102 将作为背栅的导电路径的一部分。可以通过控制蚀刻时间来控制蚀刻的深度，使得阱区 102 维持一定的厚度以减小相关的寄生电阻。

这里需要指出的是，尽管在该示例中在蚀刻半导体层 103 之后进一步蚀刻阱区 102，但是本公开不限于此。例如，可以只蚀刻半导体层 103 或其一部分，而不蚀刻阱区 102，特别是在如下所述形成穿通阻止层的情况下。

该蚀刻将半导体层 103 图案化成位于背栅导体 109 两侧的两个半导体鳍片 103'，背栅导体 109 与两个半导体鳍片 103' 之间由各自的背栅电介质 108 隔开，从而形成鳍片-背栅-鳍片（Fin-Back Gate-Fin）的夹层结构。半导体鳍片 103' 是初始的半导体衬底 101 的一部分，因此同样由选自 Si、Ge、SiGe、GaAs、GaSb、AlAs、InAs、InP、GaN、SiC、InGaAs、InSb 和 InGaSb 构成的组中的一种组成。在图 9 所示的示例中，半导体鳍片 103' 的形状为条带，其长度沿着垂直于纸面的方向，其宽度沿着纸面内的横向方向，其高度沿着纸面内的垂直方向。半导体鳍片 103' 的高度大致由初始的半导体层 103 的厚度决定，半导体鳍片 103' 的宽度大致由初始的第四掩模层 107 的厚度决定，半导体鳍片 103' 的长度则可以根据设计需要通过附加的蚀刻步骤限定。在该蚀刻步骤以及随后的工艺步骤中，先前形成的背栅导体 109 为半导体鳍片 103' 提供了机

械支撑和保护，从而可以获得高成品率。

然后，通过上述已知的沉积工艺，在半导体结构的表面上形成第一绝缘层 110，如图 10 所示。第一绝缘层 110 的厚度足以填充在形成半导体鳍片 103' 的蚀刻步骤中形成的位于半导体鳍片 103' 侧面的开口，并且还覆盖绝缘帽盖 107'。如果需要，可以进一步通过溅射或者附加的化学机械抛光平整第一绝缘层 110 的表面。

然后，通过选择性的蚀刻工艺（例如，反应离子蚀刻），回蚀刻第一绝缘层 110。该蚀刻不仅去除第一绝缘层 110 位于绝缘帽盖 107' 的顶部上的部分，而且减小第一绝缘层 110 位于半导体鳍片 103' 两侧的开口内的部分的厚度。控制蚀刻的时间，使得第一绝缘层 110 的表面略高于阱区 102 的顶部或者基本持平，并且暴露位于阱区上方的半导体鳍片 103' 的侧面。

作为可选的步骤，采用离子注入在第一绝缘层 110 中注入掺杂剂，如图 11 所示。由于表面的离子散射，掺杂剂可以容易地从第一绝缘层 110 的表面附近进入半导体鳍片 103' 的下部使得半导体鳍片 103' 的下部形成穿通阻止层 111，如图 12 所示。替代地，可以采用附加的热退火将掺杂剂从第一绝缘层 110 推入（drive-in）半导体鳍片 103' 中而形成穿通阻止层 111。穿通阻止层 111 还可能包括阱区 102 位于第一绝缘层 110 的表面附近的一部分。

针对不同类型的 FET 可以采用不同的掺杂剂。在 N 型 FET 中可以使用 P 型掺杂剂，例如 B，在 P 型 FET 中可以使用 N 型掺杂剂，例如 P、As。结果，穿通阻止层 111 将半导体鳍片 103' 与半导体衬底 101 中的阱区 102 隔开。并且，穿通阻止层 111 的掺杂类型与源区和漏区的掺杂类型相反，并且高于半导体衬底 101 中的阱区 102 的掺杂浓度。虽然阱区 102 可以断开源区和漏区之间的漏电流路径，在一定程度上起到穿通阻止层的作用，但位于半导体鳍片 103' 下方附加的高掺杂的穿通阻止层 112 可以进一步改善抑制源区和漏区之间的漏电流的效果。

然后，通过上述已知的沉积工艺，在半导体结构的表面上形成浮栅电介质 112（例如，氧化硅或氮化硅或高 K 电介质），如图 13 所示。在一个示例中，该浮栅电介质 112 为约 0.8-1.5nm 厚的氧化硅层。浮栅电介质 112 覆盖两个半导体鳍片 103' 的各自的一个侧面。

如图 14 所示, 通过上述已知的沉积工艺, 在半导体结构的表面上形成浮栅导体 113 (例如, 掺杂多晶硅, 厚度为约 3-10nm)。进一步地, 通过上述已知的沉积工艺在半导体结构的表面上继续形成控制栅电介质 117 (例如, 氧化硅或高 K 电介质, 厚度为约 1.0-10nm) 和控制栅导体 118 (例如, 多晶硅, 厚度为约 50-150nm)。如果需要, 可以对控制栅导体 118 的表面进行化学机械抛光 (CMP), 以获得平整的表面。这样就获得了前栅堆叠层, 为浮栅介质、浮栅导体、控制栅介质以及控制栅导体组成的叠层。

然后, 采用光致抗蚀剂掩模, 将整个前栅堆叠层图案化为与半导体鳍片 103' 相交的前栅堆叠。然后, 通过在溶剂中溶解或灰化去除光致抗蚀剂层。通过上述已知的沉积工艺, 在整个半导体结构的表面上形成氮化物层。在一个示例中, 该氮化物层为厚度约 5-20nm 的氮化硅层。通过各向异性的蚀刻工艺 (例如, 反应离子蚀刻), 去除氮化物层的横向延伸的部分, 使得氮化物层位于前栅堆叠的侧面上的垂直部分保留, 从而形成栅极侧墙 114, 如图 15 (a)、15 (b)、15 (c) 和 15 (d) 所示。

通常, 由于形状因子 (例如前栅堆叠的厚度大于两倍的鳍片的高度, 或者采用上小下大的鳍片形状), 半导体鳍片 103' 侧面上的氮化物层厚度比前栅堆叠的侧面上的氮化物层厚度小, 从而在该蚀刻步骤中可以完全去除半导体鳍片 103' 侧面上的氮化物层。否则, 半导体鳍片 103' 侧面上的氮化物层可能会影响后续源/漏区的形成。可以采用附加的掩模进一步去除半导体鳍片 103' 侧面上的氮化物层。

浮栅电介质 112、浮栅导体 113、控制栅电介质 117 和控制栅导体 118 一起形成前栅堆叠。在图 15 (a)、15 (b)、15 (c) 和 15 (d) 所示的示例中, 前栅堆叠的形状为条带, 并且沿着与半导体鳍片的长度垂直的方向延伸。

在随后的步骤中, 可以按照常规的工艺, 以前栅堆叠和栅极侧墙 114 作为硬掩模, 形成与半导体鳍片 103' 提供的沟道区相连的源区和漏区。在一个示例中, 源区和漏区可以是半导体鳍片 103' 两端的通过离子注入或原位掺杂形成的掺杂区。在另一个示例中, 源区和漏区可以是与半导体鳍片 103 的两端或侧面接触的附加的半导体层中通过离子注入或原位掺杂形成的掺杂区。

参照图 16-17 描述根据本发明的进一步优选实施例的制造 FLASH 器件的

方法的一部分阶段的示例流程,其中,在图 16(a)和 17(a) 中示出了 FLASH 结构的俯视图及截面图的截取位置,在图 16(b)和 17(b) 中示出在半导体鳍片的宽度方向上沿线 A-A 截取的 FLASH 结构的截面图,在图 16(c)和 17(c) 中示出在半导体鳍片的宽度方向上沿线 B-B 截取的 FLASH 结构的截面图,在图 16(d)和 17(d) 中示出在半导体鳍片的长度方向上沿线 C-C 截取的 FLASH 结构的截面图。

根据该优选实施例,在图 15 所示的步骤之后进一步执行图 16 和 17 所示的步骤以形成应力作用层。

然后,在半导体鳍片 103' 的暴露侧面上外延生长应力作用层 115,如图 16(a)、16(b)、16(c)和 16(d) 所示。应力作用层 115 还形成在控制栅导体 118 上。该应力作用层 115 的厚度应当足以在半导体鳍片 103' 上施加期望的应力。

针对不同类型的 FinFET 可以形成不同的应力作用层 115。通过应力作用层 115 向 FLASH 的沟道区施加合适的应力,可以提高载流子的迁移率,从而减小导通电阻并提高器件的开关速度。为此,采用与半导体鳍片 103' 的材料不同的半导体材料形成应力作用层 115,可以产生期望的应力。对于 N 型 FLASH,应力作用层 115 例如是在 Si 衬底上形成的 C 的含量约为原子百分比 0.2-2%的 Si:C 层,沿着沟道区的纵向方向对沟道区施加拉应力。对于 P 型 FLASH,应力作用层 115 例如是在 Si 衬底上形成的 Ge 的含量约为原子百分比 15-75%的 SiGe 层,沿着沟道区的纵向方向对沟道区施加压应力。

然后,通过上述已知的沉积工艺,在整个半导体结构的表面上形成第二绝缘层 116。在一个示例中,第二绝缘层 116 例如是氧化硅层,并且厚度足以填充在形成半导体鳍片 103' 的蚀刻步骤中形成的位于半导体鳍片 103' 侧面的开口,并且还覆盖控制栅导体 118 的顶部表面。以栅极侧墙 114 作为停止层,对第二绝缘层 116 进行化学机械抛光,以获得平整的表面,如图 17(a)、17(b)、17(c)和 17(d) 所示。该化学机械抛光去除应力作用层 115 的位于前栅堆叠上方的部分,并且暴露前栅堆叠的顶部表面,即控制栅导体 118 的顶面。

进一步地,如前所述,在随后的步骤中,可以按照常规的工艺,以控制栅

导体 118 和栅极侧墙 114 作为硬掩模，形成与半导体鳍片 103' 提供的沟道区相连的源区和漏区。在一个示例中，源区和漏区可以是半导体鳍片 103' 两端的通过离子注入或原位掺杂形成的掺杂区。在另一个示例中，源区和漏区可以是与半导体鳍片 103' 的两端或侧面接触的附加的半导体层中通过离子注入或原位掺杂形成的掺杂区。

参照图 18-19 描述根据本发明的进一步优选实施例的制造半导体器件的方法的一部分阶段的示例流程，其中，在图 18 (a) 和 19 (a) 中示出了半导体结构的俯视图及截面图的截取位置，在图 18 (b) 和 19 (b) 中示出在半导体鳍片的宽度方向上沿线 A-A 截取的半导体结构的截面图，在图 18 (c) 和 19 (c) 中示出在半导体鳍片的宽度方向上沿线 B-B 截取的半导体结构的截面图，在图 18 (d) 和 19 (d) 中示出在半导体鳍片的长度方向上沿线 C-C 截取的半导体结构的截面图。

根据该优选实施例，在图 15 的步骤中形成牺牲栅导体 113' 和牺牲栅电介质 112'，并且在图 17 所示的步骤之后形成应力作用层 115，并且已经形成源区和漏区，然后进一步执行图 18 和 19 所示的步骤采用替代栅堆叠代替包括牺牲栅导体 113' 和牺牲栅电介质 112' 的牺牲栅堆叠，替代栅堆叠可以包括浮栅电介质 121、浮栅导体 122、控制栅电介质 123 和控制栅导体 124。

具体地，采用第二绝缘层 116 和栅极侧墙 114 作为硬掩模，通过上述已知的蚀刻工艺(例如反应离子蚀刻)去除牺牲栅导体 113'，从而形成栅极开口，如图 18 (a)、18 (b)、18 (c) 和 18 (d) 所示。可选地，可以进一步去除牺牲栅电介质 112' 位于栅极开口底部的部分。按照后栅工艺，在栅极开口中形成浮栅电介质 121、浮栅导体 122、控制栅电介质 123 以及控制栅导体 124，如图 19 (a)、19 (b)、19 (c) 和 19 (d) 所示。浮栅电介质 121、浮栅导体 122、控制栅电介质 123 和控制栅导体 124 一起形成替代栅堆叠。在一个示例中，浮栅电介质 121 和控制栅电介质 123 是厚度约为 0.3nm-1.2nm 的 HfO_2 层，浮栅导体 122 例如是 TiN 层，控制栅导体 124 例如是掺杂的多晶硅。

根据上述的各个实施例，在形成源区和漏区之后，可以在所得到的半导体结构上形成层间绝缘层、位于层间绝缘层中的柱塞、位于层间绝缘层上表面的布线或电极，从而完成 FLASH 器件的其他部分。

图 20 示出了根据本发明的优选实施例的 FLASH 器件 100 的分解透视图，其中为了清楚而未示出第二绝缘层 116。该 FLASH 器件 100 是采用图 1-19 所示的步骤形成，从而包括本发明的多个优选方面，然而不应理解为将本发明限制为这多个优选方面的组合。此外，为了简明起见不再重复在上文中已经提及的材料。

FLASH 器件 100 包括半导体衬底 101、半导体衬底 101 中的阱区 102、位于阱区 102 上的夹层结构。该夹层结构包括背栅导体 109、位于背栅导体 109 两侧的两个半导体鳍片 103'、以及将背栅导体 109 与两个半导体鳍片 103' 分别隔开的各自的背栅电介质 108。阱区 102 作为背栅导体 109 的导电路径的一部分。穿通阻止层 111 位于半导体鳍片 103' 下部。前栅堆叠与半导体鳍片 103' 相交，该前栅堆叠包括浮栅电介质 121、浮栅导体 122、控制栅电介质 123 以及控制栅导体 124，并且浮栅电介质 121 将浮栅导体 122 和半导体鳍片 103' 隔开。

在图 20 所示的示例中，浮栅电介质 121 是按照后栅工艺形成的替代栅电介质，浮栅导体 122 是按照后栅工艺形成的替代栅导体，控制栅电介质 123 是按照后栅工艺形成的替代栅电介质，控制栅导体 124 是按照后栅工艺形成的控制栅导体，这些替代结构构成了前栅堆叠。栅极侧墙 114 位于前栅堆叠的侧面上。在后栅工艺期间，虽然去除了牺牲栅电介质 112' 位于栅极开口内的部分，但保留了位于栅极侧墙 114 下方的部分。

此外，绝缘帽盖 107' 位于背栅导体 109 上方，并且将背栅导体 109 与前栅堆叠隔开。第一绝缘层 110 位于浮栅电介质 121 和阱区 102 之间，并且将浮栅电介质 121 和阱区 102 隔开。

FLASH 器件 100 还包括与半导体鳍片 103' 提供的沟道区相连的源区 120a 和漏区 120b。在图 20 所示的示例中，源区 120a 和漏区 120b 可以是半导体鳍片 103' 两端的通过离子注入或原位掺杂形成的掺杂区。附加的应力作用层 115 与半导体鳍片 103' 的侧面接触。四个柱塞 119 穿过层间绝缘层分别连接到两个半导体鳍片 103' 的源区和漏区。一个附加的柱塞 119 连接到控制栅导体 124，另一个附加的柱塞 119 穿过层间绝缘层和第一绝缘层 110 连接到阱区 102，从而经由阱区 102 与背栅导体 109 相连。

在以上的描述中，对于各层的构图、蚀刻等技术细节并没有做出详细的说明。但是本领域技术人员应当理解，可以通过各种技术手段，来形成所需形状的层、区域等。另外，为了形成同一结构，本领域技术人员还可以设计出与以上描述的方法并不完全相同的方法。另外，尽管在以上分别描述了各实施例，但是这并不意味着各个实施例中的措施不能有利地结合使用。

以上对本发明的实施例进行了描述。但是，这些实施例仅仅是为了说明的目的，而并非为了限制本发明的范围。本发明的范围由所附权利要求及其等价物限定。不脱离本发明的范围，本领域技术人员可以做出多种替代和修改，这些替代和修改都应落在本发明的范围之内。

权利要求书

1、一种 FLASH 器件，包括：

半导体衬底；

半导体衬底中的阱区；

位于阱区上的夹层结构，该夹层结构包括背栅导体、位于背栅导体两侧的半导体鳍片、以及将背栅导体与半导体鳍片分别隔开的各自的背栅电介质，其中阱区作为背栅导体的导电路径的一部分；

与半导体鳍片相交的前栅堆叠，该前栅堆叠包括依次设置的浮栅电介质、浮栅导体、控制栅电介质和控制栅导体，并且浮栅电介质将浮栅导体和半导体鳍片隔开；

位于背栅导体上方以及半导体鳍片上方的绝缘帽盖，并且绝缘帽盖将背栅导体与前栅堆叠隔开；以及

与半导体鳍片提供的沟道区相连的源区和漏区。

2、根据权利要求 1 所述的 FLASH 器件，还包括位于半导体鳍片下部的穿通阻止层。

3、根据权利要求 2 所述的 FLASH 器件，其中所述半导体器件是 N 型的，并且所述穿通阻止层和所述阱区是 P 型的。

4、根据权利要求 2 所述的 FLASH 器件，其中所述半导体器件是 P 型的，并且所述穿通阻止层和所述阱区是 N 型的。

5、根据权利要求 1 所述的 FLASH 器件，其中源区和漏区包括半导体鳍片两端的部分。

6、根据权利要求 1 所述的 FLASH 器件，其中源区和漏区包括与半导体鳍片的两端接触的附加的半导体层中的掺杂区。

7、根据权利要求 1 所述的 FLASH 器件，其中源区和漏区包括与半导体鳍片的侧面接触的附加的半导体层中的掺杂区。

8、根据权利要求 7 所述的 FLASH 器件，其中源区和漏区包括与半导体鳍片不同的材料组成。

9、根据权利要求 1 所述的 FLASH 器件，还包括与半导体鳍片的侧面接

触的附加的应力作用层。

10、根据权利要求 1 所述的 FLASH 器件，其中所述背栅导体由选自 TaC、TiN、TaTbN、TaErN、TaYbN、TaSiN、HfSiN、MoSiN、RuTax、NiTax、MoNx、TiSiN、TiCN、TaAlC、TiAlN、Ta₃N、PtSix、Ni₃Si、Pt、Ru、Ir、Mo、W、HfRu、RuOx、掺杂的多晶硅中的至少一种组成。

11、一种制造 FLASH 器件的方法，包括：

在半导体衬底中形成阱区，使得半导体衬底位于阱区上方的部分形成半导体层；

在半导体层上形成多个掩模层；

在所述多个掩模层中的最顶部的一个中形成开口；

在开口内壁形成侧墙形式的另一个掩模层；

采用所述另一个掩模层作为硬掩模，将开口穿过所述多个掩模层和所述半导体层延伸到阱区；

在开口内壁形成背栅电介质；

在开口中形成背栅导体；

在开口中形成包括所述另一个掩模层的绝缘帽盖，该绝缘帽盖覆盖背栅电介质和背栅导体；

采用绝缘帽盖作为硬掩模，将半导体层图案化为半导体鳍片；

形成与半导体鳍片相交的前栅堆叠，该前栅堆叠包括从下至上设置的浮栅电介质、浮栅导体、控制栅电介质和控制栅导体，并且浮栅电介质将浮栅导体和半导体鳍片隔开；以及

形成与半导体鳍片提供的沟道区相连的源区和漏区，

其中，背栅导体、位于背栅导体两侧的由半导体层形成的半导体鳍片、以及将背栅导体与半导体鳍片分别隔开的各自的背栅电介质形成夹层结构，其中绝缘帽盖将背栅导体与控制栅导体隔开，阱区作为背栅导体的导电路径的一部分。

12、根据权利要求 11 所述的方法，在图案化半导体层的步骤和形成前栅堆叠的步骤之间，还包括在半导体鳍片下部形成穿通阻止层。

13、根据权利要求 12 所述的方法，其中形成穿通阻止层包括进行离子注

入而在半导体鳍片与阱区相邻的部分中引入掺杂剂。

14、根据权利要求 13 所述的方法，其中形成穿通阻止层包括在进行离子注入之前，形成绝缘层限定穿通阻止层的位置。

15、根据权利要求 13 所述的方法，其中所述半导体器件是 N 型的，并且在形成阱区的步骤中使用 P 型掺杂剂，在形成穿通阻止层的步骤中使用 P 型掺杂剂。

16、根据权利要求 13 所述的方法，其中所述 FLASH 器件是 P 型的，并且在形成阱区的步骤中使用 N 型掺杂剂，在形成穿通阻止层的步骤中使用 N 型掺杂剂。

17、根据权利要求 11 所述的方法，其中形成源区和漏区包括对半导体鳍片的两端的离子注入。

18、根据权利要求 11 所述的方法，其中形成源区和漏区包括形成与半导体鳍片的两端接触的附加的半导体层，以及对附加的半导体层进行离子注入或原位掺杂。

19、根据权利要求 11 所述的方法，其中形成源区和漏区包括形成与半导体鳍片的侧面接触的附加的半导体层，以及对附加的半导体层进行离子注入或原位掺杂。

20、根据权利要求 11 所述的方法，还包括形成与半导体鳍片的侧面上外延生长应力作用层。

21、根据权利要求 11 所述的方法，其中所述背栅导体由选自 TaC、TiN、TaTbN、TaErN、TaYbN、TaSiN、HfSiN、MoSiN、RuTax、NiTax，MoNx、TiSiN、TiCN、TaAlC、TiAlN、TaN、PtSix、Ni₃Si、Pt、Ru、Ir、Mo、W、HfRu、RuOx、掺杂的多晶硅中的至少一种组成。

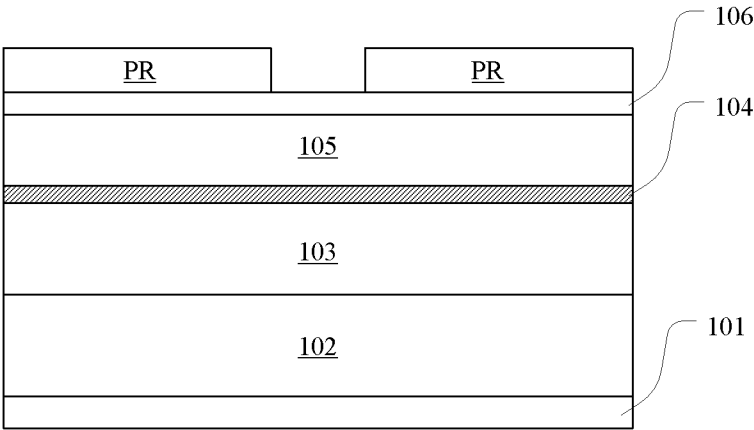


图1

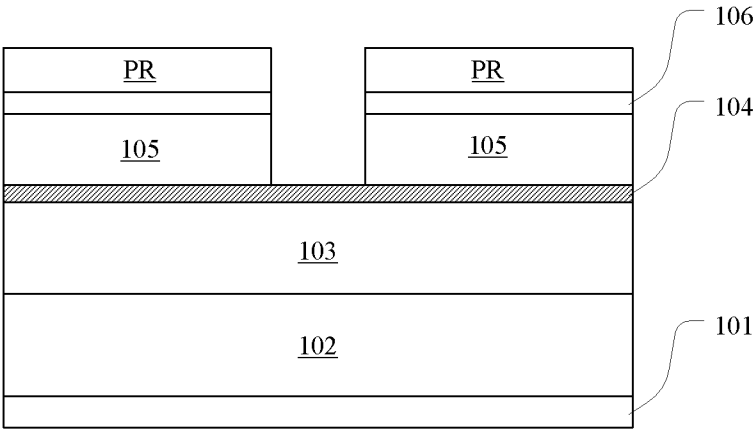


图2

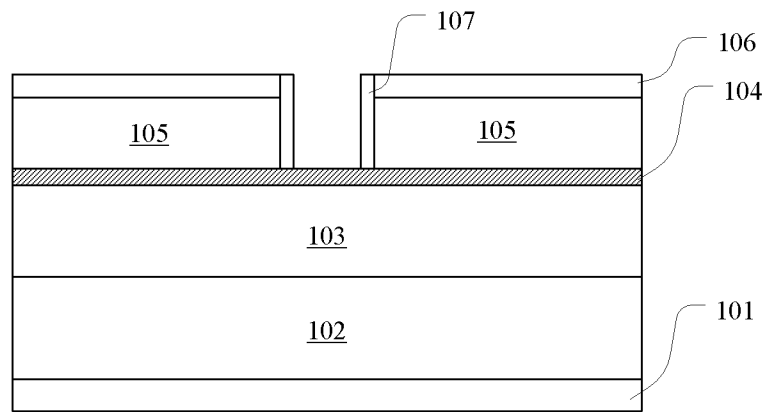


图3

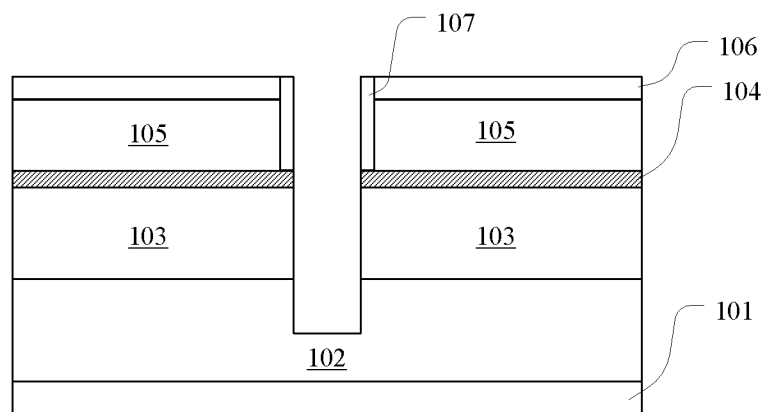


图4

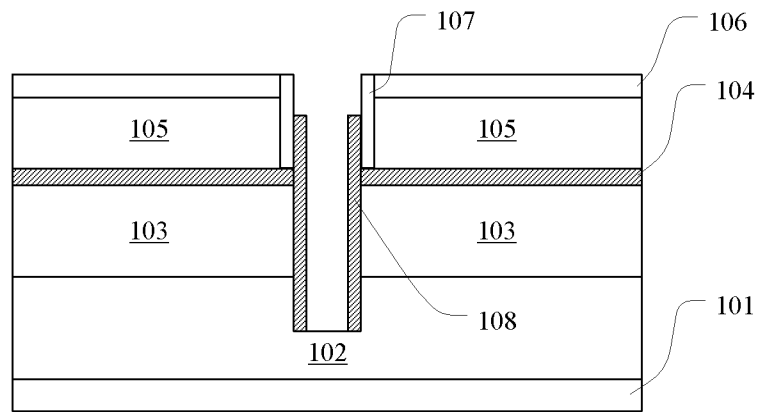


图5

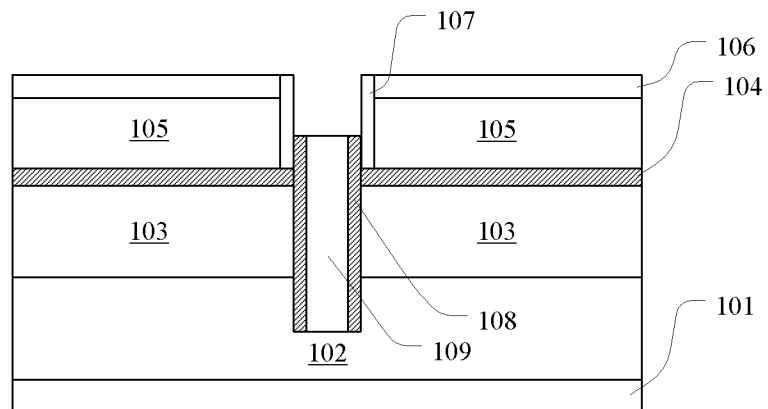


图6

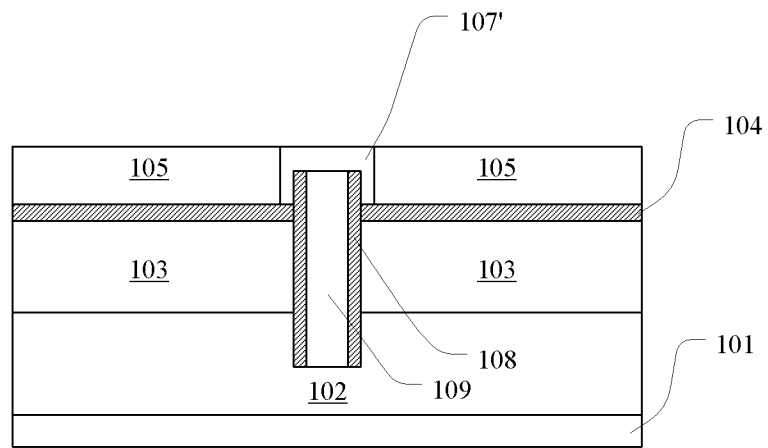


图7

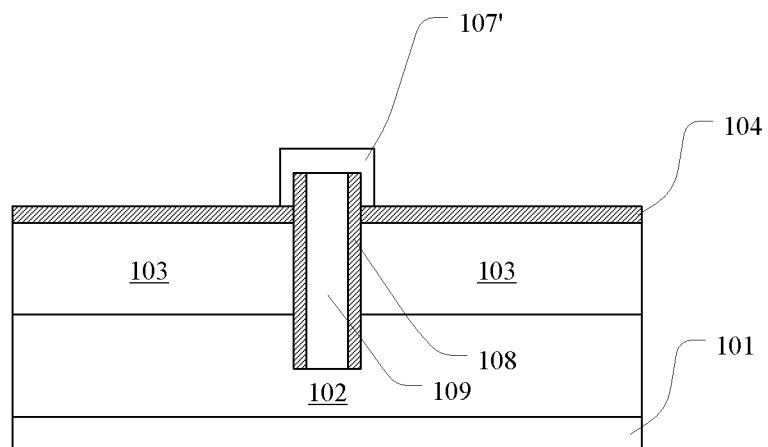


图8

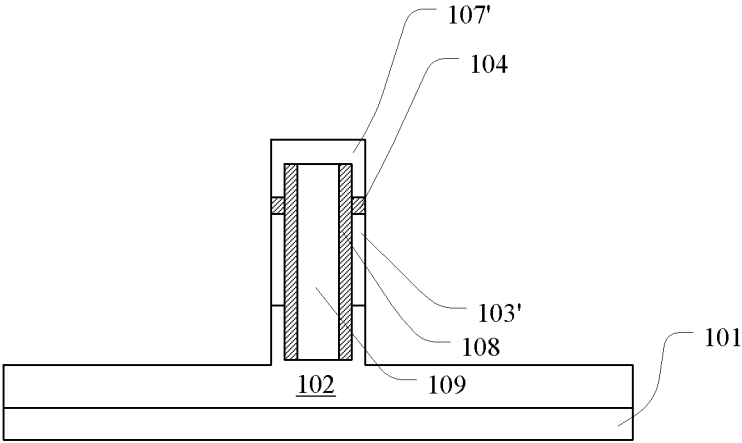


图9

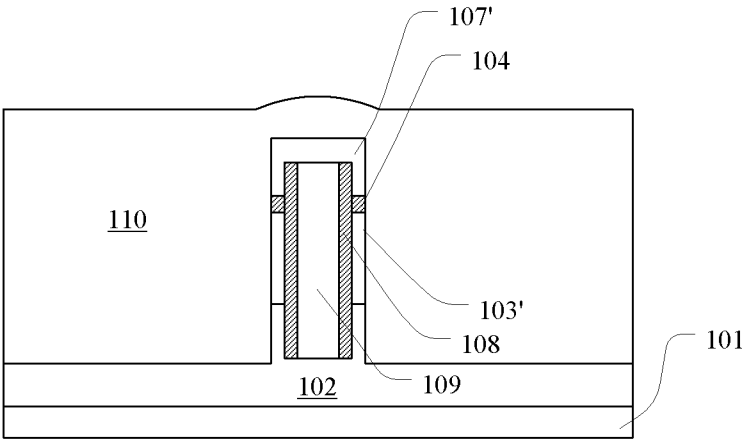


图10

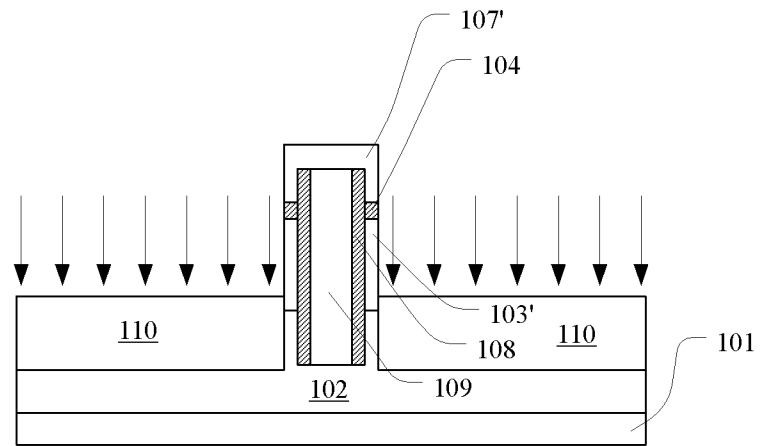


图11

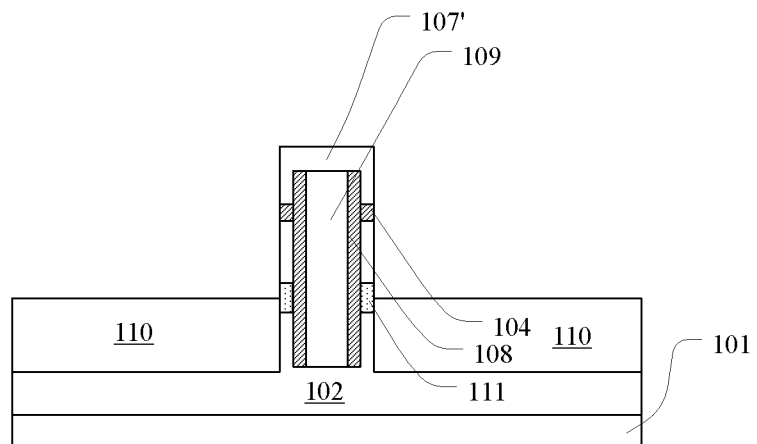


图12

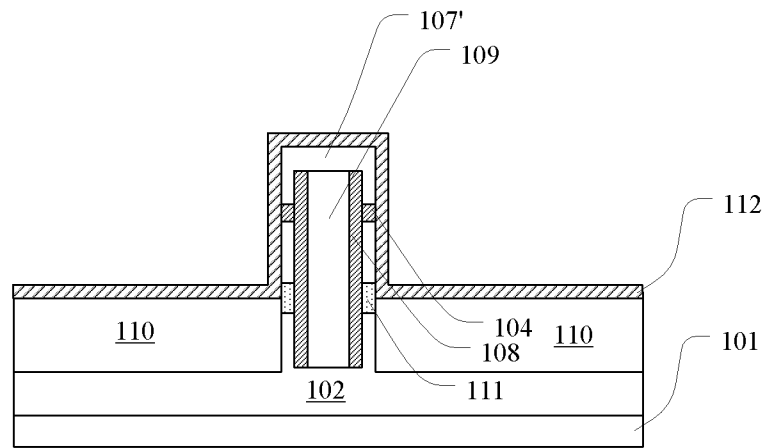


图13

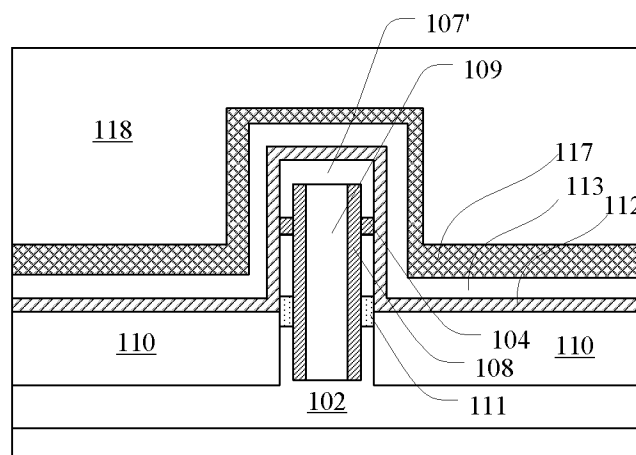


图14

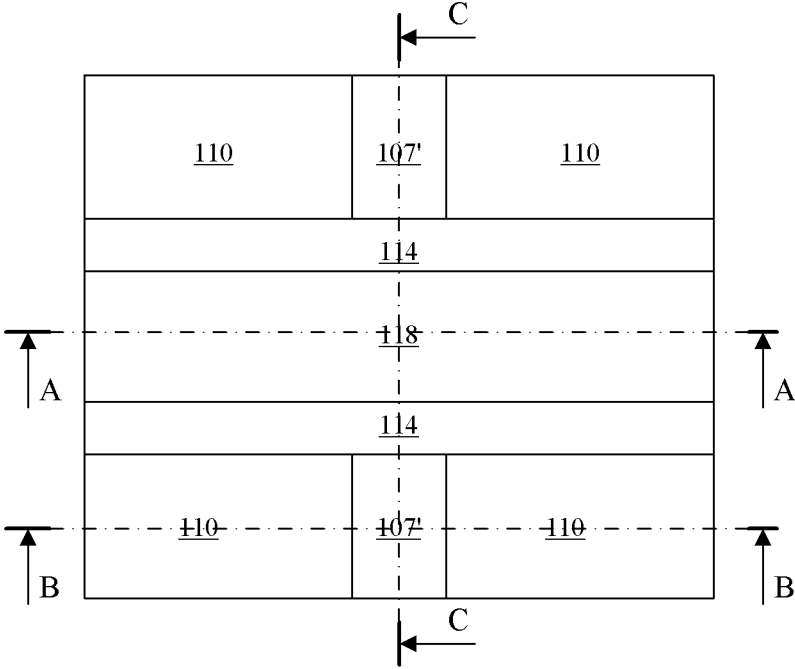


图15(a)

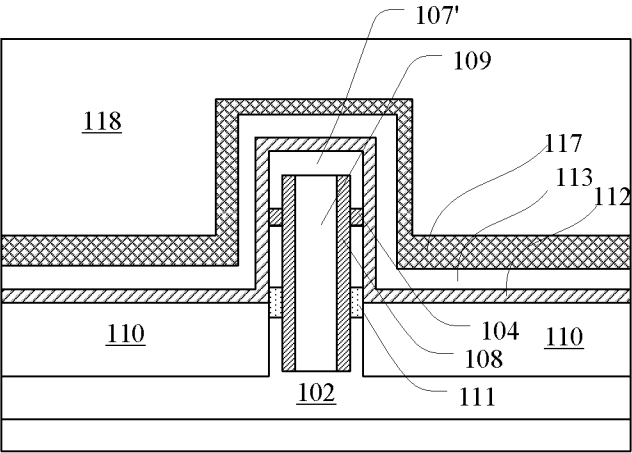


图15(b)

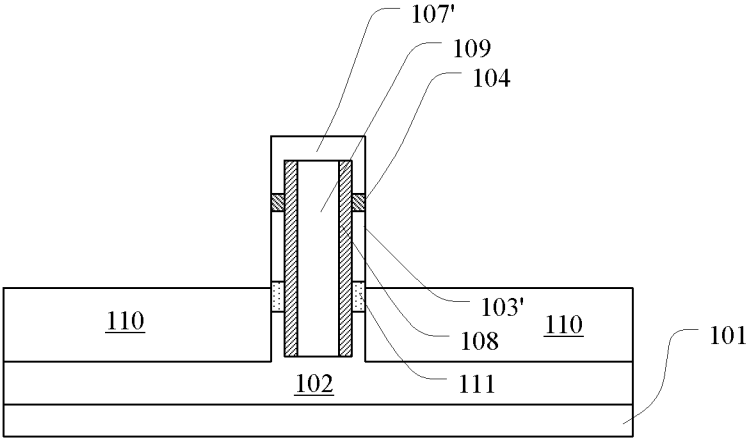


图15(c)

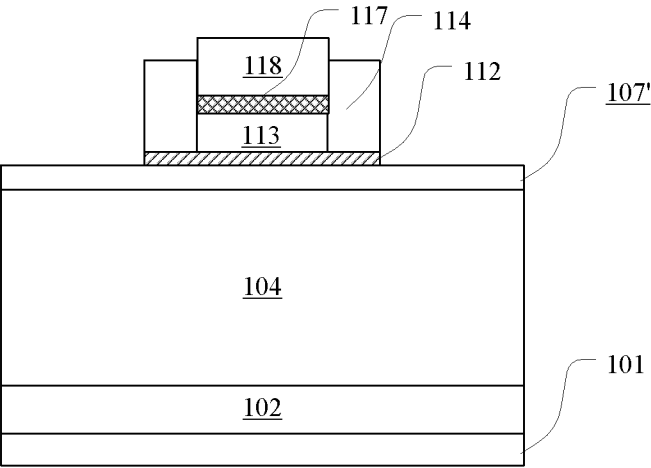


图15(d)

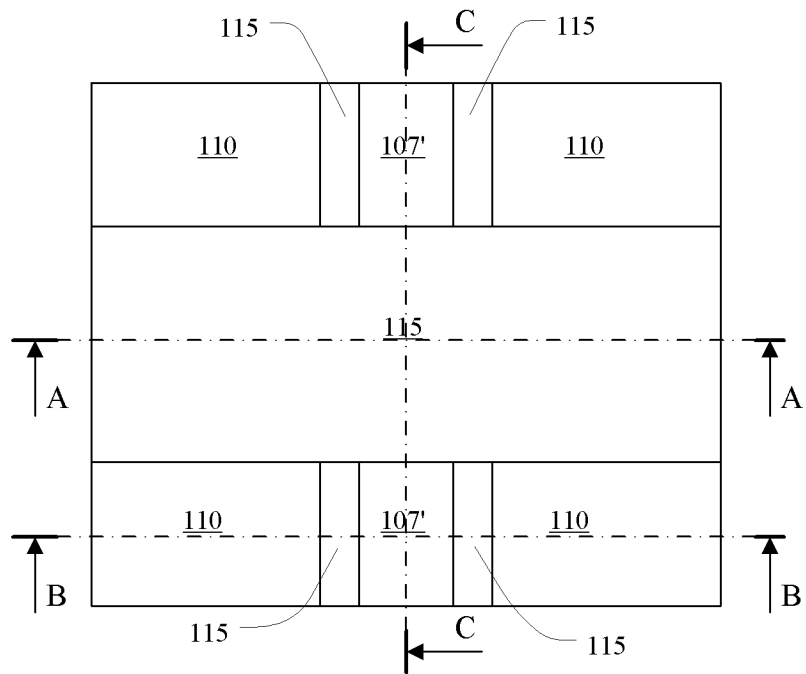


图16(a)

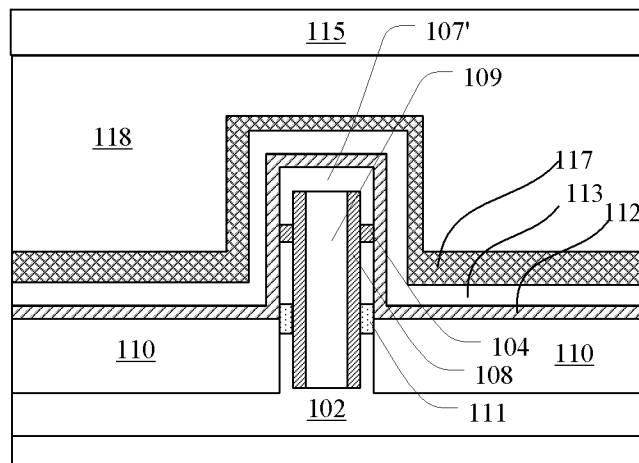


图16(b)

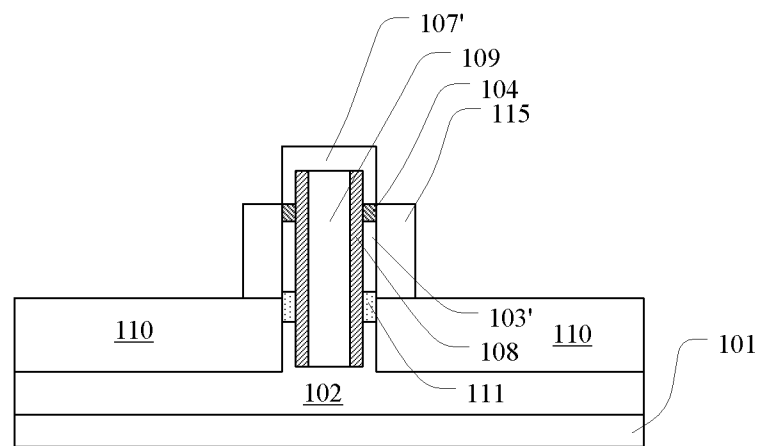


图16(c)

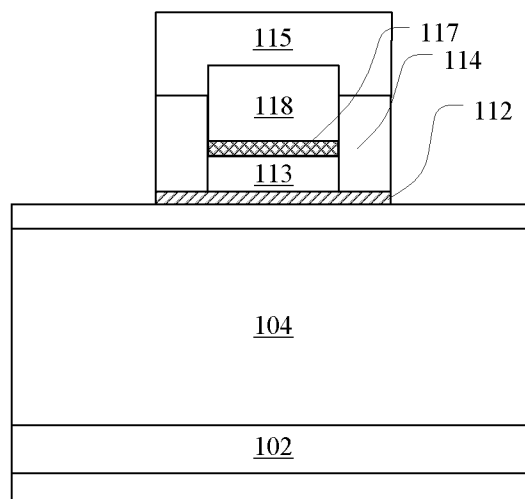


图16(d)

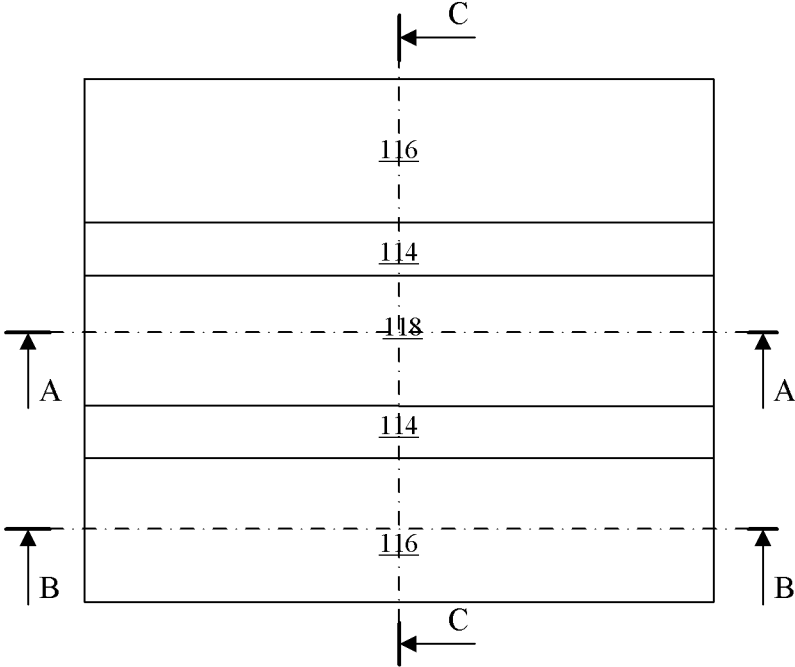


图17(a)

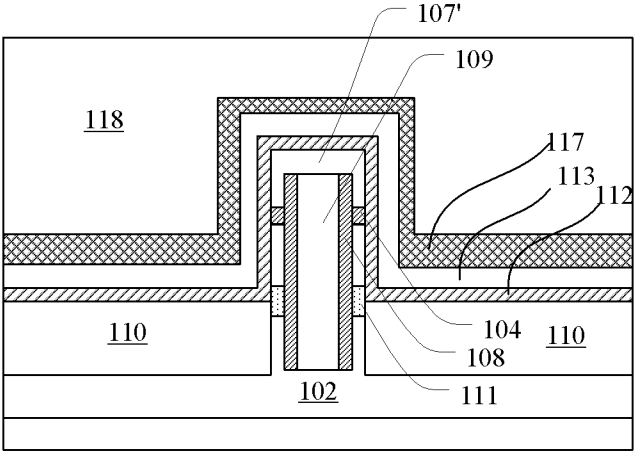


图17(b)

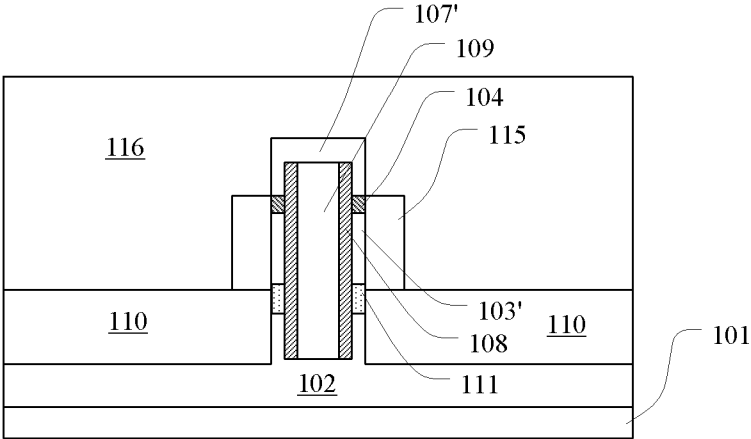


图17(c)

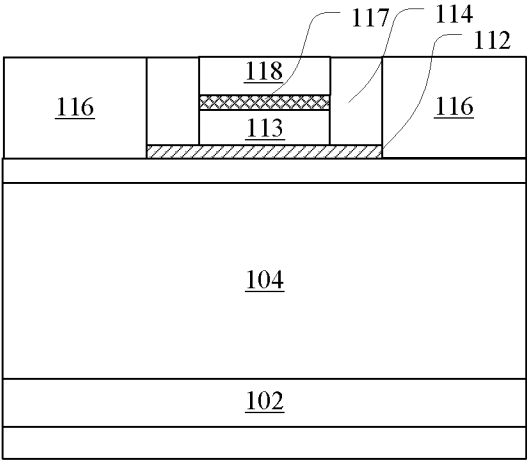


图17(d)

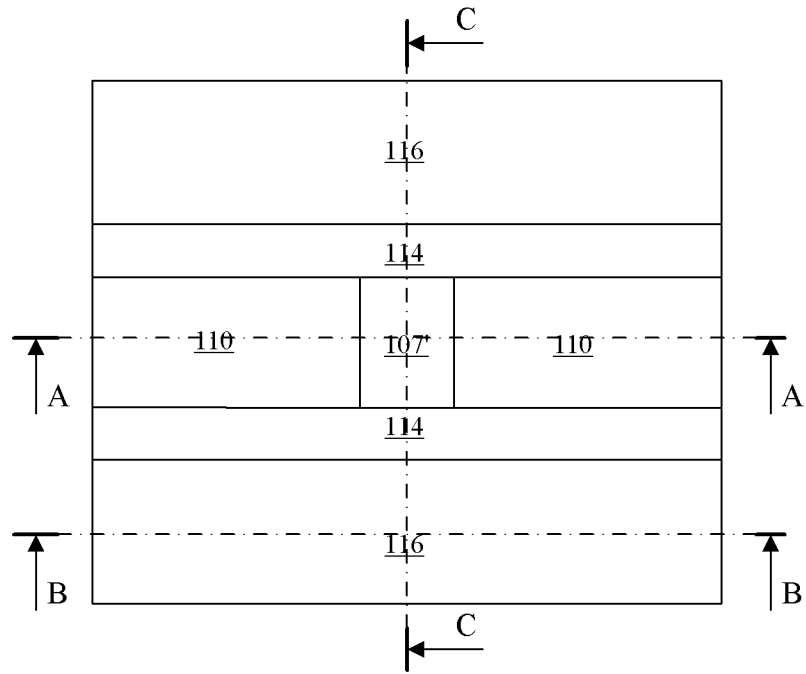


图18(a)

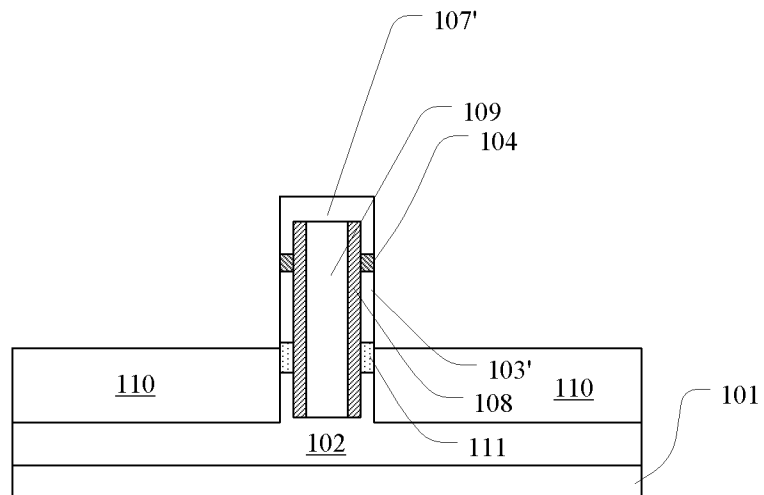


图18(b)

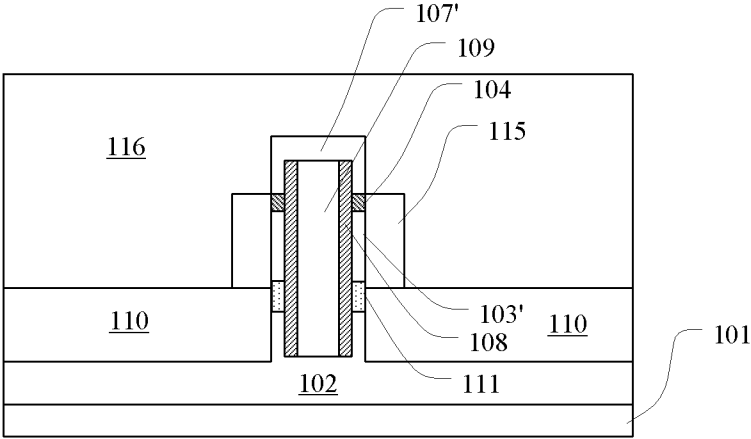


图18(c)

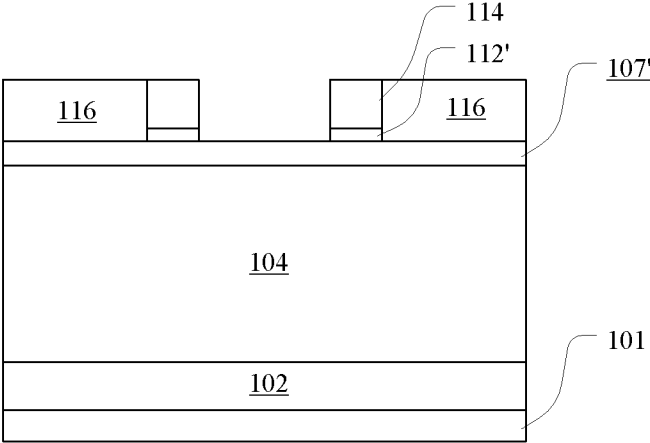


图18(d)

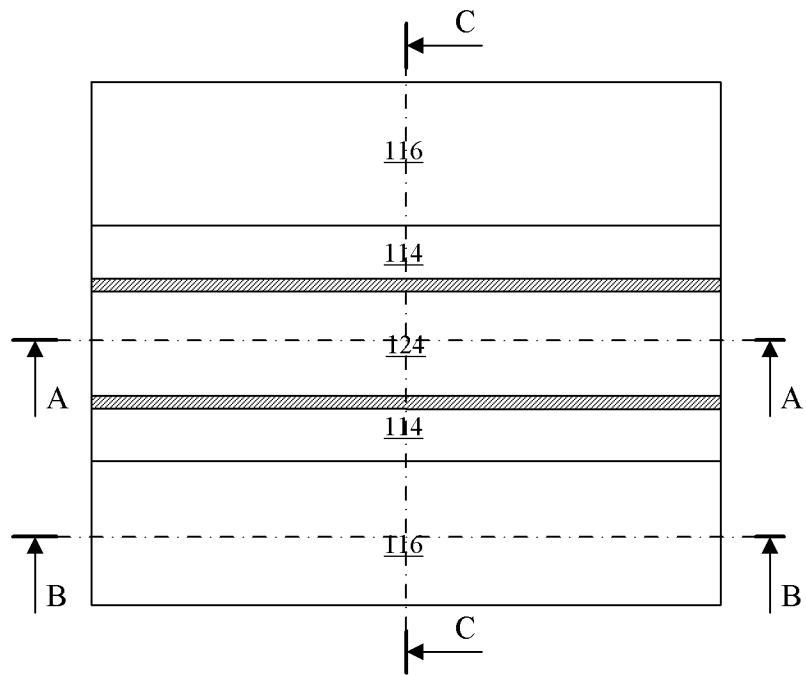


图19(a)

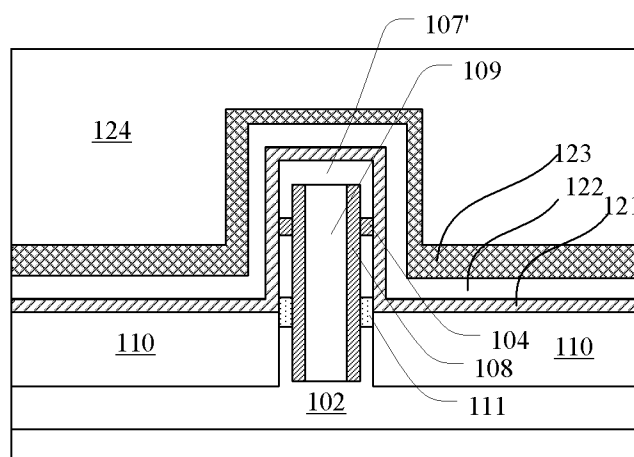


图19(b)

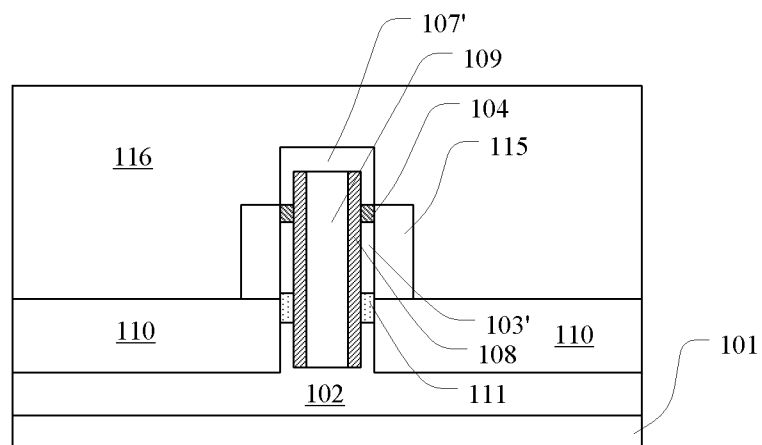


图19(c)

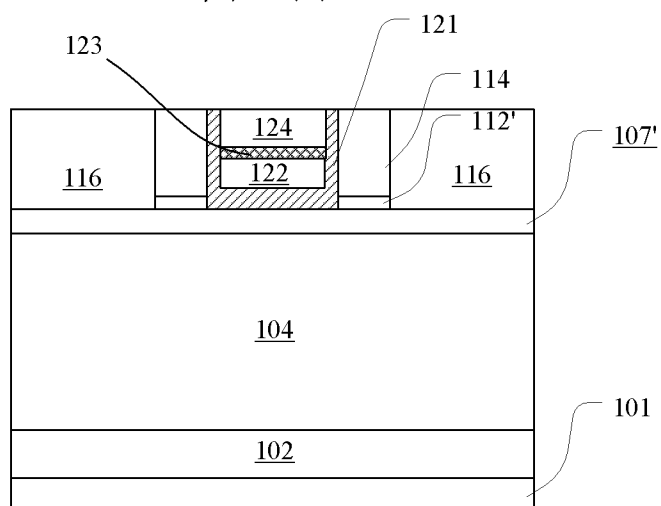


图19(d)

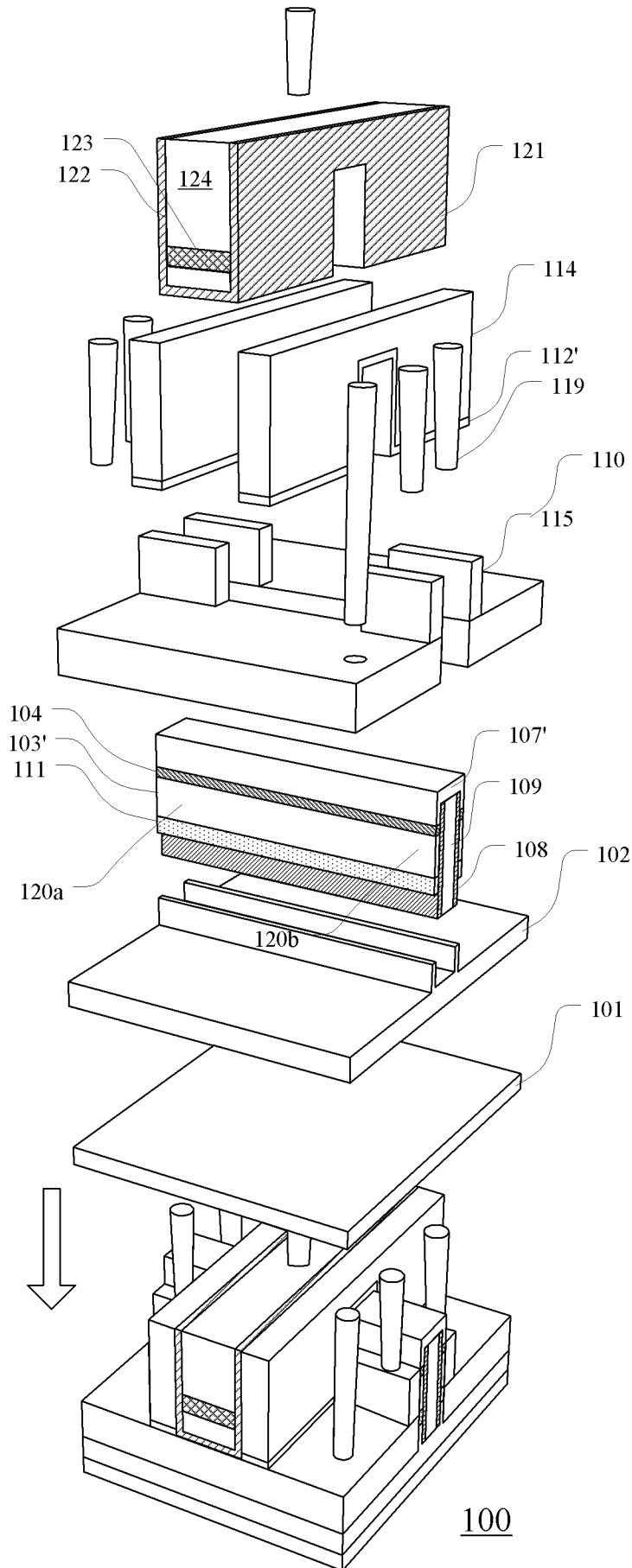


图20

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2013/074771

A. CLASSIFICATION OF SUBJECT MATTER

See the extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNKI, CNABS, TWABS, VEN, EPODOC, DWPI, IEEE: fin, FET, transistor, gate, source, drain, gap, contact+, wall, multi+, insulat+, float+, layer

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 102034831 A (SEMICONDUCTOR MFG INT SHANGHAI CORP.) 27 April 2011 (27.04.2011) the whole document	1-21
A	CN 102891179 A (INST MICROELECTRONICS CHINESE ACAD SCI) 23 January 2013 (23.01.2013) the whole document	1-21
A	CN 102832133 A (UNIV PEKING) 19 December 2012 (19.12.2012) the whole document	1-21
A	CN 102194756 A (TAIWAN INTEGRATED CIRCUIT MFG CORP.) 21 September 2011 (21.09.2011) the whole document	1-21
A	WO 2009/003895 A1 (INTERNATIONAL BUSINESS MACINES CORPORATION) 08 January 2009 (08.01.2009) the whole document	1-21

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 26 December 2013 (26.12.2013)	Date of mailing of the international search report 02 January 2014 (02.01.2014)
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer LIU, Bo Telephone No. (86-10) 62411558

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2013/074771

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 102034831 A	27.04.2011	US 2011163369 A1	07.07.2011
		US 8513727 B2	20.08.2013
		US 20130302951 A1	14.11.2013
CN 102891179 A	23.01.2013	WO 2013010299 A1	24.01.2013
		US 2013020578 A1	24.01.2013
CN 102832133 A	19.12.2012	None	
CN 102194756 A	21.09.2011	KR 1154915 B1	13.06.2012
		KR 20110104865 A	23.09.2011
		US 2011227162 A1	22.09.2011
		JP 2011199287 A	06.10.2011
WO 2009/003895 A1	08.01.2009	US 2009001426 A1	01.01.2009

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2013/074771

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/115 (2006.01) i

H01L 21/8247 (2006.01) i

H01L 29/78 (2006.01) i

H01L 21/336 (2006.01) i

H01L 29/10 (2006.01) i

国际检索报告

国际申请号
PCT/CN2013/074771

A. 主题的分类

参见附加页

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNKI,CNABS,TWABS,VEN,EPODOC,DWPI,IEEE:场效应晶体管, 栅, 源, 漏, 墙, 鳍, 多层, 绝缘, 浮, FET, transistor, gate, source, drain, gap, contact+, wall, multi+, insulat+, float+

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN102034831A(中芯国际集成电路制造(上海)有限公司) 27.4 月.2011(27.04.2011)全文	1-21
A	CN102891179A(中国科学院微电子研究所)23.1 月 3013(23.01.2013)全文	1-21
A	CN102832133A(北京大学)19.12 月.2012(19.12.2012)全文	1-21
A	CN102194756A(台湾积体电路制造股份有限公司) 21.9 月.2011(21.09.2011)全文	1-21
A	WO2009/003895A1 (International Business Macines corporation) 08.1 月.2009(08.01.2009)全文	1-21



其余文件在 C 栏的续页中列出。



见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

26.12 月 2013(26.12.2013)

国际检索报告邮寄日期

02.1 月 2014 (02.01.2014)

ISA/CN 的名称和邮寄地址:

中华人民共和国国家知识产权局

中国北京市海淀区蓟门桥西土城路 6 号 100088

传真号: (86-10)62019451

受权官员

刘博

电话号码: (86-10) **62411558**

国际检索报告

关于同族专利的信息

国际申请号

PCT/CN2013/074771

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN102034831A	27.04.2011	US2011163369 A1	07.07.2011
		US8513727B2	20.08.2013
		US20130302951A1	14.11.2013
CN102891179A	23.01.2013	WO2013010299A1	24.01.2013
		US2013020578A1	24.01.2013
CN102832133A	19.12.2012	无	
CN102194756A	21.09.2011	KR1154915B1	13.06.2012
		KR20110104865A	23.09.2011
		US2011227162A1	22.09.2011
		JP2011199287A	06.10.2011
WO2009/003895A1	08.01.2009	US2009001426	01.01.2009

A. 主题的分类

H01L27/115(2006.01)i

H01L21/8247(2006.01)i

H01L29/78(2006.01)i

H01L21/336(2006.01)i

H01L29/10(2006.01)i