

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2012年11月29日(29.11.2012)



(10) 国際公開番号  
WO 2012/161044 A1

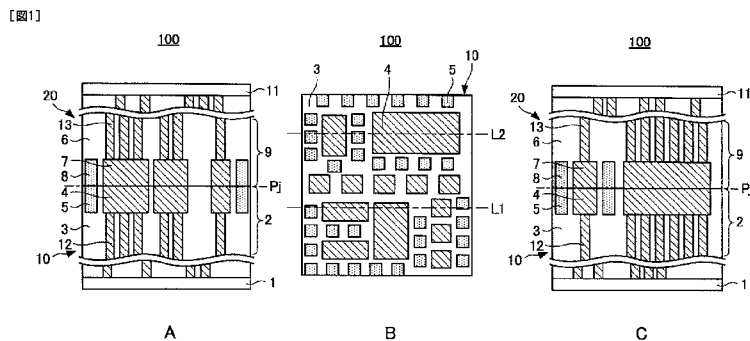
- (51) 国際特許分類:  
H01L 21/3205 (2006.01) H01L 25/00 (2006.01)  
H01L 21/02 (2006.01) H01L 27/00 (2006.01)  
H01L 21/768 (2006.01) H01L 27/14 (2006.01)  
H01L 23/522 (2006.01)
- (21) 国際出願番号: PCT/JP2012/062484
- (22) 国際出願日: 2012年5月16日(16.05.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2011-115634 2011年5月24日(24.05.2011) JP  
特願 2011-129190 2011年6月9日(09.06.2011) JP
- (71) 出願人 (米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒1080075 東京都港区港南1丁目7番1号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 藤井 宣年 (FUJII Nobutoshi) [JP/JP]; 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP). 香川 恵永 (KAGAWA Yoshihisa) [JP/JP]; 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP).
- (74) 代理人: 特許業務法人つばさ国際特許事務所 (TSUBASA PATENT PROFESSIONAL CORPORATION); 〒1600022 東京都新宿区新宿1丁目15番9号 さわだビル3階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: A first semiconductor device comprising: a first wiring layer that includes a first interlayer insulation film, a first electrode pad embedded within the first interlayer insulation film and positioned such that one surface thereof is coplanar with one surface of the first interlayer insulation film, and a first dummy electrode embedded within the first interlayer insulation film, positioned such that one surface thereof is coplanar with one surface of the first interlayer insulation film, and arranged at the perimeter of the first electrode pad; and a second wiring layer that includes a second interlayer insulation film, a second electrode pad embedded within the second interlayer insulation film, joined to the first electrode pad, and positioned such that one surface thereof is on the same surface as one surface of the second interlayer insulation film, and a second dummy electrode joined to the first dummy electrode, positioned such that one surface thereof is coplanar with the surface of the second interlayer insulation film at the first interlayer insulation film side thereof, and arranged at the perimeter of the second electrode pad. A second semiconductor device is provided with: a first semiconductor part having a first electrode formed on the surface at the junction interface side thereof, and extending in a first direction; and a second semiconductor part having a second electrode joined to the first electrode and extending in a second direction intersecting the first direction, and bonded to the first semiconductor part at the junction interface.

(57) 要約:

[続葉有]

WO 2012/161044 A1

第1の半導体装置は、第1層間絶縁膜と、第1層間絶縁膜内に埋め込まれ、一方の表面が第1層間絶縁膜の一方の表面と同一面上に位置した第1電極パッドと、第1層間絶縁膜内に埋め込まれ、一方の表面が第1層間絶縁膜の一方の表面と同一面上に位置し、第1電極パッドの周囲に配設された第1ダミー電極と、を含む第1配線層と、第2層間絶縁膜と、第2層間絶縁膜内に埋め込まれ、一方の表面が第2層間絶縁膜の一方の表面と同一表面上に位置し、かつ第1電極パッドに接合された第2電極パッドと、一方の表面が第2層間絶縁膜の第1層間絶縁膜側の表面と同一面上に位置し、第2電極パッドの周囲に配設され、第1ダミー電極に接合された第2ダミー電極と、を含む第2配線層と、を含んでいる。第2の半導体装置は、接合界面側の表面に形成されかつ第1の方向に延在する第1電極を有する第1半導体部と、第1電極と接合されかつ第1の方向と交差する第2の方向に延在する第2電極を有し、上記接合界面で第1半導体部と貼り合わせて設けられた第2半導体部とを備えている。

## 明 細 書

発明の名称：半導体装置

技術分野

[0001] 本技術は、2以上の半導体部材を接合して積層した半導体装置に関する。

背景技術

[0002] 従来、例えば半導体部材同士を貼り合わせて3次元集積回路等を作製する場合には、半導体部材の貼り合わせ面に設けられたCu電極同士を直接接合する方法が用いられることがある（例えば、特許文献1、特許文献4及び特許文献5を参照）。例えば、下記特許文献1では、受光素子が形成された第1基板と周辺回路が形成された第2基板とを、Cu電極（ボンディングパッド）によって接合することが開示されている。こうした方法では、それぞれの半導体部材に設けたCu電極と層間絶縁膜とを同一面に平坦化して貼り合わせることにより、対向するCu電極同士及び層間絶縁膜同士を接合する。

[0003] しかし、半導体部材同士の電氣的接続においては、それぞれの半導体部材に設けられたCu電極同士を直接接触させ、かつ接合可能な程度に接合面の平坦性を確保することは困難である。例えば、CMP（chemical mechanical polishing）法によって半導体部材の接合面を平坦化する場合には、接合面のディッシングの発生を抑制するために、研磨条件を厳密に設定する必要がある。また、設定した条件を安定的かつ継続的に実施するのは困難である。

[0004] このため、Cu電極及び層間絶縁膜の平坦化を完全には行わず、層間絶縁膜のみを例えばウェットエッチングやドライエッチング等によって一部除去することにより、層間絶縁膜よりもCu電極を突出させることが提案されている（例えば、特許文献2、及び、非特許文献1参照）。

[0005] 一方で、接合が行われない一般的な半導体部材では、配線密度が一定になるようにダミーパターンを設けることにより、ディッシングを抑制することも行われている（例えば下記特許文献3参照）。また、このように貼り合わされた半導体部材同士の接合強度を測定する場合には、例えば非特許文献2

に記載されているような、いわゆるカミソリテストが従来より知られている。

[0006] さらに、通常、Cu電極同士の接合を行う際、例えば、アライメントずれや接触抵抗の上昇などを抑制するために、大面積のCuプレート同士を接合する。しかしながら、各Cuプレートを形成する際には、一般に、Cuプレートの接合面に対してCMP（化学機械研磨）処理を施す。それゆえ、幅広（例えば5 $\mu$ m以上）のCuプレートを形成した際には、CMP処理によりCuプレートの接合面にディッシング（窪み）が発生し易くなる。

[0007] ここで、図19に、接合面にディッシングが発生したCuプレート同士を接合した際の接合界面付近の様子を示す。なお、図19には、第1半導体チップ1401と、第2半導体チップ1402とをCu電極同士の接合する例を示す。第1半導体チップ1401の接合パッド1403の接合面、及び、第2半導体チップ1402の接合パッド1404の接合面にディッシングが発生している場合、両者を接合すると、接合界面S<sub>j</sub>に気泡等が発生する。この場合、接合界面S<sub>j</sub>において、例えば導通不良や接触抵抗の上昇などが発生し、接合性が著しく劣化する可能性がある。

[0008] この問題を解消するため、特許文献5には、接合パッド内に複数の開口を形成することにより、ディッシングの発生を抑制する技術が提案されている。

[0009] 図20に、特許文献5で提案されている接合パッドの概略上面図を示す。特許文献5で提案されている接合パッド1405は、プレート状のパッドに複数の矩形状の開口1406を所定間隔で分散させて形成する。なお、図20には示さないが、接合パッド1405の開口1406内には、絶縁層（誘電体層）が形成される。接合パッド1405をこのような構成にすることにより、接合パッド1405内に大面積（幅広）の電極部分が無くなり、ディッシングの発生を抑制することができる。

## 先行技術文献

### 特許文献

- [0010] 特許文献1：特開2006-191081号公報  
特許文献2：特表2006-522461号公報  
特許文献3：特開平11-265866号公報  
特許文献4：特許第3532788号明細書  
特許文献5：特開2010-103533号公報

### 非特許文献

- [0011] 非特許文献1：J. J. McMahon, J. -Q. Lu and R. J. Gutmann, IEEE 55th ECTC, 2005  
非特許文献2：W. P. Maszara, G. Goetz, A. Caviglia and J. B. McKittrick, J. Appl. Phys. 64(10)1988, pp. 4943]

### 発明の概要

- [0012] このように、半導体部材同士をより強固に接合するために、従来様々な方法が提案されてきているが、確実な方法は未だ見出されていないのが現状である。また、Cu電極間の接合界面における例えば導通不良や接触抵抗の上昇などの発生を、より一層抑制することが求められている。このように、より信頼性の高い接合面を有する半導体装置が望まれている。
- [0013] したがって、より信頼性の高い接合面を有する半導体装置を提供することが望ましい。
- [0014] 本技術の一実施の形態に係る第1の半導体装置は、第1層間絶縁膜と、この第1層間絶縁膜内に埋め込まれ、一方の表面が第1層間絶縁膜の一方の表面と同一面上に位置した第1電極パッドと、第1層間絶縁膜内に埋め込まれ、一方の表面が第1層間絶縁膜の一方の表面と同一面上に位置し、第1電極パッドの周囲に配設された第1ダミー電極と、を含む第1配線層と、第1層間絶縁膜の第1電極パッドの一方の表面側に位置した第2層間絶縁膜と、第2層間絶縁膜内に埋め込まれ、一方の表面が第2層間絶縁膜の第1層間絶縁膜側の表面と同一表面上に位置し、かつ第1電極パッドに接合された第2電極パッドと、一方の表面が第2層間絶縁膜の第1層間絶縁膜側の表面と同一面上に位置し、第2電極パッドの周囲に配設され、第1ダミー電極に接合された第2ダミー電極と、を含む第2配線層と、を含むようにしたものである。

- 。
- [0015] 本技術の一実施の形態に係る第1の半導体装置では、第1配線層と第2配線層との接合面にダミー電極を配置することにより、ダミー電極同士が接合される。これにより、金属接合が行われる面積が増大する。
- [0016] 本技術の一実施の形態に係る第2の半導体装置は、接合界面側の表面に形成されかつ第1の方向に延在する第1電極を有する第1半導体部と、上記接合界面で第1電極と接合されかつ第1の方向と交差する第2の方向に延在する第2電極を有し、上記接合界面で第1半導体部と貼り合わせて設けられた第2半導体部とを備えたものである。
- [0017] 本技術の一実施の形態に係る第2の半導体装置では、接合界面において接合される第1電極の延在方向と第2電極の延在方向とが交差すると共に、その交差部分に第1電極及び第2電極間の接合領域が形成される。これにより、第1電極及び第2電極間に接合アライメントずれが発生しても、交差部分に形成される第1電極及び第2電極間の接合領域の面積は変動しない。
- [0018] 本技術の一実施の形態に係る第1の半導体装置によれば、第1配線層と第2配線層との接合面において、金属接合が行われる面積を増大させることができる。よって、第1配線層と第2配線層との接合強度を向上させることができ、より信頼性の高い接合面を有する半導体装置を得ることが可能となる。
- 。
- [0019] 本技術の一実施の形態に係る第2の半導体装置によれば、第1電極及び第2電極間の接合界面における例えば導通不良や配線抵抗の上昇などの発生をより一層抑制することができる。よって、より信頼性の高い接合界面を有する半導体装置を得ることが可能となる。

### 図面の簡単な説明

- [0020] [図1]図1A、図1B、図1Cは、本技術の第1実施形態に係る半導体装置を示す図である。
- [図2]図2A、図2B、図2Cは、本技術の第2実施の形態に係る半導体装置を示す図である。

[図3]図3 A、図3 Bは、本技術の第3の実施形態に係る半導体装置を示す図である。

[図4]図4 A、図4 Bは、本技術の第4の実施形態に係る半導体装置を示す図である。

[図5]図5 A、図5 Bは、本技術の第5の実施形態に係る半導体装置を示す図である。

[図6]本技術の第6の実施形態に係る半導体受像装置を示す図である。

[図7]接合アライメントずれの問題を説明するための図である。

[図8]接合アライメントずれの問題を説明するための図である。

[図9]本技術の第7の実施形態に係る半導体装置の各Cu接合部の概略構成図である。

[図10]第7の実施形態に係る半導体装置における接合界面付近の概略断面図である。

[図11]第7の実施形態に係る半導体装置のCu電極同士の接合領域の概略構成図である。

[図12]本技術の第8の実施形態に係る半導体装置の各Cu接合部の概略構成図である。

[図13]本技術の第9の実施形態に係る半導体装置の各Cu接合部の概略構成図である。

[図14]第9の実施形態に係る半導体装置のCu電極同士の接合領域の概略構成図である。

[図15]本技術の第10の実施形態に係る半導体装置（固体撮像素子）の概略構成断面図である。

[図16]図16 A、図16 B、図16 Cは、比較例に係る半導体装置を示す図である。

[図17]変形例1のCu電極同士の接合領域の概略構成図である。

[図18]本技術の半導体装置（固体撮像素子）を適用した電子機器の一例を示す図である。

[図19]従来のCu電極同士の接合におけるディッシングの影響を説明するための図である。

[図20]従来の接合パッドの概略上面図である。

### 発明を実施するための形態

[0021] 以下、本技術の実施の形態について、図面を参照して詳細に説明する。

[0022] <第1の実施の形態>

図1Aは、第1の実施形態に係る半導体装置100の概略断面図である。本実施形態の半導体装置100は、第1半導体部材10と、第1半導体部材10に接合された第2半導体部材20と、を有する。また、図1Bは、第1半導体部材10の接合面を示す図であり、図1Aは、図1B中の線L1における断面図である。また、図1Cは、図1B中の線L2における断面図である。

[0023] 図1A及び図1Cに示すように、第1半導体部材10は、例えば、基板1と、基板1上に形成された第1配線層2とを有する。また、図示を省略するが、基板1上には、例えばトランジスタやダイオード等の半導体素子が形成される。この半導体素子上には、例えばSiO<sub>2</sub>、NSG（ノンドープトシリケートガラス）、PSG（ホスホシリケートガラス）、TEOS（テトラエトキシシラン）等による平坦化膜が設けられ、この平坦化膜上に第1配線層2が形成される。さらに、第1半導体部材10は、複数の配線層が積層された多層配線構造を有してもよい。ただし、この場合、第1配線層2は、各配線層の中でも最も第2半導体部材20側に配設される。

[0024] 第1配線層2には、例えばCuからなる第1電極パッド4と、例えばCuからなるダミー電極5とが配設される。また、第1電極パッド4とダミー電極5とは、例えば有機シリカガラス等の低誘電率材料や、SiO<sub>2</sub>等からなる層間絶縁膜3内に埋め込まれている。第1電極パッド4、ダミー電極5及び層間絶縁膜3の基板1側とは反対側のそれぞれの表面は、同一面内に位置しており、第1配線層2と後述する第2配線層9との接合面Pjを形成している。

- [0025] また、各第1電極パッド4にはビア12が接続されており、各第1電極パッド4は、ビア12を介して図示を省略する配線に接続される。一つの配線に対する第1電極パッド4の接続数は、該配線に接続するパッド4とビア12との抵抗値の合計が、配線に必要とされる抵抗値に等しくなるように定められる。一つの配線に対して、複数の第1電極パッド4を接続することにより、大面積のパッドを配置する場合と同様の効果が得られる。
- [0026] 第2半導体部材20は、例えば、基板11と、基板11上に形成された第2配線層9とを有する。また、基板11上には、例えばトランジスタやダイオード等の半導体素子（図示を省略）が形成されていてもよい。第2半導体部材20は、複数の配線層が積層された多層配線構造であってもよいが、第2配線層9は、各配線層の中でも基板11に対してもっとも遠い位置（最上層）に配設される。
- [0027] 第2配線層9は、例えばCuからなる第2電極パッド7と、例えばCuからなるダミー電極8と、層間絶縁膜6とを有する。また、第2電極パッド7とダミー電極8とは、層間絶縁膜6内に埋め込まれている。層間絶縁膜6の材料は、層間絶縁膜3と同じであってよい。第2電極パッド7、ダミー電極8及び層間絶縁膜6の基板11側とは反対側のそれぞれの表面は、同一面内に位置しており、第1配線層2と第2配線層9との接合面Pjを形成している。また、各第2電極パッド7にはビア13が接続されており、各第2電極パッド7は、ビア13を介して図示を省略する配線に接続される。
- [0028] また、第1電極パッド4及び第2電極パッド7と、ダミー電極5及びダミー電極8とは、接合面Pjに対して面对称に配置される。この接合面Pjにおいて、第1電極パッド4、ダミー電極5及び層間絶縁膜3は、それぞれ第2電極パッド7、ダミー電極8及び層間絶縁膜6と接合されている。この接合は、例えばプラズマ接合等の各種手法を用いることができる。
- [0029] 第1電極パッド4と第2電極パッド7との接合により、第1半導体部材10と第2半導体部材20とが電氣的に接続される。これに対して、ダミー電極5とダミー電極8とは、第1半導体部材10と第2半導体部材20とを電

氣的に接続するものではなく、周囲と電氣的に独立して配設されている。

[0030] ここで、図1Bに示すように、ダミー電極5（ダミー電極8）は、各第1電極パッド4（第2電極パッド7）の間に配置されている。このようにダミー電極5（ダミー電極8）を配設し、ダミー電極5とダミー電極8とを接合させることで、金属同士の接合面積を増やすことができる。このため、第1半導体部材10と第2半導体部材20との間の接合強度を高めることが可能である。

[0031] 従来のように、ダミー電極を配置しない場合には、例えば第1半導体部材10と第2半導体部材20のアライメントがずれると、Cuの電極パッドと、SiO<sub>2</sub>膜等の層間絶縁膜との接合が行われる箇所も存在しうる。CuとSiO<sub>2</sub>膜との接合は、Cu同士の接合に比べて強度が著しく弱い。このため、接合面内で接合強度のばらつきが発生しやすい。

[0032] これに対して、本実施形態の半導体装置100では、ダミー電極5（ダミー電極8）を配置することにより、金属間の接合面積が増大するため、多少のアライメントずれに対しても、高い接合強度を維持することができる。なお、この金属間の接合面積の増大という作用は、ダミー電極5（ダミー電極8）の配置パターンが例えば一様であるかどうかといったことには依存しない。したがって、接合強度の向上のみを目的とする場合には、全てのダミー電極同士が接合されなくてもよく、少なくとも目標の接合強度が得られる面積分のダミー電極同士が接合されればよい。

[0033] また、各第1電極パッド4（第2電極パッド7）の間にダミー電極5（ダミー電極8）を配置することで、接合面P<sub>j</sub>における金属配線密度を均一にすることができる。このため、例えば接合面P<sub>j</sub>をCMP法等により形成する際に、接合面P<sub>j</sub>のディッシングやエロージョンが生じるのを抑制することが可能である。この効果もまた、ダミー電極5（ダミー電極8）の配置パターンに依存するものではなく、ダミー電極5の面積密度が、所定のCMP条件において、ディッシングやエロージョン等が発生しない所定の値さえ満たしていれば、配置パターンは適宜変更することができる。

[0034] また、例えばディッシングが生じやすい第1電極パッド4（第2電極パッド7）の周囲にだけ、ダミー電極5（ダミー電極8）を配置してもよい。すなわち、ディッシングやエロージョン等を抑制したい箇所にのみ、面積密度が所定の値を満たすダミー電極5（ダミー電極8）を配置することも可能である。

[0035] <第2の実施形態>

第1の実施形態では、第1電極パッド4と第2電極パッド7、ダミー電極5とダミー電極8とが、接合面P<sub>j</sub>に対して面对称に配置されていた。しかし、既述のように、これらは必ずしも互いに面对称に配置される必要はない。

[0036] 図2Aは、第2の実施形態に係る半導体装置200の第1半導体部材10の接合面を示す図であり、図2Bは、第2半導体部材20の接合面を示す図である。また、図2Cは、図2A及び図2B中に示す線L3における半導体装置200の断面図である。なお、第1の実施形態と対応する部位には同一符号を付し、重複した説明を避ける。また、本実施形態において、第1配線層2及び第2配線層9以外の構成は、第1の実施形態（図1C参照）と同じであるので、図2Cでは、第1配線層2及び第2配線層9のみを図示する。

[0037] 本実施形態の半導体装置200は、第1半導体部材10と、第1半導体部材10に接合された第2半導体部材20と、を有する。第1半導体部材10は第1配線層2を備え、第2半導体部材20は第2配線層9を備えている。この第1配線層2と第2配線層9において、第1電極パッド4、第2電極パッド7、ダミー電極5及びダミー電極8の配置パターンが第1の実施の形態と異なっている。

[0038] 例えば、図2Cの領域T1では、一つの第2電極パッド7に対して二つの第1電極パッド4及び一つのダミー電極5が接合されている。また、領域T2では、一つのダミー電極8に対して、二つのダミー電極5が接合されている。このように、本実施形態では、第1電極パッド4、第2電極パッド7、ダミー電極5及びダミー電極8は、接合面P<sub>j</sub>に対して面对称とされていない。

い。しかし、複数のダミー電極 5 が第 2 電極パッド 7 及びダミー電極 8 に接合されているので、第 1 の実施形態と同様に、接合強度を向上させることができる。

[0039] また、本実施形態においても、各第 1 電極パッド 4（第 2 電極パッド 7）の間にダミー電極 5（ダミー電極 8）を配置するので、接合面 P j における金属配線密度を均一にすることが可能であり、接合面 P j を CMP 法により形成するとき生じるディッシングやエロージョン等を抑制することができる。また、その他の構成による作用、効果も、第 1 の実施形態と同様である。

[0040] <第 3 の実施形態>

図 3 A は、第 3 の実施形態に係る半導体装置 300 の第 1 半導体部材 10 の接合面を示す図であり、図 3 B は、図 3 A に示す線 L 4 における半導体装置 300 の断面図である。また、本実施形態において、第 1 配線層 2、第 2 配線層 9、第 3 配線層 18、及び第 4 配線層 19 の構成以外は第 1 の実施形態（図 1 C 参照）と同じであるので、図 3 B では、これらの配線層のみを図示する。

[0041] 本実施形態の半導体装置 300 は、第 1 半導体部材 10 と、第 2 半導体部材 20 を有する。第 1 半導体部材 10 は、第 1 配線層 2 と、第 3 配線層 18 と、を備える。図 3 A に示すように、本実施の形態では、第 1 配線層 2 において第 1 電極パッド 4 とダミー電極 5 とは同じ接合面形状を有しており、全て等間隔に配列される。

[0042] また、図 3 B に示すように、第 1 電極パッド 4 は、ビア 12 によって、第 3 配線層 18 における配線 21 に接続されている。なお、第 1 配線層 2 と第 3 配線層 18 との間には、例えば SiN 等からなる拡散防止膜 14 が形成されている。

[0043] 第 2 半導体部材 20 は、第 2 配線層 9 と、第 4 配線層 19 とを備える。第 2 配線層 9 における第 2 電極パッド 7 及びダミー電極 8 は、接合面 P j に対して、それぞれ第 1 電極パッド 4 及びダミー電極 5 と面対称に配置されてい

る。第2電極パッド7は、ビア13によって、第4配線層19における配線22に接続される。また、第2配線層9と第4配線層19との間には、例えばSiN等の拡散防止膜15が配設されている。

[0044] このように、本実施形態においても、ダミー電極5、8を設け、互いに接合させているので、第1半導体部材10及び第2半導体部材20間の接合強度を向上させることができる。特に、本実施形態では、第1電極パッド4（第2電極パッド3）とダミー電極5（ダミー電極8）とが同じ接合面形状を有し、全て等間隔で配置されているので、配線（電極パッド及びダミー電極）の面積密度をより均一にすることが可能である。したがって、接合面を研磨して形成するときには生じるディッシングやエロージョン等を抑制することができるので、接合面をより平面化することができる。このため、第1半導体部材10と第2半導体部材20との接合時において、その接合面Pjにボイドが発生するのを防止することができる。

[0045] また、本実施形態では、例えば配線21、22のレイアウトが異なる場合であっても、第1電極パッド4（第2電極パッド7）及びダミー電極5（ダミー電極8）のレイアウトを変更することなく、そのまま共通して用いることが可能である。この場合、第1電極パッド4、第2電極パッド7、ダミー電極5、ダミー電極8は、例えば同じCu電極で構成される。すなわち、全て同じ間隔で配置されたCu電極の中から、第1電極パッド4または第2電極パッド7として用いるものを選択し、そのCu電極に対して、それぞれビア12またはビア13を接続させる。そして、それ以外のCu電極をダミー電極として用いることにより、配線21、22の任意のパターンに対して、第1配線層2及び第2配線層9におけるCu電極のレイアウトを変更することなく、容易に導通をとることが可能である。このため、配線パターンを変更する度に、接合させる電極のレイアウト変更を行う必要が無くなるため、設計コストを低減することができる。また、その他の構成による作用及び効果は第1の実施の形態と同様である。

[0046] <第4の実施形態>

図4 Aは、第4の実施形態に係る半導体装置400を構成する第1半導体部材10の接合面を示す図である。なお、第1の実施形態と対応する部位には同一符号を付し、重複した説明を避ける。また、本実施形態では、第1電極パッド4（第2電極パッド7）及びダミー電極5（ダミー電極8）のレイアウトのみが第1の実施の形態と異なるので、その他の構成を示す図は省略する。

[0047] 図4 Aに示すように、本実施形態の第1半導体部材10では、第1電極パッド4の周囲にのみダミー電極5が配設されている。このような配置を行うことにより、例えばCMP法等による接合面の研磨後には、第1電極パッド4と、ダミー電極5とが配置されたその周辺領域においてほぼ一様な平坦性を確保することが可能である。また、図示を省略した第2半導体部材20では、第2電極パッド7及びダミー電極8は、接合面に対してそれぞれ第1電極パッド4及びダミー電極5と面対称に配置される。したがって、同様に第2電極パッド7と、ダミー電極8とが配置されたその周辺領域においてほぼ一様な平坦性が確保される。このため、本実施形態においても、ボイドが発生することなく、第1電極パッド4及びダミー電極5に対して、第2電極パッド7及びダミー電極8をそれぞれ接合させることができる。

[0048] なお、図4 Bに示す半導体装置410のように、第1電極パッド4の周囲だけでなく、第1電極パッド4以外の領域全てにダミー電極5を配置するようによい。図4 Bでは、第1半導体部材10のみを図示しているが、第2半導体部材の第2電極パッド7及びダミー電極8は、第1半導体部材10の第1電極パッド4及びダミー電極5とそれぞれ面対称に配置される。この場合には、ダミー電極5は、例えば等間隔で配置する必要は無い。例えば、第1半導体部材10と第2半導体部材20を接合したときに、複数のダミー電極5と複数のダミー電極8とのうち、一対以上が互いに接合される程度の配線密度のレイアウトであれば、接合強度向上の効果は得られる。

[0049] <第5の実施形態>

図5 Aは、第5の実施形態に係る半導体装置500を構成する第1半導体

部材 10 の接合面を示す図である。また、図 5 B は、図 5 A の線 L 5 における半導体装置 500 の断面図である。なお、第 2 の実施形態と対応する部位には同一符号を付し、重複した説明を避ける。また、本実施形態では、ビア 23, 24 が設けられていることのみが第 2 の実施形態と異なる。したがって、図 5 B では、第 1 配線層 2 及び第 2 配線層 9 以外の構成の図示を省略する。

[0050] 本実施形態の半導体装置 500 は、第 1 半導体部材 10 のダミー電極 5 に対してビア 23 が接続されている。また、このビア 23 は、グラウンドに接続される。また、第 2 半導体部材 20 のダミー電極 8 にはビア 24 が接続されており、このビア 24 はグラウンドに接続される。

[0051] このように、全てのダミー電極 5, 8 をグラウンドに接続することで、第 1 半導体部材 10 及び第 2 半導体部材 20 のグラウンドレベルを揃えることが可能である。また、ダミー電極 5, 8 を電源電圧に接続する場合には、電源を共通化することも可能である。また、その他の構成による作用、効果は、第 2 の実施形態と同様である。

[0052] <第 6 の実施形態>

ここでは、本技術に係る半導体装置のより具体的な例として、半導体受像装置について説明する。図 6 は、第 6 の実施形態に係る半導体受像装置 600 の構成を示す図である。なお、第 2 の実施の形態（図 2 C 参照）と対応する部位には同一符号を付し、重複した説明を省略する。

[0053] 本実施形態の半導体受像装置 600 は、第 1 半導体部材 30 と、第 1 半導体部材 30 に接合された第 2 半導体部材 40 とを備える。第 1 半導体部材 30 は、例えば Si 基板 33 と、Si 基板 33 上に形成された相補型金属酸化膜半導体によるトランジスタ 34 とを備える。また、トランジスタ 34 上には、複数の配線層が積層され、基板 33 から最も遠い位置（最上層）には、第 1 配線層 31 が形成されている。また、各配線層の間には、例えば SiCN や SiN 等からなる拡散防止膜 41 が設けられている。

[0054] 第 1 配線層 31 には、例えば Cu からなる第 1 電極パッド 4 と、例えば C

uからなるダミー電極5とが配設される。また、第1電極パッド4とダミー電極5とは、例えば有機シリカガラス等の低誘電率材料や、 $\text{SiO}_2$ 等の層間絶縁膜39内に埋め込まれており、第1電極パッド4、ダミー電極5並びに層間絶縁膜39のSi基板33とは反対側の表面は同一面内に位置している。また、第1電極パッド4は、Si基板33側の配線層における配線に対してビアにより接続されている。

[0055] 一方、第2半導体部材40は、受光量に応じた電気信号（電荷）を出力する光電変換層35と、光電変換層35上に配置されたカラーフィルタ36と、カラーフィルタ36上に配置されたマイクロレンズ37と、を備える。また、光電変換層35上において、カラーフィルタ36以外の領域には、絶縁膜38が形成されている。一つの光電変換層35、カラーフィルタ36、及び、マイクロレンズ37の一组毎に、一つの画素が形成される。

[0056] 光電変換層35のカラーフィルタ36と反対側の面には、配線層が積層されており、光電変換層35から最も遠い位置には第2配線層32が形成されている。なお、各配線層の間には例えばSiCNやSiNからなる拡散防止膜42が形成されている。また、第2配線層32は、例えば有機シリカガラス等の低誘電率材料や、 $\text{SiO}_2$ 等からなる層間絶縁膜43と、第2電極パッド7と、ダミー電極8とから構成されている。第2電極パッド7及びダミー電極8は、層間絶縁膜43内に埋め込まれており、第2電極パッド7、ダミー電極8並びに層間絶縁膜43の光電変換層35側とは反対側の表面は、同一面内に位置している。これら第1電極パッド4、ダミー電極5、第2電極パッド7及びダミー電極8のレイアウトは、第1の実施形態～第5の実施形態において示したレイアウトのうち、任意のレイアウトを採用してよい。

[0057] 光電変換層35は、例えばフォトダイオード等によって構成される。また、第2半導体部材に設けられたトランジスタ34は、いわゆる転送トランジスタ、リセットトランジスタ及び増幅トランジスタ等であり、光電変換層35から出力される電荷を演算するためのものである。

[0058] また、図示しないが、半導体受像装置600は、他に、例えば、垂直駆動

回路、カラム信号処理回路、水平駆動回路等の回路を有している。垂直駆動回路は、各画素を行単位で垂直方向に選択走査し、光電変換層35において生成された電荷に基づく画素信号をカラム信号処理回路に供給する。また、カラム信号処理回路は、画素の例えば列ごとに配置され、1行分の画素から出力される信号を画素列ごとにノイズ除去などの信号処理を行う。また、水平駆動回路は、水平走査パルスを順次出力することによって、カラム信号処理回路の各々を順番に選択し、カラム信号処理回路の各々から画素信号を水平信号線に出力させる。

[0059] 本実施形態の半導体受像装置600においても、第1半導体部材30と第2半導体部材40とは、ダミー電極5、8により接合されているので、接合強度を向上させることができる。また、これら第1電極パッド4、ダミー電極5、第2電極パッド7及びダミー電極8のレイアウトは、第1の実施形態～第5の実施形態のうちのいずれかと同様であるので、接合面P<sub>j</sub>をより均一な平面に形成することができる。したがって、ディッシングやエロージョンを抑制できるので、接合面P<sub>j</sub>におけるボイドの発生を防止することができる。また、その他の構成による作用、効果もまた第1の実施の形態～第5の実施の形態と同様である。

[0060] <第7の実施形態>

まず、上記特許文献5で提案されているような接合パッドを用いた場合に起こり得る接合アライメントずれの問題について、図7、並びに、図8(a)及び(b)を参照しながら簡単に説明する。なお、図7は、上記特許文献5で提案されている接合パッドと同様の構成を有する接合パッドを備えたCu接合部の概略斜視図である。また、図8(a)は、接合アライメントずれが無い場合の接合界面S<sub>j</sub>付近の概略断面図であり、図8(b)は、接合アライメントずれが有る場合の接合界面S<sub>j</sub>付近の概略断面図である。

[0061] 第1Cu接合部1510は、複数の開口部1512が形成された第1接合パッド1511を有する。一方、第2Cu接合部1520は、複数の開口部1522が形成された第2接合パッド1521を有する。なお、ここでは、

第1Cu接合部1510と第2Cu接合部1520とは同じ構成であり、接合パッド及び開口部のサイズは同じとする。

[0062] また、第1Cu接合部1510は、ビア1503を介して第1Cu配線1501に電氣的に接続され、第2Cu接合部1520は、ビア1504を介して第2Cu配線1502に電氣的に接続される。なお、第1接合パッド1511の開口部1512内、及び、第2接合パッド1521の開口部1522内には、それぞれ、絶縁膜1513及び絶縁膜1523が形成される。

[0063] 図7に示す構成の第1Cu接合部1510と第2Cu接合部1520との間において、接合アライメントずれが無い場合、図8(a)に示すように、第1接合パッド1511及び第2接合パッド1521間の接触面積が最大となり、接合界面S<sub>j</sub>での接触抵抗が最小となる。一方、接合アライメントずれが有る場合には、図8(b)に示すように、第1接合パッド1511及び第2接合パッド1521間の接触面積が小さくなり（接合パッド及び絶縁膜間の接触面積が大きくなり）、接合界面S<sub>j</sub>での接触抵抗が増大する。

[0064] すなわち、図7に示す構成例では、上述したディッシングの問題を解消することは可能であるが、接合アライメントずれが発生すると、接合界面S<sub>j</sub>での接触抵抗が著しく変動する可能性がある。また、接合アライメントずれが大きいと、接合界面S<sub>j</sub>において、導通不良が発生する可能性もある。そこで、本実施形態では、電極部間に絶縁膜が設けられたCu接合部を有する半導体装置において、2つのCu接合部間に接合アライメントずれが発生しても、接触抵抗の変動や導通不良などの発生を抑制することができる構成例を説明する。

[0065] [半導体装置の構成]

図9及び10に、第7の実施形態に係る半導体装置の概略構成を示す。図9は、本実施形態の半導体装置における各Cu接合部の概略斜視図である。また、図10は、本実施形態の半導体装置における接合界面S<sub>j</sub>付近の概略断面図である。なお、図9及び10では、説明を簡略化するため、1つのCu電極同士の接合領域付近の概略構成のみを示す。さらに、図9では、説明

を簡略化するため、電極部のみを示し、その周囲に設けられるCuバリア層、層間絶縁膜等の構成部の図示を省略する。また、図9では、各Cu接合部の構成をより明確にするため、各Cu接合部を分けて図示する。

[0066] 半導体装置1100は、図10に示すように、第1配線部1101（第1半導体部）と、第2配線部1102（第2半導体部）とを備える。そして、本実施形態では、第1配線部1101の後述する第1層間絶縁膜1015側の面と、第2配線部1102の後述する第2層間絶縁膜1025側の面とを貼り合わせることにより、半導体装置1100が作製される。

[0067] なお、第1配線部1101及び第2配線部1102間の接合手法としては、任意の手法を用いることができる。例えば、プラズマ接合、常温接合等の手法を用いて、第1配線部1101と第2配線部1102とを接合することができる。また、第1配線部1101及び第2配線部1102は、例えば特開2004-63859号公報等の文献に記載の形成手法を用いて形成することができる。

[0068] 第1配線部1101は、第1半導体基板（不図示）と、第1SiO<sub>2</sub>層1011と、第1Cu配線1012（第1配線）と、第1Cuバリア膜1013と、第1Cu拡散防止膜1014とを備える。さらに、第1配線部1101は、第1層間絶縁膜1015と、3本の第1接合電極1016（第1電極）を含む第1Cu接合部1010（第1接合部）と、第1Cuバリア層1017と、3つのビア1018とを備える。

[0069] 第1SiO<sub>2</sub>層1011は、第1半導体基板上に形成される。また、第1Cu配線1012は、第1SiO<sub>2</sub>層1011の第1半導体基板側とは反対側の表面に埋め込むようにして形成される。なお、第1Cu配線1012は、例えば、図示しない半導体装置1100内の所定の素子、回路等に接続される。

[0070] 第1Cuバリア膜1013は、第1SiO<sub>2</sub>層1011と第1Cu配線1012との間に形成される。なお、第1Cuバリア膜1013は、第1Cu配線1012から第1SiO<sub>2</sub>層1011への銅（Cu）の拡散を防止する

ための薄膜であり、例えば、Ti、Ta、Ru、又は、それらの窒化物で形成される。

[0071] 第1Cu拡散防止膜1014は、第1SiO<sub>2</sub>層1011、第1Cu配線1012、及び、第1Cuバリア膜1013の領域上であり、かつ、ビア1018の形成領域以外の領域上に設けられる。なお、第1Cu拡散防止膜1014は、第1Cu配線1012から第1層間絶縁膜1015への銅(Cu)の拡散を防止するための薄膜であり、例えばSiC、SiN、又は、SiCN等の薄膜で構成される。また、第1層間絶縁膜1015は、第1Cu拡散防止膜1014上に設けられる。

[0072] 第1Cu接合部1010を構成する3本の第1接合電極1016は、第1層間絶縁膜1015の第1Cu拡散防止膜1014側とは反対側の表面に埋め込むようにして設けられる。なお、この際、各第1接合電極1016は、対応するビア1018に接続される。また、第1接合電極1016は、Cuで形成される。

[0073] なお、各第1接合電極1016は、図9に示すように、所定方向(第1の方向)に延在した棒状電極で構成される。各第1接合電極1016の延在方向に直交する断面は矩形状であり、該矩形状の断面の寸法及び形状は延在所方向において一定である。また、本実施形態では、3本の第1接合電極1016を、第1接合電極1016の延在方向に直交する方向に、所定間隔で平行に配置する。

[0074] 第1Cuバリア層1017は、3本の第1接合電極1016及び3つのビア1018と、第1層間絶縁膜1015との間に設けられ、3本の第1接合電極1016及び3つのビア1018を覆うように設けられる。なお、第1Cuバリア層1017は、例えば、Ti、Ta、Ru、又は、それらの窒化物で形成される。

[0075] ビア1018は、第1Cu配線1012と第1接合電極1016とを電氣的に接続する縦孔配線であり、Cuで形成される。また、本実施形態では、3つのビア1018は、図9及び図10に示すように、第1Cuバリア層1

017を介して第1Cu配線1012に電氣的にそれぞれ別個に接続される。

[0076] 一方、第2配線部1102は、第2半導体基板（不図示）と、第2SiO<sub>2</sub>層1021と、第2Cu配線1022（第2配線）と、第2Cuバリア膜1023と、第2Cu拡散防止膜1024とを備える。さらに、第2配線部1102は、第2層間絶縁膜1025と、3本の第2接合電極1026（第2電極）を含む第2Cu接合部1020（第2接合部）と、第2Cuバリア層1027と、3つのビア1028とを備える。なお、第2配線部1102において、第2Cu接合部1020以外の構成は、第1配線部1101の対応する構成と同様であるので、ここでは、第2Cu接合部1020の構成についてのみ説明する。

[0077] 第2Cu接合部1020は、3本の第2接合電極1026で構成され、該3本の第2接合電極1026は、第2層間絶縁膜1025の第2Cu拡散防止膜1024側とは反対側の表面に埋め込むようにして設けられる。なお、この際、各第2接合電極1026は、対応するビア1028に接続される。また、第2接合電極1026は、Cuで形成される。

[0078] 各第2接合電極1026は、図9に示すように、第1接合電極1016と同様に、所定方向（第2の方向）に延在した棒状電極で構成される。そして、本実施形態では、3本の第2接合電極1026は、第2接合電極1026の延在方向に直交する方向に、所定間隔で平行に配置される。

[0079] そして、本実施形態では、図9に示すように、第2接合電極1026の延在方向が（第2の方向）、第1接合電極1016の延在方向（第1の方向）と交差するように、第2接合電極1026を形成する。なお、本実施形態では、第2接合電極1026の延在方向以外の構成（例えば、形状、サイズ、ピッチ、本数等）は、第1接合電極1016のそれと同様とする。

[0080] 第1接合電極1016の延在方向と第2接合電極1026の延在方向との交差角度 $\alpha$ は、 $0^\circ < \alpha < 180^\circ$ の範囲内の値に設定される（後述の図11参照）。交差角度 $\alpha$ は、例えば、半導体装置1100の用途に応じてCu

接合部に求められる仕様（抵抗値、接合ピッチ等）、アライメント装置のアライメント精度、接合時に想定される半導体基板の回転ずれ量等の条件を考慮して適宜設定される。ただし、接合界面 $S_j$ の接触抵抗の低減という観点では、交差角度 $\alpha$ を0度付近又は180度付近に設定して、接触面積をより大きくすることが好ましい。また、接合アライメントの精度の向上という観点では、交差角度 $\alpha$ を90度付近に設定することが好ましい。

[0081] ここで、上記構成の半導体装置1100において、第1Cu接合部1010と第2Cu接合部1020との間に形成されるCu電極同士の接合領域の構成を図11に示す。上述のように、本実施形態では、第1接合電極1016の延在方向と第2接合電極1026の延在方向とが互いに交差するので、第1接合電極1016と第2接合電極1026との交差領域にCu電極同士の接合領域1103が形成される。

[0082] なお、本実施形態では、各Cu接合部（第1Cu接合部1010又は第2Cu接合部1020）を3本の接合電極（第1接合電極1016又は第2接合電極1026）で構成する例を説明したが、本技術は、これに限定されない。各Cu接合部を構成する接合電極の本数は任意に設定することができ、例えば1～100本程度の範囲内の本数に設定することができる。

[0083] また、各接合電極のサイズ（例えば延在長さ、幅、厚さ等）、及び、接合電極の配置間隔（ピッチ）は、例えば、デザインルール、想定される接合アライメントずれ等の条件を考慮して適宜設定される。例えば、各接合電極の幅、及び、接合電極のピッチを、約0.1～5 $\mu\text{m}$ 程度に設定することができる。ただし、接合界面 $S_j$ における接触抵抗の低下という観点では、デザインルールで許容される範囲内で各接合電極の幅をできる限り大きくすることが好ましい。また、Cu接合部の作製容易性という観点では、接合電極の幅と、隣り合う接合電極間の距離との比は1：1とすることが好ましい。

[0084] さらに、本実施形態では、接合電極（第1Cu接合部1010又は第2Cu接合部1020）の一方の端部付近にビアを設ける例を説明したが、本技術はこれに限定されず、ビアを接合電極の任意の位置に設けることができる。

。例えば、接合電極のCu電極同士の接合領域に対応する位置にビアを設けてもよい。

[0085] 上述のように、本実施形態の半導体装置1100では、第1接合電極1016と第2接合電極1026とが互いに交差するように接合するので、接合時に両者間に接合アライメントずれが発生しても、Cu電極同士の接合領域1103の面積は変動しない。なお、接合時に回転ずれが生じた場合には、Cu電極同士の接合領域1103の面積は、所望の面積から若干変動する。しかしながら、上述のように、各Cu接合部の構成は、半導体基板の回転ずれ量も考慮して設定されるので、接合時に回転ずれが生じた場合でも、Cu電極同士の接合領域1103の面積の変動を想定の範囲内に抑えることができる。

[0086] それゆえ、本実施形態では、接合アライメントずれが発生しても、所望のCu電極同士の接合領域1103の面積が得られ、接合界面Sjにおける接触抵抗の変動を十分に抑制することができる。なお、本実施形態では、Cu接合部の接合面には、接合電極と絶縁部とが交互に配置された構成となるので、幅広の接合電極部分が無くなり、ディッシングの問題も解消することができる。

[0087] 以上のことから、本実施形態では、接合界面Sjにおける例えば導通不良や接触抵抗の上昇などの発生をより一層抑制することができ、より信頼性の高い接合界面Sjを有する半導体装置1100を提供することができる。また、本実施形態では、接合界面Sjにおける接触抵抗の増大を抑制することができるので、半導体装置1100の消費電力の増大、及び、処理速度の遅延を抑制することができる。

[0088] <第8の実施形態>

図12に、第2の実施形態に係る半導体装置の概略構成を示す。図12は、本実施形態の半導体装置の各Cu接合部の概略斜視図である。なお、図12では、説明を簡略化するため、1つのCu電極同士の接合領域付近の概略構成のみを示す。また、図12では、説明を簡略化するため、電極部のみを

示し、その周囲に設けられるCuバリア層、層間絶縁膜等の図示を省略する。さらに、図12では、各Cu接合部の構成をより明確にするため、各Cu接合部を分けて図示する。また、図12に示す本実施形態の半導体装置において、図9に示す第7の実施形態の半導体装置1100と同様の構成には、同じ符号を付して示す。

[0089] 本実施形態の半導体装置1110は、図12には示さないが、第7の実施形態と同様に、第1Cu接合部1030（第1接合部）を含む第1配線部（第1半導体部）と、第2Cu接合部1040（第2接合部）を含む第2配線部（第2半導体部）とを備える。そして、第1配線部及び第2配線部を、例えばプラズマ接合、常温接合等の手法を用いて貼り合わせる（接合する）ことにより、半導体装置1110が作製される。

[0090] なお、本実施形態では、第1Cu接合部1030及び第2Cu接合部1040以外の構成は、上記第7の実施形態（図10）と同様の構成であるので、ここでは、第1Cu接合部1030及び第2Cu接合部1040の構成についてのみ説明する。

[0091] 第1Cu接合部1030は、図12に示すように、3つの第1接合電極部1031（第1電極）と、第1引き出し電極部1032（第1引き出し電極）とを備える。なお、本実施形態では、第1Cu接合部1030は、一つのビア1018を介して第1Cu配線1012に接続される。

[0092] 第1接合電極部1031は、上記第7の実施形態の第1接合電極1016と同様に構成することができる。それゆえ、本実施形態の第1接合電極部1031の例えば形状、サイズ、ピッチ、本数等の構成は、図12に示す例に限定されず、上記第7の実施形態の第1接合電極1016と同様に、適宜変更することができる。

[0093] 第1引き出し電極部1032は、3つの第1接合電極部1031の一方の端部に接続される。また、第1引き出し電極部1032は、一つのビア1018に接続され、該ビア1018を介して第1Cu配線1012に電氣的に接続される。すなわち、本実施形態では、3つの第1接合電極部1031は

、第1引き出し電極部1032及びビア1018を介して第1Cu配線1012に電氣的に接続される。なお、第1引き出し電極部1032の例えば形状、サイズ等の構成は、例えばデザインルール等の条件を考慮して適宜設定される。

[0094] 一方、第2Cu接合部1040は、図12に示すように、3つの第2接合電極部1041（第2電極）と、第2引き出し電極部1042（第2引き出し電極）とを備える。なお、本実施形態では、第2Cu接合部1040は、一つのビア1028を介して第2Cu配線1022に接続される。

[0095] 第2接合電極部1041は、上記第7の実施形態の第2接合電極1026と同様に構成することができる。それゆえ、本実施形態の第2接合電極部1041の例えば形状、サイズ、ピッチ、本数等の構成は、図12に示す例に限定されず、上記第7の実施形態の第2接合電極1026と同様に、適宜変更することができる。また、本実施形態では、第2接合電極部1041の延在方向以外の構成（例えば、形状、サイズ、ピッチ、本数等）は、第1接合電極部1031のそれと同様とする。

[0096] 第2引き出し電極部1042は、3つの第2接合電極部1041の一方の端部に接続される。また、第2引き出し電極部1042は、一つのビア1028に接続され、該ビア1028を介して第2Cu配線1022に電氣的に接続される。すなわち、本実施形態では、3つの第2接合電極部1041は、第2引き出し電極部1042及びビア1028を介して第2Cu配線1022に電氣的に接続される。なお、第2引き出し電極部1042の例えば形状、サイズ等の構成は、第1引き出し電極部1032と同様に、例えばデザインルール等の条件を考慮して適宜設定される。

[0097] そして、本実施形態では、図12に示すように、第1Cu接合部1030の第1接合電極部1031の延在方向と、第2Cu接合部1040の第2接合電極部1041の延在方向とが互いに交差するように、第1Cu接合部1030と第2Cu接合部1040とを接合する。

[0098] なお、第1接合電極部1031の延在方向と第2接合電極部1041の延

在方向との交差角度 $\alpha$ は、上記第7の実施形態と同様に、 $0^\circ < \alpha < 180^\circ$ の範囲内の値とする。また、本実施形態では、上記第7の実施形態と同様に、例えば、Cu接合部に求められる仕様、アライメント装置のアライメント精度、接合時に想定される半導体基板の回転ずれ量等の条件を考慮して交差角度 $\alpha$ を適宜設定する。

[0099] 上述のように、本実施形態においても、第1接合電極部1031の延在方向と第2接合電極部1041の延在方向とが互いに交差するので、両者の接合時に接合アライメントずれが発生しても、両者間の接触面積（接触抵抗）の変動を十分に抑制することができる。それゆえ、本実施形態の半導体装置1110では、上記第7の実施形態と同様の効果が得られる。

[0100] <第9の実施形態>

図13に、第9の実施形態に係る半導体装置の概略構成を示す。図13は、本実施形態の半導体装置のCu接合部の概略斜視図である。なお、図13では、説明を簡略化するため、1つのCu電極同士の接合領域付近の概略構成のみを示す。また、図13では、説明を簡略化するため、電極部のみを示し、その周囲に設けられるCuバリア層、層間絶縁膜等の図示を省略する。さらに、図13では、各Cu接合部の構成をより明確にするため、各Cu接合部を分けて図示する。また、図13に示す本実施形態の半導体装置において、図9に示す第7の実施形態の半導体装置1100と同様の構成には、同じ符号を付して示す。

[0101] 本実施形態の半導体装置1120は、図13には示さないが、第7の実施形態と同様に、第1Cu接合部1050（第1接合部）を含む第1配線部（第1半導体部）と、第2Cu接合部1060（第2接合部）を含む第2配線部（第2半導体部）とを備える。そして、第1配線部及び第2配線部を、例えばプラズマ接合、常温接合等の手法を用いて貼り合わせる（接合する）ことにより、半導体装置1120が作製される。

[0102] なお、本実施形態では、第1Cu接合部1050及び第2Cu接合部1060以外の構成は、上記第7の実施形態（図10）と同様の構成であるので

、ここでは、第1Cu接合部1050及び第2Cu接合部1060の構成についてのみ説明する。

[0103] 第1Cu接合部1050は、図13に示すように、開口形状が矩形状の3つの第1スリット1051が形成された板状の電極部材で構成される。なお、本実施形態では、第1Cu接合部1050は、一つのビア1018を介して第1Cu配線1012に接続される。

[0104] 3つの第1スリット1051は、第1Cu接合部1050の面内において、第1スリット1051の短辺方向に沿って所定間隔で配置される。それゆえ、第1Cu接合部1050は、隣り合う第1スリット1051の長辺部間、及び、最外に位置する第1スリット1051の外側のそれぞれに、第1接合電極部1052（第1電極）が形成された構成となる。すなわち、第1Cu接合部1050では、第1スリット1051の長辺方向に沿って延在した4つの第1接合電極部1052を、間に第1スリット1051を挟んで、第1スリット1051の短辺方向に沿って配置した構成となる。

[0105] なお、第1接合電極部1052は、上記第7の実施形態の第1接合電極1016と同様に構成することができる。それゆえ、本実施形態の第1接合電極部1052の例えば形状、サイズ、ピッチ、本数等の構成は、図13に示す例に限定されず、上記第7の実施形態の第1接合電極1016と同様に、適宜変更することができる。

[0106] また、第1Cu接合部1050は、4つの第1接合電極部1052の一方及び他方の端部がそれぞれ2つの第1引き出し電極部1053で接続された構成となる。そして、一方の第1引き出し電極部1053が、一つのビア1018に接続され、該ビア1018を介して第1Cu配線1012に電氣的に接続される。すなわち、本実施形態では、4つの第1接合電極部1052は、第1引き出し電極部1053及びビア1018を介して第1Cu配線1012に電氣的に接続される。なお、各第1引き出し電極部1053の例えば形状、サイズ等の構成は、上記第2の実施形態の第1引き出し電極部1032と同様に構成することができる。

- [0107] 一方、第2Cu接合部1060は、図13に示すように、第1Cu接合部1050と同様に、開口形状が矩形状の3つの第2スリット1061が形成された板状の電極部材で構成される。なお、本実施形態では、第2Cu接合部1060は、一つのビア1028を介して第2Cu配線1022に接続される。
- [0108] 3つの第2スリット1061は、第2Cu接合部1060の面内において、第2スリット1061の短辺方向に沿って所定間隔で配置される。それゆえ、第2Cu接合部1060は、隣り合う第2スリット1061の長辺部間、及び、最外に位置する第2スリット1061の外側のそれぞれに、第2接合電極部1062（第2電極）が形成された構成となる。すなわち、第2Cu接合部1060では、第2スリット1061の長辺方向に沿って延在した4つの第2接合電極部1062を、間に第2スリット1061を挟んで、第2スリット1061の短辺方向に沿って配置した構成となる。
- [0109] なお、第2接合電極部1062は、上記第7の実施形態の第2接合電極1026と同様に構成することができる。それゆえ、本実施形態の第2接合電極部1062の例えば形状、サイズ、ピッチ、本数等の構成は、図13に示す例に限定されず、上記第7の実施形態の第2接合電極1026と同様に、適宜変更することができる。また、本実施形態では、第2接合電極部1062の延在方向以外の構成（例えば、形状、サイズ、ピッチ、本数等）は、第1接合電極部1052のそれと同様とする。
- [0110] また、第2Cu接合部1060は、4つの第2接合電極部1062の一方及び他方の端部がそれぞれ2つの第2引き出し電極部1063で接続された構成となる。そして、一方の第2引き出し電極部1063が、一つのビア1028に接続され、該ビア1028を介して第2Cu配線1022に電氣的に接続される。すなわち、本実施形態では、4つの第2接合電極部1062は、第2引き出し電極部1063及びビア1028を介して第2Cu配線1022に電氣的に接続される。なお、各第2引き出し電極部1063の例えば形状、サイズ等の構成は、上記第8の実施形態の第2引き出し電極部10

42と同様に構成することができる。

[0111] そして、本実施形態では、図13に示すように、第1Cu接合部1050の第1接合電極部1052の延在方向と、第2Cu接合部1060の第2接合電極部1062の延在方向とが互いに交差するように、第1Cu接合部1050と第2Cu接合部1060とを接合する。

[0112] ここで、上記構成の半導体装置1120において、第1Cu接合部1050と第2Cu接合部1060との間に形成されるCu電極同士の接合領域の構成を、図14に示す。本実施形態では、第1接合電極部1052と第2接合電極部1062との交差領域、及び、各Cu接合部の外周部に、それぞれCu電極同士の接合領域1121及び1122が形成される。

[0113] なお、第1接合電極部1052の延在方向と第2接合電極部1062の延在方向との交差角度 $\alpha$ は、上記第7の実施形態と同様に、 $0^\circ < \alpha < 180^\circ$ の範囲内の値とする。また、本実施形態では、上記第7の実施形態と同様に、例えば、Cu接合部に求められる仕様、アライメント装置のアライメント精度、接合時に想定される半導体基板の回転ずれ量等の条件を考慮して交差角度 $\alpha$ を適宜設定する。

[0114] 上記構成では、第1接合電極部1052及び第2接合電極部1062間の交差領域に形成されるCu電極同士の接合領域1121の面積は、上記第7の実施形態と同様に、接合アライメントずれが発生しても変化しない。一方、各Cu接合部の外周部に形成されるCu電極同士の接合領域1122の面積は、接合アライメントずれが発生した場合、若干変化する。

[0115] すなわち、本実施形態では、接合アライメントずれが発生した場合、各Cu接合部の外周部に形成されるCu電極同士の接合領域1122の面積の変動分だけ、第1Cu接合部1050及び第2Cu接合部1060間の接触面積（接触抵抗）が変動する。しかしながら、例えば、図7に示す構成の半導体装置では、接合アライメントずれが発生した際に、Cu接合部の外周部だけでなく、絶縁膜間の領域（内部領域）においても接触面積（接触抵抗）が変化する。それゆえ、本実施形態では、例えば、図7に示す構成の半導体装

置に比べて、接合界面S<sub>j</sub>における第1Cu接合部1050及び第2Cu接合部1060間の接触面積（接触抵抗）の変動を抑制することができる。

[0116] 上述のように、本実施形態においても、第1接合電極部1052の延在方向と第2接合電極部1062の延在方向とが互いに交差する。それゆえ、接合時に接合アライメントずれが発生しても、第1Cu接合部1050及び第2Cu接合部1060間の接触面積（接触抵抗）の変動を十分に抑制することができ、上記第7の実施形態と同様の効果が得られる。

[0117] <第10の実施形態>

上記第7～第9の実施形態における各Cu接合部の構成（Cu電極同士の接合技術）は、2つの半導体部材を貼り合わせて配線接合を行う任意の半導体装置（例えば、固体撮像素子、半導体メモリ等）に適用可能である。第10の実施形態では、上記第7～第9の実施形態における各Cu接合部の構成（Cu電極同士の接合技術）を固体撮像素子に適用した例を説明する。

[0118] 図15に、第10の実施形態に係る固体撮像素子の要部の概略断面図を示す。なお、図15では、説明を簡略化するため、Cu接合部及びビアと、層間絶縁膜との間に形成されるCuバリア層（Cuバリア膜）の図示は省略する。

[0119] 本実施形態の固体撮像素子1200は、光電変換部1210を有する第1半導体部材1201と、演算回路を構成する各種MOS（Metal-Oxide-Semiconductor）トランジスタ1220を有する第2半導体部材1202とを備える。また、固体撮像素子1200は、カラーフィルタ1203と、オンチップマイクロレンズ1204とを備える。

[0120] 本実施形態の固体撮像素子1200では、第1半導体部材1201と、第2半導体部材1202とが接合界面S<sub>j</sub>で接合される。また、本実施形態では、第1半導体部材1201の第2半導体部材1202側とは反対側の表面上（光電変換層211上）に、カラーフィルタ1203及びオンチップマイクロレンズ1204がこの順で積層される。

[0121] 第1半導体部材1201は、光電変換部1210を有する光電変換層12

11と、光電変換層1211のカラーフィルタ1203側とは反対側に設けられた第1多層配線部1212とを備える。

[0122] 第1多層配線部1212は、複数の第1Cu配線層1213を積層して構成される。各第1Cu配線層1213は、層間絶縁膜1214と、その内部に埋め込まれた第1Cu接合部1215と、自身よりカラーフィルタ1203側に位置する層（第1Cu配線層1213又は光電変換層1211）との電気接続を得るために設けられたビア1216とを有する。また、本実施形態では、互いに隣り合う第1Cu配線層1213間、並びに、第1Cu配線層1213及び光電変換層1211間には、Cu拡散防止膜1217が設けられる。

[0123] 一方、第2半導体部材1202は、演算回路を構成する各種MOSトランジスタ1220が形成されたトランジスタ部1221と、トランジスタ部1221の第1半導体部材1201側に設けられた第2多層配線部1222とを備える。

[0124] 第2多層配線部1222は、複数の第2Cu配線層1223を積層して構成される。各第2Cu配線層1223は、層間絶縁膜1224と、その内部に埋め込まれた第2Cu接合部1225と、自身よりトランジスタ部1221側に位置する層（第2Cu配線層1223又はトランジスタ部1221）との電気接続を得るために設けられたビア1226とを有する。また、本実施形態では、互いに隣り合う第2Cu配線層1223間、並びに、第2Cu配線層1223及びトランジスタ部1221間には、Cu拡散防止膜1227が設けられる。

[0125] 上述した構成の固体撮像素子1200では、接合界面S<sub>j</sub>を挟んで接合される第1Cu接合部1215及び第2Cu接合部1225に対して、上記第7～第9の実施形態のいずれかの第1Cu接合部及び第2Cu接合部の構成をそれぞれ適用する。この場合、より信頼性の高い接合界面S<sub>j</sub>を有する固体撮像素子1200が得られる。

[0126] <実施例>

以下に、上述した第1の実施形態～第6の実施形態の実施例、及び、比較例について示す。

[0127] [実施例1]

第1の実施形態（図1A～1C参照）において示した半導体装置100を作製し、第1半導体部材10と第2半導体部材20との接合面に対して超音波によるボイド検査を行った。なお、第1半導体部材10及び第2半導体部材20において、層間絶縁膜3、6にそれぞれ埋め込まれた第1電極パッド4、第2電極パッド7は、一般的なダマシン工程により形成した。また、第1半導体部材10及び第2半導体部材20の表面に対し、軟質層と硬質層とが積層された一般的なCMPパッドと、半導体装置製造用の一般的なスラリーとを用いて研磨を行った。

[0128] 次いで、研磨後の第1半導体部材10及び第2半導体部材20の表面を向かい合わせて接触させた。そして、ピンを用い、第2半導体部材20の中心を荷重12Nで押下することにより、仮接合を行った。その後、350℃で熱処理を行い、第1半導体部材10と第2半導体部材20との接合を行った。

[0129] 超音波によるボイド検査を行った結果、ボイドの発生は見られず、接合面全面に渡って確実に接合されていることが確認された。なお、第1半導体部材10と第2半導体部材20との接合強度を、上述の非特許文献2に記載されたカミソリテストにより測定しようとしたところ、電極パッド同士、及び、ダミー電極同士の接合面が剥離せず、正確な測定が不可能であった。すなわち、従来の測定方法では接合強度を測定できない程、第1半導体部材10と第2半導体部材20とが強力に接合されていることが確認された。

[0130] [実施例2]

第2の実施形態において示した半導体装置200（図2A～2C参照）を、実施例1と同様の方法にて作製し、超音波によるボイド検査を行った。なお、第1半導体部材10の接合面において、層間絶縁膜3の表面積に対する第1電極パッド4及びダミー電極5の表面積の比率は50%～60%の範囲

となるようにした。

[0131] この半導体装置200に対して超音波によるボイド検査を行った結果、ボイドの発生は見られず、接合面全面に渡って確実に接合されていることが確認できた。また、接合強度は〇〇であった。

[0132] [実施例3]

第3の実施形態において示した半導体装置300（図3参照）を、実施例1と同様の方法にて作製し、超音波によるボイド検査を行ったところ、接合面にボイドの発生は無く、確実に接合できていることが確認できた。また、接合強度は〇〇であった。

[0133] [実施例4]

第4の実施形態において示した半導体装置400（図4A参照）を、実施例1と同様の方法にて作製し、超音波によるボイド検査を行ったところ、接合面にボイドの発生は無く、確実に接合できていることが確認できた。また、接合強度は〇〇であった。

[0134] また、図4Bにおいて示した半導体装置410を同様にして作製し、超音波によるボイド検査を行った。なお、第1半導体部材10の接合面において、層間絶縁膜3の表面積に対する第1電極パッド4及びダミー電極5の表面積の比率は、50%～60%の範囲とした。この半導体装置410においても接合面にボイドは発生せず、確実に接合できることが確認された。

[0135] [実施例5]

第6の実施形態において示した半導体受像装置を作製し、超音波によるボイド検査を行った。第1半導体部材10と第2半導体部材20の作製には、一般的な半導体プロセスを用い、互いに接合させる面をCMP法によって研磨した。次いで、実施例1と同様にして第1半導体部材10と第2半導体部材20との仮接合を行い、その後、350℃で熱処理を行うことにより接合を完了させた。

[0136] この場合においても、第1半導体部材10と第2半導体部材20との接合面にはボイドが発生せず、また、接合面の剥がれ、接合部位の脆弱性に起因

する信頼性劣化等も生じないことが確認された。

[0137] [比較例]

比較例として、ダミー電極を配置しない構成の半導体装置100aを作製した。図16Aは、比較例による半導体装置100aの第1半導体部材10aの接合面を示す図である。また、図16Bは、図2Aの線L6における半導体装置100aの断面図である。また、図16Cは、図16Aの線L7における半導体装置100aの断面図である。この半導体装置100aは、半導体装置100と比較して、ダミー電極5, 8が設けられていないこと以外は、半導体装置100と同様である。

[0138] 第1半導体部材10a及び第2半導体部材20aにおいて、層間絶縁膜3a, 6aにそれぞれ埋め込まれた第1電極パッド4a、第2電極パッド7aは、一般的なダマシン工程により形成した。また、第1半導体部材10a及び第2半導体部材20aの接合面Pjは、軟質層と硬質層とが積層された一般的なCMPパッドと、半導体装置製造用の一般的なスラリーとを用いて研磨を行った。第1半導体部材10aと第2半導体部材20aとの接合は、実施例1と同様にして行った。

[0139] 図16Bに示すように、図16Aの線L6に示す箇所においては、第1半導体部材10aと第2半導体部材20aとの接合面にはボイドが形成されなかった。しかし、図16Aの線L7に示す箇所では、図16Cに示すように、第1電極パッド4aと第2電極パッド7aとの間にボイドが形成された。これは、各半導体部材の接合面の形成時に、第1電極パッド4a及び第2電極パッド7aの接合面にディッシングが生じたためである。

[0140] このように、本技術によりダミー電極を設けた実施例1～実施例5では、接合面にボイドが形成されていないので、二つの半導体部材を強固に接合した半導体装置を提供することが可能である。また、ダミー電極5, 8は、それぞれ第1電極パッド4及び第2電極パッド7の形成時において同時に形成可能であるので、製造工程数を増やすことなく、接合強度を向上させることができる。

## [0141] &lt;各種変形例及び応用例&gt;

次に、上記第7～第9の実施形態の半導体装置の変形例及び応用例（適用例）について説明する。

## [0142] [変形例1]

上記第7～第9の実施形態では、直線状に延在した接合電極（接合電極部）を用いる例を説明したが、本技術はこれに限定されない。第1Cu接合部の第1接合電極（第1接合電極部）の延在方向と、第2Cu接合部の第2接合電極（第2接合電極部）の延在方向とが互いに交差する構成であれば、各接合電極（接合電極部）の形状を任意に設定することができる。例えば、接合電極（接合電極部）の延在方向がその途中で曲がっていてもよい。その一例（変形例1）を、図17に示す。

[0143] この例では、図17に示すように、第1Cu接合部の第1接合電極1131、及び、第2Cu接合部の第2接合電極1132をそれぞれ、L字状に延在した棒状電極で構成する。そして、この例においても、第1接合電極1131と第2接合電極1132とが、 $0^\circ < \alpha < 180^\circ$ の範囲内の交差角度 $\alpha$ で互いに交差するように接合する。ただし、この例では、各接合電極の延在形状がL字状であるので、図17に示すように、1本の第1接合電極1131と1本の第2接合電極1132との間には、2つのCu電極同士の接合領域1133が形成される。

[0144] この例の構成においても、第1接合電極1131の延在方向と第2接合電極1132の延在方向とが互いに交差するので、両者の接合時に接合アライメントずれが発生しても、両者間の接触面積（接触抵抗）の変動を十分に抑制することができる。それゆえ、この例の半導体装置においても、上記第7の実施形態と同様の効果が得られる。

[0145] なお、図17には、第1接合電極1131及び第2接合電極1132の両方をL字状に延在した棒状電極で構成する例を示したが、本技術はこれに限定されない。例えば、第1接合電極1131及び第2接合電極1132の一方を、上記第7の実施形態と同様に、直線状に延在した棒状電極で構成して

もよい。

[0146] [変形例 2]

上記第 7～第 9 の実施形態では、第 1 接合電極（第 1 接合電極部）の延在方向以外の構成（例えば、形状、サイズ、ピッチ、本数等）は、第 2 接合電極（第 2 接合電極部）のそれと同様にする例を説明したが、本技術はこれに限定されない。第 1 接合電極（第 1 接合電極部）の延在方向と第 2 接合電極（第 2 接合電極部）の延在方向とが互いに交差する構成であれば、両者の延在方向以外の構成は互いに異なってもよい。

[0147] 例えば、第 1 Cu 接合部の第 1 接合電極（第 1 接合電極部）の形状、サイズ、ピッチ及び本数の少なくとも一つの構成が、第 2 Cu 接合部の第 2 接合電極（第 2 接合電極部）のそれと異なってもよい。

[0148] また、上記第 7～第 9 の実施形態の各 Cu 接合部の構成を適宜組み合わせ、第 1 Cu 接合部の構成と第 2 Cu 接合部の構成とが互いに異なるようにしてもよい。例えば、第 1 Cu 接合部及び第 2 Cu 接合部の一方に第 7 の実施形態の構成（図 9）を適用し、かつ、他方に第 8 の実施形態の構成（図 12）を適用してもよい。また、例えば、第 1 Cu 接合部及び第 2 Cu 接合部の一方に第 7 の実施形態の構成（図 9）を適用し、かつ、他方に第 9 の実施形態の構成（図 13）を適用してもよい。さらに、例えば、第 1 Cu 接合部及び第 2 Cu 接合部の一方に第 8 の実施形態の構成（図 12）を適用し、かつ、他方に第 9 の実施形態の構成（図 13）を適用してもよい。

[0149] [変形例 3]

上記第 7～第 9 の実施形態では、接合電極（接合電極部）の形成材料が Cu である例を説明したが、本技術はこれに限定されない。例えば、Al、W、Ti、TiN、Ta、Ta<sub>2</sub>N<sub>5</sub>、Ru 等の材料で接合電極（接合電極部）を形成してもよい。

[0150] また、上記各種実施形態では、Cu からなる接合電極（接合電極部）同士を接合する例を説明したが、本技術はこれに限定されない。一方の接合電極（接合電極部）の形成材料が、他方の接合電極（接合電極部）の形成材料と

異なってもよい。

[0151] [変形例4]

上記第8及び第9の実施形態では、各Cu接合部を、一つのビアを介して外部のCu配線に電氣的に接続する例を説明した。しかしながら、この場合、何らかの要因でそのビアに不具合が生じた場合、Cu接合部とCu配線との間に導通不良などが発生し、製品の歩留まりが低下する可能性がある。

[0152] この課題を解消するため、上記第7の実施形態と同様に、上記第8及び第9の実施形態の各Cu接合部に、複数のビアを接続してもよい（変形例4）。すなわち、上記第8及び第9の実施形態の半導体装置において、Cu接合部及び外部のCu配線間を複数のビアを介して電氣的に接続してもよい。なお、この場合、複数のビアの形成箇所は、任意に設定することができ、例えば、複数のビアを引き出し電極部上に形成することができる。

[0153] この例の構成では、複数のビアのうち一つのビアに不具合が生じても、他のビアでCu接合部とCu配線との間の電気接続を維持することができるので、上記課題を解決することができる。

[0154] [変形例5]

上記第7～第9の実施形態では、Cu配線からビア（縦孔配線）を介して接続されたCu接合部同士を接合する際に、本技術のCu電極同士の接合技術（接合電極又は接合電極部を交差させる構成）を適用した例を説明したが、本技術はこれに限定されない。例えば、第1配線部（第1半導体部）の第1Cu配線12と、第2配線部（第2半導体部）の第2Cu配線22とを、Cu接合部を介さずに直接接合する場合にも、本技術のCu電極同士の接合技術を適用することができる。

[0155] この場合、第1配線部（第1半導体部）の接合面に形成された第1Cu配線1012（第1電極）の延在方向と、第2配線部（第2半導体部）の接合面に形成された第2Cu配線1022（第2電極）の延在方向とが互いに交差するように、各Cu配線を形成すればよい。この例の構成は、特に、各配線部の接合面に形成されるCu配線のパターンがシンプルである場合に有効

である。

[0156] なお、この例の構成では、第1配線部及び第2配線部間の接合界面S<sub>j</sub>の全領域に渡ってC<sub>u</sub>配線同士を直接接合してもよい。また、接合界面S<sub>j</sub>の配線パターンに応じて、接合界面S<sub>j</sub>の一部の領域では、C<sub>u</sub>配線同士を直接接合し、かつ、その他の領域ではC<sub>u</sub>接合部を介してC<sub>u</sub>配線を接合するようにしてもよい。

[0157] [変形例6]

上記第7～第9の実施形態では、本技術のC<sub>u</sub>電極同士の接合技術を半導体装置に適用する例を説明したが、本技術は、これに限定されない。例えば、半導体以外の材料で形成された2枚の基板上にそれぞれ設けられた2つの配線を接合する場合にも、上記第7～第9の実施形態で説明したC<sub>u</sub>電極同士の接合技術を適用することができ、同様の効果が得られる。

[0158] [変形例7]

上記各種変形例では、上記第7～第9の実施形態に対する変形例を説明したが、本技術はこれに限定されない。例えば半導体装置の用途等の条件に応じて、上述した上記第7～第9の実施形態及び上記変形例1～6の構成を適宜組み合わせてもよい。

[0159] [応用例]

上記各種実施形態及び各種変形例の半導体装置は、各種電子機器に適用可能である。例えば、上記第6の実施の形態で説明した半導体受像装置600、及び上記第10の実施形態で説明した固体撮像素子1200はそれぞれ、デジタルカメラやビデオカメラ等のカメラシステム、撮像機能を有する携帯電話、又は、撮像機能を備えた他の機器などの電子機器に適用することができる。ここでは、電子機器の一構成例として、カメラを例に挙げ説明する。

[0160] 図18に、応用例に係るカメラの概略構成を示す。なお、図18には、静止画像又は動画を撮影することのできるビデオカメラの構成例を示す。

[0161] この例のカメラ1300は、固体撮像素子1301と、固体撮像素子1301の受光センサ（不図示）に入射光を導く光学系1302と、固体撮像素

子1301及び光学系1302間に設けられたシャッタ装置1303と、固体撮像素子1301を駆動する駆動回路1304とを備える。さらに、カメラ1300は、固体撮像素子1301の出力信号を処理する信号処理回路1305を備える。

[0162] 固体撮像素子1301は、例えば、上記第6の実施の形態で説明した半導体受像装置600や、上記第10の実施形態で説明した固体撮像素子1200で構成することができる。その他の各部の構成及び機能は次の通りである。

[0163] 光学系（光学レンズ）1302は、被写体からの像光（入射光）を固体撮像素子1301の撮像面（不図示）上に結像させる。これにより、固体撮像素子1301内に、一定期間、信号電荷が蓄積される。なお、光学系1302は、複数の光学レンズを含む光学レンズ群で構成してもよい。また、シャッタ装置1303は、入射光の固体撮像素子1301への光照射期間及び遮光期間を制御する。

[0164] 駆動回路1304は、固体撮像素子1301及びシャッタ装置1303に駆動信号を供給する。そして、駆動回路1304は、供給した駆動信号により、固体撮像素子1301の信号処理回路1305への信号出力動作、及び、シャッタ装置1303のシャッタ動作を制御する。すなわち、この例では、駆動回路1304から供給される駆動信号（タイミング信号）により、固体撮像素子1301から信号処理回路1305への信号転送動作を行う。

[0165] 信号処理回路1305は、固体撮像素子1301から転送された信号に対して、各種の信号処理を施す。そして、各種信号処理が施された信号（映像信号）は、メモリなどの記憶媒体（不図示）に記憶される、又は、モニタ（不図示）に出力される。

[0166] <その他の変形例>

なお、本技術は、上記各種実施形態及び各種変形例等に限定されるものではなく、本技術の要旨を逸脱しない範囲でその他様々な構成が取り得る。

[0167] また、本技術は、以下のような構成を取ることもできる。

(1)

第1層間絶縁膜と、前記第1層間絶縁膜内に埋め込まれ、一方の表面が前記第1層間絶縁膜の一方の表面と同一面上に位置した第1電極パッドと、前記第1層間絶縁膜内に埋め込まれ、一方の表面が前記第1層間絶縁膜の前記一方の表面と同一面上に位置し、前記第1電極パッドの周囲に配設された第1ダミー電極と、を含む第1配線層と、

前記第1層間絶縁膜の前記第1電極パッドの前記一方の表面側に位置した第2層間絶縁膜と、前記第2層間絶縁膜内に埋め込まれ、一方の表面が前記第2層間絶縁膜の前記第1層間絶縁膜側の表面と同一表面上に位置し、かつ前記第1電極パッドに接合された第2電極パッドと、一方の表面が前記第2層間絶縁膜の前記第1層間絶縁膜側の表面と同一面上に位置し、前記第2電極パッドの周囲に配設され、前記第1ダミー電極に接合された第2ダミー電極と、を含む第2配線層と、

を含む

半導体装置。

(2)

前記第1電極パッド及び前記第1ダミー電極は、前記第1配線層と前記第2配線層との接合面に対して、前記第2電極パッド及び前記第2ダミー電極と面対称に配置される

上記(1)に記載の半導体装置。

(3)

前記第1配線層と前記第2配線層との接合面において、前記第1層間絶縁膜の表面積に対する前記第1電極パッド及び前記ダミー電極の表面積の比率が50%以上60%以下である

上記(1)または(2)に記載の半導体装置。

(4)

前記第1及び第2ダミー電極は、全てグラウンドに接続された

上記(1)～(3)のいずれかに記載の半導体装置。

(5)

前記第1電極パッド及び前記第1ダミー電極は同一の外形を有し、全て等間隔に配列された

上記(1)～(4)のいずれかに記載の半導体装置。

(6)

前記第1ダミー電極は、前記第1配線層と前記第2配線層との接合面において、前記第1電極パッドの周囲にのみ配置された

上記(1)～(4)のいずれかに記載の半導体装置。

[0168] さらに、本技術は、以下のような構成を取ることもできる。

(7)

接合界面側の表面に形成されかつ第1の方向に延在する第1電極を有する第1半導体部と、

前記接合界面で前記第1電極と接合されかつ前記第1の方向と交差する第2の方向に延在する第2電極を有し、前記接合界面で前記第1半導体部と貼り合わせて設けられた第2半導体部と

を備えた半導体装置。

(8)

前記第1半導体部が、複数の前記第1電極を含む第1接合部と、該第1接合部と電氣的に接続された第1配線とを有し、

前記第2半導体部が、複数の前記第2電極を含む第2接合部と、該第2接合部と電氣的に接続された第2配線とを有する

上記(7)に記載の半導体装置。

(9)

前記複数の第1電極のそれぞれが、別個に前記第1配線に接続されている

上記(8)に記載の半導体装置。

(10)

前記複数の第2電極のそれぞれが、別個に前記第2配線に接続されている

上記(9)に記載の半導体装置。

(11)

前記第1接合部が、前記複数の第1電極の一方の端部に接続された第1引き出し電極を有し、該第1引き出し電極が前記第1配線と電氣的に接続されている

上記(8)に記載の半導体装置。

(12)

前記第2接合部が、前記複数の第2電極の一方の端部に接続された第2引き出し電極を有し、該第2引き出し電極が前記第2配線と電氣的に接続されている

上記(8)又は(11)に記載の半導体装置。

(13)

前記第1接合部が、前記複数の第1電極の一方及び他方の端部にそれぞれ接続された2つの第1引き出し電極を有し、該2つの第1引き出し電極のうち少なくとも一方が前記第1配線と電氣的に接続されている

上記(8)に記載の半導体装置。

(14)

前記第2接合部が、前記複数の第2電極の一方及び他方の端部にそれぞれ接続された2つの第2引き出し電極を有し、該2つの第2引き出し電極のうち少なくとも一方が前記第2配線と電氣的に接続されている

上記(8)又は(13)に記載の半導体装置。

(15)

前記第1電極及び前記第2電極がともに、Cuで形成されている

上記(7)～(14)のいずれかに記載の半導体装置。

[0169] 本出願は、日本国特許庁において2011年5月24日に出願された日本特許出願番号2011-115634号、および、日本国特許庁において2011年6月9日に出願された日本特許出願番号2011-129190号を基礎として優先権を主張するものであり、これらの出願のすべての内容を参照によって本出願に援用する。

## 請求の範囲

- [請求項1] 第1層間絶縁膜と、前記第1層間絶縁膜内に埋め込まれ、一方の表面が前記第1層間絶縁膜の一方の表面と同一面上に位置した第1電極パッドと、前記第1層間絶縁膜内に埋め込まれ、一方の表面が前記第1層間絶縁膜の前記一方の表面と同一面上に位置し、前記第1電極パッドの周囲に配設された第1ダミー電極と、を含む第1配線層と、
- 前記第1層間絶縁膜の前記第1電極パッドの前記一方の表面側に位置した第2層間絶縁膜と、前記第2層間絶縁膜内に埋め込まれ、一方の表面が前記第2層間絶縁膜の前記第1層間絶縁膜側の表面と同一表面上に位置し、かつ前記第1電極パッドに接合された第2電極パッドと、一方の表面が前記第2層間絶縁膜の前記第1層間絶縁膜側の表面と同一面上に位置し、前記第2電極パッドの周囲に配設され、前記第1ダミー電極に接合された第2ダミー電極と、を含む第2配線層と、
- を含む
- 半導体装置。
- [請求項2] 前記第1電極パッド及び前記第1ダミー電極は、前記第1配線層と前記第2配線層との接合面に対して、前記第2電極パッド及び前記第2ダミー電極と面対称に配置される
- 請求項1に記載の半導体装置。
- [請求項3] 前記第1配線層と前記第2配線層との接合面において、前記第1層間絶縁膜の表面積に対する前記第1電極パッド及び前記第1ダミー電極の表面積の比率が50%以上60%以下である
- 請求項1または2に記載の半導体装置。
- [請求項4] 前記第1及び第2ダミー電極は、全てグラウンドに接続された
- 請求項1または2に記載の半導体装置。
- [請求項5] 前記第1電極パッド及び前記第1ダミー電極は同一の接合面形状を有し、全て等間隔に配列された
- 請求項1または2に記載の半導体装置。

- [請求項6] 前記第1ダミー電極は、前記第1配線層と前記第2配線層との接合面において、前記第1電極パッドの周囲にのみ配置された請求項1または2に記載の半導体装置。
- [請求項7] 接合界面側の表面に形成されかつ第1の方向に延在する第1電極を有する第1半導体部と、  
前記接合界面で前記第1電極と接合されかつ前記第1の方向と交差する第2の方向に延在する第2電極を有し、前記接合界面で前記第1半導体部と貼り合わせて設けられた第2半導体部と  
を備えた半導体装置。
- [請求項8] 前記第1半導体部が、複数の前記第1電極を含む第1接合部と、該第1接合部と電氣的に接続された第1配線とを有し、  
前記第2半導体部が、複数の前記第2電極を含む第2接合部と、該第2接合部と電氣的に接続された第2配線とを有する  
請求項7に記載の半導体装置。
- [請求項9] 前記複数の第1電極のそれぞれが、別個に前記第1配線に接続されている  
請求項8に記載の半導体装置。
- [請求項10] 前記複数の第2電極のそれぞれが、別個に前記第2配線に接続されている  
請求項9に記載の半導体装置。
- [請求項11] 前記第1接合部が、前記複数の第1電極の一方の端部に接続された第1引き出し電極を有し、該第1引き出し電極が前記第1配線と電氣的に接続されている  
請求項8に記載の半導体装置。
- [請求項12] 前記第2接合部が、前記複数の第2電極の一方の端部に接続された第2引き出し電極を有し、該第2引き出し電極が前記第2配線と電氣的に接続されている  
請求項11に記載の半導体装置。

[請求項13] 前記第1接合部が、前記複数の第1電極の一方及び他方の端部にそれぞれ接続された2つの第1引き出し電極を有し、該2つの第1引き出し電極のうち少なくとも一方が前記第1配線と電気的に接続されている

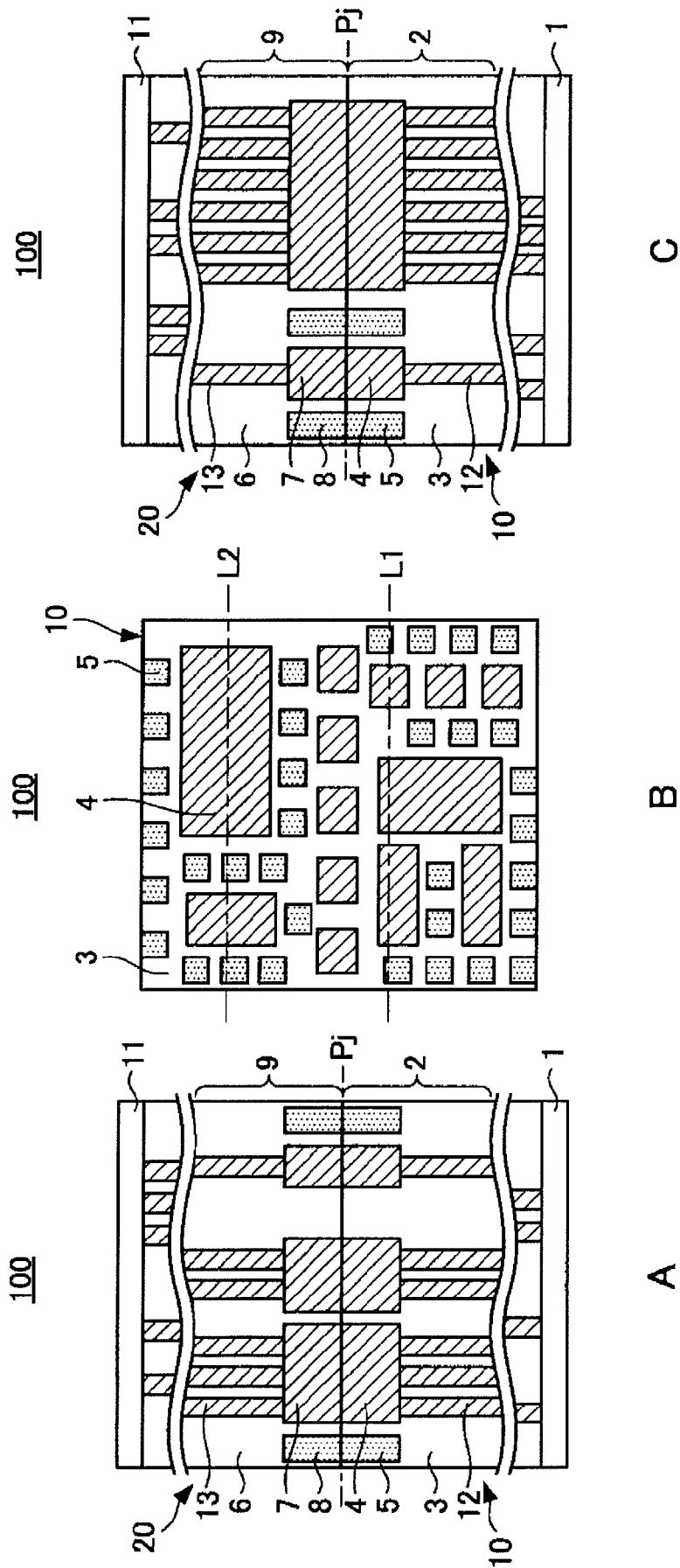
請求項8に記載の半導体装置。

[請求項14] 前記第2接合部が、前記複数の第2電極の一方及び他方の端部にそれぞれ接続された2つの第2引き出し電極を有し、該2つの第2引き出し電極のうち少なくとも一方が前記第2配線と電気的に接続されている

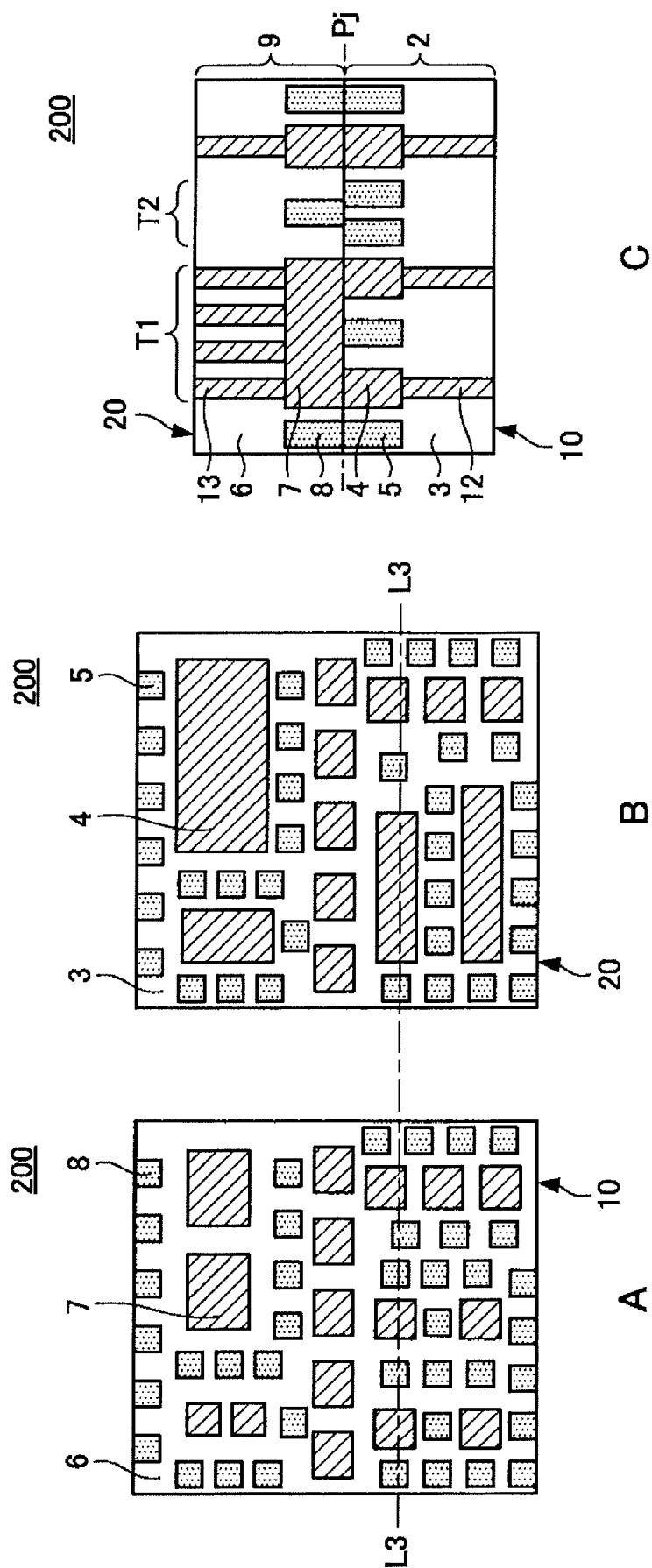
請求項13に記載の半導体装置。

[請求項15] 前記第1電極及び前記第2電極がともに、Cuで形成されている  
請求項7に記載の半導体装置。

[図1]

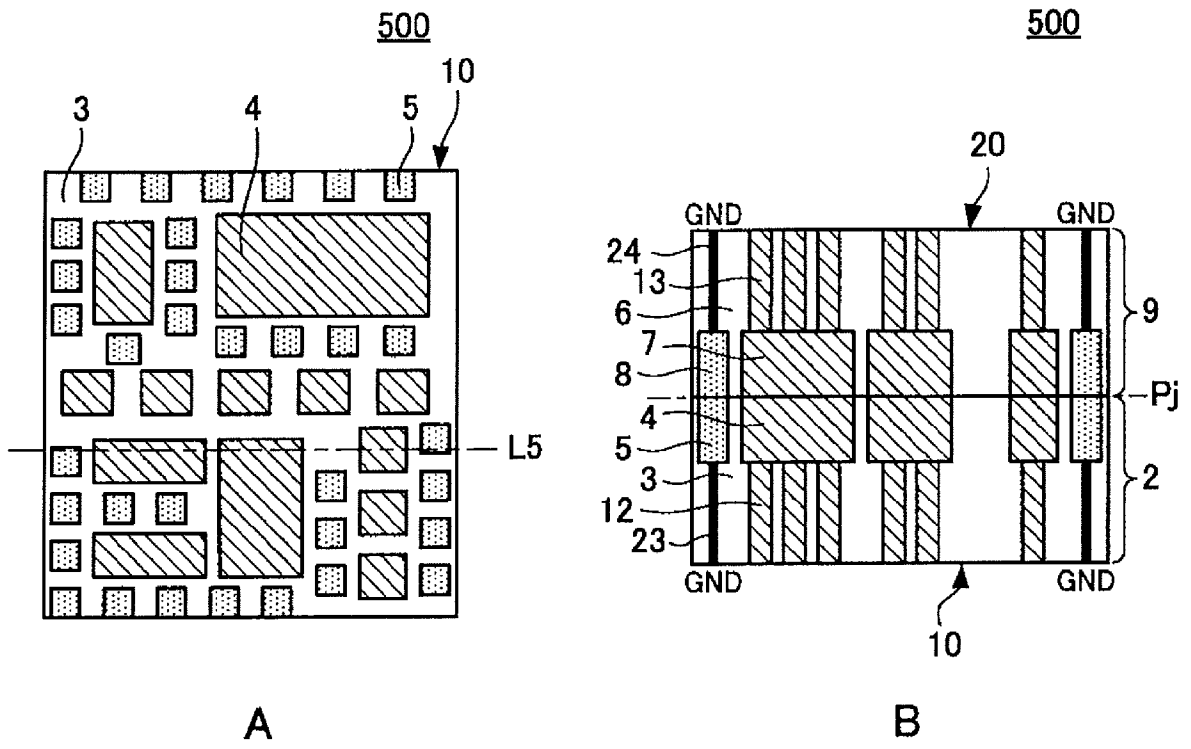


[図2]

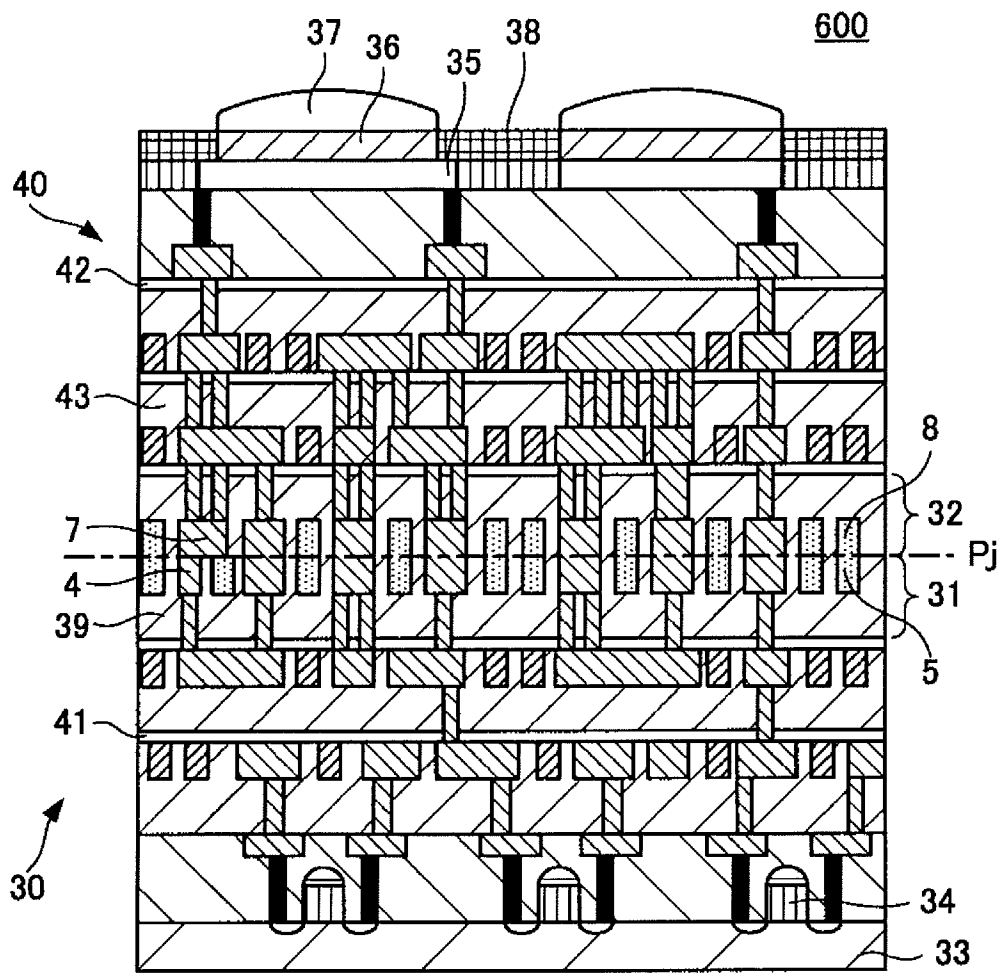




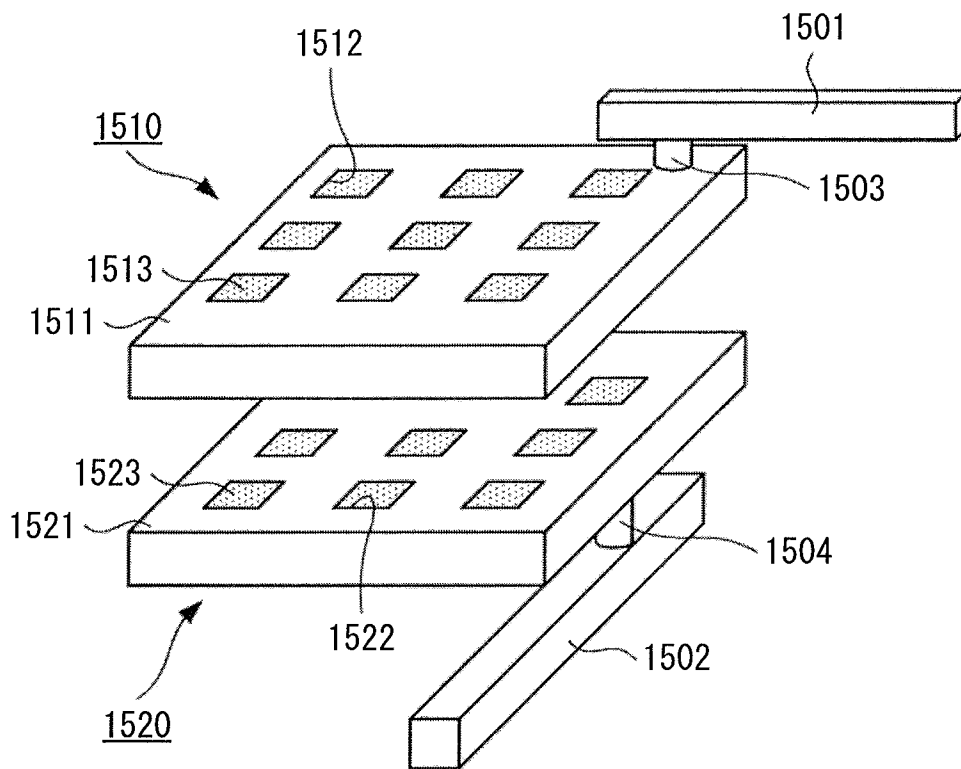
[図5]



[図6]

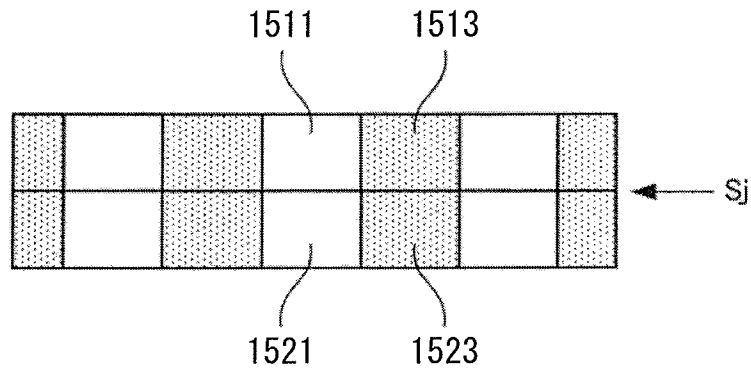


[図7]

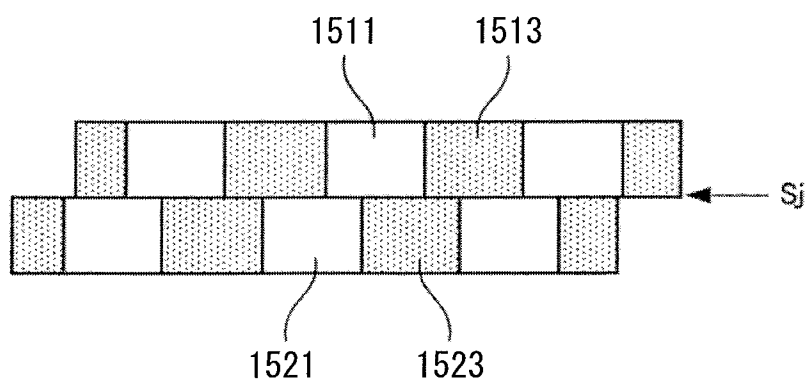


[図8]

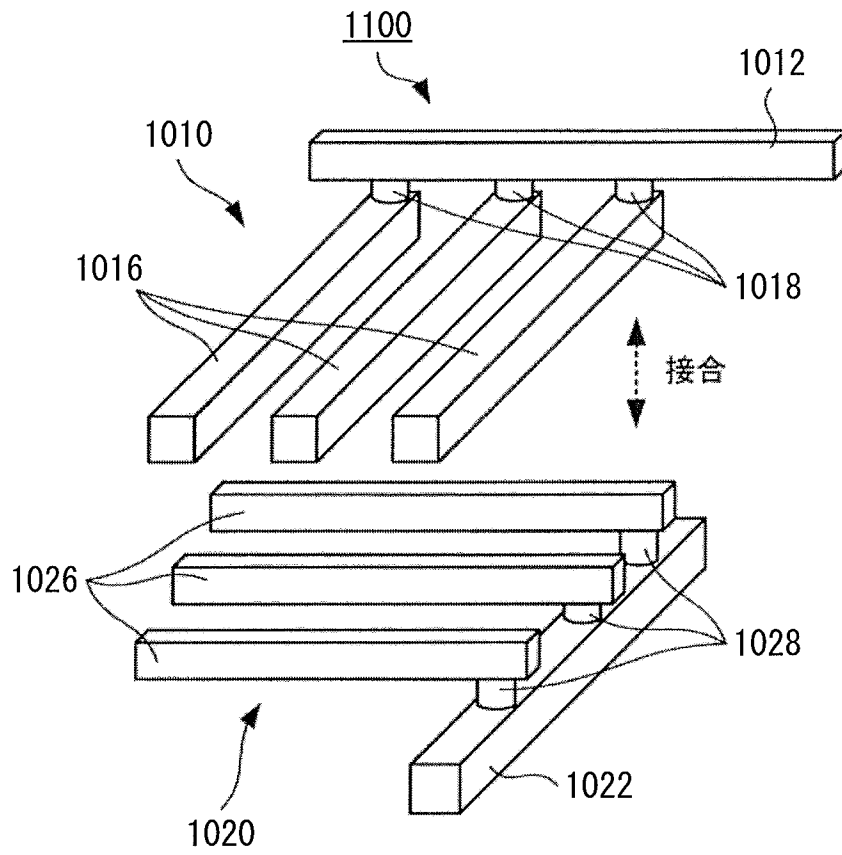
(a)



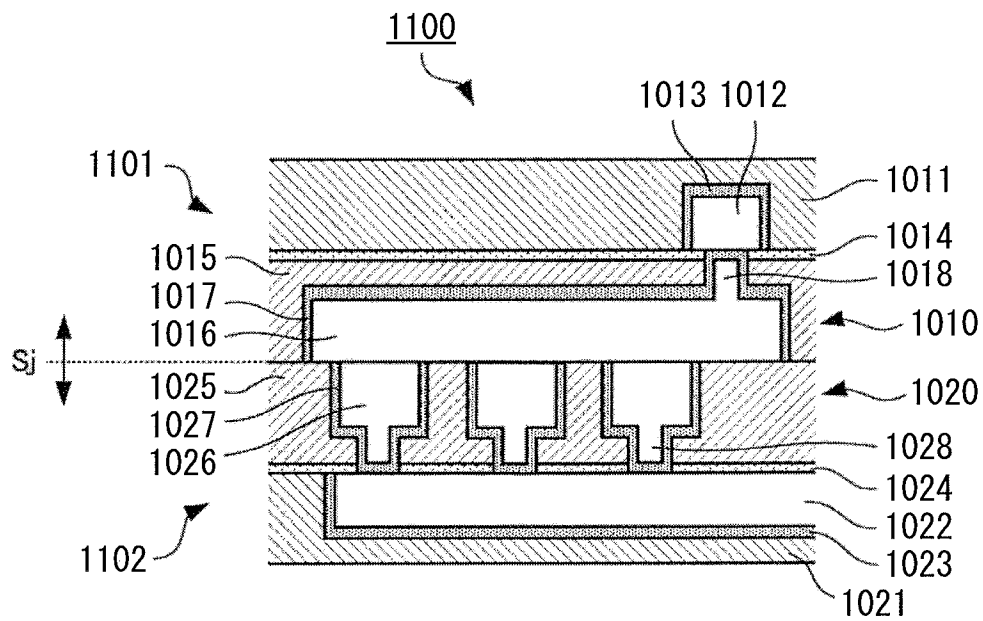
(b)



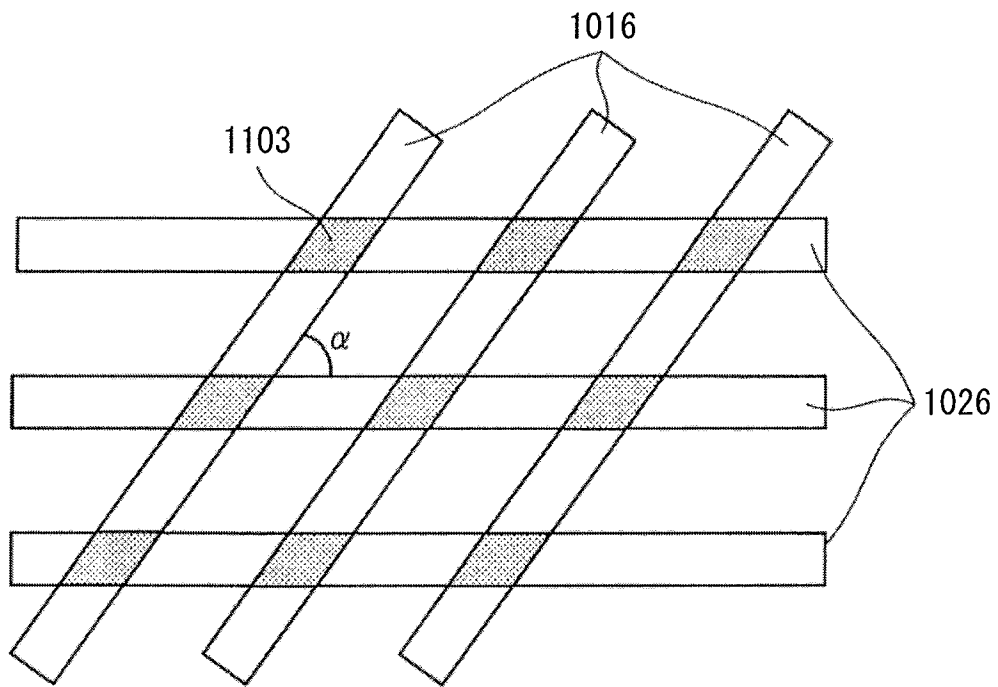
[図9]



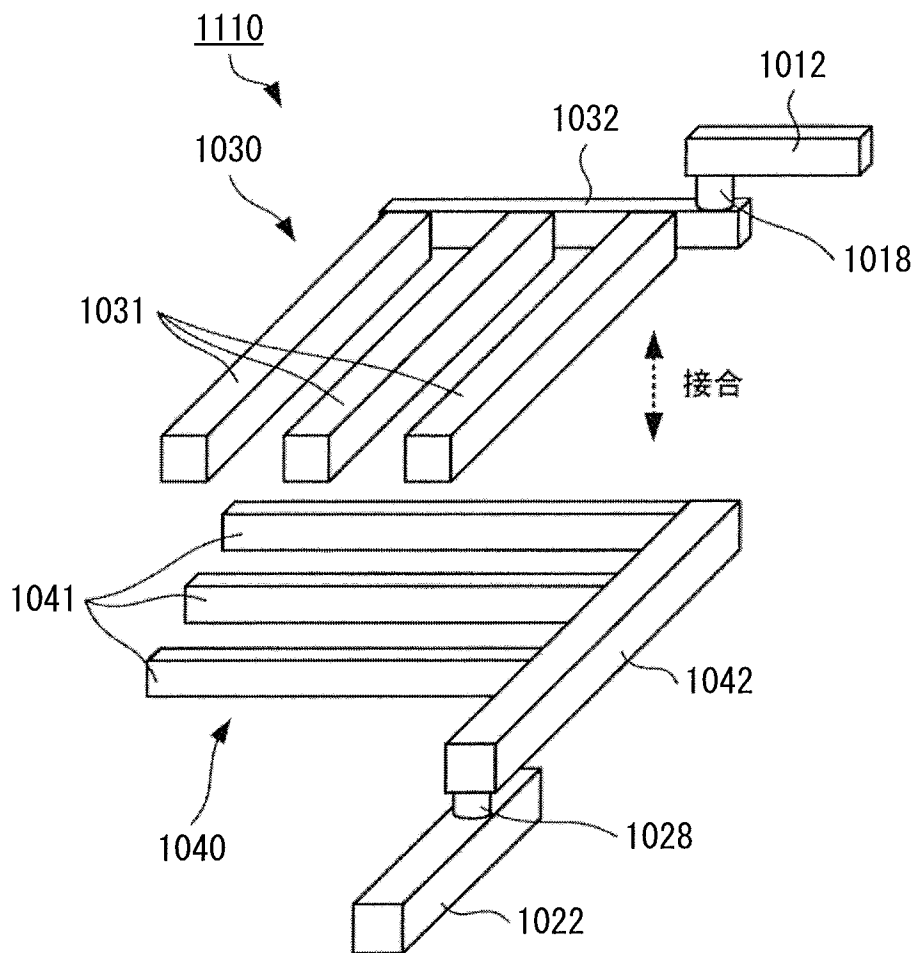
[図10]



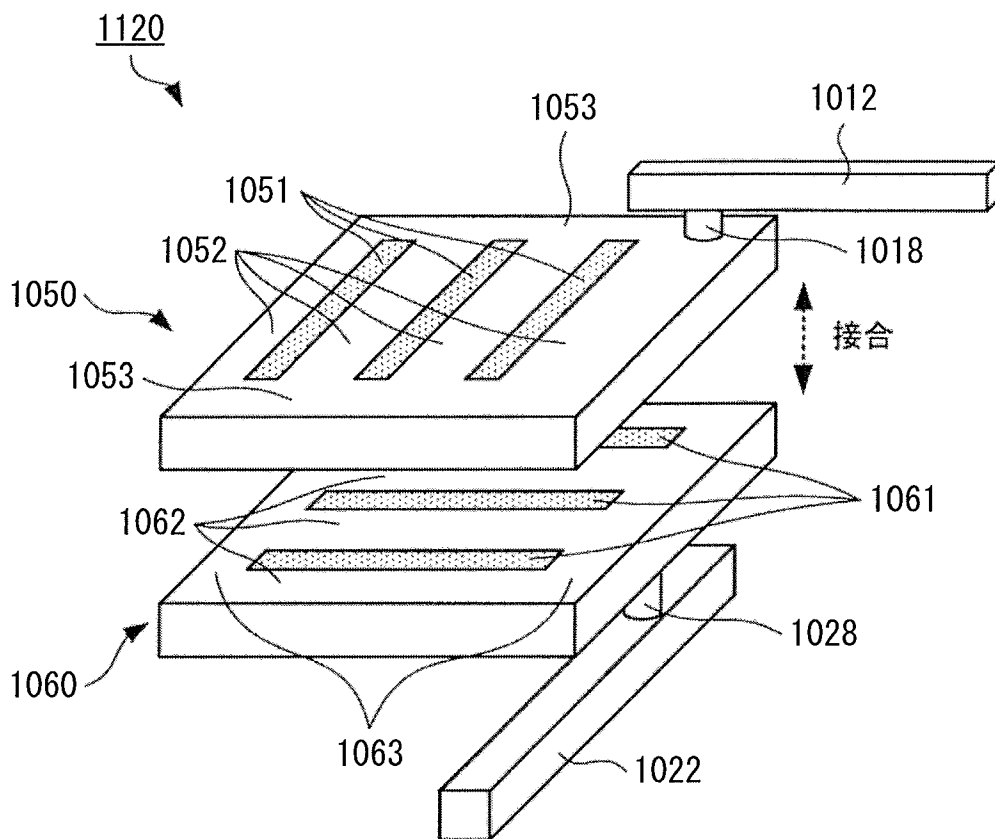
[図11]



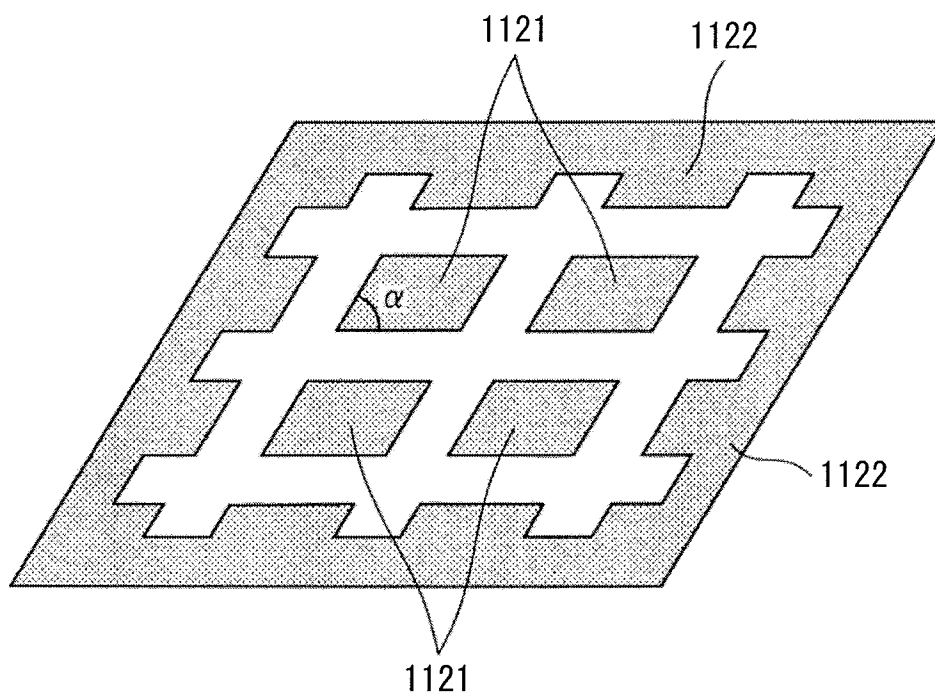
[図12]



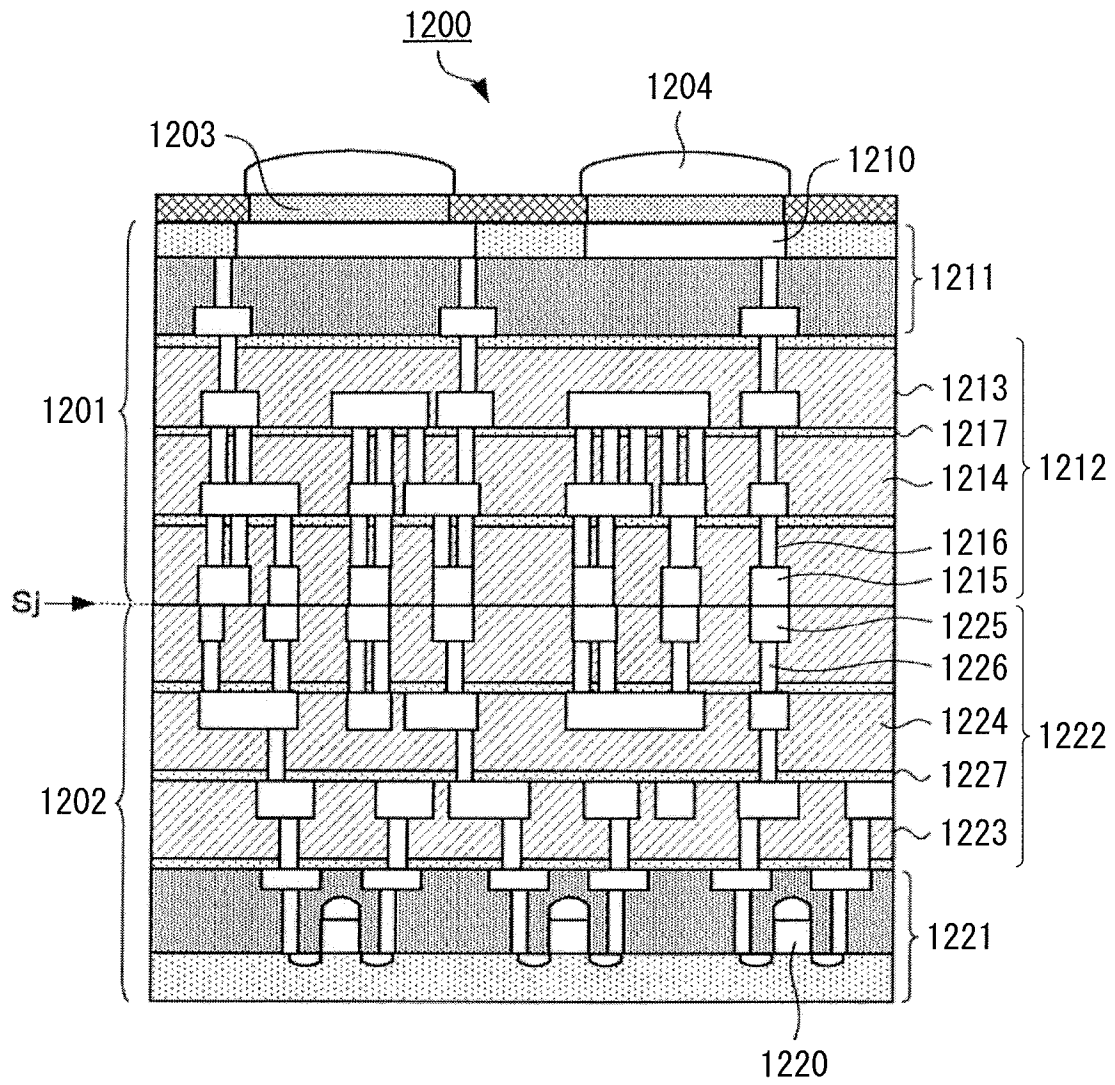
[図13]



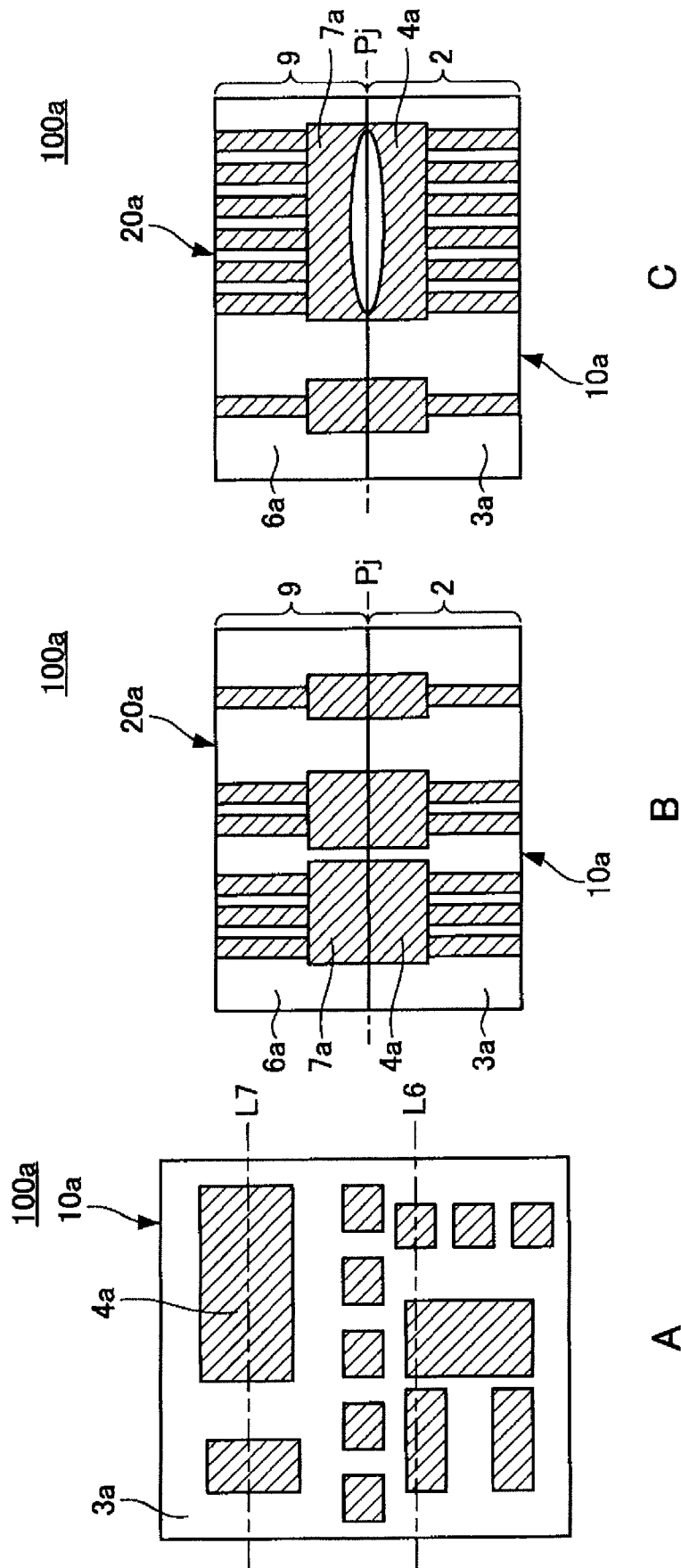
[図14]



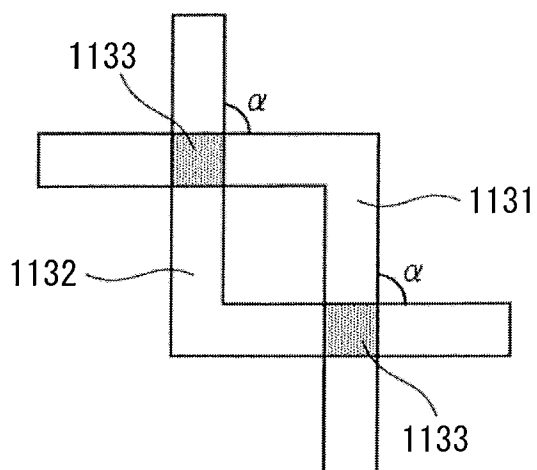
[図15]



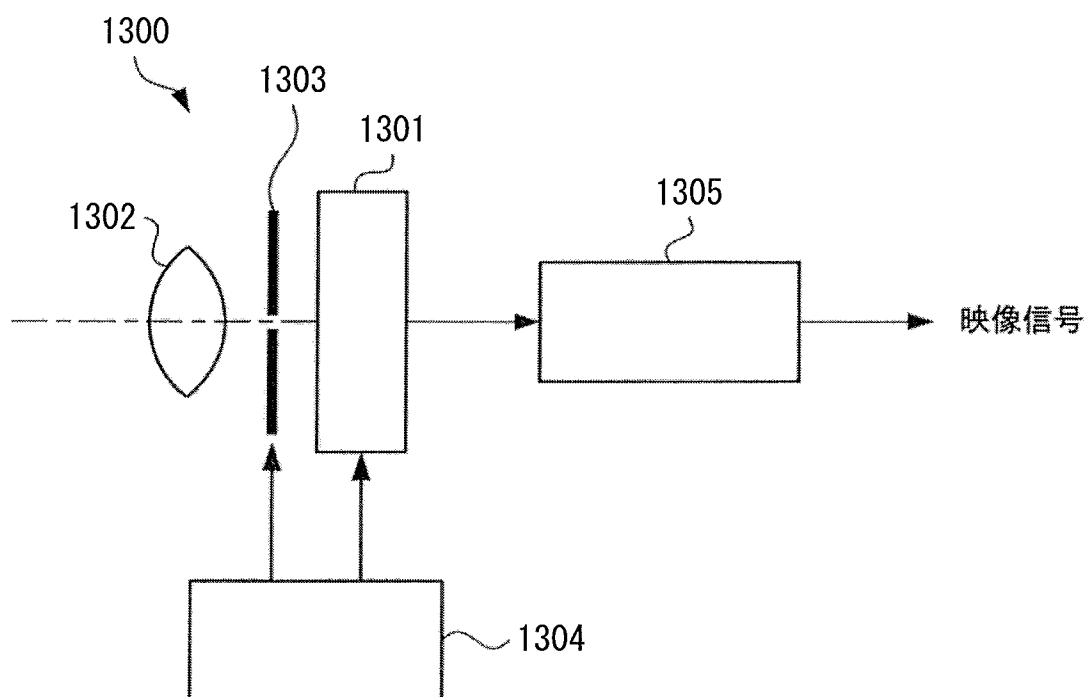
[図16]



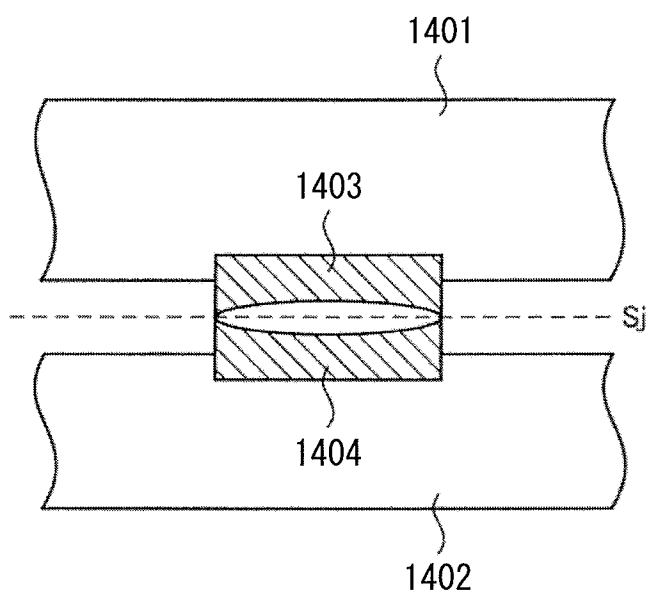
[図17]



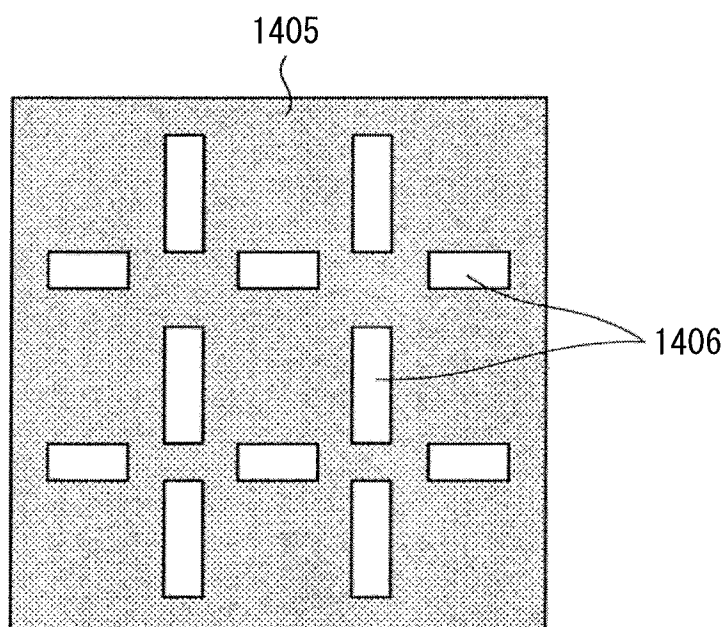
[図18]



[図19]



[図20]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/062484

## A. CLASSIFICATION OF SUBJECT MATTER

H01L21/3205(2006.01)i, H01L21/02(2006.01)i, H01L21/768(2006.01)i,  
H01L23/522(2006.01)i, H01L25/00(2006.01)i, H01L27/00(2006.01)i, H01L27/14  
(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/3205, H01L21/02, H01L21/768, H01L23/522, H01L25/00, H01L27/00,  
H01L27/14

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2011-54637 A (Sony Corp.), 17 March 2011 (17.03.2011), paragraphs [0019], [0053] to [0069]; fig. 1, 5 to 6 (Family: none)	1-3, 5-6 4
Y	JP 2010-219425 A (Toshiba Corp.), 30 September 2010 (30.09.2010), paragraph [0016] & US 2010/0237452 A1	4
X	JP 1-228202 A (Matsushita Electronics Corp.), 12 September 1989 (12.09.1989), fig. 1; page 2 (Family: none)	7-15

Further documents are listed in the continuation of Box C.

See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
01 August, 2012 (01.08.12)

Date of mailing of the international search report  
14 August, 2012 (14.08.12)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2012/062484

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-250913 A (Mitsumasa KOYANAGI), 14 September 2001 (14.09.2001), fig. 1 & US 2001/0005059 A1	1-15
A	JP 2005-135988 A (Toshiba Corp.), 26 May 2005 (26.05.2005), fig. 1 (Family: none)	1-15

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2012/062484

**Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)**

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1.  Claims Nos.:  
because they relate to subject matter not required to be searched by this Authority, namely:
  
2.  Claims Nos.:  
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
  
3.  Claims Nos.:  
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

**Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)**

This International Searching Authority found multiple inventions in this international application, as follows:

The invention of claim 1 cannot be considered to be novel in the light of the invention disclosed in JP 2011-54637 A (Sony Corp.), 17 March 2011 (17.03.2011), and does not have a special technical feature.

Further, the invention of claim 6 cannot be considered to be novel in the light of the invention disclosed in JP 1-228202 A (Matsushita Electronics Corp.), 12 September 1989 (12.09.1989), and does not have a special technical feature.

Consequently, two or more inventions (invention groups) are involved in claims.

1.  As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2.  As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3.  As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
  
4.  No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

**Remark on Protest**

- The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- No protest accompanied the payment of additional search fees.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L21/3205 (2006.01)i, H01L21/02 (2006.01)i, H01L21/768 (2006.01)i, H01L23/522 (2006.01)i, H01L25/00 (2006.01)i, H01L27/00 (2006.01)i, H01L27/14 (2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L21/3205, H01L21/02, H01L21/768, H01L23/522, H01L25/00, H01L27/00, H01L27/14

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2012年
日本国実用新案登録公報	1996-2012年
日本国登録実用新案公報	1994-2012年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2011-54637 A (ソニー株式会社)	1-3, 5-6
Y	2011.03.17, [0019], [0053]-[0069], 図1, 図5-図6 (ファミリーなし)	4
Y	JP 2010-219425 A (株式会社東芝) 2010.09.30, [0016] & US 2010/0237452 A1	4

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」口頭による開示、使用、展示等に言及する文献  
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献  
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」同一パテントファミリー文献

国際調査を完了した日

01.08.2012

国際調査報告の発送日

14.08.2012

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)  
 郵便番号100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

崎間 伸洋

電話番号 03-3581-1101 内線 3516

5 F

3570

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 1-228202 A (松下電子工業株式会社) 1989.09.12, 第1図, 第2頁 (ファミリーなし)	7-15
A	JP 2001-250913 A (小柳光正) 2001.09.14, 図1 & US 2001/0005059 A1	1-15
A	JP 2005-135988 A (株式会社東芝) 2005.05.26, 図1 (ファミリーなし)	1-15

## 第II欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1.  請求項 \_\_\_\_\_ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
  
2.  請求項 \_\_\_\_\_ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
  
3.  請求項 \_\_\_\_\_ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

## 第III欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

請求項1に係る発明は、JP 2011-54637 A (ソニー株式会社) 2011.03.17 に記載された発明に対して新規性が認められず、特別な技術的特徴を有していない。

また、請求項6に係る発明は、JP 1-228202 A (松下電子工業株式会社) 1989.09.12 に記載された発明に対して新規性が認められず、特別な技術的特徴を有していない。

よって、請求の範囲には、2以上の発明（群）が含まれている。

1.  出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2.  追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3.  出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4.  出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

## 追加調査手数料の異議の申立てに関する注意

- 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- 追加調査手数料の納付はあったが、異議申立てはなかった。