(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3584552号
(P3584552)
(45)発行日　平成16年11月4日(2004.11.4)　(24)登録日　平成16年8月13日(2004.8.13)

(51)Int.Cl.[7]		F I		
G09G	3/20	G09G	3/20	631N
G02F	1/133	G09G	3/20	631M
G09G	3/36	G09G	3/20	631Z
G09G	5/00	G09G	3/20	611A
H03K	3/03	G09G	3/20	612J

請求項の数 15　(全 39 頁)　最終頁に続く

(21)出願番号　特願平7-161428
(22)出願日　平成7年6月5日(1995.6.5)
(65)公開番号　特開平8-56138
(43)公開日　平成8年2月27日(1996.2.27)
審査請求日　平成12年11月27日(2000.11.27)
(31)優先権主張番号　特願平6-123964
(32)優先日　平成6年6月6日(1994.6.6)
(33)優先権主張国　日本国(JP)

(73)特許権者　000002369
セイコーエプソン株式会社
東京都新宿区西新宿２丁目４番１号
(74)代理人　100090479
弁理士　井上　一
(74)代理人　100090387
弁理士　布施　行夫
(74)代理人　100090398
弁理士　大渕　美千栄
(72)発明者　今村　陽一
長野県諏訪市大和３丁目３番５号　セイコーエプソン株式会社内
(72)発明者　青木　茂樹
長野県諏訪市大和３丁目３番５号　セイコーエプソン株式会社内

最終頁に続く

(54)【発明の名称】発振装置、表示データ処理装置、マトリックス型表示装置、発振信号生成方法及び表示データ処理方法

(57)【特許請求の範囲】
【請求項１】
表示データの処理のためのＮ個（Ｎは整数）のメモリを含む表示データ処理装置であって、
表示データを記憶し、第１信号が有効レベルになった場合にデータ読み出しを行う第１メモリと、
前記第１信号に基づいて第２信号を出力し、前記第１信号が有効レベルになってから前記第２信号が有効レベルになるまでの遅延時間が前記第１メモリでのデータ読み出しの遅延時間と同等になるように構成された前記第１メモリのダミー回路であって、少なくとも前記第１メモリからの読み出しデータが確定した時点又はそれ以降に前記第２信号を有効レベルにする第１等価回路と、
第Ｋ信号（１＜Ｋ≦Ｎ、Ｋは整数）が有効レベルになった場合に第（Ｋ－１）メモリの出力結果に基づいたデータ読み出しを行う第Ｋメモリと、
前記第Ｋ信号に基づいて第（Ｋ＋１）信号を出力し、前記第Ｋ信号が有効レベルになってから前記第（Ｋ＋１）信号が有効レベルになるまでの遅延時間が前記第Ｋメモリでのデータ読み出しの遅延時間と同等になるように構成された前記第Ｋメモリのダミー回路であって、少なくとも前記第Ｋメモリからの読み出しデータが確定した時点又はそれ以降に前記第（Ｋ＋１）信号を有効レベルにする第Ｋ等価回路と、
第Ｎ等価回路から出力される第（Ｎ＋１）信号が有効レベルになった場合に第Ｎメモリからの読み出しデータが書き込まれる格納手段とを含み、

前記第１～第Ｎメモリ、格納手段の少なくとも１つが、前記第１～第（Ｎ＋１）信号が非有効レベルとなった場合にプリチャージ動作を行い、

前記第（Ｎ＋１）信号に基づいて第（Ｎ＋２）信号を出力し、前記第（Ｎ＋１）信号が有効レベルになってから前記第（Ｎ＋２）信号が有効レベルになるまでの遅延時間が前記格納手段へのデータ取り込みの遅延時間と同等になるように構成された前記格納手段の取り込み信号制御手段のダミー回路であって、少なくとも前記格納手段に前記読み出しデータが書き込まれた時点又はそれ以降に前記第（Ｎ＋２）信号を有効レベルにする第（Ｎ＋１）等価回路と、

前記第（Ｎ＋２）信号が有効レベルとなった場合に前記第１～第（Ｎ＋１）信号の少なくとも１つを非有効レベルにし、前記第１～第Ｎメモリ、格納手段の少なくとも１つにプリチャージ動作を選択させる手段を更に含むことを特徴とする表示データ処理装置。

【請求項２】

請求項１において、

前記第１信号が非有効レベルになると、前記第２～第Ｎ信号が非有効レベルになることを特徴とする表示データ処理装置。

【請求項３】

請求項１又は２において、

前記第１～第Ｎ等価回路が、前記第１～第ＮメモリのＲＯＭセル又はＲＡＭセルを構成するＭＯＳトランジスタと等価なＭＯＳトランジスタにより構成されていることを特徴とする表示データ処理装置。

【請求項４】

請求項１乃至３のいずれかにおいて、

前記第１～第Ｎメモリ、格納手段の少なくとも１つに入力されるアドレス信号から変換アドレス信号を生成するデコーダ手段と、

前記第１～第（Ｎ＋１）信号のいずれかに基づいて前記第１～第Ｎメモリ、格納手段のいずれかに対して該第１～第（Ｎ＋１）信号の代わりとなる第１’～第（Ｎ＋１）’信号を出力し、前記第１～第（Ｎ＋１）信号が有効レベルになってから前記第１’～第（Ｎ＋１）’信号が有効レベルになるまでの遅延時間が前記デコーダ手段での変換アドレス信号出力の遅延時間と同等になるように構成された前記デコーダ手段のダミー回路であって、前記デコーダ手段から出力される前記変換アドレス信号が確定した時点又はそれ以降に前記第１’～第（Ｎ＋１）’信号を有効レベルにするデコーダ用等価回路とを含むことを特徴とする表示データ処理装置。

【請求項５】

請求項１乃至４のいずれかにおいて、

前記格納手段が、第１～第Ｌ（Ｌは整数）の種類の読み出しデータを取り込む第１～第Ｌ格納手段から成り、

前記第Ｎメモリからの読み出しデータを１水平期間毎に時分割に前記格納手段に格納するための取り込み信号を発生すると共に、前記第１～第Ｌの種類の読み出しデータが前記第１～第Ｌ格納手段に取り込まれるように前記取り込み信号の発生タイミングを制御する取り込み信号制御手段を含むことを特徴とする表示データ処理装置。

【請求項６】

請求項５において、

前記取り込み信号制御手段が、アドレス信号から変換アドレス信号を生成し、該変換アドレス信号を前記取り込み信号とするデコーダ手段より成ることを特徴とする表示データ処理装置。

【請求項７】

請求項１乃至６のいずれかにおいて、

前記複数のメモリが、画像表示パターンのコード信号を記憶する手段と、該コード信号に基づいて画像表示パターンを発生する手段とを含むことを特徴とする表示データ処理装置。

【請求項８】
表示データの処理のための複数のメモリを含む表示データ処理装置であって、
第１アドレス信号から第１変換アドレス信号を生成する第１デコーダ手段と、
第１信号に基づいて第１メモリに対して第１’信号を出力し、前記第１信号が有効レベルになってから前記第１’信号が有効レベルになるまでの遅延時間が前記第１デコーダ手段での変換アドレス信号出力の遅延時間と同等になるように構成された前記第１デコーダ手段のダミー回路であって、少なくとも前記第１デコーダ手段から出力される前記第１変換アドレス信号が確定した時点又はそれ以降に前記第１’信号を有効レベルにする第１デコーダ用等価回路と、
表示データを記憶し、前記第１’信号が有効レベルになった場合にデータ読み出しを行う第１メモリと、
前記第１’信号に基づいて第２信号を出力し、前記第１’信号が有効レベルになってから前記第２信号が有効レベルになるまでの遅延時間が前記第１メモリでのデータ読み出しの遅延時間と同等になるように構成された前記第１メモリのダミー回路であって、少なくとも前記第１メモリからの読み出しデータが確定した時点又はそれ以降に前記第２信号を有効レベルにする第１等価回路と、
第２アドレス信号から第２変換アドレス信号を生成する第２デコーダ手段と、
前記第２信号に基づいて第２メモリに対して第２’信号を出力し、前記第２信号が有効レベルになってから前記第２’信号が有効レベルになるまでの遅延時間が前記第２デコーダ手段での変換アドレス信号出力の遅延時間と同等になるように構成された前記第２デコーダ手段のダミー回路であって、少なくとも前記第２デコーダ手段から出力される前記第２変換アドレス信号が確定した時点又はそれ以降に前記第２’信号を有効レベルにする第２デコーダ用等価回路と、
前記第２’信号が有効レベルになった場合にデータ読み出しを行う第２メモリと、
前記第２’信号に基づいて第３信号を出力し、前記第２’信号が有効レベルになってから前記第３信号が有効レベルになるまでの遅延時間が前記第２メモリでのデータ読み出しの遅延時間と同等になるように構成された前記第２メモリのダミー回路であって、少なくとも前記第２メモリからの読み出しデータが確定した時点又はそれ以降に前記第３信号を有効レベルにする第２等価回路と、
前記第２等価回路から出力される第３信号が有効レベルになった場合に前記第２メモリからの読み出しデータが書き込まれる格納手段とを含み、
　前記第１、第２メモリが、前記第１、第２信号が非有効レベルとなった場合にプリチャージ動作を行い、
　前記第３信号に基づいて第４信号を出力し、前記第３信号が有効レベルになってから前記第４信号が有効レベルになるまでの遅延時間が前記格納手段へのデータ取り込みの遅延時間と同等になるように構成された前記格納手段の格納信号制御手段のダミー回路であって、少なくとも前記格納手段に前記読み出しデータが書き込まれた時点又はそれ以降に前記第４信号を有効レベルにする第３等価回路と、
　前記第４信号が有効レベルとなった場合に、前記第１、第２メモリにプリチャージ動作を選択させる手段とを更に含むことを特徴とする表示データ処理装置。
【請求項９】
請求項８において、
前記第１信号が非有効レベルになると、前記第２信号が非有効レベルになることを特徴とする表示データ処理装置。
【請求項１０】
請求項８又は９において、
前記第１、第２等価回路が、前記第１、第２メモリのＲＯＭセル又はＲＡＭセルを構成するＭＯＳトランジスタと等価なＭＯＳトランジスタにより構成されていることを特徴とする表示データ処理装置。
【請求項１１】

請求項８乃至１０のいずれかにおいて、
前記格納手段が、第１～第Ｌ（Ｌは整数）の種類の読み出しデータを取り込む第１～第Ｌ格納手段から成り、
前記第２メモリからの読み出しデータを１水平期間毎に時分割に前記格納手段に格納するための取り込み信号を発生すると共に、前記第１～第Ｌの種類の読み出しデータが前記第１～第Ｌ格納手段に取り込まれるように前記取り込み信号の発生タイミングを制御する取り込み信号制御手段を含むことを特徴とする表示データ処理装置。
【請求項１２】
請求項１１において、
前記取り込み信号制御手段が、第３アドレス信号から第３変換アドレス信号を生成し、該第３変換アドレス信号を前記取り込み信号とする第３デコーダ手段より成ることを特徴とする表示データ処理装置。
【請求項１３】
請求項１乃至１２のいずれかにおいて、
前記第１信号を生成するための発振信号を出力する発振装置を含み、
該発振装置が、該発振信号のデューティ比を制御する手段を含むことを特徴とする表示データ処理装置。
【請求項１４】
請求項１３において、
前記発振信号のデューティ比を制御することで、読み出し時間、プリチャージ時間が調整されることを特徴とする表示データ処理装置。
【請求項１５】
請求項１乃至１４のいずれかの表示データ処理装置と、表示画素がマトリックス状に配置されるとともに複数の信号電極及び走査電極が交差して配置されるマトリックスパネルと、該マトリックスパネルの前記信号電極に駆動電圧を印加する信号駆動回路と、該マトリックスパネルの前記走査電極に駆動電圧を印加する走査駆動回路とを含み、
前記表示データ処理装置の前記格納手段に格納されたデータに基づいて少なくとも前記信号駆動回路の駆動電圧を生成することを特徴とするマトリックス型表示装置。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】
本発明は発振装置及び表示データ処理装置に関し、特に低消費電力動作が可能な発振装置及び表示データ処理装置に関する。
【０００２】
【従来の技術及び発明が解決しようとする課題】
従来の発振装置について説明する。図３４に従来の発振装置の代表例としてＣＲ発振回路の構成を示す。インバータ２００、２０１、２０２、２０３はシリアル接続されており、インバータ２０１の出力とインバータ２００の入力との間にはキャパシタ２０４が接続されている。またインバータ２０２の出力とインバータ２００の入力の間には抵抗２０５が接続されている。インバータ２０３は波形整形用である。ＣＲ発振回路の発振周波数は周知の通りキャパシタ値Ｃ、抵抗値Ｒとすると、ｆＯＳＣ＝１／（２．２×Ｃ×Ｒ）となる。但しインバータ２００、２０１、２０２のディレイ値は除いている。
【０００３】
図３５に従来の発振装置の代表例としてリングオシレータの構成を示す。インバータ２０７、２０８、２０９、２１０はシリアル接続されており、インバータ２０９の出力はインバータ２０７の入力にフィードバックされている。インバータ２１０は波形整形用である。リングオシレータの発振周波数は周知の通り各インバータのディレイ値をそれぞれｔ（２０７）、ｔ（２０８）、ｔ（２０９）とすると、ｆＯＳＣ＝１／｛２×［ｔ（２０７）＋ｔ（２０８）＋ｔ（２０９）］｝となる。
【０００４】

しかしながら上記ＣＲ発振回路、リングオシレータには以下の問題があった。

【０００５】

まず発振信号のデューティ比はともに５０％近辺となり、このデューティ比をフレキシブルに調整できない。

【０００６】

また表示データ処理装置の主な用途であるマトリックス表示装置等では、１フレーム表示の周波数をフレーム周波数と言うが、このフレーム周波数の仕様は一般に７０～１３０Ｈｚの範囲となっている。よってこの仕様を満足するためには、ＣＲ発振回路の発振周波数の精度を±３０％の範囲内とする必要がある。しかしながら半導体基板上にキャパシタ、抵抗を製造する場合には、これらのキャパシタ、抵抗の値には１０～３０％のバラツキが生じる。従ってキャパシタ、抵抗を半導体基板に同時に製造し、しかも正確な発振周波数を確保することは実質上不可能であった。このため、表示データ処理装置に使用されるＣＲ発振回路の抵抗は、ほとんどの場合、外付け部品とされていた。

【０００７】

また上記マトリックス表示装置等に必要とされるクロックの発振周波数は１０Ｋ～５００ＫＨｚ程度である。ところがリングオシレータによりそのような低い周波数を発振させようとすると、回路規模、素子数が非常に大きくなる。このためリングオシレータは、実用上、マトリックス表示装置等の発振装置に使用できなかった。

【０００８】

一方、発振信号のデューティ比を可変できるＣＲ発振回路として図３６に示す構成のものが知られている。このＣＲ発振回路は、図３４に示すものに抵抗２１１、ダイオード２１２を付加した構成となっている。この回路では、抵抗２０５、２１１の抵抗比を調整することでデューティ比を制御できる。しかしながらこのＣＲ発振回路には以下の問題がある。まず第１に、ダイオード２１２は寄生抵抗、寄生容量を有し、またダイオード２１２には逆バイアス時にリーク電流が発生する。これらの寄生抵抗、寄生容量、リーク電流は、発振信号の生成、維持及び発振周波数の精度等に大きな悪影響を与える。第２に、良好な特性のダイオードを、インバータ２００等の他の回路と同一の半導体基板上に形成することは難しく、これを形成した場合、製造コストが高くなる。第３にこのＣＲ発振回路では、デューティ比を変更する手段として、抵抗２０５、２１１の代わりに電流源を使用することができない。第４に、極性反転のために必要なインバータ２０２と、充放電の切り替えに必要なダイオード２１２とを共通化できないという問題もある。

【０００９】

以上のように従来の発振装置には種々の問題があった。

【００１０】

次に従来の表示データ処理装置について説明する。図３７（Ａ）に従来の表示データ処理装置の構成の一例を示す。この表示データ装置は、表示データ処理のための複数のメモリを含む。ここで第１、第２メモリ５０４、５０６、格納手段５０８は、各々、例えば画像表示メモリ、画像表示パターン発生器（ＣＧＲＯＭ、ＣＧＲＡＭ等）、ラインメモリに相当する。タイミング発生回路５０２は、これらに対して、第１、第２アドレス５１２、５１４、第１、第２、第３信号５１６、５１８、５２０を出力している。第１、第２信号５１６、５１８は、第１、第２メモリ５０４、５０６の読み出し信号等となるものであり、第３信号５２０は、格納手段５０８への書き込み信号等となるものである。タイミング発生回路５０２には発振装置５００からクロック信号ＣＫ５１０が供給されており、タイミング発生回路５０２はこのＣＫ５１０に基づいて図３７（Ｂ）に示すような各種信号を生成する。またこの表示データ処理装置においては、第１メモリ５０４の出力である第１データ５２２等に基づいて第２メモリ５０６のアドレスが生成され、第２メモリ５０６の出力である第２データ５２４が格納手段５０８への書き込みデータとなる。

【００１１】

図３７（Ｂ）に示すように、第１信号５１６がＬレベルになると（図３７（Ｂ）のＦ点参照）、第１メモリ５０４の読み出し動作が開始され第１データ５２２が読み出される。第

２メモリ５０６のアドレスはこの第１データ５２２に基づいて生成されるため、第１信号５１６よりも少なくとも１クロック分だけ遅く第２信号５１８を立ち下げる必要がある（Ｇ点参照）。そして第２信号５１８がＬレベルになると、第２メモリ５０６から第２データ５２４が出力される。格納手段５０８はこの第２データ５２４を格納するので、第２信号５１８よりも少なくとも１クロック分だけ遅く第３信号５２０を立ち下げる必要がある（Ｈ点参照）。そしてタイミング発生回路５０２は、格納手段５０８へのデータ書き込みが終了した時点で、第１～第３信号５１６～５２０をＨレベルに立ち上げる。

【００１２】

このように従来の表示データ処理装置では、タイミング発生回路５０２において、第１、第２メモリ、格納手段のアクセス時間を考慮した種々のタイミングの信号を生成しなければならない。このため図３７（Ｂ）から明らかなように、第１～第３信号等を生成するために、第１～第３信号の３～５倍の周波数を有するクロック信号ＣＫが必要になり、これは低消費電力化の妨げとなる。

【００１３】

一方、第１～第３信号と同じ周波数のクロック信号をもとに、ディレイ回路等を用いて、図３７（Ｂ）に示すような種々のタイミングの信号を生成することも可能である。しかしながら第１、第２メモリ、格納手段のアクセス時間等を考慮しながらこれらの信号を生成することは、製造バラツキ等を観点に入れると困難を極める。従ってこれらの第１、第２メモリ、格納手段等の間のタイミング調整を、自己制御的に行える表示データ処理装置が望まれる。

【００１４】

本発明は、以上の課題を解決しようとするもので、その目的とするところは、消費電力化・回路規模の削減が図れる発振装置、表示データ処理装置を提供することにある。

【００１５】

また本発明の他の目的は、発振信号の発振周波数、デューティ比を精度良く簡易に調整できる発振装置を提供することにある。

【００１６】

また本発明の他の目的は、複数のメモリを有する表示データ処理装置において、これらのメモリ等の間のタイミング調整を自己制御的に行うことができる表示データ処理装置を提供することにある。

【００１７】

【課題を解決するための手段及び作用】

上記課題を解決するために本発明は、バッファ手段と、該バッファ手段の出力を入力に帰還する帰還手段と、該バッファ手段の入力に接続される充電手段及び放電手段とを含む発振装置であって、

前記充電手段が、前記バッファ手段の出力に基づいてオン・オフされる第１スイッチング手段と、該第１スイッチング手段を介して前記バッファ手段の入力に流れ込む電流を制御する第１電流制御手段とを含み、

前記放電手段が、前記バッファ手段の出力に基づいてオン・オフされる第２スイッチング手段と、該第２スイッチング手段を介して前記バッファ手段の入力から流れ出す電流を制御する第２電流制御手段とを含むことを特徴とする。

【００１８】

本発明によれば、バッファ手段の出力に基づき第１スイッチング手段がオンすると、第１電流制御手段により制御された電流がバッファ手段の入力に流れ込み、充電動作が行われる。一方、バッファ手段の出力に基づき第２スイッチング手段がオンすると、第２電流制御手段により制御された電流がバッファ手段の入力から流れ出し、放電動作が行われる。このように充放電を繰り返すことで発振波形が生成される。この時、第１、第２電流制御手段で電流を制御することで、発振信号の発振周波数、デューティ比を調整できる。

【００１９】

また本発明は、前記第１、第２スイッチング手段が、各々、前記バッファ手段の出力がゲ

ート電極に接続される第１、第２導電型の第１、第２トランジスタであり、前記第１、第２電流制御手段が第１、第２抵抗であることを特徴とする。

【００２０】

本発明によれば、第１、第２抵抗の抵抗値を調整することで、発振信号の発振周波数、デューティ比を調整できる。

【００２１】

また本発明は、前記第１、第２スイッチング手段が、前記バッファ手段の出力がゲート電極に接続される第１、第２導電型の第１、第２トランジスタであり、前記第１、第２電流制御手段が第１、第２電流源であることを特徴とする。

【００２２】

本発明によれば、第１、第２電流源を流れる電流を制御することで、発振信号の発振周波数、デューティ比を調整できる。

【００２３】

また本発明は、前記第１電流源が第１導電型の第３トランジスタから成ると共に前記第２電流源が第２導電型の第４トランジスタから成り、

該第３、第４トランジスタのゲート電極に接続される第１、第２バイアス端子を有し、該第１、第２のバイアス端子へのバイアス電圧を制御することで前記第１、第２電流源を流れる第１、第２電流の少なくとも電流比を制御するバイアス回路を含むことを特徴とする。

【００２４】

本発明によれば、第１、第２バイアス端子へのバイアス電圧を制御することで、第１、第２電流の電流比を制御でき、これにより充電時間と放電時間との比を制御でき、発振信号のデューティ比を調整できる。

【００２５】

また本発明は、前記第１、第２電流の電流値の大きさを制御する手段を含むことを特徴とする。

【００２６】

本発明によれば、第１、第２電流の電流値の大きさを制御することで、発振周波数等を調整できる。

【００２７】

また本発明は、前記バイアス回路が、ゲート電極が前記第１バイアス端子に接続されると共にドレイン領域が前記第２バイアス端子に接続される第１導電型の第５トランジスタと、ゲート電極及びドレイン領域が前記第１バイアス端子に接続される第１導電型の第６トランジスタと、ゲート電極及びドレイン領域が前記第２バイアス端子に接続される第２導電型の第７トランジスタと、ゲート電極が前記第２バイアス端子に接続されると共にドレイン領域が前記第１バイアス端子に接続される第２導電型の第８トランジスタとを含むことを特徴とする。

【００２８】

本発明によれば、第３、第５、第６トランジスタのゲート電極には同一電圧が印加される。また第４、第７、第８のゲート電極にも同一電圧が印加される。従ってカレントミラーにより、第５トランジスタ（又は第６トランジスタ）を流れる電流を第３トランジスタにコピーできると共に第７トランジスタ（又は第８トランジスタ）を流れる電流を第４トランジスタにコピーできる。これにより発振信号の発振周波数、デューティ比を、第５、第７トランジスタ（又は第６、第８トランジスタ）において流れる電流、トランジスタの持つベータ値（トランジスタサイズ）等に基づいて調整することが可能となる。

【００２９】

また本発明は、前記第３トランジスタのゲート電極に対して前記第１バイアス端子の代わりに第３バイアス端子を接続し、

ゲート電極及びドレイン領域が前記第３バイアス端子に接続される第１導電型の第９トランジスタと、ゲート電極が前記第２バイアス端子に接続されると共にドレイン領域が前記

第３バイアス端子に接続される第２導電型の第１０トランジスタとを含むことを特徴とする。

【００３０】

本発明によれば、第３、第４、第９、第１０トランジスタの有するベータ値（トランジスタサイズ）等を用いてデューテイ比を調整できるため、設計が容易となる。

【００３１】

また本発明は、表示データの処理のためのＮ個（Ｎは整数）のメモリを含む表示データ処理装置であって、

第１信号が有効レベルになった場合にデータ読み出しを行う第１メモリと、

前記第１信号に基づいて第２信号を出力する回路であり、少なくとも前記第１メモリからの読み出しデータが確定した時点又はそれ以降に前記第２信号を有効レベルにする第１等価回路と、

第Ｋ信号（１＜Ｋ≦Ｎ、Ｋは整数）が有効レベルになった場合に第（Ｋ－１）メモリの出力結果に基いたデータ読み出しを行う第Ｋメモリと、

前記第Ｋ信号に基づいて第（Ｋ＋１）信号を出力する回路であり、少なくとも前記第Ｋメモリからの読み出しデータが確定した時点又はそれ以降に前記第（Ｋ＋１）信号を有効レベルにする第Ｋ等価回路と、

第Ｎ等価回路から出力される第（Ｎ＋１）信号が有効レベルになった場合に第Ｎメモリからの読み出しデータが書き込まれる格納手段とを含むことを特徴とする。

【００３２】

本発明によれば、第１信号が有効となると第１メモリからのデータ読み出しが行われ、読み出されたデータが第２メモリに出力される。この時、第１等価回路は、第１メモリからのデータ読み出しと同時又はそれ以降に第２信号を有効にする。第２メモリは、第２信号が有効になると、第１メモリの出力結果に基づいたデータ読み出しを行う。このようにして次々とデータが読み出され、第Ｎメモリからの読み出しデータが格納手段に格納され、この格納されたデータに基づき表示データが生成される。

【００３３】

また本発明は、前記第１～第Ｎメモリ、格納手段の少なくとも１つが、前記第１～第（Ｎ＋１）信号が非有効レベルとなった場合にプリチャージ動作を行うことを特徴とする。

【００３４】

本発明によれば、第１～第Ｎメモリ、格納手段がプリチャージ動作を有するものである場合に、第１～第（Ｎ＋１）信号が非有効レベルになった時にこれらをプリチャージ動作に移行させることができる。

【００３５】

また本発明は、前記第（Ｎ＋１）信号に基づいて第（Ｎ＋２）信号を出力する回路であり、少なくとも前記格納手段に前記読み出しデータが書き込まれた時点又はそれ以降に前記第（Ｎ＋２）信号を有効レベルにする第（Ｎ＋１）等価回路と、

前記第（Ｎ＋２）信号が有効レベルとなった場合に前記第１～第（Ｎ＋１）信号の少なくとも１つを非有効レベルにし、前記第１～第Ｎメモリ、格納手段の少なくとも１つにプリチャージ動作を選択させる手段とを含むことを特徴とする。

【００３６】

本発明によれば、第（Ｎ＋１）等価回路により第（Ｎ＋２）信号が有効レベルにされると、第１～第Ｎメモリ、格納手段の少なくとも１つをプリチャージ動作に移行させることができる。このように本発明によれば、プリチャージ動作への移行のタイミングについても自己的に制御できる。

【００３７】

また本発明は、前記第１～第Ｎメモリ、格納手段の少なくとも１つに入力されるアドレス信号から変換アドレス信号を生成するデコーダ手段と、

前記第１～第（Ｎ＋１）信号のいずれかに基づいて前記第１～第Ｎメモリ、格納手段のいずれかに対して該第１～第（Ｎ＋１）信号の代わりとなる第１’～第（Ｎ＋１）’信号を

出力する回路であり、前記デコーダ手段から出力される前記変換アドレス信号が確定した時点又はそれ以降に前記第１’～第（Ｎ＋１）’信号を有効レベルにするデコーダ用等価回路とを含むことを特徴とする。

【００３８】

本発明によれば、第１～第Ｎメモリ、格納手段に入力されるアドレス信号を変換できる。そして第１～第Ｎメモリ、格納手段は、変換アドレス信号が確定した時点又はそれ以降に読み出し動作等を行うことになり、適正な読み出し動作が可能となる。

【００３９】

また本発明は、前記格納手段が、第１～第Ｌ（Ｌは整数）の種類の読み出しデータを取り込む第１～第Ｌ格納手段から成り、

前記第Ｎメモリからの読み出しデータを１水平期間毎に時分割に前記格納手段に格納するための取り込み信号を発生すると共に、前記第１～第Ｌの種類の読み出しデータが前記第１～第Ｌ格納手段に取り込まれるように前記取り込み信号の発生タイミングを制御する取り込み信号制御手段を含むことを特徴とする。

【００４０】

本発明によれば、読み出しデータに文字パターンデータ（第１の種類の読み出しデータ）、アイコンパターンデータ（第２の種類の読み出しデータ）等を含ませ、これらを各々、取り込み信号の発生タイミングを制御することで第１、第２の格納手段に格納できる。これにより本発明を例えばマトリックス型表示装置に適用した場合には、マトリックスパネル上の任意の場所に文字、アイコン等を表示できる。

【００４１】

また本発明は、前記取り込み信号制御手段が、前記格納手段に入力されるアドレス信号から変換アドレス信号を生成し、該変換アドレス信号を前記取り込み信号とするデコーダ手段より成ることを特徴とする。

【００４２】

本発明によれば、デコーダ手段により生成された変換アドレス信号を、取り込み信号とすることができ、この取り込み信号に基づいて格納手段へのデータの取り込みが行われる。これにより、例えばＲＯＭプログラミングが可能なデコーダ手段を用いた場合には、ＲＯＭプログラミングを変更することで任意のタイミングで取り込み信号を発生できる。

【００４３】

また本発明は、前記複数のメモリが、画像表示パターンのコード信号を記憶する手段と、該コード信号に基づいて画像表示パターンを発生する手段とを含むことを特徴とする。

【００４４】

本発明によれば、例えば文字コード信号等を第１のメモリに記憶し、この文字コード信号に対応する文字パターンデータを第２のメモリに記憶させることができる。これにより例えばマトリックスパネル上への文字等の配置を簡易に行うことができる。

【００４５】

また本発明は、前記第１信号を生成するための発振信号を出力する発振装置を含み、該発振装置が、該発振信号のデューテイ比を制御する手段を含むことを特徴とする。

【００４６】

本発明によれば、発振信号のデューティ比を制御することで、第１～第Ｎメモリ、格納手段の読み出し時間、プリチャージ時間等を調整することが可能となる。

【００４７】

また本発明は、前記発振装置が、バッファ手段と、該バッファ手段の出力を入力に帰還する帰還手段と、該バッファ手段の入力に接続される充電手段及び放電手段とを含み、

前記充電手段が、前記バッファ手段の出力に基づいてオン・オフされる第１スイッチング手段と、該第１スイッチング手段を介して前記バッファ手段の入力に流れ込む電流を制御する第１電流制御手段とを含み、

前記放電手段が、前記バッファ手段の出力に基づいてオン・オフされる第２スイッチング手段と、該第２スイッチング手段を介して前記バッファ手段の入力から流れ出す電流を制

御する第２電流制御手段とを含むことを特徴とする。
【００４８】
本発明によれば、第１、第２電流制御手段により充放電電流を制御することで発振信号のデューティ比を制御でき、これにより第１～第Ｎメモリ、格納手段の読み出し時間、プリチャージ時間等を調整することが可能となる。
【００４９】
また本発明は、前記第（Ｎ＋１）信号、前記第（Ｎ＋２）信号のいずれか一方を前記第１信号として帰還し自己発振ループを形成したことを特徴とする。
【００５０】
本発明によれば、等価回路の信号ディレイ等を利用した発振が可能となり、低消費電力化等が図れる。
【００５１】
また本発明は、前記自己発振ループにおける発振周波数、デューティ比の少なくとも一方を制御する手段を含むことを特徴とする。
【００５２】
本発明によれば、等価回路のディレイ値が製造プロセスのバラツキ等に依存して変動した場合等において、発振周波数、デューティ比等を所望の値に近づけることが可能となる。
【００５３】
また本発明は、前記第１～第Ｎ等価回路又は前記第１～第（Ｎ＋１）等価回路を含むバッファ手段と、該バッファ手段の出力を入力に帰還する帰還手段と、該バッファ手段の入力に接続される充電手段及び放電手段とを含み、
前記充電手段が、前記バッファ手段の出力に基づいてオン・オフされる第１スイッチング手段と、該第１スイッチング手段を介して前記バッファ手段の入力に流れ込む電流を制御する第１電流制御手段とを含み、
前記放電手段が、前記バッファ手段の出力に基づいてオン・オフされる第２スイッチング手段と、該第２スイッチング手段を介して前記バッファ手段の入力から流れ出す電流を制御する第２電流制御手段とを含むことを特徴とする。
【００５４】
本発明によれば、等価回路のディレイ値が製造プロセスのバラツキに依存して変動した場合等において、第１、第２電流制御手段で電流を制御することで、発振周波数、デューティ比等を所望の値に近づけることが可能となる。
【００５５】
また本発明に係るマトリックス型表示装置は、上記表示データ処理装置と、表示画素がマトリックス状に配置されるとともに複数の信号電極及び走査電極が交差して配置されるマトリックスパネルと、該マトリックスパネルの前記信号電極に駆動電圧を印加する信号駆動回路と、該マトリックスパネルの前記走査電極に駆動電圧を印加する走査駆動回路とを含み、
前記表示データ処理装置の前記格納手段に格納されたデータに基づいて少なくとも前記信号駆動回路の駆動電圧を生成することを特徴とする。
【００５６】
本発明によれば、低消費電力で高速動作可能なマトリックス型表示装置を得ることができる。
【００５７】
【実施例】
以下、本発明の実施例を図面を用いて説明する。
【００５８】
（実施例１）
実施例１～６は発振装置に関する実施例である。
【００５９】
図１に本発明の実施例１の発振装置の構成を示す。

【００６０】
ＭＯＳバッファ３０１の入力Ａと出力Ｂとの間には帰還手段３０５が設けられている。ＭＯＳバッファ３０１の入力Ａには、充電手段３１０と放電手段３２０とが共通接続される。またＭＯＳバッファ３０１の出力Ｂは充電手段３１０、放電手段３２０に入力される。但しこの場合、インバータ、バッファ等から成る波形整形手段３０３を設けてもよい。
【００６１】
充電手段３１０は第１電流制御手段３１２、第１スイッチング手段３１４を含む。第１スイッチング手段３１４は、ＭＯＳバッファ３０１の出力Ｂに基づいてオン・オフするものであり、第１電流制御手段３１２は、第１スイッチング手段３１４を介してＭＯＳバッファ３０１の入力Ａに流れ込む充電電流Ｉ１を制御するものである。放電手段３２０は第２電流制御手段３２２、第２スイッチング手段３２４を含む。第２スイッチング手段３２４は、ＭＯＳバッファ３０１の出力Ｂに基づいてオン・オフするものであり、第２電流制御手段３２２は、第２スイッチング手段３２４を介してＭＯＳバッファ３０１の入力Ａから流れ出す放電電流Ｉ２を制御するものである。
【００６２】
次に実施例１の動作について説明する。図２にＭＯＳバッファ３０１の入力Ａ、出力Ｂの波形図を示す。ここでＭＯＳバッファ３０１のスレッシュホルド電圧を（１／２）×ＶＤＤとする。するとＭＯＳバッファ３０１の入力Ａが（１／２）×ＶＤＤを超えた時点で（図２のＨ参照）、ＭＯＳバッファ３０１の出力ＢはＬレベルからＨレベルに立ち上がり（Ｉ参照）、帰還手段３０５を経由しＭＯＳバッファ３０１の入力Ａは｛（１／２）×ＶＤＤ＋ＶＤＤ｝となる（Ｊ参照）。この時、出力ＢがＨレベルであるため、放電手段３２０内の第２スイッチング手段３２４が選択されてオンし、ＭＯＳバッファ３０１の入力Ａから電流が放電される。これにより入力Ａの電位は徐々に下がる（Ｋ参照）。そして入力Ａがスレッシュホルド電圧（１／２）×ＶＤＤよりも少し下がったところで（Ｌ参照）、ＭＯＳバッファ３０１の出力はＬレベルに立ち下がる（Ｍ参照）。これにより入力Ａの電位は、帰還手段３０５により、｛（１／２）×ＶＤＤ－ＶＤＤ｝に立ち下げられる（Ｎ参照）。この時、出力ＢがＬレベルであるため、充電手段３１０内の第１スイッチング手段３１４が選択されてオンし、ＭＯＳバッファ３０１の入力Ａに電流が充電される。これにより入力Ａの電位は徐々に上がる（Ｐ参照）。以上のようにして充放電を繰り返すことで、図２の出力Ｂのような発振信号を得ることができる。なおＭＯＳバッファ３０１は、少なくともバッファ手段として機能するものであればよく、必ずしもＭＯＳトランジスタにより構成されている必要はない。
【００６３】
図２から明らかなように、本実施例によれば、任意の周波数・デューティ比の発振信号（発振波形）を得ることができる。周波数・デューティ比の調整は第１、第２電流制御手段３１２、３２２によりＩ１、Ｉ２の電流値を制御することで実現する。例えばＩ２＞Ｉ１となるように制御すれば図２に示すような発振信号が得られる。そして本実施例によれば、図３６の従来例にあったダイオードの寄生抵抗・寄生容量等を考慮する必要がなくなり、精度が高くプロセスバラツキの少ない発振信号を得ることができる。また第１、第２スイッチング手段３１４、３２４に、極性反転手段（図３６のインバータ２０２に相当）及び充放電の切り替え手段（図３６のダイオード２１２に相当）の両方の機能を持たせることができるため、回路素子を削減できると共に発振周波数・デューティ比の精度等を向上できる。
【００６４】
（実施例２）
実施例２は、充電手段、放電手段の具体的構成を示すものであり、図３にその回路構成を示す。図３の抵抗７、８は、図１の第１、第２電流制御手段３１２、３２２に相当し、Ｐ型ＭＯＳトランジスタ３、Ｎ型ＭＯＳトランジスタ４は、第１、第２スイッチング手段３１４、３２４に相当する。
【００６５】

ＭＯＳバッファ１の入力Ａは、Ｐ型ＭＯＳトランジスタ３及びＮ型ＭＯＳトランジスタ４のドレイン領域並びにキャパシタ５に接続されている。ＭＯＳバッファ１の出力Ｂは、Ｐ型ＭＯＳトランジスタ３及びＮ型ＭＯＳトランジスタ４のゲート電極並びにキャパシタ５に接続されている。Ｐ型ＭＯＳトランジスタ３及びＮ型ＭＯＳトランジスタ４のソース領域はそれぞれ抵抗７、８の一方の端子に接続されている。そして抵抗７、８の他方の端子は、各々、高電位側電源ＶＤＤ９、低電位側電源ＶＳＳ（ＧＮＤ）１０に接続されている。ＭＯＳインバータ２は波形整形用である。

【００６６】

ここで動作について説明する。まずＭＯＳバッファ１の入力電位がスレッシュホルド電圧（１／２）×ＶＤＤを少し越えた時に、ＭＯＳバッファ１の出力ＢはＨレベルに立ち上がり、キャパシタ５を介した容量カップリングにより、ＭＯＳバッファ１の入力Ａの電位は｛ＶＤＤ＋（１／２）×ＶＤＤ｝となる。そしてＰ型ＭＯＳトランジスタ３はオフし、Ｎ型ＭＯＳトランジスタ４はオンする。ここで抵抗７、８の抵抗値がＰ型ＭＯＳトランジスタ３及びＮ型ＭＯＳトランジスタ４のオン抵抗よりも充分大きいとし、抵抗７、８の抵抗値をＲｐ、Ｒｎとしキャパシタ５の容量値をＣとする。するとＭＯＳバッファ１の入力Ａの電位はＴｎ＝Ｃ×Ｒｎの時間で下がる（放電する）。

【００６７】

次にＭＯＳバッファ１の入力電位がスレッシュホルド電圧（１／２）×ＶＤＤよりも低くなった時は、Ｐ型ＭＯＳトランジスタ３がオンし、ＭＯＳバッファ１の入力Ａの電位はＴｎ＝Ｃ×Ｒｐの時間で上がる（充電する）。

【００６８】

従って実施例２における発振周波数ｆＯＳＣ２及びデューティ比Ｄ２は、各々、ｆＯＳＣ２＝１／（Ｔｎ＋Ｔｐ）、Ｄ２＝Ｒｎ／（Ｒｎ＋Ｒｐ）となる。但しＭＯＳバッファ１のディレイ値は除いている。

【００６９】

なお図３では、トランジスタ３、４を、ＭＯＳバッファ１の入力Ａに接続しているが、これとは逆に、抵抗７、８をＭＯＳバッファ１の入力Ａに接続し、トランジスタ３、４を電源９、１０に接続する構成としても構わない。

【００７０】

（実施例３）

実施例３は、充電手段、放電手段の具体的構成の他の例を示すものであり、図４にその回路構成を示す。実施例２との相違は、電流制御手段が、抵抗７、８から電流源１１、１２へと変更されている点である。すなわちＭＯＳバッファ１の入力Ａからの電流の充放電を電流源１１、１２で行っている。

【００７１】

図５にＭＯＳバッファ１の入力Ａ、出力Ｂの波形図を示す。図２と異なるのは、充電、放電時において入力Ａの電位がリニア（線形）に変化する点である（図５のＫ’、Ｐ’参照）。このように入力Ａの電位がリニアに変化すると、製造プロセスの変動、雑音等が生じた場合においても、図２の場合と比べて発振周波数・デューティ比のバラツキを小さくでき、正確な発振周波数・デューティ比を得ることができる。その他の動作については上記実施例１、２と同様であるため説明を省略する。

【００７２】

実施例３の発振装置の発振周波数ｆＯＳＣ３及びデューティ比Ｄ３は、電流源１１、１２を流れる電流値をそれぞれＩｎ、Ｉｐとすると、ｆＯＳＣ３＝１／（Ｔｎ＋Ｔｐ）、Ｄ３＝Ｉｎ／（Ｉｎ＋Ｉｐ）となる。但しＴｎ＝Ｃ×Ｖ／Ｉｎ、Ｔｐ＝Ｃ×Ｖ／Ｉｐであり、ＭＯＳバッファ１のディレイ値は除いている。従って実施例３によれば、ＩｎとＩｐの比によって簡単に発振信号のデューティ比を調整できる。

【００７３】

なお電流制御手段として電流源を使用する場合には、図４に示すようにバイアス回路１６、バイアス調整回路１７を設けることが望ましい。ここでバイアス回路１６は、バイアス

端子１３、１４を介してバイアス信号を電流源１１、１２に与えるものである。またバイアス調整回路１７は、端子１５を介してバイアス回路１６にバイアス調整信号を与えるものである。バイアス回路１６、バイアス調整回路１７を用いることで、発振周波数及びデューティ比を自由に調整できる。

【００７４】

なお図４では、トランジスタ３、４をＭＯＳバッファ１の入力Ａに接続しているが、これとは逆に、電流源１１、１２をＭＯＳバッファ１の入力Ａに接続し、トランジスタ３、４を電源９、１０に接続する構成としてもよい。但し、電流源の性能を向上させるためには、図４の構成の方が望ましい。

【００７５】

（実施例４）

実施例４は、電流源及びバイアス回路の具体的構成の例を示すものであり、図６にその回路構成を示す。

【００７６】

実施例４ではＰ型ＭＯＳトランジスタ１１（第３トランジスタ）、Ｎ型ＭＯＳトランジスタ１２（第４トランジスタ）が電流源１１、１２となる。またＰ型ＭＯＳトランジスタ２２（第５トランジスタ）は、ゲート電極がバイアス端子１３（第１バイアス端子）に接続されると共にドレイン領域がバイアス端子１４（第２バイアス端子）に接続される。Ｐ型ＭＯＳトランジスタ２４（第６トランジスタ）は、ゲート電極及びドレイン領域がバイアス端子１３に接続される。Ｎ型ＭＯＳトランジスタ２３（第７トランジスタ）は、ゲート電極及びドレイン領域がバイアス端子１４に接続される。Ｎ型ＭＯＳトランジスタ２５（第８トランジスタ）は、ゲート電極がバイアス端子１４に接続されると共にドレイン領域がバイアス端子１３に接続される。

【００７７】

ここでトランジスタ１１、１２のベータ値をβｐｐ、βｎｎとする。またトランジスタ２２、２３、２４、２５のベータ値を各々βｐ２、βｎ２、βｐ１、βｎ１とする。するとトランジスタ１１、２２、２４において流れる電流を各々のトランジスタのベータ値で割ったものはカレントミラーにより等しくなり、またトランジスタ１２、２３、２５において流れる電流を各々のトランジスタのベータ値で割ったものはカレントミラーにより等しくなる。従って以下の式が成り立つ。

$$Ip=(\beta pp/\beta p1)\,I1$$
$$=(\beta pp/\beta p1)\times(\beta n1/\beta n2)\,I2 \qquad (1)$$
$$In=(\beta nn/\beta n2)\,I2 \qquad (2)$$

よって、

（Ｉｐ／Ｉｎ）＝（βｐｐ／βｐ１）×（βｎ１／βｎｎ）　　（３）

となる。ここで発振周波数ｆＯＳＣ４は、

$$fOSC4=1/(Tn+Tp)$$
$$=(1/CV)\times\{Ip\times In/(Ip+In)\} \qquad (4)$$

となる。但しＴｎ＝Ｃ×Ｖ／Ｉｎ、Ｔｐ＝Ｃ×Ｖ／Ｉｐであり、ＭＯＳバッファ１のディレイ値は除いている。

【００７８】

上式（１）、（２）、（４）から明らかなように、発振周波数ｆＯＳＣ４は、電流値Ｉ２により任意に調整できる。そしてこの電流値Ｉ２は、バイアス調整回路１７により調整される。またデューティ比Ｄ４はＤ４＝Ｉｎ／（Ｉｎ＋Ｉｐ）であるため、上式（３）から明らかなように、トランジスタのサイズ比等を変更することで任意に設定できる。

【００７９】

（実施例５）

実施例５も、電流源及びバイアス回路の具体的構成の例を示すものであり、図７にその回路構成を示す。上記実施例４と異なるのは、Ｐ型ＭＯＳトランジスタ２６、Ｎ型ＭＯＳトランジスタ２７を新たに設けると共に、Ｐ型ＭＯＳトランジスタ１１のゲート電極への電圧印加を、バイアス端子１３ではなく、バイアス端子１３’（第３のバイアス端子）により行っている点である。そしてＰ型ＭＯＳトランジスタ２６（第９トランジスタ）は、ゲート電極及びソース領域がバイアス端子１３’に接続され、またＮ型ＭＯＳトランジスタ２７（第１０トランジスタ）は、ゲート電極がバイアス端子１４に接続されると共にドレイン領域がバイアス端子１３’に接続される。

【００８０】

トランジスタ２６、２７のベータ値をβｐ３、βｎ３とすると、カレントミラーにより以下の式が成り立つ。

$$Ip = (\beta pp / \beta p3)\, I3$$

$$= (\beta pp / \beta p3) \times (\beta n3 / \beta n2)\, I2 \qquad (5)$$

$$In = (\beta nn / \beta n2)\, I2 \qquad (6)$$

よって、

（Ｉｐ／Ｉｎ）＝（βｐｐ／βｐ３）×（βｎ３／βｎｎ）　　（７）

上式（５）、（６）から明らかなように、上記実施例４と同様に、発振周波数ｆＯＳＣ５は、バイアス調整回路１７からの電流値Ｉ２により任意に調整できる。

【００８１】

またデューティ比Ｄ５も、上式（７）から明らかなように、トランジスタのサイズ比等を変更することで任意に設定できる。

【００８２】

なお実施例５の構成は実施例４に比べて以下の点で有利である。即ち図６の実施例４では、上式（３）から明らかなようにトランジスタ２４、２５のトランジスタサイズを調整すること等でデューティ比が調整される。ところが端子１５にバイアス調整回路１７が接続されること等に起因して、トランジスタ２４、２５のドレイン・ソース領域間に印加される電圧は小さい。従ってトランジスタ２４、２５を飽和領域にて動作させるためには、トランジスタ２４、２５に許容されるトランジスタサイズはある程度制限される。実施例４ではこのような制限のもとで、トランジスタ２４、２５のトランジスタサイズにより更にデューティ比も調整しなければならないため、設計が難しい。これに対して実施例５では、上式（７）から明らかなようにトランジスタ２６、２７のトランジスタサイズを調整することでデューティ比を調整できる。従ってトランジスタ２４、２５のトランジスタサイズをデューティ比の設定とは無関係に調整できるため、設計が容易となる。この設計の容易性の差は、電源電圧が低電圧化された場合に更に顕著となる。

【００８３】

なお実施例４、５ではバイアス調整回路１７は端子１５の位置に挿入されているが、本発明はこれに限らず、端子８１６、８１７、８１８のいずれの位置に挿入しても構わない。

【００８４】

（実施例６）

実施例６はバイアス調整回路の具体的例を示すものである。バイアス調整回路としては例えば図８（Ａ）～（Ｄ）に示すもの等が考えられる。

【００８５】

図８（Ａ）に示すバイアス調整回路は可変抵抗２８から成り、周波数選択信号１８で抵抗値を変更することで発振周波数を調整する。

【００８６】

図８（Ｂ）に示すバイアス調整回路は抵抗２９、３０及びこれらの各々に接続されるスイッチ３１、３２を含み、スイッチ３１、３２を周波数選択信号１８で選択することによって発振周波数を調整する。

【００８７】
図８（Ｃ）に示すバイアス調整回路は、抵抗２９、３０及びこれらの各々に接続されるフューズ３３、３４を含み、フューズ３３、３４を周波数選択信号１８で選択することによって発振周波数を調整できる。
【００８８】
図８（Ｄ）に示すバイアス調整回路は、抵抗２９、３０及びこれらの各々に接続されるＭＯＳトランジスタ３５、３６を含み、ＭＯＳトランジスタ３５、３６のゲート電極に周波数選択信号１８である制御信号３７、３８を送ることによって発振周波数を調整できる。
【００８９】
なお、図８（Ｂ）～（Ｄ）では、抵抗が２個の例を挙げているが複数であっても構わない。
【００９０】
また抵抗は、ＭＯＳトランジスタで作ることも可能である。この場合、例えば図８（Ｂ）では、スイッチ３１、３２をＭＯＳトランジスタにより構成し、ＭＯＳトランジスタのオン抵抗により抵抗２９、３０の抵抗値を代用させることもできる。
【００９１】
なお電流源１１、１２の電流値Ｉｎ、Ｉｐを調整することにより、もしくは図６、図７の端子１５を流れる電流値又は端子１５における電圧値を調整することにより、本発明を、ＶＣＯ（ＶＯＬＴＡＧＥ　ＣＯＮＴＲＯＬＥＤ　ＯＳＣＩＬＬＡＴＯＲ）に適用することも可能である。例えば、本発明をＶＣＯとして使用し、これに周知の位相比較回路、フィルターを付加することで、ＰＬＬ（ＰＨＡＳＥ　ＬＯＣＫＫＥＤ　ＬＯＯＰ）回路を構成できる。この場合、次のような用途が考えられる。例えば液晶パネル等において、複数の表示データ処理装置を用意し、これらの複数の表示データ処理装置からの表示データを切り替えて使用し、液晶パネル上に表示画面を表示する。この時、各々の表示データ処理装置に内蔵される発振装置は異なる周波数で発振するため、各表示データ処理装置のフレーム信号の周波数も７０～１３０Ｈｚの範囲（仕様の範囲）でばらつく。従って複数の表示データ処理装置からの表示データを切り替えて使用するためには、これらのフレーム信号を同期させる必要がある。そこで、このような場合に、外部（他の表示データ処理装置）からの外部フレーム信号と、ＶＣＯの出力により作られる内部フレーム信号とを位相比較回路に入力し、位相比較を行う。そして位相比較回路の出力を、フィルターによって適正な電圧及び電流に変換しＶＣＯに入力する。これにより、１の表示データ処理装置と他の表示データ処理装置との間で、フレーム信号を同期させることが可能となる。この結果、複数の表示データ処理装置からの表示データを切り替えて使用するような場合に、表示画像の乱れ等をなくすことができる。
【００９２】
（実施例７）
以下に説明する実施例７～１２は表示データ処理装置に関する実施例である。
【００９３】
図９に実施例７の表示データ処理装置の構成を示す。実施例７は、第１メモリ（画像表示メモリ）３５３、第２メモリ（画像表示パターン発生器）３５５、格納手段（ラインメモリ）３５７、第１、第２等価回路３５４、３５６を含む。実施例７の特徴は以下の通りである。即ち第１信号３７１は第１メモリ３５３、第１等価回路３５４に入力されており、第１信号３７１が有効レベル（例えばＬレベル）になると第１メモリ３５３の読み出し動作が行われ第１データ３７９が出力される。この時の読み出しアドレスはアドレス信号３７７により決められる。ここで第１等価回路３５４は、第１信号３７１に基づいて第２信号３７２を出力するものであり、第１メモリ３５３から読み出される第１データ３７９が確定した時点又はそれ以降に第２信号３７２を有効レベル（例えばＬレベル）にする。第２信号３７２は第２メモリ３５５、第２等価回路３５６に入力されており、第２信号３７２が有効レベルになると第２メモリ３５５の読み出し動作が行われ第２データ３８０が出力される。この時、第２メモリ３５５の読み出しは、第１データ３７９に基づいて行われ

る。また第２等価回路３５６は、第２信号３７２に基づいて第３信号３７３を出力するものであり、第２メモリ３５５から読み出される第２データ３８０が確定した時点又はそれ以降に第３信号３７３を有効レベル（例えばＬレベル）にする。第３信号３７３が有効レベルになると、格納手段３５７への第２データ３８０の書き込み動作が行われる。この時の格納アドレスは例えばアドレス信号３７７により決められる。

【００９４】

実施例７では上記のように、第１、第２、第３信号３７１、３７２、３７３が有効レベルとなると、第１、第２メモリ３５３、３５５の読み出し動作並びに格納手段３５７の書き込み動作が行われる。これに加えて例えば、第１、第２、第３信号３７１、３７２、３７３が非有効レベル（例えばＨレベル）になった場合に、第１、第２メモリ３５３、３５５、格納手段３５７の中の少なくとも１つがプリチャージ動作するようにしてもよい。このようにすれば第１、第２メモリ３５３、３５５、格納手段３５７に読み出し動作・プリチャージ動作のいずれを行わせるかの選択を、第１信号３７１等の信号レベルを制御するだけで実現でき、回路制御を簡易化できる。また読み出し期間・プリチャージ期間の設定を、第１信号３７１等のデューティ比を制御するだけで実現できる。特に、上記実施例１～６で説明したデューティ比の調整が可能な発振装置を用いた場合には次のような利点がある。即ち第１信号３７１を実施例１～６の発振装置の出力により生成し、発振装置によりデューティ比を調整することで、読み出し期間・プリチャージ期間の設定を自由に調整できるという利点がある。

【００９５】

なおデータの読み出しに必要な時間（読み出しのアクセスタイム）とプリチャージに必要な時間（プリチャージのアクセスタイム）との関係は、読み出しのアクセスタイムを１００とすると、一般にプリチャージのアクセスタイムは５～４０程度となる（好ましくは１０～３０程度）。このため第１信号３７１は、５～４０％程度のデューティ比の波形とすることが望ましい。

【００９６】

次に実施例７の動作を、図１０に示すタイミングチャート図を用いて説明する。まず第１信号３７１をＬレベル（有効レベル）にする（図１０のＡ参照）。この時、アドレス信号３７７は、第１信号３７１がＬレベルになる前に確定させておく（Ｂ参照）。なお図１０に示すＣＫはクロック信号であり、このＣＫは例えば実施例１～６で説明したような発振装置により生成する。第１信号３７１はこのクロック信号ＣＫを反転した信号となっている。

【００９７】

第１信号３７１がＬレベルになると第１メモリ３５３からのデータ読み出しが行われ、所定のディレイ期間経過後に第１データ３７９が確定する（Ｃ参照）。この時、第１等価回路３５４の出力である第２信号３７２は、第１データ３７９の確定と同時又はそれよりも少し遅れてＬレベルとなる（Ｄ参照）。第２信号３７２は第２メモリ３５５に入力されており、第２信号３７２がＬレベルになると、第１データ３７９をアドレス信号とするデータ読み出しが第２メモリ３５５において行われる。そして所定のディレイ期間経過後に第２データ３８０が確定する（Ｅ参照）。第２信号３７２は第２等価回路３５６にも入力されており、第２等価回路３５６の出力である第３信号３７３は、第２データ３８０の確定と同時又はそれよりも少し遅れてＬレベルとなる（Ｆ参照）。第３信号３７３がＬレベルになると、第２データ３８０が格納手段３５７に書き込まれる。

【００９８】

第１信号３７１がＨレベルになると（Ｇ参照）、第１メモリ３５３はプリチャージ動作に移行する。そして実施例７では第１信号３７１がＨレベルになると、第２、第３信号３７２、３７３もＨレベルになり（Ｈ、Ｉ参照）、これにより第２メモリ３５５、格納手段３５７もプリチャージ動作に移行する。但し、第１、第２メモリ３５３、３５５、格納手段３５７がプリチャージ動作を有しないものである場合はプリチャージ動作させる必要はない。例えば格納手段３５７が、Ｄフィリップフロップ等を含むラッチ回路等により構成さ

れる場合には、格納手段３５７をプリチャージ動作させる必要はなく、第３信号３７３をＨレベルにする必要はない。なお、この場合、第３信号３７３は、格納手段（ラッチ回路）３５７に第２データ３８０をラッチさせるための取り込み信号の役割を果たすことになる。

【００９９】

以上のように実施例７によれば、第１、第２等価回路を設けることで、データの読み出し・プリチャージ動作等のタイミング調整を自己制御的に行うことがでいる。従って従来例のようにタイミング調整のための種々の制御信号を生成する必要も無く、また、クロック信号の１周期で無駄無く読み出し・プリチャージ動作を行うことができるため、回路規模及び消費電力を大幅に削減できる。

【０１００】

（実施例８）

図１１に実施例８の表示データ処理装置の構成を示す。上記実施例７との相違は、第３等価回路３５８、選択回路３５２が新たに設けられている点である。第３等価回路３５８は、第３信号３７３に基づいて第４信号３７６を出力するものであり、格納手段３５７に第２データ３８０が書き込まれた時点又はそれ以降に第４信号３７６を有効レベルにする。選択回路３５２は、入力された第４信号３７６、クロック信号ＣＫ３７０とに基づいて第１信号３７１を生成し、これを第１メモリ３５３、第１等価回路３５４に出力する。より具体的には第４信号３７６が有効レベルになった場合に、第１信号を非有効レベル（例えばＨレベル）にする。これにより、望ましくは第２信号３７２、第３信号３７３も非有効レベルになる。第１、第２、第３信号３７１、３７２、３７３が非有効レベルになると、第１、第２メモリ３５３、３５５、格納手段３５７がプリチャージ動作に移行する。

【０１０１】

図１２には実施例８の動作を説明するためのタイミングチャート図が示される。図１０に示す実施例７と異なるのは、格納手段３５７へのデータ書き込みが完了すると第４信号３７６がＬレベルになり（図１２のＪ参照）、これにより第１～第３信号３７１～３７３がＨレベルになり（Ｋ、Ｌ、Ｍ参照）、第１、第２メモリ３５３、３５５等がプリチャージ動作に移行する点である。

【０１０２】

格納手段３５７に第２データ３８０が書き込まれてしまえば、その後は第１データ３７９、第２データ３８０はどのようなデータに変化しても構わない。一方、メモリ等においては、消費電力の節減及び動作の高速化のために、データを読み出した後、なるべく早くプリチャージ動作に移行させることが望ましい。実施例８によれば、格納手段３５７へデータが書き込まれた時点又はそれ以降に第４信号３７６が有効レベルにされる。これにより第１～第３信号３７１～３７３を非有効レベルにし、第１、第２メモリ３５３、３５５、格納手段３５７をプリチャージ動作に移行させることができるため、消費電力の大幅な節減、動作の高速化等が可能となる。このように実施例８によれば、読み出し動作のみならず、プリチャージ動作についても自己制御できる。

【０１０３】

（実施例９）

図１３に実施例９の表示データ処理装置の構成を示す。上記実施例８との相違は、選択回路３５２が、第２等価回路３５６と第３等価回路３５８との間にある点である。これにより、格納手段３５７に第２データ３８０が書き込まれた時点で（又はそれよりも遅く）、第３等価回路３５８の出力である第４信号３７６が有効レベルになり、選択回路３５２の出力である第３’信号３７４が非有効レベルになる。これにより格納手段３５７はプリチャージ動作に移行する。即ち、格納手段３５７へデータが書き込まれた時点で、第１、第２メモリ３５３、３５５が第１、第２信号３７１、３７２によってプリチャージされるよりも前に、自己的に書き込み動作を終了する。これにより格納手段３５７のプリチャージ動作への移行を速めることができ、消費電力の低減、動作の高速化を図れる。

【０１０４】

なお選択回路３５２は、図１１、図１３に示した場所に限らず種々の場所に配置できる。即ち選択回路３５２は、図１３のＡ、Ｂ、Ｃで示す場所の少なくとも１カ所に配置でき、２カ所に配置したり３カ所に配置したりすることもできる。そしてＡ、Ｂ、Ｃの全ての場所に配置する構成は、回路規模の面では不利であるが、低消費電力、高速動作の点では有利となる。

【０１０５】

また上記実施例７～９では、含まれるメモリが２個の場合を例にとり説明したが、本発明はこれに限らず、表示データ処理装置が３個以上の複数のメモリを有する場合も本発明の範囲に含まれる。図１４には、例えば実施例８（図１１参照）においてＮ個のメモリを含む場合の構成例が示される。図１４でＮ、Ｋは整数であり、１＜Ｋ≦Ｎとなっている。実施例７、９及び下記する実施例１０～１２において、メモリをＮ個含ませる場合も、図１４と同様の構成となる。

【０１０６】

（実施例１０）

実施例１０は、本発明に係る表示データ処理装置の更なる具体例を示すものであり、図１５にその構成が示される。

【０１０７】

表示データ処理装置の代表例である文字パターン発生器付きの表示データ処理装置に本発明を適用した場合を説明する。ここで表示データＲＡＭ（表示データメモリ）５５・ＣＧＲＯＭ（文字パターン発生回路）５９・ドライバ回路６３は、各々、実施例７～９の第１メモリ・第２メモリ・格納手段に相当するものである。

【０１０８】

ここで表示データＲＡＭ５５は、マイクロコントローラ及びプロセッサー等から送られる１画面分の文字コード信号を記憶する。ＣＧＲＯＭ５９は、この文字コード信号に対応した文字パターンを発生する。ドライバ回路（信号駆動回路）６３は、文字パターン信号を１水平期間中に時分割記憶するラッチ機能を有する。そして、この表示データ処理装置を用いて、ドライバー回路６３により駆動される複数の信号電極と、走査駆動回路により順次走査される複数の走査電極とが交差するドットマトリックスパネルに対して文字パターン等を表示する。

【０１０９】

例えばドットマトリックスパネルにＮ×Ｍの文字を表示し、１文字の構成がｎ×ｍドットである場合を考える。１文字の中の１画素行（１ドットライン）分のデータが、表示データＲＡＭ５５からＣＧＲＯＭ５９を介してドライバー回路６３へと転送される一連の動作の期間を１Ｃ（１キャラクタ）とする。またＣＧＲＯＭ５９のデータ出力をｎビットとする。するとＮ×１Ｃの期間が１ドットライン期間（１Ｈ）となり、Ｍ×ｍ×Ｎ×１Ｃの期間が１フレーム期間（１ＦＲ）となる。

【０１１０】

マイクロコントローラ及びプロセッサー等からの表示データＲＡＭ５５に対する表示データの書き込みは、書き込み用データ信号８３と、アドレス信号４９（書き込み用アドレス信号８４をアドレスデコーダ６４によりアドレスデコードしたもの）とに基づいて行われる。

【０１１１】

発振装置５０より出力されたクロック信号７０は、タイミング発生回路５１に入力される。タイミング発生回路５１は必要な制御信号であるＲＡＭ用アドレス信号７７、ＣＧＲＯＭ用アドレス信号７８を発生する。表示データＲＡＭ５５は１種のフレームメモリーであって文字（表示）コードが格納されている。ＣＧＲＯＭ５９には表示データＲＡＭ５５の文字コードに対応する文字パターンデータ（表示データ）が格納されている。ドライバー回路６３はＣＧＲＯＭ５９から出力される文字パターンデータ８２をラッチし、かつ蓄積する。そしてその蓄積された文字パターンデータに応じた液晶駆動電圧を液晶パネルに送り、これにより液晶パネルへ表示画面が表示される。

【０１１２】
図１６には、従来の手法（図３７（Ａ）参照）で表示データ処理装置を構成したものが比較例として示される。
【０１１３】
実施例１０（図１５参照）と比較例との相違点は、実施例１０では、アドレスデコーダ５３、表示データＲＡＭ５５、アドレスデコーダ５７、ＣＧＲＯＭ５９、アドレスデコーダ６１の各々に対応して、ダミー回路である等価回路５４、５６、５８、６０、６２が設けられている点である。
【０１１４】
また比較例では、タイミング発生回路２５１が、アドレスデコーダ２５３、表示データＲＡＭ２５５、アドレスデコーダ２５７、ＣＧＲＯＭ２５９、アドレスデコーダ２６１に対して読み出し及びプリチャージのための信号２７０、２７４、２７５を発生している。これに対して、実施例１０ではこれらを発生しない。即ち実施例１０では、発振装置５０より出力されたクロック信号７０がＲＳラッチ回路５２に入力され、このＲＳラッチ回路５２の出力７１が、アドレスデコーダ５３の等価回路５４に入力される。そして等価回路５４の出力７２は、等価回路５６、５８、６０、６２を経由してプリチャージ信号７６となり、このプリチャージ信号７６はＲＳラッチ回路５２にフィードバックされている。
【０１１５】
次に実施例１０における表示データの読み出し動作について説明する。
【０１１６】
表示データＲＡＭ５５のアドレス信号７７は、発振装置５０から出力されるクロック信号７０に基づきタイミング発生回路５１により生成され、表示データＲＡＭ用のアドレスデコーダ５３に入力される。更にクロック信号７０は、ＲＳラッチ回路５２を経て読み出し信号７１としてアドレスデコーダ５３及び等価回路５４に入力される。そして読み出し信号７２、アドレス信号７９が、等価回路５４、アドレスデコーダ５３から同時に出力される（７９よりも７２を遅くしてもよい）。ここで読み出し信号７１はＬレベルで有効レベル（アクティブ）となり、クロック信号７０がＬレベルの時に読み出し信号７１もＬレベルになる。
【０１１７】
表示データＲＡＭ５５は、アドレスデコードされたアドレス信号７９の状態に応じて読み出し信号７２によってアドレスセットされる。ここで読み出し信号７２はアドレスデコードに要する時間分だけ読み出し信号７１よりも遅れている。読み出し信号７２がＬレベルになると、文字コード信号８０とＣＧＲＯＭ用読み出し信号７３とが同時に出力される（８０よりも７３を遅くしてもよい）。
【０１１８】
ＣＧＲＯＭ用のアドレスデコーダ５７は、文字コード信号８０及びアドレス信号７８の状態に応じたアドレスデコードを行い、アドレス信号８１をＣＧＲＯＭ５９に出力する。ここで読み出し信号７４は、アドレス信号８１と同時に出力されており（８１よりも７４を遅くしてもよい）、アドレスデコードに要する時間分だけ読み出し信号７３よりも遅れている。次に、読み出し信号７４により文字パターンデータ８２、読み出し信号７５が同時に出力される（８２よりも７５を遅くしてもよい）。
【０１１９】
ドライバー回路用のアドレスデコーダ６１は、アドレス信号７７の状態に応じたアドレスデコードを行い、変換アドレス信号（取り込み信号）４８をドライバー回路６３に出力する。これによりドライバー回路６３をアドレスセットするとともに文字パターンデータ８２をドライバ回路６３にラッチし蓄積する。ここでプリチャージ信号７６と変換アドレス信号４８とは同時に出力されている（４８よりも７６を遅くしてもよい）。
【０１２０】
プリチャージ信号７６はＲＳラッチ回路５２にフィードバックされる。そしてアドレスデコーダ５３、表示データＲＡＭ５５、アドレスデコーダ５７、ＣＧＲＯＭ５９、アドレス

デコーダ６１等を次々にプリチャージする。従ってこの場合には、信号７１、７２、７３、７４、７５はプリチャージ信号となる。こうして読み出し動作及びプリチャージ動作を繰り返すことで、表示データが読み出される。

【０１２１】

図１７に実施例１０の動作を説明するためのタイミングチャート図を示す。

【０１２２】

クロック信号７０をＣＫとし、表示データＲＡＭ５５の読み出し及びプリチャージ信号となる信号７１をＥＩＲＡＭとし、アドレス信号７７をＡＲＡＭとしている。ＣＧＲＯＭ５９のアドレス信号となる文字コード信号８０をＡＲＯＭとし、ＣＧＲＯＭ５９の読み出し及びプリチャージ信号となる信号７３をＥＩＲＯＭとしている。ドライバー回路６３のアドレス信号７７をＡＲＡＴとし、ドライバ回路６３の書き込み及びプリチャージ信号となる信号７５をＥＩＬＡＴとし、入力データとなる文字パターンデータ８２をＤＬＡＴとしている。またドライバー回路６３に蓄積された信号の波形をＤＤＲＶとしている。ここでＥＩＲＡＭがＬレベルになると読み出し動作となり、Ｈレベルになるとプリチャージ動作となる。またＥＩＲＯＭ、ＥＩＬＡＴがＨレベルになると読み出し動作となり、Ｌレベルになるとプリチャージ動作となる。タイミング発生回路５１はＥＩＲＡＭ、ＥＩＲＯＭ、ＥＩＬＡＴを発生しておらず、各々の回路が自己制御で動作する。このため、タイミング発生回路５１は、アドレス信号ＡＲＡＭ（７７、７８）、ＡＬＡＴ（７７）を同じタイミングで発生するのみとなる。

【０１２３】

なお図１８には比較例のタイミングチャート図が示される。図１７と図１８を比較すれば理解されるように、比較例で必要な高い周波数のクロックが実施例１０では必要なく、従って実施例１０によれば消費電力を低減できる。また実施例１０では、ＥＩＲＯＭ、ＥＩＬＡＴ等をタイミング発生回路５１で生成する必要がないため、回路規模の削減、動作の高速化を図れる。

【０１２４】

次に、アドレスデコーダ５３、５７、６１、表示データＲＡＭ５５、ＣＧＲＯＭ５９及び等価回路５４、５８、６０、６２の詳細な回路構成の一例について説明する。まず図１９にアドレスデコーダ５３及びその等価回路５４の具体例を示す。

【０１２５】

ＭＯＳトランジスタ８７～９０は直列ＲＯＭを構成する。そしてデータ無し（例えばデータ”０”）に対応するトランジスタはドレイン領域とソース領域とをショートさせ、データ有り（例えばデータ”１”）に対応するトランジスタはショートさせない。ショートするか否かの切り替えは、マスクＲＯＭと同様に、メタル切り替え方式、イオン注入プログラム方式（フィールド切り替え）等で実現できる。ＭＯＳトランジスタ８５により直列ＲＯＭからのデータ読み出しが制御され、ＭＯＳインバータ９９により直列ＲＯＭからの信号が増幅される。ＭＯＳトランジスタ９５、９６はそれぞれプリチャージ用、電位固定用である。アドレスデコーダ５３の等価回路５４は、アドレスデコーダ５３の１アドレスライン（７９の中の１ライン）分のＲＯＭと同等に構成されており、相違するのはＭＯＳトランジスタ９１～９４が読み出し信号７１によって制御されている点である。

【０１２６】

アドレス信号７７の状態に応じてアドレスラインのいずれか（７９のいずれか）が選択され、これによりアドレス信号７７がアドレスデコードされる。次にＥＩＲＡＭ７１がＬレベルになると、アドレスデコードされた信号が変換アドレス信号７９として表示データＲＡＭ５５へと出力される。それと同時にアドレスデコーダの等価回路５４は、表示データＲＡＭ５５の読み出し信号７２を出力する。この時、アドレスラインの中でディレイ値が最も大きいラインに接続されるトランジスタと少なくとも同数のトランジスタがライン７０１に接続されている。これにより読み出し信号７２が、変換アドレス信号７９と同時又はこれよりも遅く出力されることが保証される。

【０１２７】

次に表示データＲＡＭ５５及び等価回路５６の詳細な回路構成について図２０を用いて説明する。

【０１２８】

ＭＯＳインバータ１０５、１０６、データ書き込み用のＭＯＳトランジスタ１０９、１１０、データ読み出し用のＭＯＳトランジスタ１０７、１０８により１ｂｉｔのＲＡＭセル１２５を構成する。ＲＡＭの出力セル１２６は、プリチャージ用、電位固定用のＭＯＳトランジスタ１１６、１１８、及びデータ信号１１４の増幅用のＭＯＳインバータ１２０、１２２を含む。

【０１２９】

ＭＯＳトランジスタ１１３は、ＲＡＭセル１２５内のＭＯＳトランジスタ１０８と等価であり、ＭＯＳトランジスタ１１１、１１２はそれぞれ、ＲＡＭセル１２５内のＭＯＳトランジスタ１０７、１０８と等価である。またＭＯＳトランジスタ１１７、１１９、ＭＯＳインバータ１２１、１２３は、ＲＡＭの出力セル１２６と等価となっている。等価回路５６は、これらのトランジスタ１１１、１１２、１１３、１１７、１１９、ＭＯＳインバータ１２１、１２３を含んで構成される。アドレスデコーダ５３、等価回路５４から同時に出力されるアドレス信号７９、読み出し信号７２が、表示データＲＡＭ５５、等価回路５６に同時に入力され、これによりＥＩＲＯＭ７３、ＡＲＯＭ（文字コード信号）８０が同時に出力される。このようにＥＩＲＯＭ７３は、表示データＲＡＭ５５の等価回路５６によって自己的にタイミング調整される。

【０１３０】

ここでデータ信号８３、アドレス信号４９は表示データＲＡＭへの書き込み用である。なお本実施例１０ではデュアルポートＲＡＭを使用しているため、読み出し動作と書き込み動作は独立してオペレーションできる。

【０１３１】

次にアドレスデコーダ５７、ＣＧＲＯＭ５９及び等価回路５８、６０の詳細な回路構成について図２１を用いて説明する。

【０１３２】

ＲＯＭセル１３９はＭＯＳトランジスタ１３８を含む。ＭＯＳトランジスタ１３０、１３１はそれぞれプリチャージ用、電位固定用であり、ＭＯＳインバータ１３２、１３３はデータ信号の増幅用であり、これらによりＣＧＲＯＭ５９の出力セルが構成される。ＭＯＳトランジスタ１４７は読み出し制御用である。

【０１３３】

ＣＧＲＯＭ５９用のアドレスデコーダ５７はＭＯＳトランジスタ１５０、１５１、１５４を含み、その基本構成は、表示データＲＡＭ用のアドレスデコーダ５３（図１９参照）と同様である。

【０１３４】

ＭＯＳトランジスタ１５２、１５３、１５５はアドレスデコーダ５７内のＭＯＳトランジスタ１５０、１５１、１５４と等価であり、等価回路５８はこれらのＭＯＳトランジスタ１５２、１５３、１５５を含んで構成される。

【０１３５】

ＭＯＳトランジスタ１４６はＭＯＳトランジスタ１４７と等価であり、ＭＯＳトランジスタ１４０、１４１はＲＯＭセル１３９、１５７内のＭＯＳトランジスタ１３８、１５６と等価である。またＭＯＳトランジスタ１３４、１３５、ＭＯＳインバータ１３６、１３７は、ＣＧＲＯＭ５９の出力セル内のＭＯＳトランジスタ１３０、１３１、ＭＯＳインバータ１３２、１３３と等価である。等価回路６０は、これらのＭＯＳトランジスタ１４６、１４０、１４１、１３４、１３５、ＭＯＳインバータ１３６、１３７を含んで構成される。

【０１３６】

表示データＲＡＭ５５及びその等価回路５６から同時に出力されるＡＲＯＭ（文字コード信号）８０及びＥＩＲＯＭ７３が、ＣＧＲＯＭ用のアドレスデコーダ５７及びその等価回

路５８に同時に入力され、ＣＧＲＯＭ５９及びその等価回路６０を経由して、ＤＬＡＴ（文字パターンデータ）８２及びＥＩＬＡＴ７５が同時に出力される。即ちＥＩＬＡＴ７５は、アドレスデコーダ５７用の等価回路５８及びＣＧＲＯＭ５９用の等価回路６０によって自己的にタイミング調整される。

【０１３７】

次にアドレスデコーダ６１及びその等価回路６２の詳細な回路構成について図２２を用いて説明する。

【０１３８】

ＭＯＳトランジスタ１６２～１６５は直列ＲＯＭを構成する。ＭＯＳトランジスタ１６０により直列ＲＯＭからのデータ読み出しが制御され、ＭＯＳインバータ１７４により直列ＲＯＭからの信号が増幅される。ＭＯＳトランジスタ１７０、１７１はそれぞれプリチャージ用、電位固定用である。等価回路６２は、アドレスデコーダ６１内の１アドレスライン分のＲＯＭと同等に構成されており、相違するのはＭＯＳトランジスタ１６６～１６９が読み出し信号７５によって制御されている点である。

【０１３９】

アドレス信号７７の状態に応じてアドレスラインのいずれか（４８のいずれか）が選択され、これによりアドレス信号７７がアドレスデコードされる。次にＥＩＬＡＴ７５がＨレベルになると、アドレスデコードされた信号が変換アドレス信号４８としてドライバー回路６３へと出力される。そしてこの変換アドレス信号（取り込み信号に相当）４８に基づき、すでに出力されているＤＬＡＴ（文字パターンデータ）８２がドライバー回路６３にラッチし蓄積される。それと同時に等価回路６２はＲＳラッチ回路５２へとＲＳ７６を出力する。即ちＲＳ７６は等価回路６２によって自己的にタイミング調整される。

【０１４０】

次にＲＳラッチ回路５２の具体的構成について図２３を用いて説明する。

【０１４１】

ＲＳラッチ回路５２は、ＮＡＮＤ１８０、１８１、１８２、ＭＯＳインバータ１８３を含む。クロック信号ＣＫ７０及びプリチャージ信号ＲＳ７６は共にＨレベルで有効レベル（アクティブ）になる。即ちＣＫ７０がＨレベルになるとＥＩＲＡＭ７１はＬレベルになり、表示データＲＡＭ５５からドライバー回路６３へと送るデータの読み出し動作を行う。そしてその読み出し動作の終了を示す信号であるＲＳ７６がＨレベルになると、ＥＩＲＡＭ７１はＨレベルになり、プリチャージ動作が開始される。

【０１４２】

なお実施例１０では、等価回路が５個ある場合（５４、５６、５８、６０、６２）の構成を説明したが、アドレスデコーダ、メモリ等の数を増やし等価回路を６個以上設けた構成としても構わない。またアドレスデコーダ及びメモリーと、等価回路とは、出力を同時にするとして主に上記説明を行ったが、等価回路の出力がアドレスデコーダ及びメモリーの出力よりも遅くなるようにしてもよい。即ち、製造バラツキ等考慮して、等価回路の出力がアドレスデコーダ及びメモリーの出力より遅くなるように、ある程度のマージンをもたせた等価回路の設計及び設定を行うことが好ましい。

【０１４３】

以上のように本実施例によれば、クロック信号ＣＫ７０の１周期の期間（１Ｃの期間）に１水平ドットラインの中の１文字分の表示データの読み出しが行われる。このようにデータの読み出しからラッチまでの１連のオペレーションの制御を、クロック信号ＣＫ７０だけで行うことができる。これは各回路に等価回路を設け、制御信号となる読み出し信号の遅延時間が、データ読み出しの遅延時間と同等になるように等価回路を構成することで実現される。これにより、各回路のアクセスタイムを考慮したタイミング信号を発生させる必要がなくなり、高い周波数のクロック信号（読み出し信号の３～５倍）を使用する必要が無くなる。ＣＭＯＳ回路の消費電流ＩＤＤは、周波数ｆ、電圧Ｖ、負荷容量Ｃとすると、ＩＤＤ＝ｆ×Ｖ×Ｃとなる。従ってクロック周波数の低減により、消費電流を１／３～１／５に低減できる。このように本実施例によれば、制御回路を削減でき、且つこの回路

の削減及び発振周波数の低減により消費電流の低減を実現できる。

【０１４４】

また等価回路を設けることで読み出し及びプリチャージ動作等のタイミングを自己制御できるため、発振装置からのクロック信号の１周期で、無駄なく、読み出し及びプリチャージ動作を制御でき、装置の低消費電力化及び高速動作化を実現できる。

【０１４５】

（実施例１１）

実施例１１はドライバ回路の具体的な構成を示す実施例であり、図２４にその構成が示される。

【０１４６】

図２４に示すように、ドライバ回路（以下、信号駆動回路と呼ぶ）６３は、駆動部４１５、ラインメモリ４１６、４１７を含む。駆動部４１５は駆動回路４１５－ａ、４１５－ｂ、４１５－１～４１５－ｎ／５を含み、ラインメモリ４１６はラッチ回路４１６－ａ、４１６－ｂ、４１６－１～４１６－ｎ／５を含み、ラインメモリ４１７は第２ラッチ回路４１７－ａ、４１７－ｂ、第１ラッチ回路４１７－１～４１７－ｎ／５を含む。信号駆動回路６３の出力は、マトリックスパネル４５３上の信号電極ＳＡ１～ＳＡ５、Ｓ１～Ｓｎ、ＳＢ１～ＳＢ５に出力される。マトリックスパネル４５３上には、液晶素子等の表示画素がマトリックス状に配置されるとともに、複数の信号電極ＳＡ１～ＳＡ５、Ｓ１～Ｓｎ、ＳＢ１～ＳＢ５及び走査電極Ｃｓ１、Ｃ１～Ｃｍ、Ｃｓ２が交差して配置される。ここでＳ１～Ｓｎ、Ｃ１～Ｃｍは文字表示用であり、ＳＡ１～ＳＡ５、ＳＢ１～ＳＢ５、Ｃｓ１、Ｃｓ２はアイコン表示用である。図２５には、実施例１１によりマトリックスパネル４５３上に表示される表示画面の一例が示される。表示画面上には、文字１２２０及びアイコン１２２２～１２３０が表示されている。そして表示画面の上側にあるアイコン表示領域には通話マークアイコン１２２２、電話マークアイコン１２２４が表示され、左右側にあるアイコン表示領域には電池のバッテリー残量を示すインジケーターアイコン１２２６、１２２８が表示されている。また表示画面の下側にあるアイコン表示領域には電池マークアイコン１２３０が表示されている。このように実施例１１によれば、表示画面の上下及び左右にアイコンを表示できる。

【０１４７】

駆動部４１５は、信号電極ＳＡ１～ＳＡ５、Ｓ１～Ｓｎ、ＳＢ１～ＳＢ５を駆動するための信号を生成するものであり、これにより図２５に示すような文字及びアイコンの表示が可能となる。ここで駆動回路４１５－ａ、４１５－ｂはアイコン表示用であり、駆動回路４１５－１～４１５－ｎ／５は文字表示用である。ラインメモリ４１６は、ラインメモリ４１７からのデータをラッチパルスＬＰ４１１によりラッチするものであり、ラッチされたデータは１水平期間毎に駆動部４１５に転送される。ここでラッチ回路４１６－ａ、４１６－ｂはアイコン表示用であり、ラッチ回路４１６－１～４１６－ｎ／５は文字表示用である。ラインメモリ４１７は、ＣＧＲＯＭ５９から出力されるＤＬＡＴ８２を、取り込み信号４８（４８－ａ、４８－ｂ、４８－１～４８－ｎ／５）に基づいて時分割に格納するものである。ここで第２ラッチ回路４１７－ａ、４１７－ｂ、取り込み信号４８－ａ、４８－ｂはアイコン表示用であり、第１ラッチ回路４１７－１～４１７－ｎ／５、４８－１～４８－ｎ／５は文字表示用である。

【０１４８】

ＣＧＲＯＭ５９は、文字パターンデータのみならずアイコンパターンデータも発生する。そして発生した文字パターンデータ、アイコンパターンデータは、ＣＧＲＯＭ５９に含まれるマルチプレクサ４１２によりマルチプレクスされ、文字パターンデータ、アイコンパターンデータが時系列に並んだ信号であるＤＬＡＴ８２が生成される。そしてＤＬＡＴ８２に含まれる文字パターンデータは、取り込み信号４８－１～４８－ｎ／５により第１ラッチ回路４１７－１～４１７－ｎ／５に順次格納される。一方、ＤＬＡＴ８２に含まれるアイコンパターンデータは、取り込み信号４８－ａ～４８－ｂにより第２ラッチ回路４１７－ａ、４１７－ｂに格納される。これにより第１ラッチ回路４１７－１～４１７－ｎ／

５に対応する信号電極Ｓ１～Ｓｎ上に文字が表示されると共に、第２ラッチ回路４１７－ａ、４１７－ｂに対応する信号電極ＳＡ１～ＳＡ５、ＳＢ１～ＳＢ５上にアイコンが表示される。

【０１４９】

また例えば所定のアイコンパターンデータがＤＬＡＴ８２として出力されている時に、取り込み信号４８－ａ、４８－ｂを同時に発生すれば、図２５に示すように同一アイコン（インジケーターアイコン１２２６、１２２８）を２つの異なる領域に同時に表示できる。また、アイコンパターンデータがＤＬＡＴ８２として出力されている時に、例えば取り込み信号４８－２を発生すれば、文字表示領域へアイコン表示することも可能となる。このように本実施例によれば、マトリックスパネル４５３上の任意の領域へ文字及びアイコンを表示できる。これによりマトリックスパネル上への、より複雑で高度な画像表示が可能となる。また本実施例によれば、文字あるいはアイコンの移動を行うこともできる。この文字等の移動も取り込み信号４８の発生タイミングを制御することにより可能となる。このような文字等の移動が可能となると、例えば携帯電話において、ダイヤルボタンを押す毎に前に押した番号の文字を表示パネルにおいて左側に移動する等の処理が可能となる。

【０１５０】

さて取り込み信号４８を発生するアドレスデコーダ６１は、図２４に示すようにデコーダ回路４１０（４１０－ａ、４１０－１～４１０－ｎ／５、４１０－ｂ）及び等価回路６２を含む。取り込み信号４８（４８－ａ、４８－１～４８－ｎ／５、４８－ｂ）の発生タイミングは、デコーダ回路４１０におけるＲＯＭプログラミングの設定等により制御できる。デコーダ回路４１０－ａは１アドレスライン分の直列ＲＯＭ及び出力セルに相当するものであり、例えば図２２のＭＯＳトランジスタ１６０～１６５、１７０、１７１及びＭＯＳインバータ１７４を含むものである。デコーダ回路４１０－１～４１０－ｎ／５、４１０－ｂも同様である。従ってＲＯＭプログラミングの設定により、即ちどのＭＯＳトランジスタのドレイン及びソース領域をショートするかを設定することにより、取り込み信号（変換アドレス信号）４８の発生タイミング（有効となるタイミング）を制御できる。ＡＬＡＴ７７は、例えば（００００）、（０００１）・・・・（１１１１）というように順次インクリメントされ、デコーダ回路４１０－ａはこのＡＬＡＴ７７をデコードする。そしてＡＬＡＴ７７が所定値になった時にデコーダ回路４１０－ａが選択され取り込み信号４８－ａが発生し、これによりその時にＤＬＡＴ８２として出力されているデータが第２ラッチ回路４１７－ａに格納される。例えばＡＬＡＴ７７が所定値の時に、デコーダ回路４１０－ａ、４１０－ｂの両方を選択し、取り込み信号４８－ａ、４８－ｂの両方を発生するようにすれば、図２５のように同一のアイコン（インジケーターアイコン１２２６、１２２８）を異なる場所に表示できる。

【０１５１】

また等価回路６２は、図２２において説明したように、デコーダ回路と同様の回路構成となっており、取り込み信号４８が発生される（有効になる）のとほぼ同時（又は遅く）にＲＳ７６を有効にする。これにより少なくともラインメモリ４１７にデータが書き込まれた時点又はそれ以降にＲＳ７６を有効にし、表示データＲＡＭ、ＣＧＲＯＭ等をプリチャージ動作に移行させることが可能となる。

【０１５２】

なお実施例１１では、ラインメモリ４１７等に格納されるデータ（ＤＬＡＴ８２に含まれるデータ）として文字パターンデータとアイコンパターンデータの２種類のデータを考えた。しかしながら本発明はこれに限らず、ラインメモリ４１７に第１～第Ｌ（Ｌは整数）の種類のデータを格納するようにしてもよい。この場合には、ラインメモリ４１７は第１～第Ｌのラッチ回路を含むことになる。但し、第１～第Ｌラッチ回路の回路構成はお互いに同じものであっても構わない。

【０１５３】

（実施例１２）

実施例１２は、表示データ処理装置に含まれる等価回路を用いて発振信号を生成する実施

例であり、図２６にその構成を示す。

【０１５４】

等価回路２１は、実施例７（図９参照）の等価回路３５４及び３５６、実施例８及び実施例９（図１１及び図１３参照）の等価回路３５４、３５６及び３５８、実施例１０（図１５参照）の等価回路５４、５６、５８、６０及び６２に相当するものである。そして図２６に示すように等価回路２１の出力、例えば実施例７の第３信号３７３、実施例８の第４信号３７６等を第１信号として帰還し、自己発振ループを形成する。これにより等価回路２１による信号ディレイ等を利用した発振が可能となる。

【０１５５】

この時、図２６に示すように、発振周波数、デューティ比の少なくとも一方を制御できる制御手段９００を設けることが望ましい。このようにすれば例えば等価回路２１のディレイ値等が製造プロセスのバラツキ等に依存して変動し、得られる発振周波数数が変動した場合において、発振周波数を、発振装置に要求される周波数に近づけることが可能となる。またデューティ比を制御して、表示データ処理装置内のメモリ等を適正に動作させることが可能となる。

【０１５６】

図２７には、等価回路２１の出力を遅延回路２０を介して等価回路２１の入力に帰還して、リングオシレータを形成した場合の構成例が示される。この場合には、遅延回路２０が制御手段９００に相当し、遅延回路２０における信号ディレイを調整することで発振周波数等を制御できる。ここで遅延回路２０は、波形整形用のインバータ、バッファ等で代用することもできる。図２８には、実施例７の回路において、遅延回路２０を設けると共に自己発振ループを形成し、リングオシレータを形成した場合の例が示される。

【０１５７】

従来のリングオシレータを１０Ｋ～５００ＫＨｚ程度の低い周波数で発振させようとすると、回路規模もしくは素子数が非常に大きくなり実用に適さないという問題があった。しかしながら実施例１２によれば、等価回路のディレイを利用しているため、回路規模をそれほど大きくすることなく、このような低い周波数での発振が可能になる。

【０１５８】

図２９には、本実施例と実施例１とを組み合わせて発振周波数及びデューティ比の両方を制御する場合の構成例が示される。図２９と図１を比較すれば理解されるように、この構成では、実施例１のＭＯＳバッファ３０１の出力に等価回路２１が付加される。この時、ＭＯＳバッファ３０１と等価回路２１とによりバッファ手段が構成される。但しＭＯＳバッファ３０１については必ずしも設ける必要はない。

【０１５９】

図３０には、本実施例と実施例３とを組み合わせて発振周波数及びデューティ比の両方を制御する場合の構成例が示される。ここで例えば等価回路２１の遅延時間をｔ（２１）とし、電流源１１、１２の値をそれぞれＩｎ、Ｉｐとする。すると発振周波数ｆＯＳＣ１２は、

ｆＯＳＣ１２＝１／｛Ｔｎ＋Ｔｐ＋ｔ（２１）｝、

となる。但しＴｎ＝Ｃ×Ｖ／Ｉｎ、Ｔｐ＝Ｃ×Ｖ／Ｉｐであり、ＭＯＳバッファ１のディレイ値は除いている。よって電流源１１、１２の電流値Ｉｎ、Ｉｐを調整することによって、発振周波数ｆＯＳＣ１２を自由に調整及び設定できる。

【０１６０】

以上説明した実施例１２によると、実施例１～６の発振装置と実施例７～１１の表示データ処理装置の双方の利点を得ることができる。そして表示データ処理装置内に含まれる回路（メモリ等）に対して動作時間を無駄なく割り当てることができると共に、これらの回路の有するディレイ値等を用いて発振装置の発振周波数を決めることができる。これにより製造プロセスの変動に影響されにくく、また低消費電力で高速動作が可能な表示データ処理装置を提供できる。

【０１６１】

なお、本発明は上記実施例１～実施例１２に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。

【０１６２】

例えば実施例１の充電手段、放電手段の具体的構成は実施例２～６で説明したものに限らない。また図４ではバイアス回路、バイアス調整回路を設けたが、これらを設けなくてもよく、またバイアス回路、バイアス調整回路の構成も実施例４～６で説明したものに限らない。

【０１６３】

また表示データ処理装置に含まれるメモリも、表示データＲＡＭ、ＣＧＲＯＭ等に限らず、各種のメモリを考えることができる。またメモリ間等に他の回路を挿入した場合も本発明の均等な範囲に含まれる。また格納手段は、少なくともデータを格納できるものであれば、ラッチ回路、メモリ等、種々のものを採用できる。更にアドレスデコーダも実施例１０等で説明した構成に限られるものではない。

【０１６４】

また実施例１～６の発振装置を実施例７～１２に組み合わせると、低消費電力化、回路の小規模化等の観点で特に効果があるが、実施例７～１２に組み合わせる発振装置は実施例１～６に示すものに限られるものではない。即ち、発振信号のデューティ比、あるいは発振周波数を制御できる発振装置であれば、実施例７～１２との組み合わせにより低消費電力化等を図ることができる。例えば図３１に示す構成の発振装置では、ＭＯＳバッファ３０１の出力に基づき選択回路３０２により充電手段３０７、放電手段３０８のいずれかを選択し、ＭＯＳバッファ３０１の入力に対する充放電を行う。これにより発振信号の発振周波数、デューティ比を自由に調整できる。また例えば図３２（Ａ）、（Ｂ）、図３３（Ａ）、（Ｂ）に示すように、高周波の発振信号が出力される発振装置７００と、波形整形回路７１０、７２０とを組み合わせることでも、デューティ比の調整は可能である。ここで図３２（Ａ）の波形整形回路７１０は、インバータ７１２～７１５及びＡＮＤ回路７１６を含む。そして図３２（Ｂ）に示すように、発振装置７００からの発振信号Ｅ（発振周期ＴＯＳＣ）と、これを遅延させた信号Ｆ（ディレイ値Ｔｄｅｌａｙ）とをＡＮＤ回路７１６に入力することで、信号Ｇを得ることができる。この時のデューティ比Ｄは、

Ｄ＝（ＴＯＳＣ－Ｔｄｅｌａｙ）／ＴＯＳＣ

となる。従ってＴｄｅｌａｙを制御することでデューティ比を調整できる。

【０１６５】

また図３３（Ａ）の波形整形回路７２０は、Ｄフィリップフロップ７２２、７２４及びＡＮＤ回路７２６を含む。そして、Ｄフィリップフロップ７２２、７２４のクロック端子には発振装置７００からの発振信号Ｅが入力され、Ｄフィリップフロップ７２２、７２４の出力をＡＮＤ回路７２６に入力することで、信号Ｈを得ることができる。図３３（Ｂ）から明らかなように、デューティ比を２５パーセントとするためには信号Ｈの２倍の周波数を有する発振信号Ｅが必要とされ、デューティ比を１２．５パーセントとするためには信号Ｈの４倍の周波数を有する発振信号Ｅが必要とされる。以上のように波形整形回路を設ける構成とすると、消費電力の点では実施例１～６の発振装置よりも不利となるが、実施例７～１２と組み合わせることで、メモリ、タイミング発生回路等における消費電力を低減できる。これにより装置全体としては消費電力の低減を図れる。

【０１６６】

また本発明は、少なくとも複数の表示データ処理用メモリを有するものであれば、単純マトリックス型の液晶表示装置のみならずアクティブマトリックス型液晶表示装置等にも適用でき、また液晶素子以外の表示素子を用いた表示装置にも適用できる。

【０１６７】

【発明の効果】

以上説明したように本発明によれば、発振信号の発振周波数、デューティ比をフレキシブルに簡易に正確に調整でき、低消費電力化、回路規模の削減等が図れる。

【０１６８】

また本発明によれば、読み出し動作を自己的に制御でき、各種タイミング信号を発生する必要がなくなるため、低消費電力化、回路規模の削減等が可能となる。

【０１６９】

また本発明によれば、読み出し動作のみならずプリチャージ動作も自己的に制御でき、クロック信号の１周期で、無駄なく、読み出し動作及びプリチャージ動作を制御できる。

【０１７０】

また本発明によれば、例えば文字、アイコン等を所望の配置で例えばマトリックスパネル等に表示でき、複雑な画像表示を簡易に実現できる。

【０１７１】

また本発明によれば、発振装置のデューティ比を制御するだけで、読み出し時間、プリチャージ時間を制御でき、データ処理に必要な最低周波数の発振クロック信号で表示データ処理装置を動作させることができる。

【０１７２】

また本発明によれば、表示処理装置内に含まれる回路に対して動作時間を無駄なく割り当てることができ、これらの回路の有するディレイ値等を用いて発振装置の発振周波数を決めることができる。これにより製造プロセスの変動に影響されにくい表示データ処理装置を提供できる。

【０１７３】

【図面の簡単な説明】

【図１】実施例１の発振装置の構成を示す図である。

【図２】実施例１の動作を示す波形図である。

【図３】実施例２の発振装置の構成を示す図である。

【図４】実施例３の発振装置の構成を示す図である。

【図５】実施例３の動作を示す波形図である。

【図６】電流源及びバイアス回路の具体的構成を示す図である。

【図７】電流源及びバイアス回路の具体的構成を示す図である。

【図８】図８（Ａ）～（Ｄ）は、バイアス調整回路の具体的構成を示す図である

【図９】実施例７の表示データ処理装置の構成を示す図である。

【図１０】実施例７の動作を示すタイミングチャート図である。

【図１１】実施例８の表示データ処理装置の構成を示す図である。

【図１２】実施例８の動作を示すタイミングチャート図である。

【図１３】実施例９の表示データ処理装置の構成を示す図である。

【図１４】表示データ処理装置がＮ個のメモリを含む場合の構成の例を示す図である。

【図１５】実施例１０の表示データ処理装置の構成を示す図である。

【図１６】従来の手法で表示データ処理装置を構成した比較例を示す図である。

【図１７】実施例１０の動作を示すタイミングチャート図である。

【図１８】比較例の動作を示すタイミングチャート図である。

【図１９】表示データＲＡＭ用のアドレスデコーダ及びその等価回路の構成の一例を示す図である。

【図２０】表示データＲＡＭ及びその等価回路の構成の一例を示す図である。

【図２１】ＣＧＲＯＭ用のアドレスデコーダ、ＣＧＲＯＭ及びその等価回路の構成の一例を示す図である。

【図２２】ドライバ回路用のアドレスデコーダ及びその等価回路の構成の一例を示す図である。

【図２３】ＲＳラッチ回路の構成の一例を示す図である。

【図２４】実施例１１（ドライバ回路の具体例）の構成を示す図である。

【図２５】マトリックスパネル上に表示される表示画面の一例である。

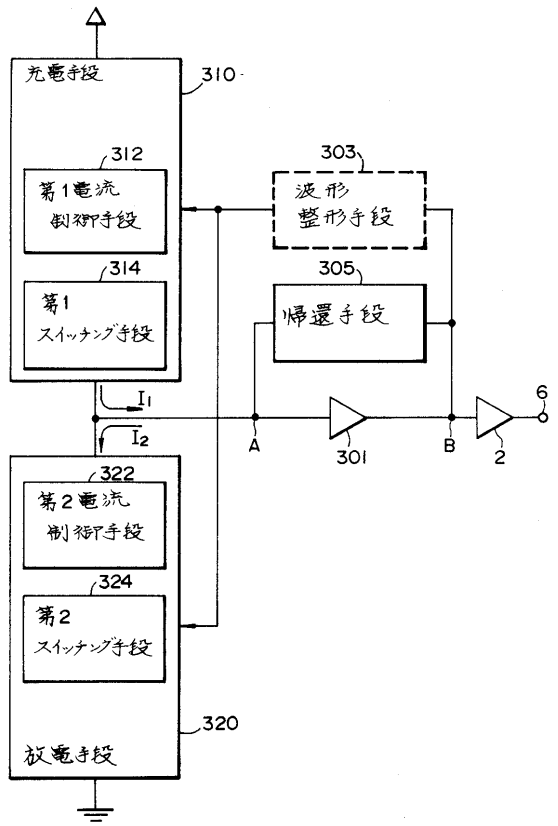
【図２６】表示データ処理装置に含まれる等価回路を用いて発振信号を生成する実施例１１の構成を示す図である。

【図２７】実施例１１によりリングオシレータを形成する場合の構成例を示す図である。

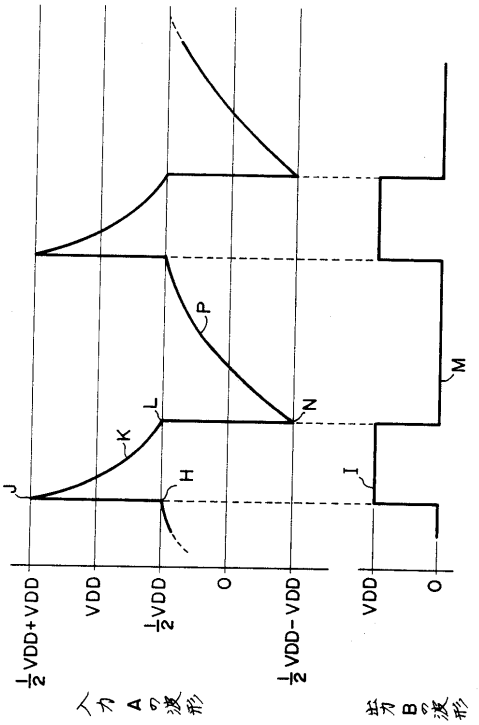
【図２８】実施例７との組み合わせでリングオシレータを形成する場合の構成例を示す図である。
【図２９】実施例１との組み合わせで発振周波数及びデューティ比を制御する場合の構成例を示す図である。
【図３０】実施例３との組み合わせで発振周波数及びデューティ比を制御する場合の構成例を示す図である。
【図３１】発振周波数及びデューテイ比の調整が可能な発振装置の構成例を示す図である。
【図３２】図３２（Ａ）は波形整形回路を用いた発振装置の構成の例を示す図であり、図３２（Ｂ）はそのタイミングチャート図である。
【図３３】図３３（Ａ）は波形整形回路を用いた発振装置の構成の他の例を示す図であり、図３３（Ｂ）はそのタイミングチャート図である。
【図３４】従来のＣＲ発振回路の構成を示す図である。
【図３５】従来のリングオシレータの構成を示す図である。
【図３６】発振信号のデューティ比を可変できるＣＲ発振回路の構成を示す図である。
【図３７】図３７（Ａ）は従来の表示データ処理装置の構成例であり、図３７（Ｂ）はそのタイミングチャート図である。
【符号の説明】
１、１３３、１３７　ＭＯＳバッファ
２、９９、１００、１０１、１０２、１０５、１０６、１２０、１２１、１２２、１２３、１２４、１３２、１３６、１４２、１４９、１７４、１７５、１７６、１７７、１８３、２００、２０１、２０２、２０３、２０７、２０８、２０９、２０１、　ＭＯＳインバータ
３、１１、２２、２４、２６、８５、８６、８７、８８、８９、９０、９１、９２、９３、９４、１０８、１０７、１１１、１１２、１１３、１３０、１３１、１３４、１３５、１４３、１４４、１４５、１７０、１７１、１７２、１７３　Ｐ型ＭＯＳトランジスタ
４、１２、２３、２５、２７、９５、９６、９７、９８、１０９、１１０、１１６、１１７、１１８、１１９、１３８、１４０、１４１、１４６、１４７、１４８、１５０、１５１、１５２、１５３、１５４、１５５、１５６、１６０、１６１、１６２、１６３、１６４、１６５、１６６、１６７、１６８、１６９　第２Ｎ型ＭＯＳトランジスタ
５、２０４　キャパシタ
６　発振出力
７、８、２９、３０、２０５　抵抗
９　高電位側電源
１０　低電位側電源
１１、１２　電流源
１３、１４　バイアス端子
１５　端子
１６　バイアス回路
１７　バイアス調整回路
１８　周波数選択信号
２０　遅延回路
２１　等価回路
２８　可変抵抗
３１、３２　スイッチ
３３、３４　フューズ
３５、３６　ＭＯＳトランジスタ
３７、３８　制御信号
５０　発振装置
５１　タイミング発生回路

５２　ＲＳラッチ回路
５３　表示データＲＡＭ用のアドレスデコーダ
５４　表示データＲＡＭ用のアドレスデコーダの等価回路
５５　表示データＲＡＭ（表示データメモリ）
５６　表示データＲＡＭの等価回路
５７　ＣＧＲＯＭ用のアドレスデコーダ
５８　ＣＧＲＯＭ用のアドレスデコーダの等価回路
５９　ＣＧＲＯＭ（文字パターン発生回路）
６０　ＣＧＲＯＭの等価回路
６１　ドライバー回路用のアドレスデコーダ
６２　ドライバー回路用のアドレスデコーダの等価回路
６３　ドライバー回路
６４　書き込み用のアドレスデコーダ
７０　発振クロック
１２５　ＲＡＭセル
１２６　ＲＡＭ出力セル
１３９　ＲＯＭセル
１８０、１８１　１８２　ＮＡＮＤ
２０６　発振出力
２５０　発振装置
２５１　タイミング発生回路
３０１　ＭＯＳバッファ
３０２　選択手段
３０３　波形整形手段
３０５　帰還手段
３０６　発振クロック
３１０　充電手段
３１２　第１電流制御手段
３１４　第１スイッチング手段
３２０　放電手段
３２２　第２電流制御手段
３２４　第２スイッチング手段
３５２　選択回路
３５３　第１メモリ（画像表示メモリ）
３５４　第１等価回路
３５５　第２メモリ（画像表示パターン発生器）
３５６　等価回路
３５７　格納手段（ラインメモリ）
３５８　第３等価回路
３７０　クロック信号ＣＫ
３７１　第１信号
３７２　第２信号
３７３　第３信号
３７６　第４信号
３７７　アドレス信号
３７９　第１データ
３８０　第２データ

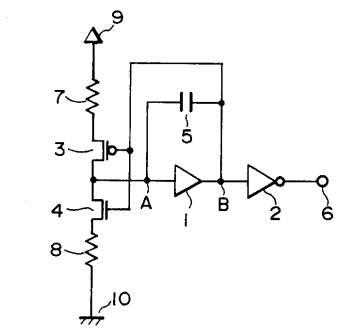
【図１】


充電手段
310
312
第1電流制御手段
314
第1スイッチング手段
303
波形整形手段
305
帰還手段
I1
I2
A
301
B
2
6
322
第2電流制御手段
324
第2スイッチング手段
320
放電手段

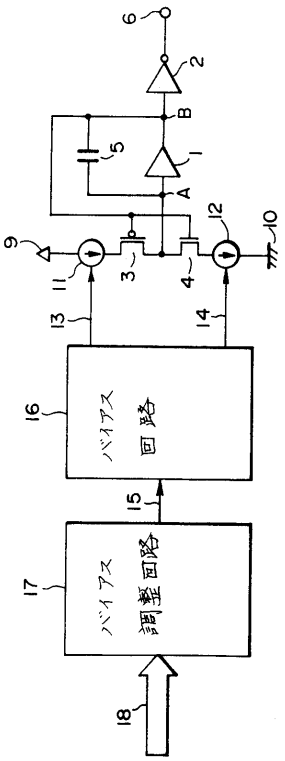
【図２】


J
K
L
H
P
N
M
I
1/2VDD+VDD
VDD
1/2VDD
0
1/2VDD-VDD
VDD
0
入力Aの波形
出力Bの波形

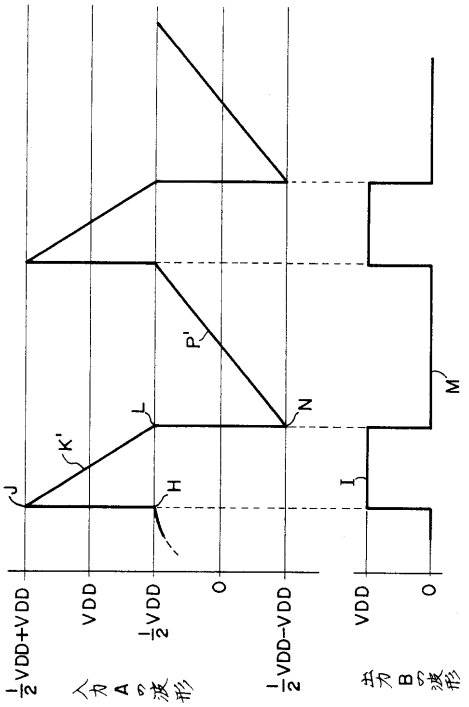
【図３】


9
7
3
4
8
10
5
A
1
B
2
6

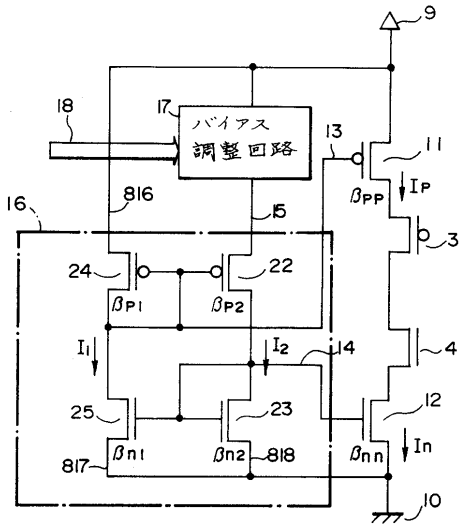
【図４】


6
2
B
5
1
A
12
10
9
11
3
4
13
14
16
バイアス回路
15
17
バイアス調整回路
18

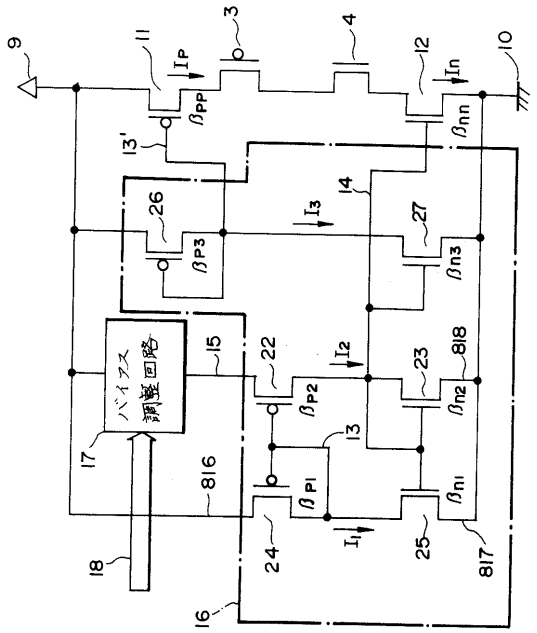
【図５】


J
K'
L
H
P'
N
M
I
½VDD+VDD
VDD
½VDD
0
½VDD−VDD
VDD
0
入力A波形
出力B波形

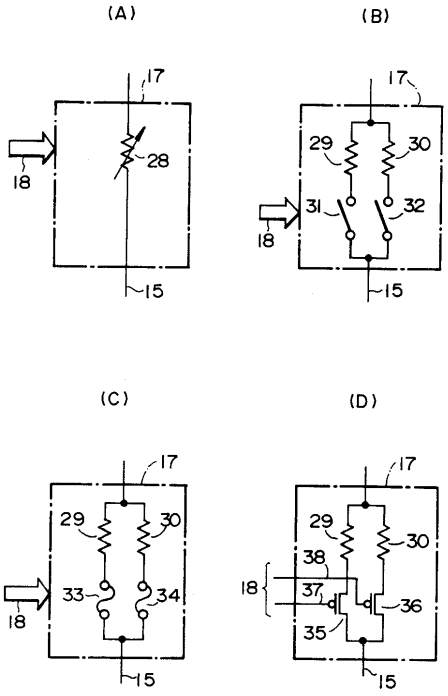
【図６】


9
18
17
バイアス
調整回路
13
11
βPP
IP
816
15
16
3
24
22
βP1
βP2
I1
I2
14
4
25
23
12
In
817
βn1
βn2
818
βnn
10

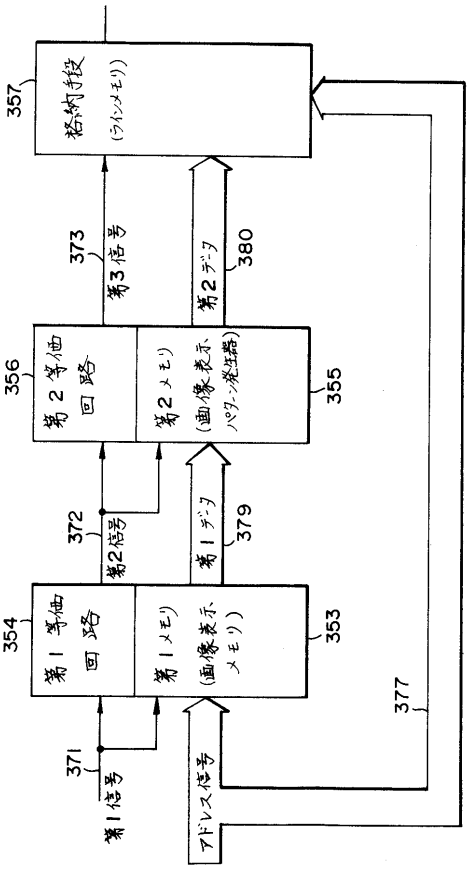
【図７】


9
11
IP
βPP
3
4
12
In
10
βnn
13'
14
26
I3
27
βP3
βn3
バイアス
調整回路
15
22
I2
23
818
βP2
βn2
17
13
816
βP1
βn1
18
24
I1
25
817
16

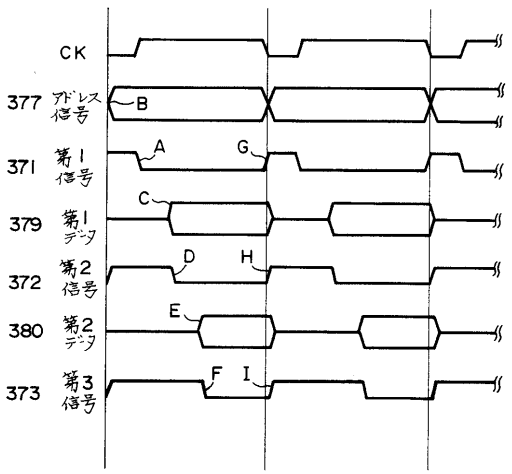
【図８】


(A)
(B)
(C)
(D)
17
18
28
15
29
30
31
32
33
34
38
37
36
35

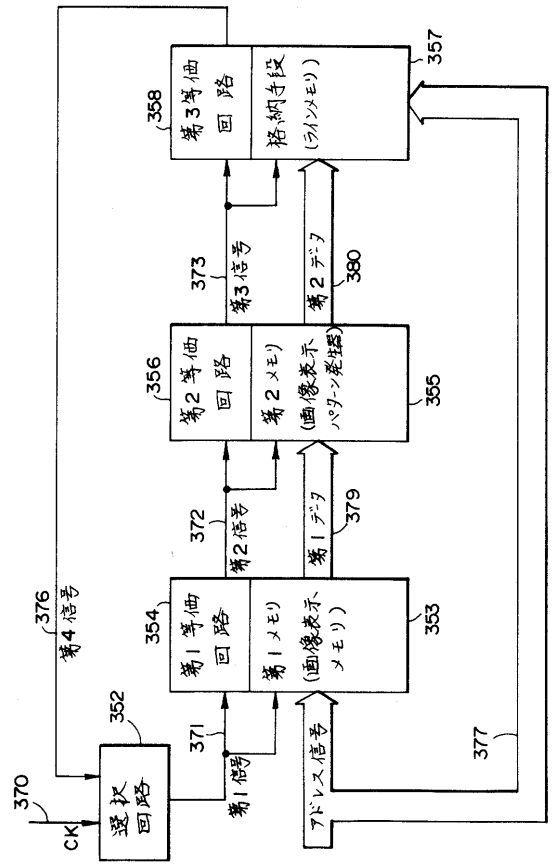
【図９】



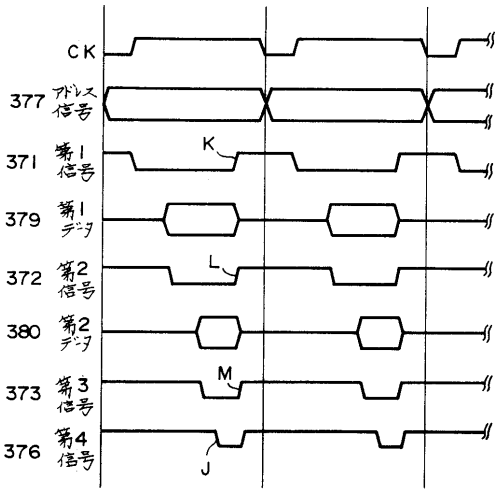
【図１０】



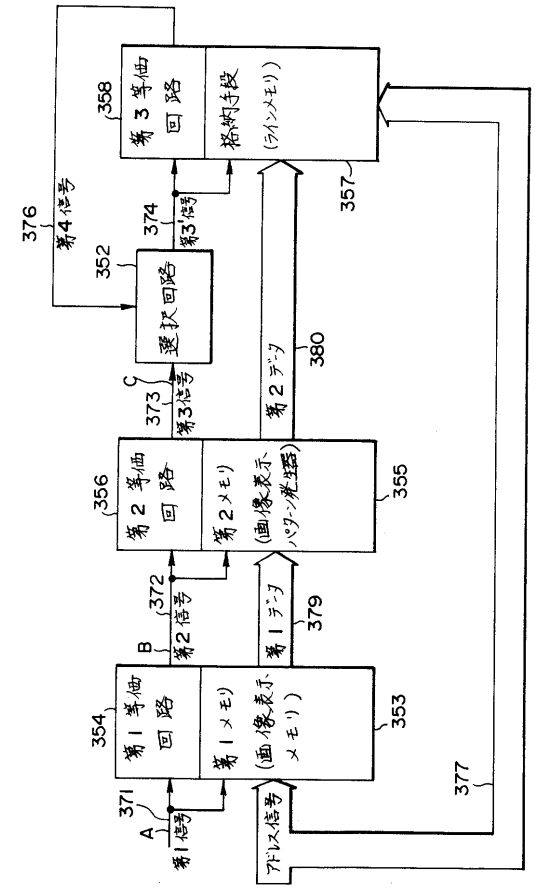
【図１１】



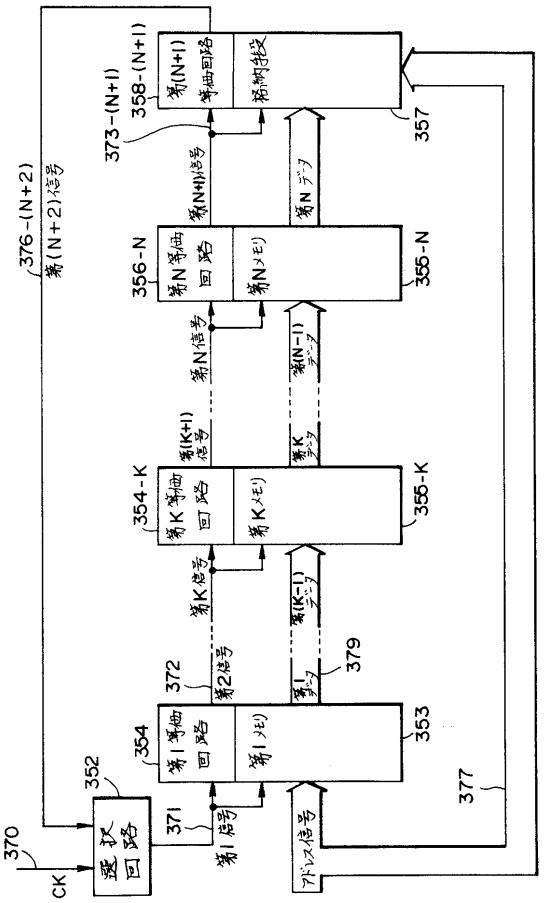
【図１２】



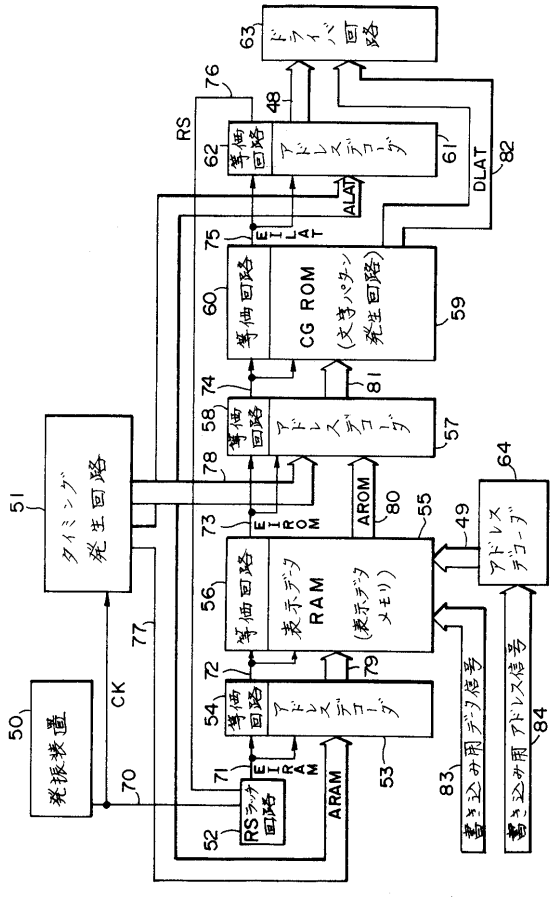
【図１３】



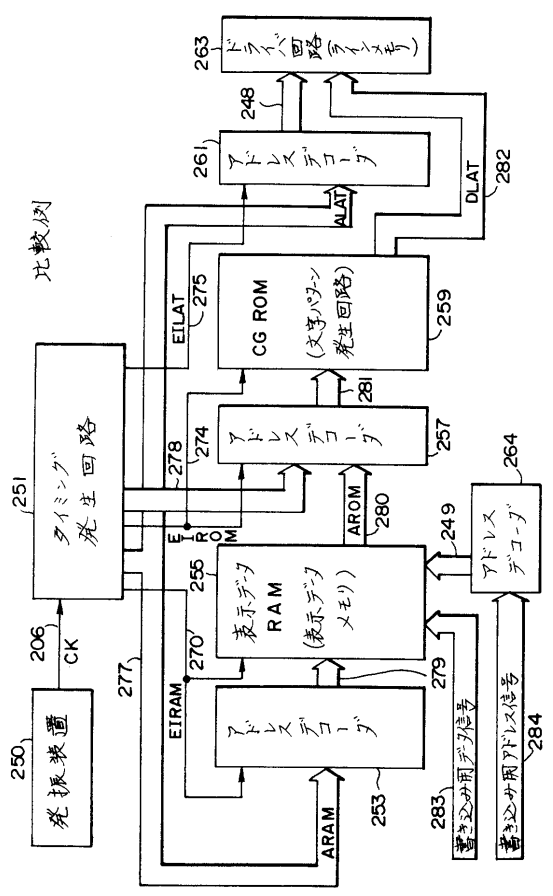
【図１４】



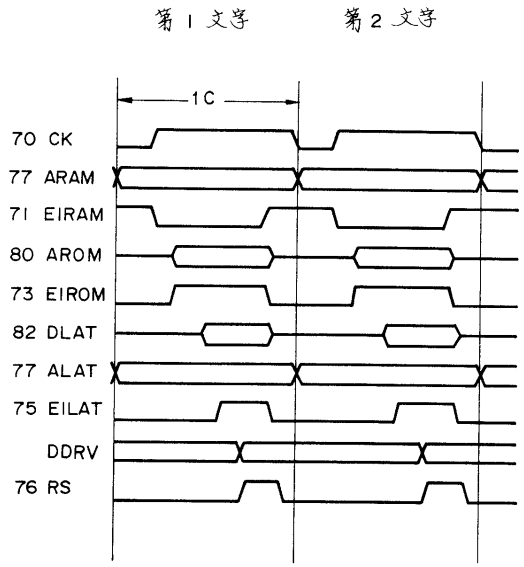
【図１５】



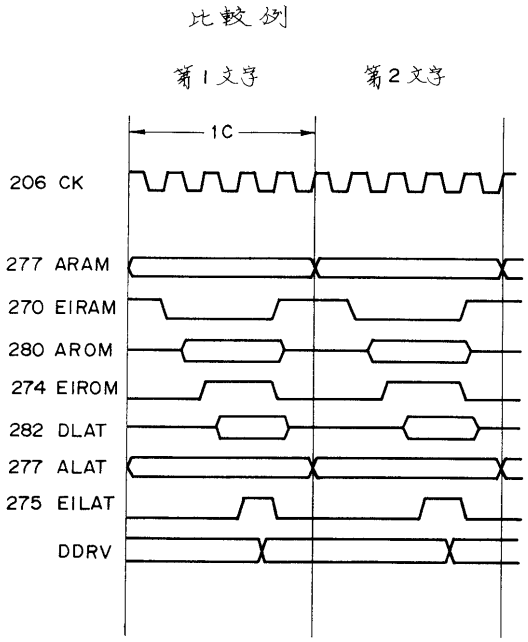
【図１６】



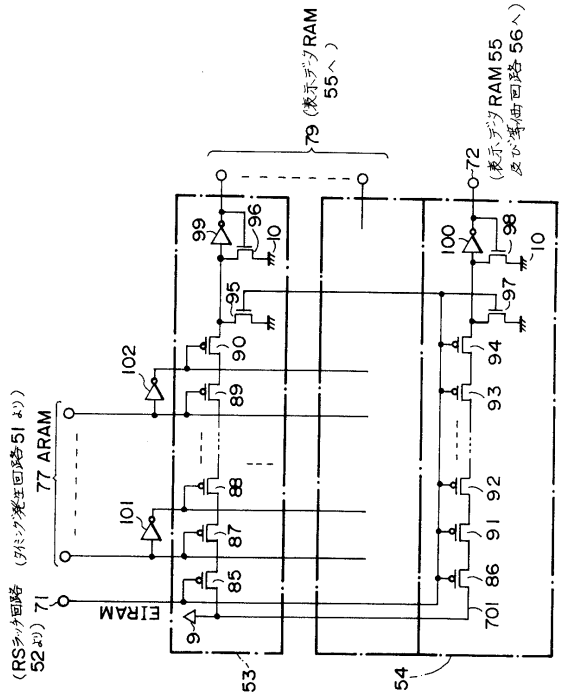
【図１７】



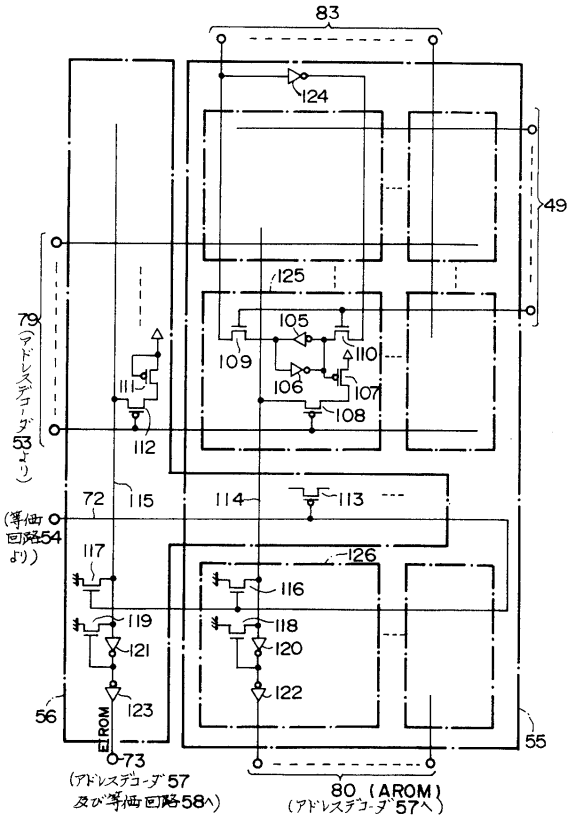
【図１８】



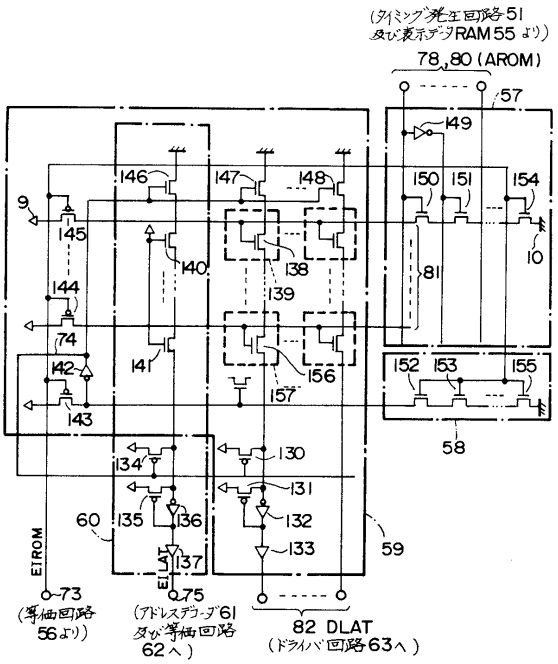
【図１９】



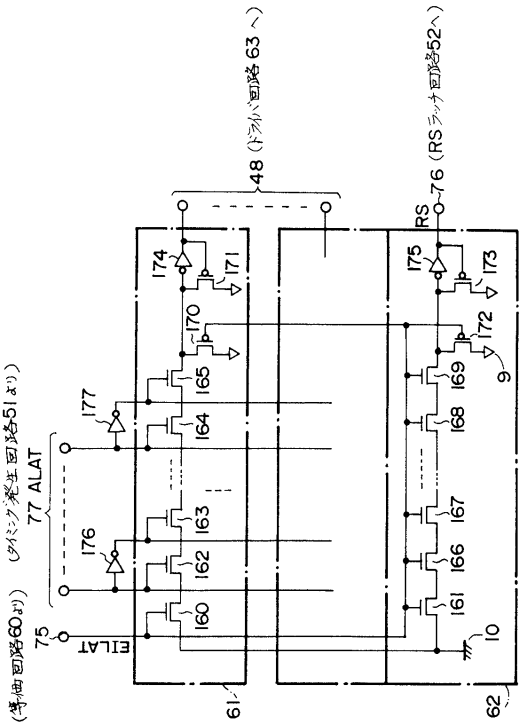
【図２０】



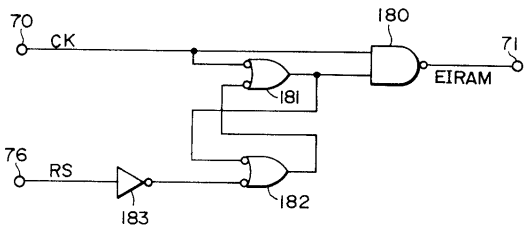
【図２１】



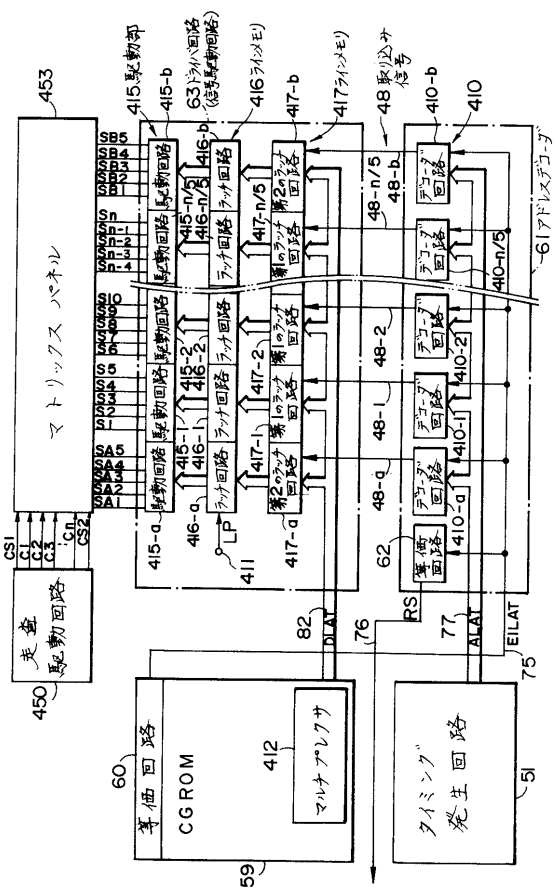
【図２２】



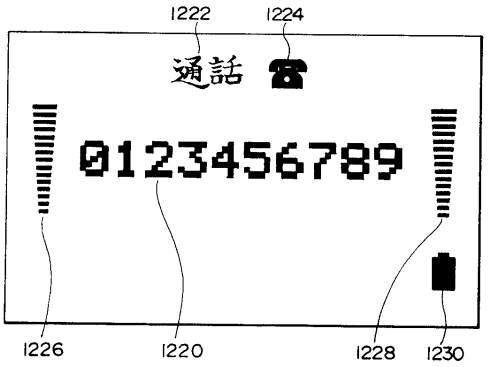
【図２３】



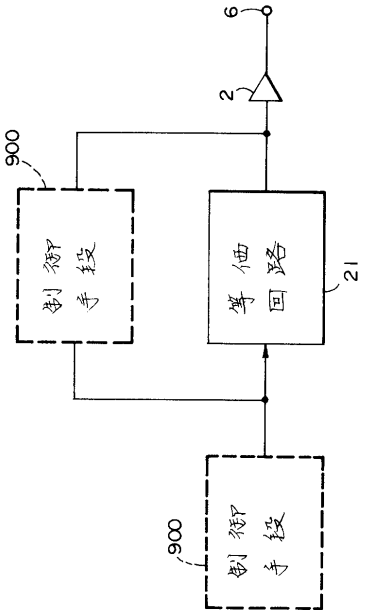
【図２４】



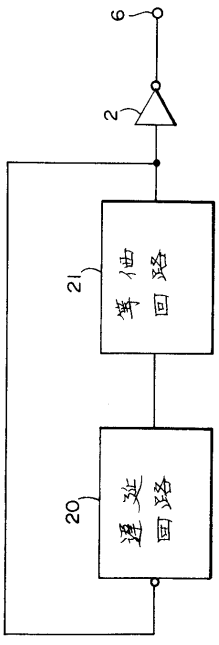
【図２５】



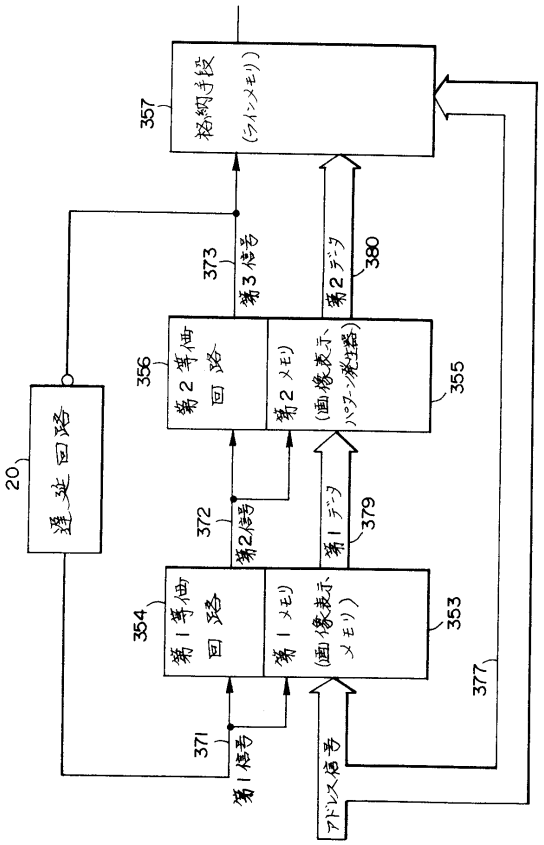
【図２６】



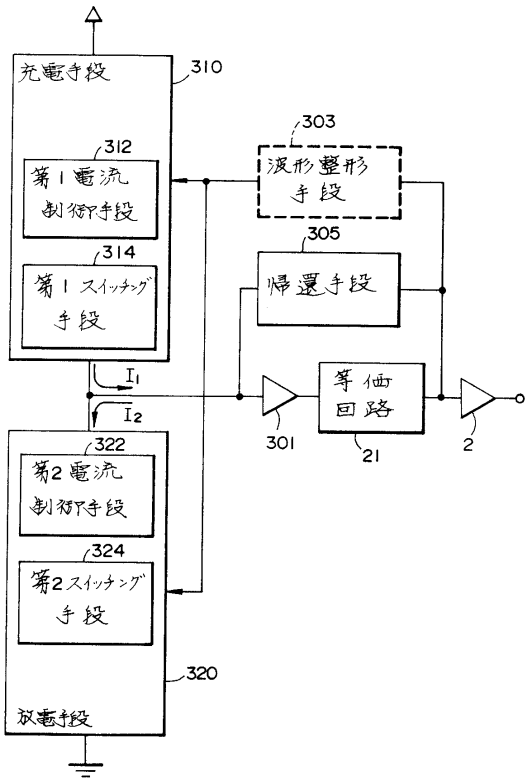
【図２７】



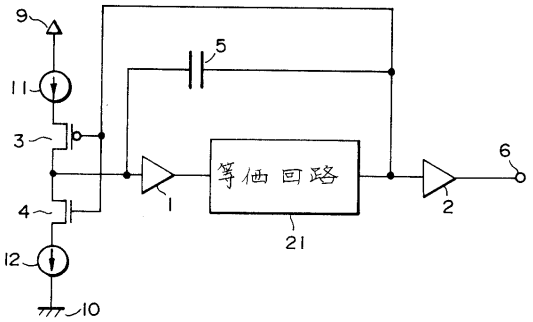
【図２８】



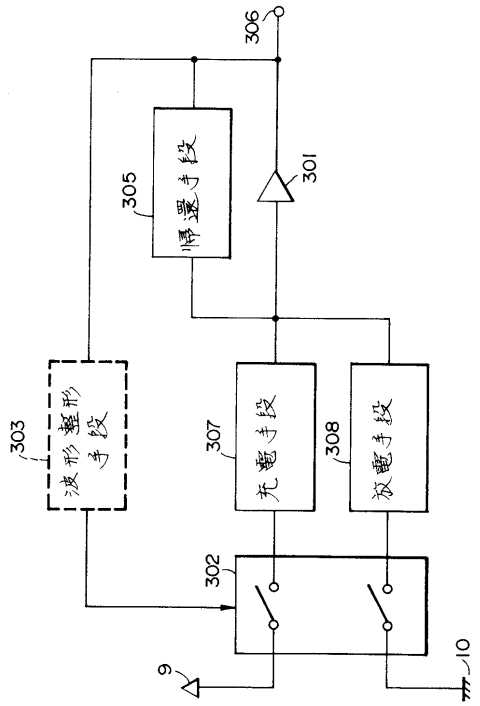
【図２９】



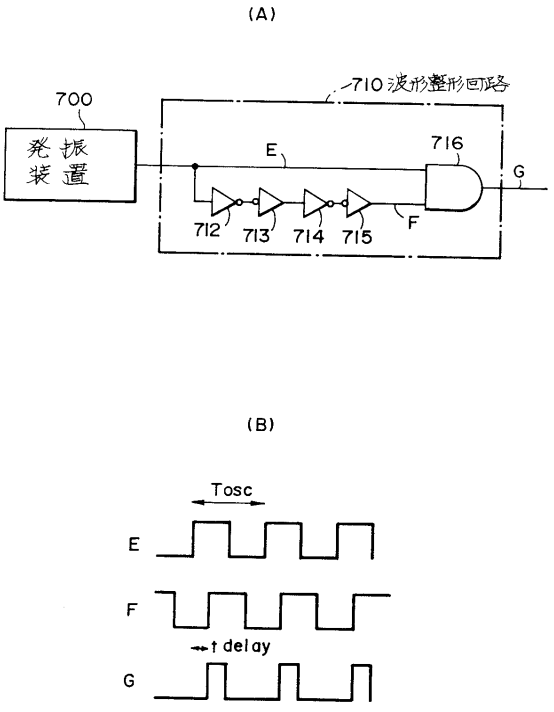
【図３０】



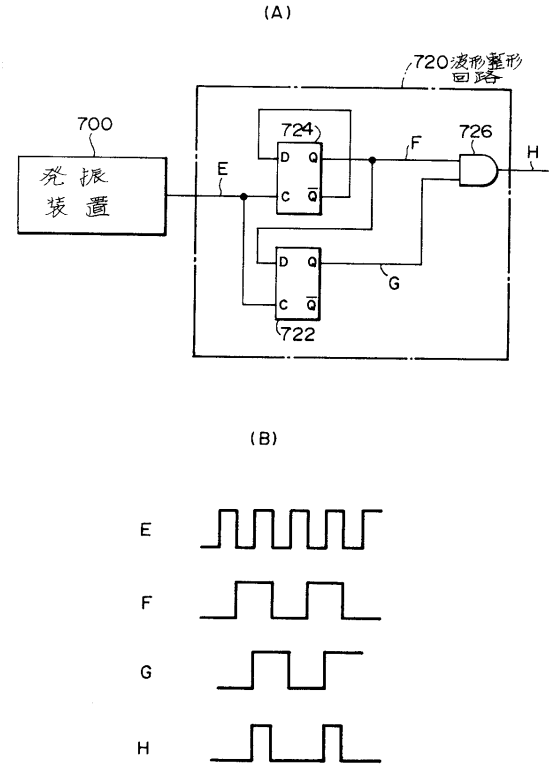
【図３１】



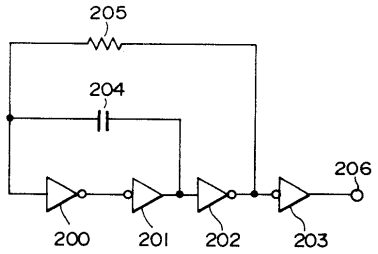
【図３２】



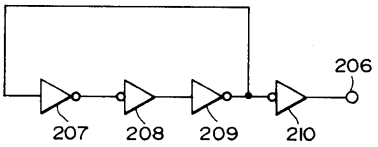
【図３３】



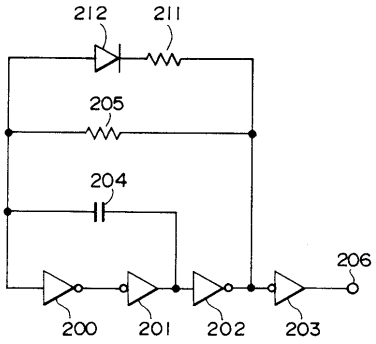
【図３４】



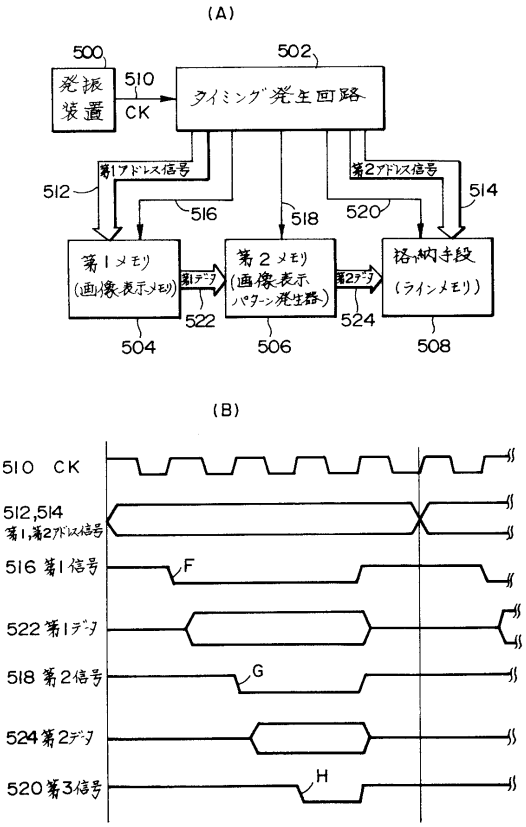
【図３５】



【図３６】



【図３７】



フロントページの続き

(51)Int.Cl.[7]		FI		
Ｈ０３Ｋ	3/354	Ｇ０２Ｆ	1/133	５０５
Ｈ０４Ｎ	5/06	Ｇ０９Ｇ	3/36	
		Ｇ０９Ｇ	5/00	５５０Ｍ
		Ｈ０３Ｋ	3/03	
		Ｈ０３Ｋ	3/354	Ｂ
		Ｈ０４Ｎ	5/06	Ｚ

(72)発明者　小泉　徳夫
長野県諏訪市大和３丁目３番５号　セイコーエプソン株式会社内

審査官　橋本　直明

(56)参考文献　特開平０６－３４２５９６（ＪＰ，Ａ）
特開平０６－３３３３９２（ＪＰ，Ａ）
特開平０６－２５１５８５（ＪＰ，Ａ）
特開平０６－２３６６９０（ＪＰ，Ａ）
特開平０６－２１４５３６（ＪＰ，Ａ）
特開平０６－１３０９３７（ＪＰ，Ａ）
特開平０６－０８４３５１（ＪＰ，Ａ）
特開平０６－０８３３０２（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
G09G 3/20 631
G09G 3/20 611
G09G 3/20 612
G02F 1/133 505
G09G 3/36
G09G 5/00 550
H03K 3/03
H03K 3/354
H04N 5/06