



(12) 发明专利

(10) 授权公告号 CN 118588552 B

(45) 授权公告日 2024. 11. 12

(21) 申请号 202411067580.6

H01L 23/538 (2006.01)

(22) 申请日 2024.08.06

(56) 对比文件

(65) 同一申请的已公布的文献号

CN 115132572 A, 2022.09.30

申请公布号 CN 118588552 A

US 2018047665 A1, 2018.02.15

(43) 申请公布日 2024.09.03

审查员 牛蕾

(73) 专利权人 武汉新芯集成电路股份有限公司

地址 430205 湖北省武汉市东湖开发区高

新四路18号

(72) 发明人 刘俊 潘冬 罗虎臣

(74) 专利代理机构 上海思微知识产权代理事务

所(普通合伙) 31237

专利代理师 宋艳

(51) Int. Cl.

H01L 21/308 (2006.01)

H01L 21/768 (2006.01)

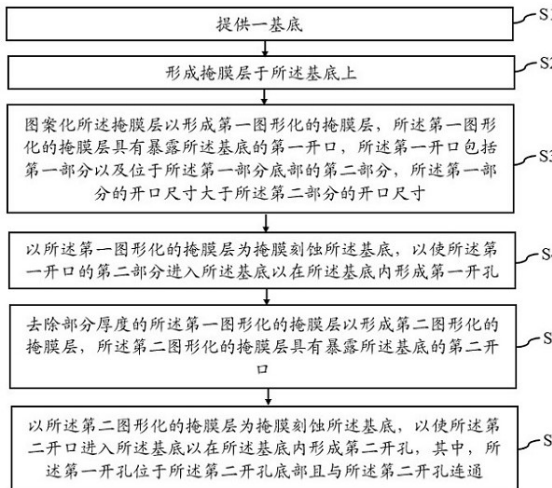
权利要求书2页 说明书8页 附图11页

(54) 发明名称

半导体器件及其制造方法

(57) 摘要

本发明提供一种半导体器件及其制造方法,包括:形成掩膜层于基底上;图案化掩膜层以形成具有暴露基底的第一开口的第一图形化的掩膜层,第一开口包括第一部分和第一部分底部的第二部分,第一部分的开口尺寸大于第二部分的开口尺寸;以第一图形化的掩膜层为掩膜刻蚀基底,以使第一开口的第二部分进入基底以在基底内形成第一开孔;去除部分厚度的第一图形化的掩膜层以形成第二图形化的掩膜层,第二图形化的掩膜层具有暴露基底的第二开口;以第二图形化的掩膜层为掩膜刻蚀基底,以使第二开口进入基底以在基底内形成第二开孔,第一开孔位于第二开孔底部。本发明使得在后段将导电结构引出的工艺中,能够增大工艺窗口的同时且降低成本。



1. 一种半导体器件的制造方法,其特征在于,包括:

提供一基底;

形成掩膜层于所述基底上;

图案化所述掩膜层以形成第一图形化的掩膜层,所述第一图形化的掩膜层具有暴露所述基底的第一开口,所述第一开口包括第一部分以及位于所述第一部分底部的第二部分,所述第一部分的开口尺寸大于所述第二部分的开口尺寸;

以所述第一图形化的掩膜层为掩膜刻蚀所述基底,以使所述第一开口的第二部分进入所述基底以在所述基底内形成第一开孔;

去除部分厚度的所述第一图形化的掩膜层以形成第二图形化的掩膜层,所述第二图形化的掩膜层具有暴露所述基底的第二开口,所述第二开口的开口尺寸大于所述第二部分的开口尺寸;

以所述第二图形化的掩膜层为掩膜刻蚀所述基底,以使所述第二开口进入所述基底以在所述基底内形成第二开孔,其中,所述第一开孔位于所述第二开孔底部且与所述第二开孔连通。

2. 如权利要求1所述的半导体器件的制造方法,其特征在于,所述掩膜层为光刻胶层,采用半色调掩模板对所述光刻胶层执行曝光显影工艺以形成所述第一图形化的掩膜层。

3. 如权利要求2所述的半导体器件的制造方法,其特征在于,所述半色调掩模板依次包括高透光部、低透光部以及遮光部,所述低透光部位于所述高透光部与所述遮光部之间,所述高透光部、所述低透光部、所述遮光部对光线的透过率依次降低,对所述光刻胶层执行曝光显影工艺后,所述高透光部对应下方的光刻胶层被完全去除形成所述第一开口的第二部分,所述低透光部对应下方的光刻胶层被部分去除但保留部分厚度的所述光刻胶层从而形成所述第一开口的第一部分,所述遮光部对应下方的光刻胶层厚度大于所述低透光部下方保留的光刻胶层厚度。

4. 如权利要求2所述的半导体器件的制造方法,其特征在于,所述去除部分厚度的所述第一图形化的掩膜层以形成第二图形化的掩膜层包括:

执行灰化工艺,以去除所述第一开口的第一部分所在层的光刻胶层,并同时去除所述第一开口的第一部分下方的光刻胶层。

5. 如权利要求1所述的半导体器件的制造方法,其特征在于,所述第二开口的开口尺寸大于所述第二部分的开口尺寸。

6. 如权利要求1所述的半导体器件的制造方法,其特征在于,所述第二开口为所述第一开口的第一部分进入所述第一开口的第二部分所在层的掩膜层时在所述掩膜层内形成的开口。

7. 如权利要求1所述的半导体器件的制造方法,其特征在于,所述基底包括衬底以及形成于所述衬底表面的绝缘介质层,所述绝缘介质层内形成有重布线导电结构。

8. 如权利要求7所述的半导体器件的制造方法,其特征在于,在所述基底形成所述第二开孔之前,所述第一开孔未暴露所述重布线导电结构;在所述基底形成所述第二开孔的同时或之后,所述第一开孔暴露出所述重布线导电结构。

9. 如权利要求1所述的半导体器件的制造方法,其特征在于,所述半导体器件的制造方法还包括:

填充导电材料于所述第一开孔和所述第二开孔中。

10. 一种半导体器件,其特征在於,包括:采用如权利要求1~9中任一项所述的半导体器件的制造方法制造。

## 半导体器件及其制造方法

### 技术领域

[0001] 本发明涉及半导体集成电路制造领域,特别涉及一种半导体器件及其制造方法。

### 背景技术

[0002] 对于2.5D封装和3D封装工艺,在后段工艺中会将重布线层和导电插塞引出。以2.5D封装工艺为例,如图1和图7所示,转接板(Interposer)11上形成有绝缘介质层12,转接板11中形成有导电插塞13,绝缘介质层12中形成有重布线层14,导电插塞13与重布线层14电连接,一般采用如下两种方法将重布线层14和导电插塞13引出:

[0003] 方法1:首先,如图2所示,形成第一图形化的掩膜层121于绝缘介质层12上,第一图形化的掩膜层121具有暴露出绝缘介质层12的第一开口122;然后,如图3所示,以第一图形化的掩膜层121为掩膜刻蚀第一开口122暴露出的绝缘介质层12,以形成第一开孔15,并去除第一图形化的掩膜层121;然后,如图4所示,形成底部抗反射层16于第一开孔15中以及第一开孔15外围的绝缘介质层12上,并形成第二图形化的掩膜层123于底部抗反射层16上,第二图形化的掩膜层123具有暴露出底部抗反射层16的第二开口124,第二开口124的开口尺寸大于第一开口122的开口尺寸;然后,如图5所示,以第二图形化的掩膜层123为掩膜刻蚀第二开口124暴露出的底部抗反射层16和绝缘介质层12,以形成第二开孔17,第二开孔17位于第一开孔15的顶部,第一开孔15和第二开孔17暴露出重布线层14,并去除第二图形化的掩膜层123和剩余的底部抗反射层16;然后,如图6所示,填充导电材料于第一开孔15和第二开孔17中,以形成键合结构18。

[0004] 方法2:首先,如图7所示,形成刻蚀阻挡层111于绝缘介质层12上;然后,如图8所示,形成第一图形化的掩膜层121于刻蚀阻挡层111上,第一图形化的掩膜层121具有暴露出刻蚀阻挡层111的第一开口122;然后,如图9所示,以第一图形化的掩膜层121为掩膜刻蚀第一开口122暴露出的刻蚀阻挡层111和绝缘介质层12,以形成第一开孔15,并去除第一图形化的掩膜层121;然后,如图10所示,形成底部抗反射层16于第一开孔15中以及第一开孔15外围的刻蚀阻挡层111上;然后,如图11所示,回刻去除刻蚀阻挡层111上的底部抗反射层16以及第一开孔15中的部分底部抗反射层16,第一开孔15中保留部分底部抗反射层16;然后,如图12所示,形成第二图形化的掩膜层123于刻蚀阻挡层111上,第二图形化的掩膜层123具有暴露出刻蚀阻挡层111和第一开孔15的第二开口124,第二开口124的开口尺寸大于第一开口122的开口尺寸;然后,如图13所示,以第二图形化的掩膜层123为掩膜刻蚀第二开口124暴露出的刻蚀阻挡层111、底部抗反射层15和绝缘介质层12,以形成第二开孔17,第二开孔17位于第一开孔15的顶部,第一开孔15和第二开孔17暴露出重布线层14,并去除第二图形化的掩膜层123和刻蚀阻挡层111;然后,如图14所示,填充导电材料于第一开孔15和第二开孔17中,以形成键合结构18。

[0005] 在上述将重布线层14和导电插塞13引出的方法中,第一图形化的掩膜层121和第二图形化的掩膜层123均是采用常规的全色调掩模板(full tone mask)光刻形成,导致方法1和方法2均需要执行两次光刻工艺,工艺成本高。

[0006] 并且,在方法1中,若图4所示的第一开孔15外围的绝缘介质层12上的底部抗反射层16的厚度过薄,会导致在刻蚀至第二开口124下方的绝缘介质层12时,第一开孔15中的底部抗反射层16剩余的过多,剩余的底部抗反射层16对第一开孔15侧壁的绝缘介质层12起到一定的保护作用,进而导致远离第一开孔15侧壁的绝缘介质层12比第一开孔15侧壁的绝缘介质层12被刻蚀去除的更多,从而导致图5所示的第一开孔15的顶部周围残留一圈绝缘介质层12形成围栏(fence)缺陷;若图4所示的第一开孔15外围的绝缘介质层12上的底部抗反射层16过厚,会导致在刻蚀去除这部分底部抗反射层16时会消耗过多的第二图形化的掩膜层123而导致第二图形化的掩膜层123的厚度太薄,且导致第二开口124侧壁与第二开口124外围的底部抗反射层16之间的夹角为锐角,即第二开口124侧壁处的第二图形化的掩膜层123的厚度更薄,进而导致在对第二开口124下方的绝缘介质层12进行刻蚀时,第二开口124侧壁的第二图形化的掩膜层123下方的绝缘介质层12也被刻蚀,从而导致图5所示的第二开孔17的侧壁粗糙度增大。

[0007] 在方法2中,在形成第二图形化的掩膜层123之前,第一开孔15外围的刻蚀阻挡层111上的底部抗反射层16已经被去除,且第一开孔15中的底部抗反射层16也被去除部分厚度,使得在刻蚀形成第二开孔17之后不会产生围栏缺陷;但是,由于在刻蚀第二开口124暴露出的刻蚀阻挡层111时也会消耗第二图形化的掩膜层123,导致第二开口124侧壁的第二图形化的掩膜层123下方的绝缘介质层12也被刻蚀,从而导致图13所示的第二开孔17的侧壁粗糙度增大。

[0008] 那么,在方法1中,为了避免同时出现围栏缺陷和粗糙度增大的问题,形成图5所示的第一开孔15和第二开孔17所采用的刻蚀工艺的参数需要调整的很精确,刻蚀工艺的参数可调整的范围很小,即工艺窗口小;在方法2中,不会出现围栏缺陷,只需避免出现粗糙度增大的问题,使得形成图12所示的第一开孔15和第二开孔17所采用的刻蚀工艺的参数可调整的范围增大,但是增大的程度有限,且方法2的步骤增多,导致成本进一步增加。

[0009] 因此,如何在后段将导电结构引出的工艺中,能够增大工艺窗口的同时且降低成本是目前亟需解决的问题。

## 发明内容

[0010] 本发明的目的在于提供一种半导体器件及其制造方法,使得在后段将导电结构引出的工艺中,能够增大工艺窗口的同时且降低成本。

[0011] 为实现上述目的,本发明提供了一种半导体器件的制造方法,包括:

[0012] 提供一基底;

[0013] 形成掩膜层于所述基底上;

[0014] 图案化所述掩膜层以形成第一图形化的掩膜层,所述第一图形化的掩膜层具有暴露所述基底的第一开口,所述第一开口包括第一部分以及位于所述第一部分底部的第二部分,所述第一部分的开口尺寸大于所述第二部分的开口尺寸;

[0015] 以所述第一图形化的掩膜层为掩膜刻蚀所述基底,以使所述第一开口的第二部分进入所述基底以在所述基底内形成第一开孔;

[0016] 去除部分厚度的所述第一图形化的掩膜层以形成第二图形化的掩膜层,所述第二图形化的掩膜层具有暴露所述基底的第二开口;

[0017] 以所述第二图形化的掩膜层为掩膜刻蚀所述基底,以使所述第二开口进入所述基底以在所述基底内形成第二开孔,其中,所述第一开孔位于所述第二开孔底部且与所述第二开孔连通。

[0018] 可选地,所述掩膜层为光刻胶层,采用半色调掩模板对所述光刻胶层执行曝光显影工艺以形成所述第一图形化的掩膜层。

[0019] 可选地,所述半色调掩模板依次包括高透光部、低透光部以及遮光部,所述低透光部位于所述高透光部与所述遮光部之间,所述高透光部、所述低透光部、所述遮光部对光线的透过率依次降低,对所述光刻胶层执行曝光显影工艺后,所述高透光部对应下方的光刻胶层被完全去除形成所述第一开口的第二部分,所述低透光部对应下方的光刻胶层被部分去除但保留部分厚度的所述光刻胶层从而形成所述第一开口的第一部分,所述遮光部对应下方的光刻胶层厚度大于所述低透光部下方保留的光刻胶层厚度。

[0020] 可选地,所述去除部分厚度的所述第一图形化的掩膜层以形成第二图形化的掩膜层包括:

[0021] 执行灰化工艺,以去除所述第一开口的第一部分所在层的光刻胶层,并同时去除所述第一开口的第一部分下方的光刻胶层。

[0022] 可选地,所述第二开口的开口尺寸大于所述第二部分的开口尺寸。

[0023] 可选地,所述第二开口为所述第一开口的第一部分进入所述第一开口的第二部分所在层的掩膜层时在所述掩膜层内形成的开口。

[0024] 可选地,所述基底包括衬底以及形成于所述衬底表面的绝缘介质层,所述绝缘介质层内形成有重布线导电结构。

[0025] 可选地,在所述基底形成所述第二开孔之前,所述第一开孔未暴露所述重布线导电结构;在所述基底形成所述第二开孔的同时或之后,所述第一开孔暴露出所述重布线导电结构。

[0026] 可选地,所述半导体器件的制造方法还包括:

[0027] 填充导电材料于所述第一开孔和所述第二开孔中。

[0028] 本发明还提供一种半导体器件,其特征在于,包括:采用所述的半导体器件的制造方法制造。

[0029] 与现有技术相比,本发明的技术方案具有以下有益效果:

[0030] 1、本发明的半导体器件的制造方法,通过形成掩膜层于基底上;图案化所述掩膜层以形成第一图形化的掩膜层,所述第一图形化的掩膜层具有暴露所述基底的第一开口,所述第一开口包括第一部分以及位于所述第一部分底部的第二部分,所述第一部分的开口尺寸大于所述第二部分的开口尺寸;以所述第一图形化的掩膜层为掩膜刻蚀所述基底,以使所述第一开口的第二部分进入所述基底以在所述基底内形成第一开孔;去除部分厚度的所述第一图形化的掩膜层以形成第二图形化的掩膜层,所述第二图形化的掩膜层具有暴露所述基底的第二开口;以所述第二图形化的掩膜层为掩膜刻蚀所述基底,以使所述第二开口进入所述基底以在所述基底内形成第二开孔,其中,所述第一开孔位于所述第二开孔底部且与所述第二开孔连通,使得在后段将导电结构引出的工艺中,能够增大工艺窗口的同时且降低成本。

[0031] 2、本发明的半导体器件,由于采用所述的半导体器件的制造方法制造,使得在后

段将导电结构引出的工艺中,能够增大工艺窗口的同时且降低成本。

### 附图说明

[0032] 图1~图6是一种半导体器件的制造方法的器件示意图;

[0033] 图7~图14是另一种半导体器件的制造方法的器件示意图;

[0034] 图15是本发明一实施例的半导体器件的制造方法的流程图;

[0035] 图16~图23是图15所示的半导体器件的制造方法的器件示意图。

[0036] 其中,附图1~图23的附图标记说明如下:

[0037] 11-转接板;111-刻蚀阻挡层;12-绝缘介质层;121-第一图形化的掩膜层;122-第一开口;123-第二图形化的掩膜层;124-第二开口;13-导电插塞;14-重布线层;15-第一开孔;16-底部抗反射层;17-第二开孔;18-键合结构;21-衬底;22-绝缘介质层;221-第一绝缘层;222-刻蚀阻挡层;23-重布线导电结构;24-导电插塞;241-第二绝缘层;242-导电层;25-第一图形化的掩膜层;250-掩膜层;251-第一开口;2511-第一部分;2512-第二部分;26-第二图形化的掩膜层;261-第二开口;27-第一开孔;28-第二开孔;29-键合结构。

### 具体实施方式

[0038] 为使本发明的目的、优点和特征更加清楚,以下结合附图对本发明提出的半导体器件及其制造方法作进一步详细说明。需说明的是,附图均采用非常简化的形式且均使用非精准的比例,仅用以方便、明晰地辅助说明本发明实施例的目的。

[0039] 本发明一实施例提供一种半导体器件的制造方法,参阅图15,图15是本发明一实施例的半导体器件的制造方法的流程图,所述半导体器件的制造方法包括:

[0040] 步骤S1、提供一基底;

[0041] 步骤S2、形成掩膜层于所述基底上;

[0042] 步骤S3、图案化所述掩膜层以形成为第一图形化的掩膜层,所述第一图形化的掩膜层具有暴露所述基底的第一开口,所述第一开口包括第一部分以及位于所述第一部分底部的第二部分,所述第一部分的开口尺寸大于所述第二部分的开口尺寸;

[0043] 步骤S4、以所述第一图形化的掩膜层为掩膜刻蚀所述基底,以使所述第一开口的第二部分进入所述基底以在所述基底内形成第一开孔;

[0044] 步骤S5、去除部分厚度的所述第一图形化的掩膜层,以形成第二图形化的掩膜层,所述第二图形化的掩膜层具有暴露所述基底的第二开口;

[0045] 步骤S6、以所述第二图形化的掩膜层为掩膜刻蚀所述基底,以使所述第二开口进入所述基底以在所述基底内形成第二开孔,其中,所述第一开孔位于所述第二开孔底部且与所述第二开孔连通。

[0046] 下面参阅图16~图23更为详细的介绍本实施例提供的半导体器件的制造方法,图16~图23是半导体器件的纵向剖面示意图。

[0047] 按照步骤S1,提供一基底,所述基底具有第一表面以及与所述第一表面相背的第二表面,所述基底可以为单层结构也可以为多层堆叠结构,所述基底的材质可以为半导体材料也可以为非半导体材料。

[0048] 在一实施例中,如图16所示,所述基底包括衬底21以及形成于所述衬底21表面的

绝缘介质层22,所述绝缘介质层22内形成有重布线导电结构23,所述绝缘介质层22表面作为所述基底的第一表面,所述衬底21远离所述绝缘介质层22的表面作为所述基底的第二表面。

[0049] 所述衬底21的材质可以是诸如Si、SiGe、SiGeC、SiC、GaAs、InAs、InP和其它的III/V或II/VI化合物半导体等的半导体材料,也可以包括诸如, Si/SiGe、Si/SiC、绝缘体上硅(SOI)或绝缘体上硅锗的层状衬底,还可以包括半导体材料以外的其他材料,例如玻璃等。

[0050] 所述绝缘介质层22可以包括至少一层绝缘层(为了与其他绝缘层进行区分,此处的绝缘层定义为第一绝缘层221)和至少一层刻蚀阻挡层222,所述第一绝缘层221和所述刻蚀阻挡层222堆叠于所述衬底21表面上。

[0051] 优选的,所述第一绝缘层221与所述刻蚀阻挡层222的刻蚀选择比大于10。所述第一绝缘层221的材质可以为氧化硅和/或氮氧化硅等,所述刻蚀阻挡层222的材质可以为氮氧化硅和/或氮化硅等。

[0052] 所述重布线导电结构23可以包括至少一层金属层;当所述重布线导电结构23包括至少两层金属层时,相邻金属层之间通过插塞结构实现电连接。

[0053] 所述衬底21中形成有从所述衬底21靠近所述绝缘介质层22的表面延伸至所述衬底21中的导电插塞24,所述绝缘介质层22覆盖所述导电插塞24,所述导电插塞24与所述重布线导电结构23电连接。

[0054] 所述导电插塞24可以包括导电层242以及位于所述导电层242和所述衬底21之间的第二绝缘层241,所述重布线导电结构23与所述导电层242电连接。在一实施例中,所述第二绝缘层241还可以延伸至所述导电插塞24外围的衬底21上,即所述绝缘介质层22与所述衬底21之间形成有所述第二绝缘层241。

[0055] 所述第二绝缘层241的材质可以为氧化硅、氮氧化硅和氮化硅等中的至少一种。

[0056] 在一实施例中,所述导电插塞24贯穿所述衬底21,所述衬底21远离所述绝缘介质层22的表面键合有承载片(未图示)。所述承载片可以无器件功能,仅用于承载所述衬底21,或者,所述承载片的内部形成有MOS晶体管、电阻、电容以及金属互连结构等结构,所述承载片可以是晶圆,也可以是其他基片,所述承载片的材质或器件功能,在此不作限定。

[0057] 或者,在另一实施例中,如图16所示,所述导电插塞24未贯穿所述衬底21。

[0058] 按照步骤S2,参阅图17,形成掩膜层250于所述基底上。

[0059] 所述掩膜层250可以为本领域所熟知的材质,包括但不限于氧化层、氮化层、光刻胶层。

[0060] 按照步骤S3,参阅图18,图案化所述掩膜层250以形成第一图形化的掩膜层25,所述第一图形化的掩膜层25具有暴露所述基底的第一开口251,所述第一开口251包括第一部分2511以及位于所述第一部分2511底部的第二部分2512,所述第一部分2511的开口尺寸大于所述第二部分2512的开口尺寸。

[0061] 图案化所述掩膜层250以形成第一图形化的掩膜层25时可以采用例如刻蚀工艺等本领域所熟知的方式。在一实施例中,以所述掩膜层250为光刻胶层进行举例说明,采用半色调掩膜板(Half tone mask)或者狭缝掩膜板(SSM Mask)对所述光刻胶层执行曝光显影工艺以图案化所述光刻胶层从而形成所述第一图形化的掩膜层25。

[0062] 所述半色调掩膜板依次包括高透光部(对应于形成所述第一开口251的第二部分

2512区域)、低透光部(对应于形成所述第一开口251的第一部分2511区域)以及遮光部(对应于形成相邻两个所述第一开口251的第一部分2511之间的区域),所述低透光部位于所述高透光部与所述遮光部之间,所述高透光部、所述低透光部、所述遮光部对光线的透过率依次降低,所述半色调掩模板利用不同位置透光率具有差异的特性可以形成具有不同厚度的光刻胶层。在对所述光刻胶层执行曝光显影工艺后,所述高透光部对应下方的光刻胶层被完全去除形成所述第一开口251的第二部分2512,所述低透光部对应下方的光刻胶层被部分去除但保留部分厚度的光刻胶层从而形成所述第一开口251的第一部分2511,所述遮光部对应下方的光刻胶层厚度大于所述低透光部下方保留的光刻胶层厚度,所述遮光部对应下方的光刻胶层可以被全部保留下来。

[0063] 按照步骤S4,参阅图19,以所述第一图形化的掩膜层25为掩膜刻蚀所述基底,以使所述第一开口251的第二部分2512进入所述基底以在所述基底内形成第一开孔27。

[0064] 由于在所述第一开口251中,所述第一部分2511的开口尺寸大于所述第二部分2512的开口尺寸,使得仅能刻蚀所述第一开口251底部暴露的基底(例如所述绝缘介质层22),进而使得所述第一部分2511的开口尺寸大于所述第一开孔27的开口尺寸。

[0065] 按照步骤S5,参阅图20,去除部分厚度的所述第一图形化的掩膜层25以形成第二图形化的掩膜层26,所述第二图形化的掩膜层26具有暴露所述基底的第二开口261。所述第二开口261的开口尺寸大于所述第二部分2512的开口尺寸,所述第二开口261的开口尺寸可以大于或等于所述第一部分2511的开口尺寸。

[0066] 在一实施例中,所述第二开口261为所述第一开口251的第一部分2511进入所述第一开口251的第二部分2512所在层的掩膜层250时在所述掩膜层250内形成的开口。例如,通过沿着所述第一图形化的掩膜层25指向所述基底(例如,所述衬底21)的方向,整体去除部分厚度的所述第一图形化的掩膜层25,使得形成的所述第二图形化的掩膜层26中的所述第二开口261的位置与所述第一部分2511的位置对应。去除的所述第一图形化的掩膜层25的厚度大于或等于所述第一部分2511所在层的掩膜层25的厚度。又如,去除所述第一部分2511下方的掩膜层以扩大所述第二部分2512的开口尺寸以形成所述第二开口261。本申请对此不做限制。

[0067] 当所述掩膜层250为光刻胶层时,通过执行灰化工艺,以去除所述第一开口251的第一部分2511所在层的光刻胶层,并同时去除所述第一开口251的第一部分2511下方的光刻胶层,以去除部分厚度的所述第一图形化的掩膜层25。其中,在执行灰化工艺时,可以采用包含氧基或氧离子的等离子气体去除所述第一图形化的光刻胶层,采用的温度可以为80°C~300°C,通过控制灰化工艺的时间来控制去除的所述第一图形化的光刻胶层的厚度。

[0068] 按照步骤S6,参阅图21,以所述第二图形化的掩膜层26为掩膜刻蚀所述基底,以使所述第二开口261进入所述基底以在所述基底内形成第二开孔28,其中,所述第一开孔27位于所述第二开孔28底部且与所述第二开孔28连通。

[0069] 其中,所述第二开孔28的开口尺寸大于所述第一开孔27的开口尺寸。

[0070] 在一实施例中,在所述基底形成所述第二开孔28之前,所述第一开孔27未暴露所述重布线导电结构23;在所述基底形成所述第二开孔28的同时或之后,所述第一开孔27暴露出所述重布线导电结构23。

[0071] 参阅图22,所述半导体器件的制造方法还包括:去除所述第二图形化的掩膜层26。

[0072] 所述半导体器件的制造方法还包括:参阅图23,填充导电材料于所述第一开孔27和所述第二开孔28中,以形成键合结构29。

[0073] 所述键合结构29与所述重布线导电结构23电连接,所述键合结构29用于将所述重布线导电结构23和所述导电插塞24电引出。

[0074] 在一实施例中,当所述导电插塞24未贯穿所述衬底21时,所述半导体器件的制造方法还可包括:

[0075] 减薄所述衬底21远离所述绝缘介质层22的表面,以暴露出所述导电插塞24;其中,所述导电插塞24远离所述绝缘介质层22一端的第二绝缘层241也被去除,以暴露出所述导电插塞24中的所述导电层242;

[0076] 将所述衬底21远离所述绝缘介质层22的表面通过外接焊球(未图示)焊接于一封装基板(未图示)上,所述导电插塞24中的所述导电层242与所述外接焊球电连接。

[0077] 另外,当所述导电插塞24未贯穿所述衬底21时,所述半导体器件的制造方法还可包括:将芯片(未图示)贴置于所述绝缘介质层22远离所述衬底21的一面上,所述芯片与所述键合结构29电连接。其中,所述芯片可以通过混合键合结构或者微凸点(未图示)与所述键合结构29电连接,所述芯片的种类不限。

[0078] 从上述内容可知,在后段将所述重布线导电结构23和所述导电插塞24电引出的工艺中,由于通过图案化所述掩膜层250以形成所述第一图形化的掩膜层25,所述第一图形化的掩膜层25具有暴露所述基底的第一开口251,所述第一开口251包括开口尺寸不同的第一部分2511和第二部分2512;并以所述第一图形化的掩膜层25为掩膜刻蚀所述基底,以使所述第一开口251的第二部分2512进入所述基底以在所述基底内形成所述第一开孔27;并且,通过整体去除部分厚度的所述第一图形化的掩膜层25以形成所述第二图形化的掩膜层26,并以所述第二图形化的掩膜层26为掩膜刻蚀所述基底,以使所述第二图形化的掩膜层26中的所述第二开口261进入所述基底以在所述基底内形成所述第二开孔28,使得在刻蚀形成所述第一开孔27和所述第二开孔28的过程中,仅需对所述基底进行刻蚀,并未涉及到还需刻蚀图1~图6所示的方法1中的底部抗反射层16以及图7~图14所示的方法2中的底部抗反射层16和刻蚀阻挡层111,因此,本发明的方法中并不会产生围栏缺陷和粗糙度增大的问题,从而使得形成所述第一开孔27和所述第二开孔28所采用的刻蚀工艺的参数可调整的范围增大,即工艺窗口增大。

[0079] 并且,当所述掩膜层250为光刻胶层时,由于采用半色调掩模板对所述光刻胶层执行曝光显影工艺以图案化所述光刻胶层后形成第一图形化的光刻胶层,且通过整体去除部分厚度的所述第一图形化的光刻胶层形成第二图形化的光刻胶层,使得只需执行一次曝光显影工艺即可制作得到所述第一开孔27和所述第二开孔28,相比图1~图6所示的方法1以及图7~图14所示的方法2,本发明的半导体器件的制造方法大幅降低了工艺成本。

[0080] 综上所述,本发明提供的半导体器件的制造方法,包括:提供一基底;形成掩膜层于所述基底上;图案化所述掩膜层以形成第一图形化的掩膜层,所述第一图形化的掩膜层具有暴露所述基底的第一开口,所述第一开口包括第一部分以及位于所述第一部分底部的第二部分,所述第一部分的开口尺寸大于所述第二部分的开口尺寸;以所述第一图形化的掩膜层为掩膜刻蚀所述基底,以使所述第一开口的第二部分进入所述基底以在所述基底内形成第一开孔;去除部分厚度的所述第一图形化的掩膜层以形成第二图形化的掩膜层,所

述第二图形化的掩膜层具有暴露所述基底的第二开口;以所述第二图形化的掩膜层为掩膜刻蚀所述基底,以使所述第二开口进入所述基底以在所述基底内形成第二开孔,其中,所述第一开孔位于所述第二开孔底部且与所述第二开孔连通。本发明的半导体器件的制造方法使得在后段将导电结构引出的工艺中,能够增大工艺窗口的同时且降低成本。

[0081] 本发明一实施例提供了一种半导体器件,所述半导体器件包括:采用所述的半导体器件的制造方法制造。

[0082] 所述半导体器件的制造方法参见上述内容,在此不再赘述。

[0083] 由于所述半导体器件采用所述的半导体器件的制造方法制造,使得在后段将导电结构引出的工艺中,能够增大工艺窗口的同时且降低成本。

[0084] 上述描述仅是对本发明较佳实施例的描述,并非对本发明范围的任何限定,本发明领域的普通技术人员根据上述揭示内容做的任何变更、修饰,均属于权利要求书的保护范围。

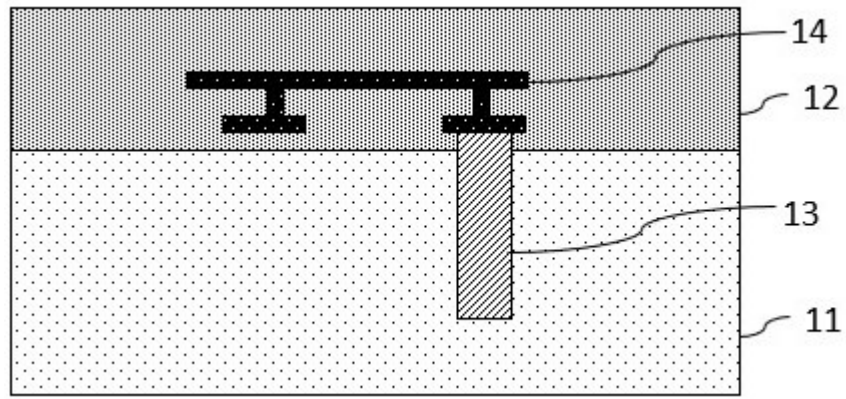


图 1

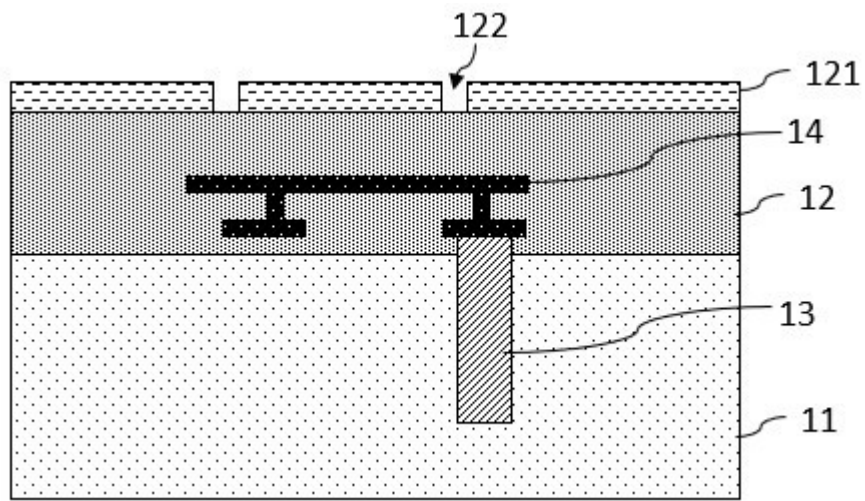


图 2

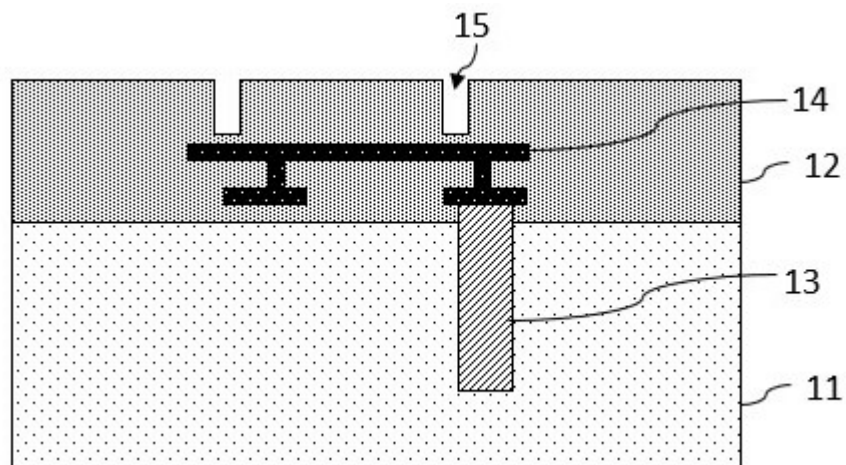


图 3

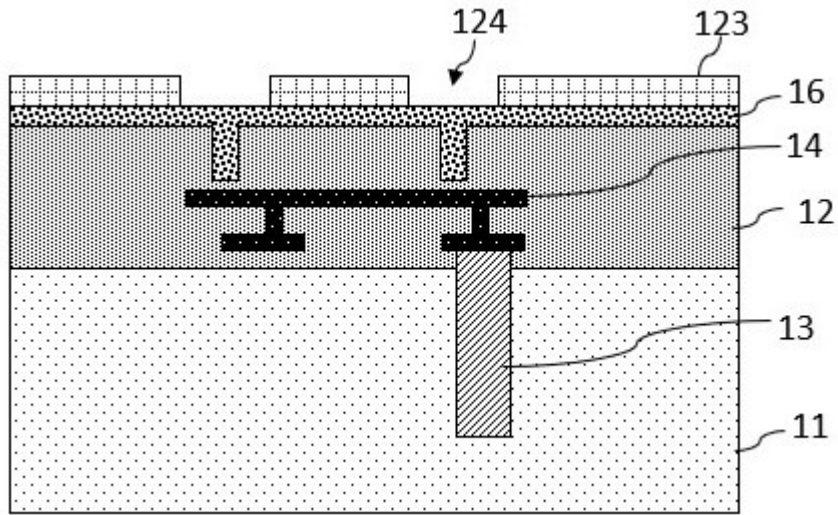


图 4

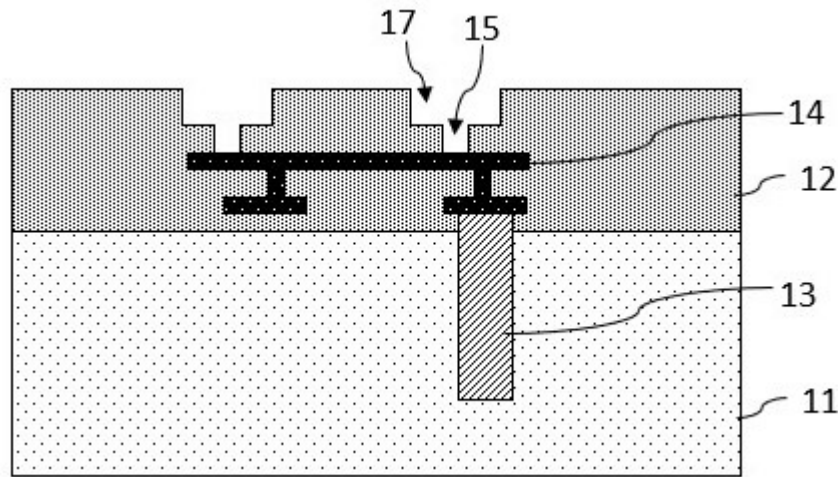


图 5

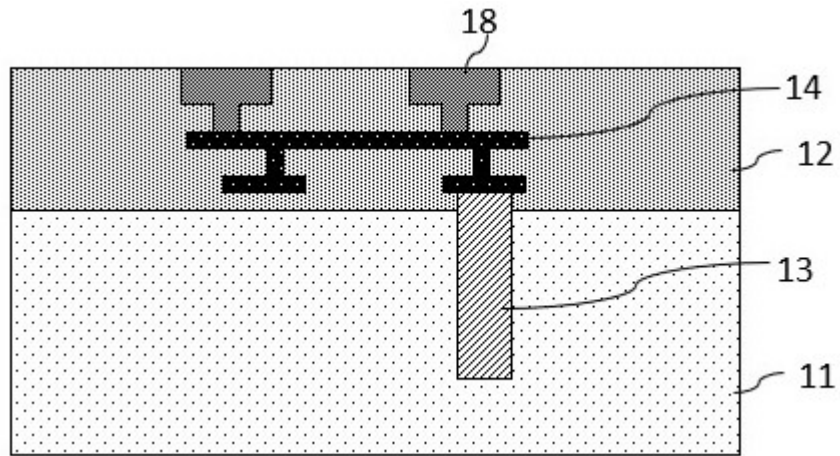


图 6

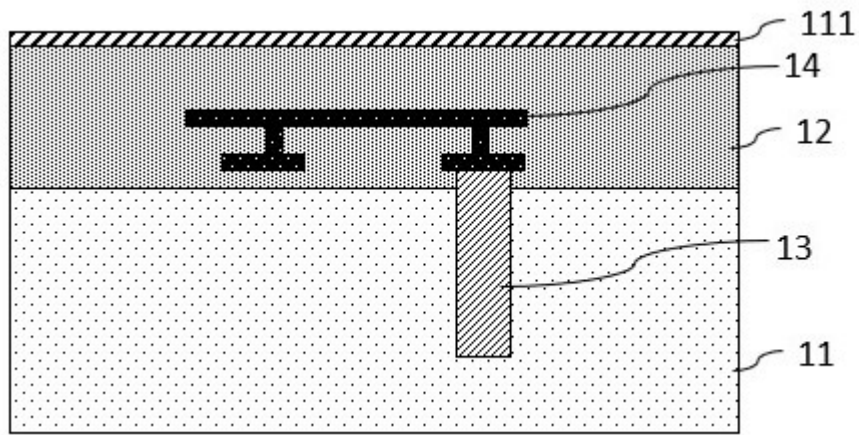


图 7

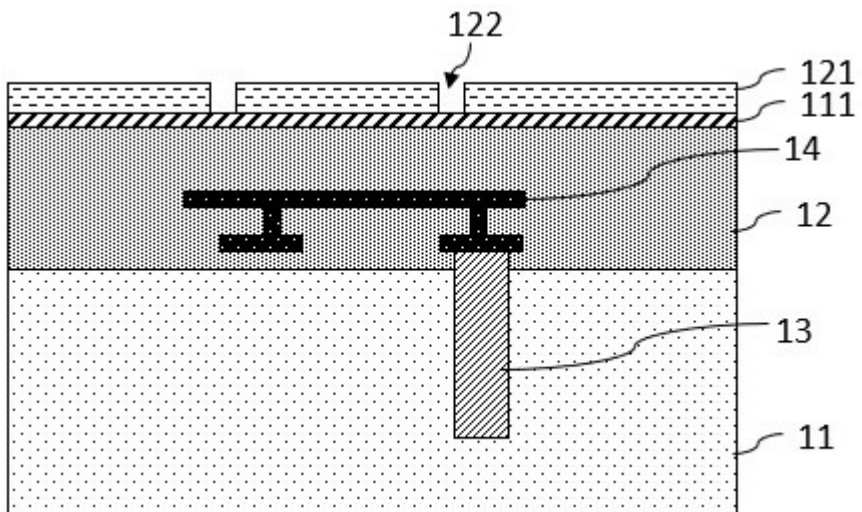


图 8

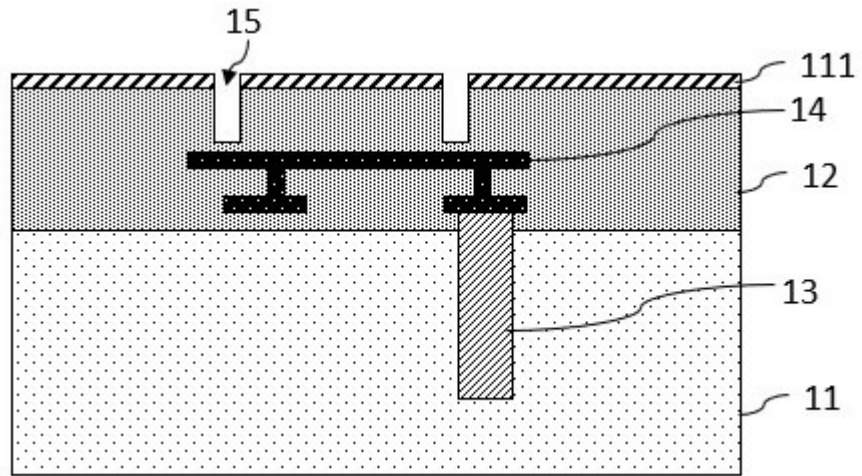


图 9

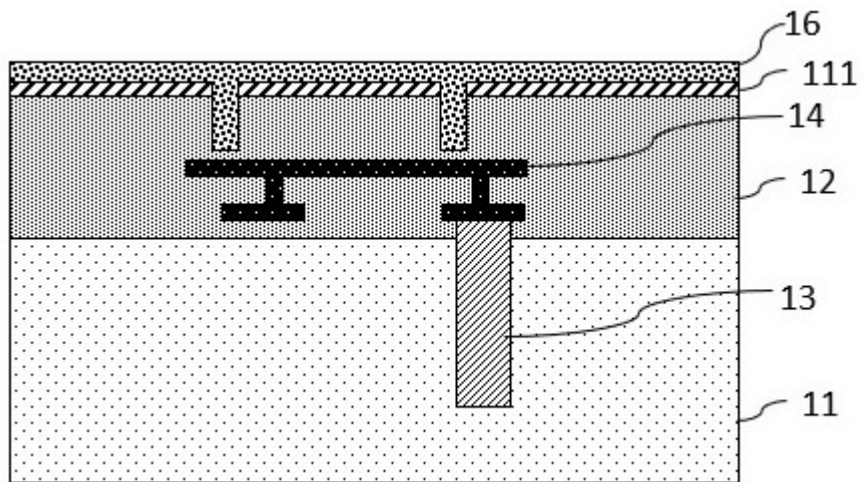


图 10

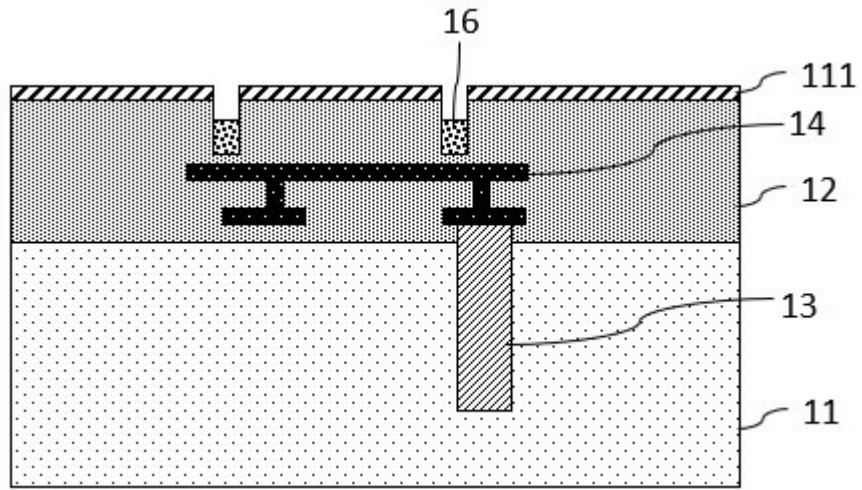


图 11

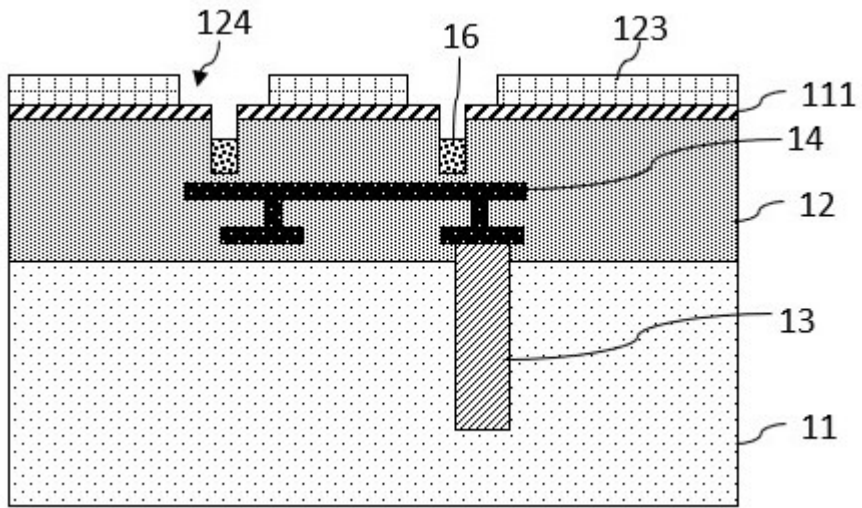


图 12

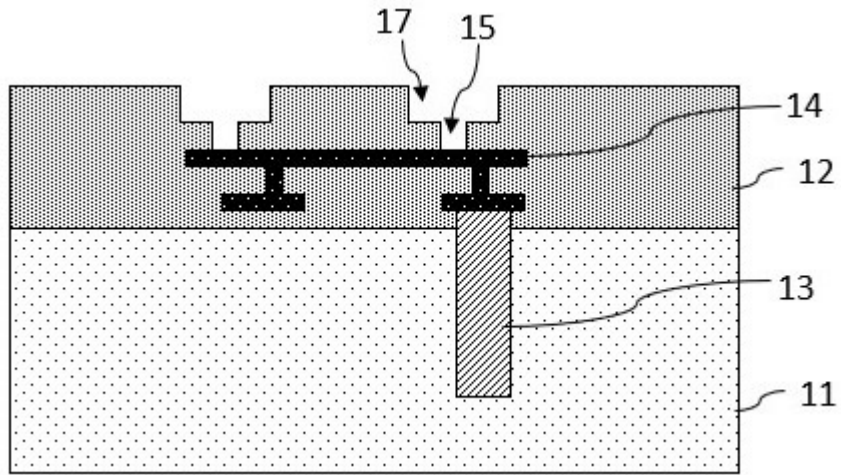


图 13

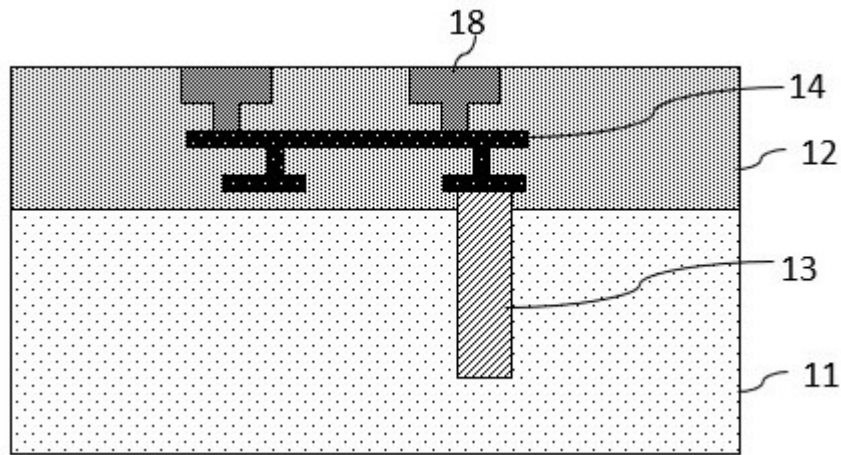


图 14

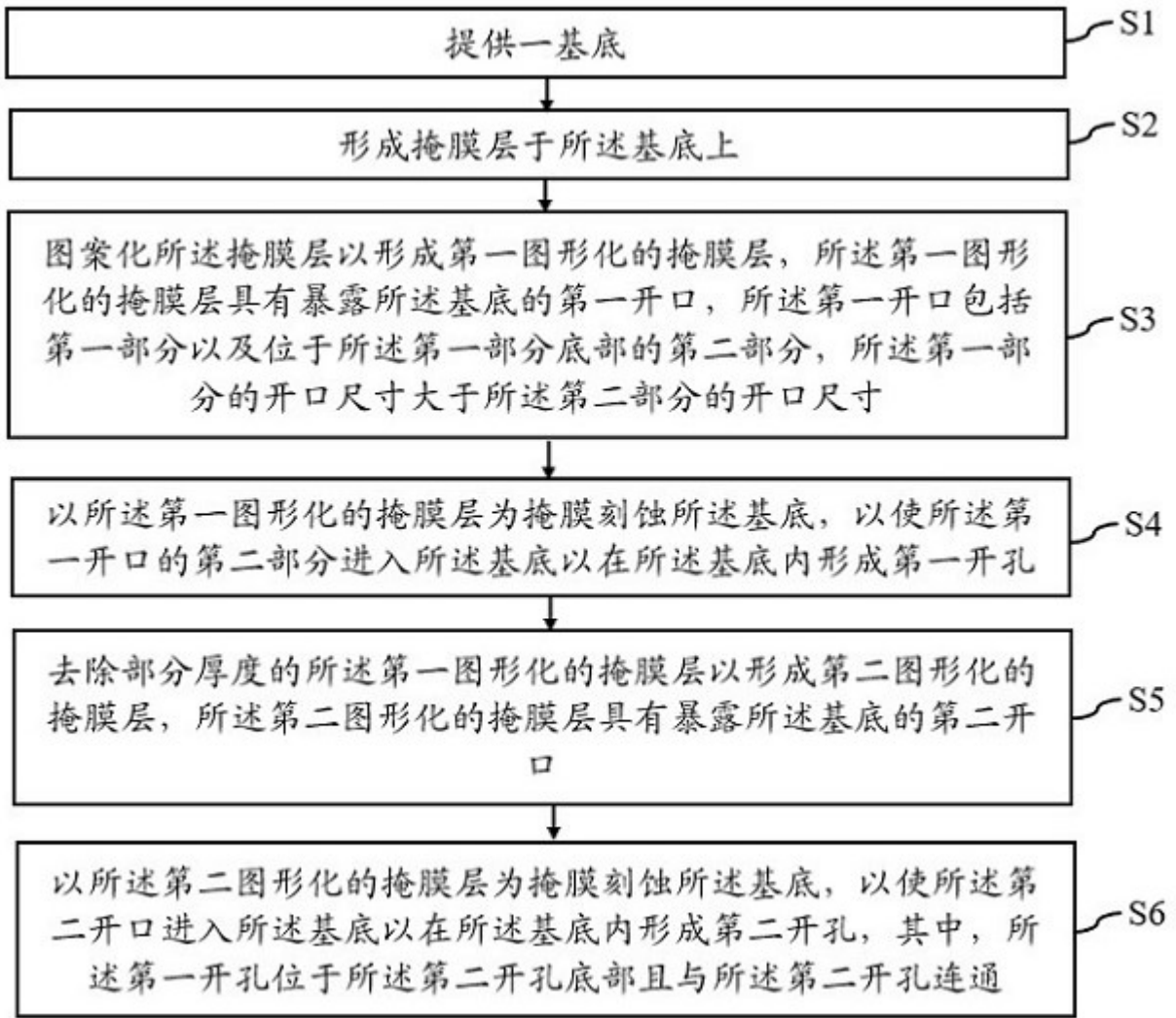


图 15

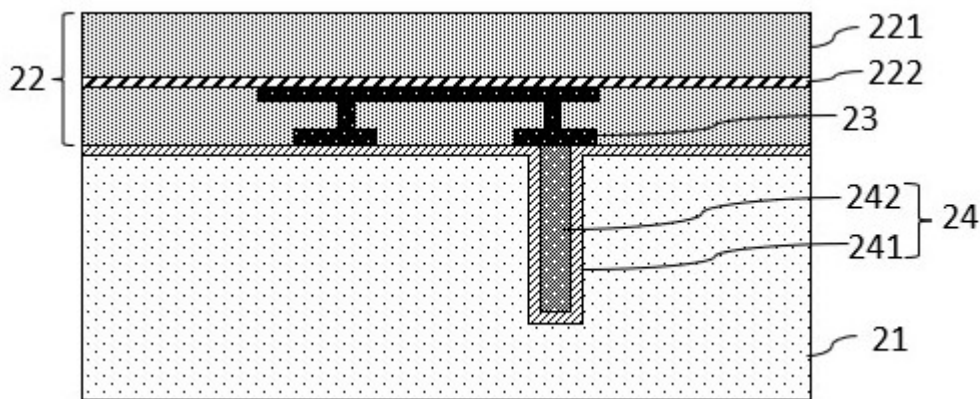


图 16

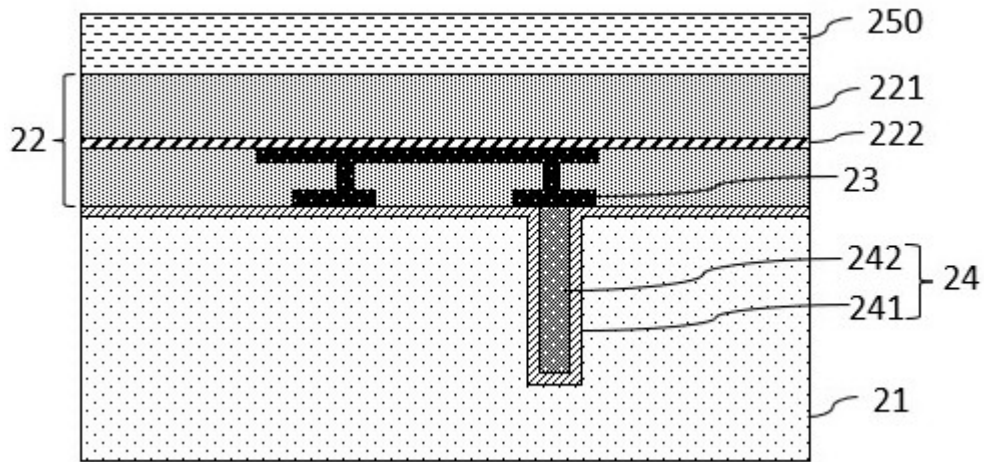


图 17

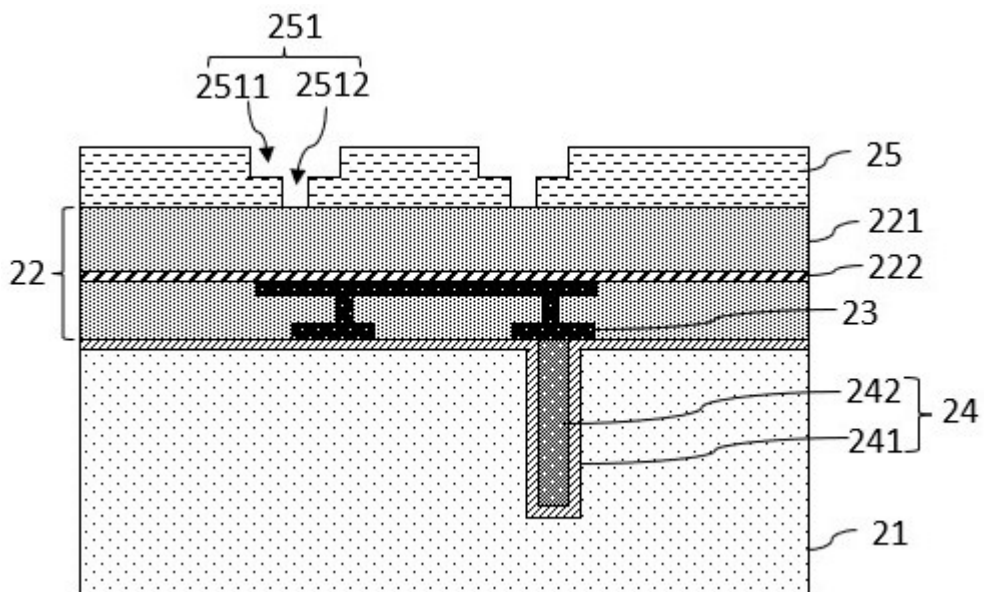


图 18

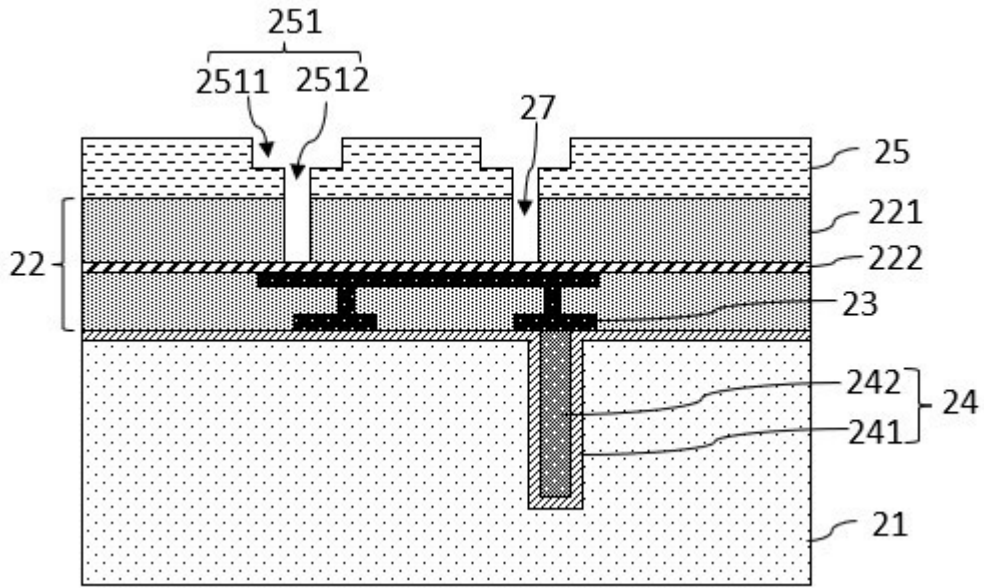


图 19

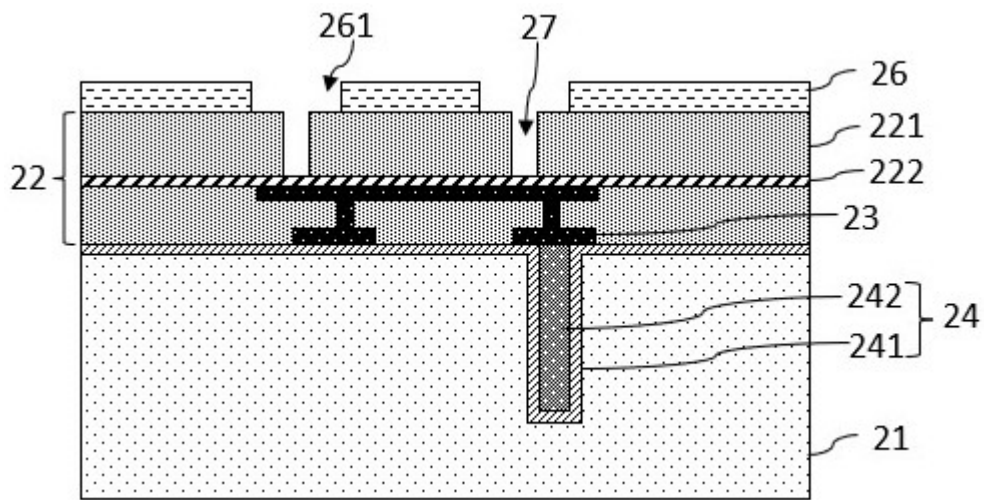


图 20

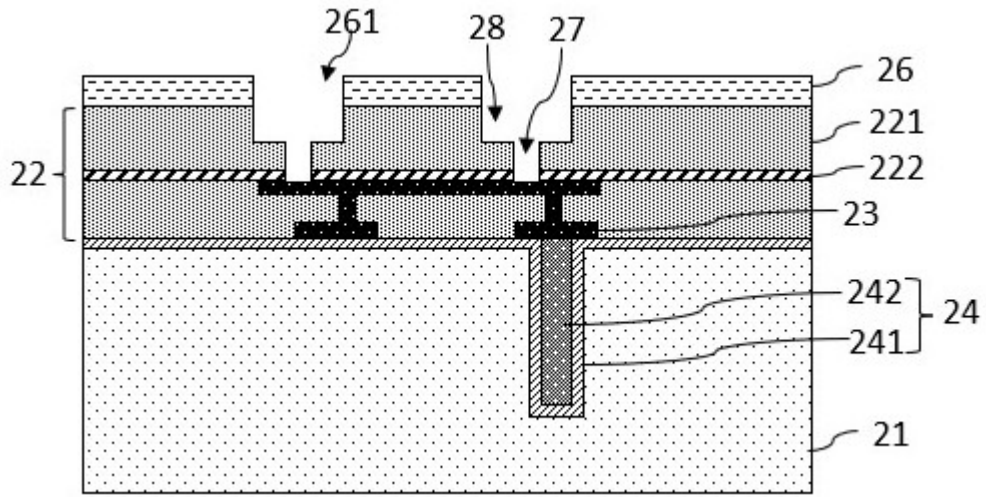


图 21

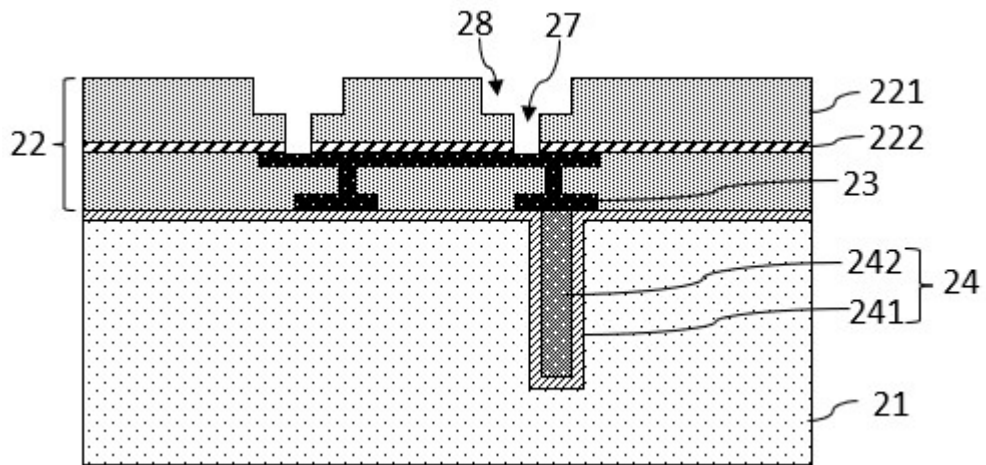


图 22

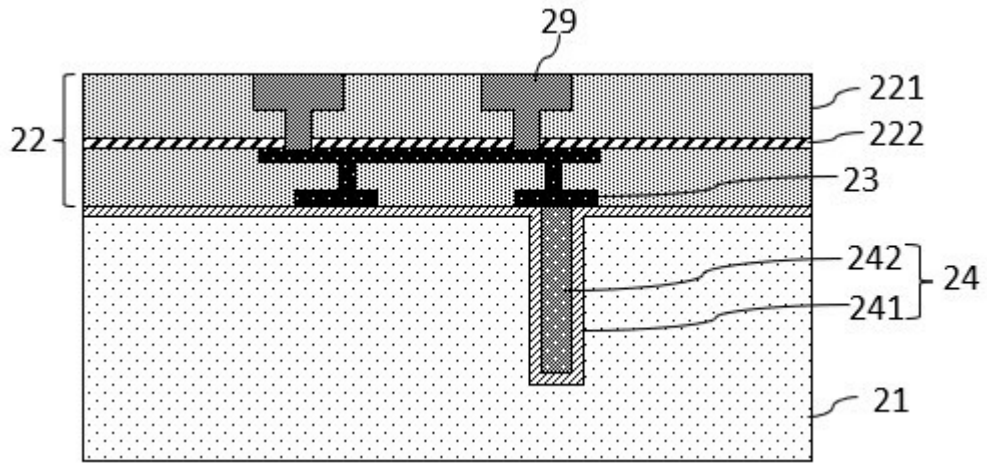


图 23