(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2004-254155
(P2004-254155A)
(43)公開日　平成16年9月9日(2004.9.9)

| (51)Int.Cl.[7] | F I | | テーマコード（参考） |
|---|---|---|---|
| H01P 3/02 | H01P 3/02 | | 5J011 |
| H01P 1/00 | H01P 1/00 | Z | 5J013 |
| H01P 1/22 | H01P 1/22 | | 5K029 |
| // H04L 25/02 | H04L 25/02 | V | |

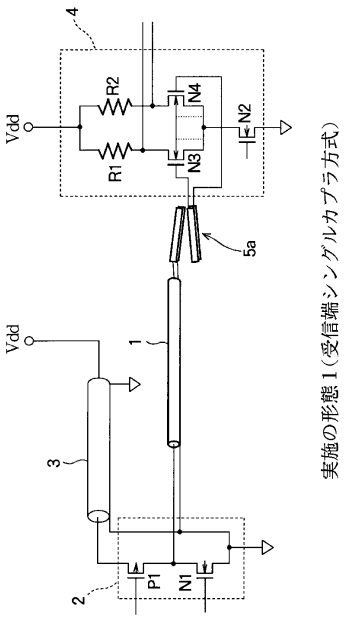
審査請求 有　請求項の数 29　OL　（全 31 頁）

(21)出願番号　特願2003-43652(P2003-43652)
(22)出願日　平成15年2月21日(2003.2.21)

(71)出願人　598042633
大塚　寛治
東京都東大和市湖畔２－１０７４－３８
(71)出願人　598168807
宇佐美　保
東京都国分寺市西町２－３８－４
(71)出願人　000000295
沖電気工業株式会社
東京都港区虎ノ門１丁目７番１２号
(71)出願人　000001889
三洋電機株式会社
大阪府守口市京阪本通２丁目５番５号
(71)出願人　000005049
シャープ株式会社
大阪府大阪市阿倍野区長池町２２番２２号
最終頁に続く

(54)【発明の名称】信号伝送装置および配線構造

(57)【要約】
【課題】ディジタル信号の伝送装置の消費電力を低減する。
【解決手段】ＲＣ遅延が無視できない配線を伝送線路構造にしたものであって、送端に入力されたディジタル信号を伝送する信号伝送線路１と、上記ディジタル信号を出力するインバータ構造のドライバ２と、上記ドライバに電源供給する伝送線路であって、上記ドライバのオン抵抗と上記信号伝送線路の特性インピーダンスの合計をドライブ可能な特性インピーダンスの電源グランドペア伝送線路３と、上記信号伝送線路の受端を介して入力された上記ディジタル信号を検知する差動アンプ構造のレシーバ４と、上記信号伝送線路の受端に設けられ、入力された上記ディジタル信号の直流成分を遮断し、広帯域交流成分を通過させる方向性カプラ５ａとを備える。方向性カプラを、上記信号伝送線路の送端と上記ドライバの間、または上記送端と上記ドライバの間および上記受端にそれぞれ設けることも可能である。
【選択図】　図１



【特許請求の範囲】
【請求項１】
ＲＣ遅延が無視できない配線を伝送線路構造にしたものであって、送端に入力されたディジタル信号を伝送する信号伝送線路と、
上記ディジタル信号を出力するインバータ構造のドライバと、
上記ドライバに電源供給する伝送線路であって、上記ドライバのオン抵抗と上記信号伝送線路の特性インピーダンスの合計をドライブ可能な特性インピーダンスの電源グランドペア伝送線路と、
上記信号伝送線路の受端を介して入力された上記ディジタル信号を検知する差動アンプ構造のレシーバと、
上記信号伝送線路の送端と上記ドライバの間または上記信号伝送線路の受端に設けられ、上記送端と上記ドライバの間および上記受端にそれぞれ設けられ、入力された上記ディジタル信号の直流成分を遮断し、広帯域交流成分を通過させる方向性カプラと
を備えた
ことを特徴とする信号伝送装置。
【請求項２】
請求項１記載の信号伝送装置において、
上記ドライバ内のトランジスタの配線から上記カプラおよび上記信号伝送線路を介して上記レシーバ内のトランジスタの配線あるいはゲート電極までが、全て金属で構成されている
ことを特徴とする信号伝送装置。
【請求項３】
請求項１記載の信号伝送装置において、
上記ドライバ内のトランジスタ配線から上記カプラおよび上記信号伝送線路を介して上記レシーバ内のトランジスタ配線までが、全て伝送線路を維持した配線構造になっている
ことを特徴とする信号伝送装置。
【請求項４】
請求項１記載の信号伝送装置において、
上記カプラは、それぞれ所定長のエネルギ入力側のペア線とエネルギ通過側のペア線とを所定の間隔で近接させ、それぞれのペア線を誘電率の異なる材料中に配置した構造である
ことを特徴とする信号伝送装置。
【請求項５】
請求項４記載の信号伝送装置において、
上記カプラは、上記エネルギ入力側のペア線を、上記エネルギ通過側のペア線および上記カプラの周辺配線が配置された絶縁材料よりも高誘電率の材料中に配置した構造である
ことを特徴とする信号伝送装置。
【請求項６】
請求項４記載の信号伝送装置において、
上記カプラは、上記エネルギ入力側のペア線を、上記エネルギ通過側のペア線および上記カプラの周辺配線が配置された絶縁材料よりも低誘電率の材料中または空気中に配置した構造である
ことを特徴とする信号伝送装置。
【請求項７】
請求項１記載の信号伝送装置において、
上記カプラが、上記受端と上記レシーバの間にのみ設けられていることを特徴とする信号伝送装置。
【請求項８】
請求項７記載の信号伝送装置において、
上記受端のカプラは、エネルギ入力側のペア線の終端およびエネルギ通過側のペア線の始端がいずれも浮遊した開放端であることを特徴とする信号伝送装置。

【請求項９】
請求項１記載の信号伝送装置において、
上記カプラが、上記ドライバと上記送端の間および上記受端にそれぞれ設けられていることを特徴とする信号伝送装置。
【請求項１０】
請求項９記載の信号伝送装置において、
上記受端のカプラが、上記受端と上記レシーバの間に設けられており、
上記送端のカプラと上記受端のカプラは、エネルギ入力側のペア線の終端およびエネルギ通過側のペア線の始端がいずれも浮遊した開放端である
ことを特徴とする信号伝送装置。
【請求項１１】
請求項９記載の信号伝送装置において、
上記レシーバが、上記受端に直接接続されており、
上記送端のカプラは、エネルギ入力側のペア線の終端およびエネルギ通過側のペア線の始端がいずれも浮遊した開放端であり、
上記受端のカプラは、エネルギ入力側のペア線の終端およびエネルギ通過側のペア線の始端がいずれも浮遊した開放端であり、上記エネルギ通過側のペア線の伝送方向の終端には多重反射防止の終端抵抗が挿入されている
ことを特徴とする信号伝送装置。
【請求項１２】
請求項１記載の信号伝送装置において、
上記カプラが、上記ドライバと上記送端の間にのみ設けられていることを特徴とする信号伝送装置。
【請求項１３】
請求項１１記載の信号伝送装置において、
上記送端のカプラは、エネルギ入力側のペア線の終端およびエネルギ通過側のペア線の始端がいずれも浮遊した開放端であり、
上記受端には、上記レシーバが直接接続されるとともに、多重反射防止の終端抵抗が伝送方向の終端に挿入されている
ことを特徴とする信号伝送装置。
【請求項１４】
請求項１１または１３に記載の信号伝送装置において、
上記受端のカプラおよび上記終端抵抗が、金属で構成されことを特徴とする信号伝送装置。
【請求項１５】
請求項１記載の信号伝送装置において、
上記ドライバは、同じＰウェル内に設けられた２つのＮＭＯＳトランジスタによって構成されたインバータである
ことを特徴とする信号伝送装置。
【請求項１６】
請求項１記載の信号伝送装置において、
上記ドライバは、
２つのＭＯＳトランジスタによって構成されたインバータと、
上記ＭＯＳトランジスタのドレイン・ソース間容量をそれぞれポンプアップおよびポンプダウンする２つのＭＯＳ反転バラクタと
を有する
ことを特徴とする信号伝送装置。
【請求項１７】
請求項１記載の信号伝送装置において、
上記レシーバの差動対になっている両入力トランジスタは、同じウェル内に設けられてお

り、
上記ウェルは、サブストレートから電気的に分離されている
ことを特徴とする信号伝送装置。
【請求項１８】
請求項２記載の信号伝送装置において、
上記レシーバの差動対になっている両入力ＭＯＳトランジスタのバックゲートが、電流制御ＭＯＳトランジスタのドレインに接続されていることを特徴とする信号伝送装置。
【請求項１９】
請求項１記載の信号伝送装置において、
上記レシーバは、差動対になっている両入力トランジスタの後段にラッチ回路を有することを特徴とする信号伝送装置。
【請求項２０】
請求項１記載の信号伝送装置において、
上記信号伝送線路は、送端から受端まで特性インピーダンスが同じ構造であることを特徴とする信号伝送装置。
【請求項２１】
請求項１記載の信号伝送装置において、
上記信号伝送線路は、同じ誘電率の均質な絶縁材料中に配置されていることを特徴とする信号伝送装置。
【請求項２２】
請求項１記載の信号伝送装置において、
上記信号伝送線路は、スタックトペア線路、ペアコプレーナ線路、またはガードコプレーナ線路である
ことを特徴とする信号伝送装置。
【請求項２３】
請求項１記載の信号伝送装置において、
上記信号伝送線路は、配線長をＬ、正弦波の波長をλ、配線の電磁波速度をｖ、配線に流れる最高クロックパルス周波数をｆとして、
Ｌ≧（１／４０）λ＝（１／４０）（ｖ／ｆ）
である
ことを特徴とする信号伝送装置。
【請求項２４】
請求項１記載の信号伝送装置において、
上記伝送線路は、そのペア線路の対抗面間隔をｄ、対抗面導体幅をｗ、隣接対抗面の導体厚みｔ、隣接間距離をｓとすると、
２ｗｄ＜ｔｓ
である
ことを特徴とする信号伝送装置。
【請求項２５】
請求項１記載の信号伝送装置において、
上記電源グランドペア伝送線路の特性インピーダンスを$Z_{0p}$、上記信号伝送線路の特性インピーダンスを$Z_{0s}$とし、上記電源グランドペア伝送線路からｎ本の上記ドライバに電気エネルギを供給するとき、
$Z_{0p} < Z_{0s}／n$
である
ことを特徴とする信号伝送装置。
【請求項２６】
請求項１記載の信号伝送装置において、上記ドライバ、信号伝送線路、上記カプラ、および上記レシーバが同じ半導体チップ内に設けられていることを特徴とする信号伝送装置。
【請求項２７】

請求項１記載の信号伝送装置において、
上記ドライバと上記レシーバとが、異なる半導体チップ内に設けられており、
上記信号伝送線路および上記カプラによる配線構造が、両チップ間に渡って配置されている
ことを特徴とする信号伝送装置。
【請求項２８】
請求項１記載の信号伝送装置において、
上記送端および上記受端のそれぞれに、上記ドライバおよび上記レシーバが分岐されて設けられており、上記ディジタル信号を双方向に伝送することを特徴とする信号伝送装置。
【請求項２９】
論理回路またはメモリ回路に設けられて、ディジタル信号を伝送する配線構造であって、
ＲＣ遅延が無視できない配線を伝送線路構造にしたものであって、ディジタル信号を伝送する信号伝送線路と、
上記信号伝送線路の送端または受端に設けられ、あるいは上記送端および上記受端にそれぞれ設けられ、上記ディジタル信号の直流成分を遮断し、広帯域交流成分を通過させる方向性カプラと
を備えた
ことを特徴とする配線構造。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、ディジタル（パルス）信号を伝送線路によって伝送する信号伝送装置に関し、特にディジタル信号を伝送する配線構造に関する。
【０００２】
【従来の技術】
ディジタル信号は、正弦波で表現でき（フーリエ級数）、直流成分から基本クロック周波数および高周波を含む複合波である。このようにディジタル信号は複合波であるため、これを伝送するのは、直流的にショートして伝送する伝送線路のみである。このため、従来のディジタル信号伝送装置は、伝送線路を介してドライバからレシーバまでを直流的に結線して伝送するものであった。このような構成は、広帯域波のディジタル信号には、単一周波数の正弦波あるいは狭帯域波の信号に用いられるフィルタ回路（ＬＣ回路）の適用が難しいことによるものである。
【０００３】
【特許文献１】
特開平１１－２８４１２６号公報
【特許文献２】
特開２０００－１７４５０５号公報
【特許文献３】
特開２００２－１２４６３５号公報
【非特許文献１】
Ｏｔｓｕｋａ，ｅｔ ａｌ，“Ｍｅａｓｕｒｅｍｅｎｔ Ｐｏｔｅｎｔｉａｌ Ｓｗｉｎｇ ｂｙ Ｅｌｅｃｔｒｉｃ Ｆｉｅｌｄ ｏｎ Ｐａｃｋａｇｅ Ｔｒａｎｓｍｉｓｓｉｏｎ Ｌｉｎｅｓ，” Ｐｒｏｃｅｅｄｉｎｇｓ ｏｆ ＩＣＥＰ，ｐｐ４９０－４９５，２００１．４，Ｏｒ，Ｋ．Ｏｔｓｕｋａ，ｅｔ．Ａｌ，“Ｍｅａｓｕｒｅｍｅｎｔ Ｅｖｉｄｅｎｃｅ ｏｆ Ｍｉｒｒｏｒ Ｐｏｔｅｎｔｉａｌ Ｔｒａｖｅｌｉｎｇ ｏｎ Ｔｒａｎｓｍｉｓｓｉｏｎ Ｌｉｎｅｓ，” Ｔｅｃｈｎｉｃａｌ Ｄｉｇｅｓｔ ｏｆ ５ｔｈ ＶＬＳＩ Ｐａｃｋａｇｉｎｇ Ｗｏｒｋｓｈｏｐ ｏｆ Ｊａｐａｎ，ｐｐ２７－２８，２０００．１２
【非特許文献２】
大塚寛治、須賀唯知「スタックトペア線路」、エレクトロニクス実装学会誌、Ｖｏｌ．４

，Ｎｏ．７，ｐｐ５５６－５６１，２００１．１１
【非特許文献３】
応用物理学会、「シリコンテクノロジー」、超高速多層配線技術の課題と展望特集、Ｎｏ．１５，２０００．２．１８（東大、山上会館）
【０００４】
【発明が解決しようとする課題】
しかしながら、上記従来の信号伝送装置では、ドライバからレシーバまでが直流的に結線されているため、基本クロック周波数および高周波とともに、直流成分も伝送され、その直流電流によって余計に電力が消費されるという課題があった。
【０００５】
本発明は、このような従来の課題を解消するためになされたものであり、直流成分の伝送による余計な消費電力の低減を図るものである。
【０００６】
【課題を解決するための手段】
本発明は、伝送線路の送端または受端、あるいは送端および受端に、ディジタル信号の直流成分を絶縁し、広帯域交流成分を通過させる方向性カプラを設け、広帯域交流成分のみを伝送することにより、消費電力の低減を実現するものである。
【０００７】
ＧＨｚ帯のパルスクロックを有するチップは、そのチップ内配線がＲＣ遅延で長くできず、リピータ回路が多用されるようになっている。ＲＣによる電力消費とリピータ回路の電力消費が無視できず、このエネルギが電源グランドの揺らぎを誘発して、論理回路の誤動作の原因となるだけでなく、電磁放射障害（ＥＭＩ）の原因となっている。さらには、電力を消費することで、モーバイル機器に使用する制限となるだけでなく、放熱構造を設けるという構造的複雑度を増すことになる。チップ内での長い配線は、機能ブロック間のコミュニケーションバスが主体である。本発明は、このようなバスを主体的に取り上げたものである。
【０００８】
バスのドライバには、例えばＣＭＯＳインバータが基本回路として使用される。本発明は、このような最も単純なインバータやバッファで構成したドライバを使用し、何らの新しい回路や新しい製造プロセスを必要としないで、かつ技術の進歩とともに不変的に適用できるものである。
【０００９】
チップ内の機能ブロック間の配線には、例えば分布定数回路的に取り扱われる伝送線路が使用されている。もしも電源が完全であれば、この伝送線路の長さのみが遅延時間を支配し、あるビット幅（例えば６４［ビット］）の信号のクロックに対するスキューのほとんどない設計が可能になるだけでなく、クロック配線もＨツリー伝送線路化で数［ｐｓ］以下のスキューで分配が可能である。本発明は、当然にこの伝送線路を使用する。
【００１０】
理想的な伝送線路は、電磁エネルギがその中に閉じ込められているため、ＲＣ遅延で現れる積分回路的な鈍りは０となる。線路の直流抵抗分だけ最大振幅がオームの法則に従って低くなるが、波形の鈍りがないため、その遅延はほとんど無視できるだけでなく、ビット幅の線路が同じ構造と寸法であれば事実上のスキューは０となる。
【００１１】
しかし、電源の供給力とグランドの吸引力がそれぞれのインバータで異なっていれば、その電源能力に応じたインバータスイッチしかできず、波形が個々に違ったものになり、スキューを伴うことになるだけでなく、余分な高調波が乗り、共振による特異現象が起こることになる。このため、電源グランドには、例えばこれらをペアにした伝送線路（電源グランドペア伝送線路）が使用される。
【００１２】
本発明の第１の要点は、ＲＣ遅延が無視できない長い配線を伝送線路構造にするだけでは

なく、ドライバトランジスタのオン抵抗を高くし、それに見合う特性インピーダンスの電源グランドペア伝送線路を使用することにある。

【００１３】

伝送線路は、パイプの太さが決められた水道パイプのようなもので、不連続点においてエネルギ反射が起こる。不連続点で反射して戻ったエネルギが戻り側にある不連続点で再び反射して多重反射を繰り返し、共振などを起こすと、全く想像がつかないような波形となってしまう。

【００１４】

本発明の第２の要点は、ディジタル信号を伝送する伝送線路（信号伝送線路）が、始端（送端）から終端（受端）まで同じパイプの太さ、つまり始端から終端まで特性インピーダンスが同じ構造であることを前提とし、直流電流を遮断しながら反射防止の工夫がなされていることにある。

【００１５】

公知の反射防止方法には４つの方法がある。第１の方法は、基板でよく用いられているダンピング抵抗をドライバ端に挿入する方法である。第２の方法は、ドライバのオン抵抗を伝送線路の特性インピーダンスと同じに設計する方法である。第３の方法は、双方向バス構造にあって両サイドのドライバのオン抵抗を伝送線路のそれと同じにする方法（付随的に両サイドにダンピング抵抗を挿入した構造も含む）である。第４の方法は、理想的なものであり、整合した終端抵抗を伝送線路の終端に設ける方法であるが、常にオン電流が流れる欠点を有していて、従来嫌われていた方法である。これらの反射防止方法を、実装基板上ではなく、チップ内部バスに使用することが上記第２の要点の具体的要点である。さらに、本発明は、上記４つの反射防止方法に加え、第５の反射防止方法として、カプラを介して終端抵抗を伝送線路の終端に設ける方法を提案する。

【００１６】

本発明の第３の要点は、ドライバから配線につながり、さらに配線からレシーバにつながる構造を、その出発点から終端点まで、電磁波速度で伝送することができる完全な伝送線路とし、その伝送線路の両端が直流的に遮断されていることである。

【００１７】

上記第３の要点についての２つの具体的要点を以下に説明する。金属は電磁波速度で信号が伝送されるが、半導体はキャリアの移動度で信号が伝送されて電磁波速度とならない。このため、第１の具体的要点は、トランジスタのコンタクト部から出た線路の全てを金属で構成し、ポリシリコンや例えばシリサイドなどの金属化合物を使用しないことである。要すれば、ゲート電極も金属であることが望ましい。デバイス平面構造と配線層構造の設計ガイドは、電磁波速度で伝送することができる伝送線路ありきから出発するもので、トランジスタ配置はそれに従属するものである。上記第３の要点についての第２の具体的要点は、伝送線路の片端または両端が方向性カプラでドライバ端またはレシーバ端につながっていることである。

【００１８】

これら２つの具体的要点により、１０［ｍｍ］の長さの配線で数１０［ＧＨｚ］の周波数を伝送ことができ、インバータやバッファのスイッチング能力の将来に対して十分対応できるバスシステムが構築できる。

【００１９】

【発明の実施の形態】

図１は本発明の実施の形態１（受信端シングルカプラ方式）の構成図、図２は本発明の実施の形態２（ダブルカプラ方式）の構成図、図３は本発明の実施の形態３（終端抵抗型ダブルカプラ方式）の構成図、図４は本発明の実施の形態４（送信端シングルカプラ方式）の構成図、図５は本発明の実施の形態５の構成図である。

【００２０】

図１の実施の形態１（受信端シングルカプラ方式）の信号伝送装置は、信号伝送線路１と、ドライバ２と、電源グランド伝送線路３と、レシーバ４と、方向性カプラ５ａとを備え

ている。
【００２１】
実施の形態１の信号伝送装置では、ドライバ２は信号伝送線路１の送端に直接接続されており、信号伝送線路１とレシーバ４の間には方向性カプラ５ａが挿入されている。
【００２２】
信号伝送線路１は、ＲＣ遅延が無視できない長いペア配線を伝送線路構造にしたものであって、送端から受端にディジタル信号を伝送する。
【００２３】
ドライバ２は、ＰＭＯＳトランジスタＰ１とＮＭＯＳトランジスタＮ１とによって構成されたＣＭＯＳインバータである。電源側ＰＭＯＳトランジスタＰ１およびグランド側ＮＭＯＳトランジスタＮ１のゲート電極には、信号伝送線路１をドライブするディジタル信号が入力される。Ｐ１およびＮ１のドレイン電極（ドライバ２の出力）は、信号伝送線路１の信号側配線の送端に接続されている。また、Ｎ１のソース電極は、ＬＳＩチップのサブストレートグランド（基準グランド）に接続されるとともに、信号伝送線路１のグランド側配線の送端に接続されている。
【００２４】
電源グランドペア伝送線路３は、ドライバ２から電源Ｖｄｄの元電源回路または近接したバイパスキャパシタまでに配置された伝送線路であって、ドライバ２に電源を供給する。電源グランドペア伝送線路３の電源側配線の両端は、ドライバ２の電源側ＰＭＯＳトランジスタＰ１のソース電極、および元電源回路またはバイパスキャパシタの電源側端子にそれぞれ接続されており、電源グランドペア伝送線路３の他方の配線は、ＬＳＩチップのサブストレートグランド（基準グランド）になっている。つまり、電源グランドペア伝送線路３のグランド側配線の両端は、ドライバ２の配置位置、および元電源回路またはバイパスキャパシタの配置位置において、それぞれ基準グランドに接続されている。
【００２５】
レシーバ４は、ＮＭＯＳトランジスタＮ２，Ｎ３，Ｎ４と、抵抗Ｒ１，Ｒ２とを有する。差動対を構成する入力ＮＭＯＳトランジスタＮ３，Ｎ４のドレイン電極は、それぞれ抵抗Ｒ１，Ｒ２を介して電源Ｖｄｄに接続されている。また、電流制御ＮＭＯＳトランジスタＮ２のドレイン電極は、Ｎ３およびＮ４のソース電極に接続されており、Ｎ２のソース電極は、ＬＳＩチップのサブストレートグランド（基準グランド）に接続されている。
【００２６】
カプラ５ａは、それぞれ所定長のエネルギ入力側ペア線とエネルギ通過側ペア線とを近接させ、それぞれのペア線を誘電率の異なる材料中に配置した小型で簡単な構造であって、入力されたディジタル信号の直流成分を遮断し、広帯域交流成分を通過させる。カプラ５ａのエネルギ入力側ペア線の始端は信号伝送線路１の送端に接続されており、終端は浮遊した開放端になっている。また、カプラ５ａのエネルギ通過側ペア線の終端はレシーバ４の入力ＮＭＯＳトランジスタＮ３，Ｎ４のゲート電極にそれぞれ接続されており、始端は浮遊した開放端になっている。
【００２７】
図２の実施の形態２（ダブルカプラ方式）の信号伝送装置は、信号伝送線路１と、ドライバ２と、電源グランド伝送線路３と、レシーバ４と、方向性カプラ５ａ，５ｂとを備えている。なお、図２において、図１と同じものには同じ符号を付してある。
【００２８】
実施の形態２の信号伝送装置では、ドライバ２と信号伝送線路１の送端の間に方向性カプラ５ｂが挿入されており、信号伝送線路１とレシーバ４の間に方向性カプラ５ａが挿入されている。つまり、この実施の形態２は、上記実施の形態１において、ドライバ２と送端の間に方向性カプラ５ｂを設けたものである。
【００２９】
カプラ５ｂは、例えばカプラ５ａと同様の小型で簡単な構造である。カプラ５ｂのエネルギ入力側ペア線の始端はドライバ２の出力および基準グランドに接続されており、終端は

浮遊した開放端になっている。また、カプラ５ｂのエネルギ通過側ペア線の終端は信号伝送線路１の送端に接続されており、始端は浮遊した開放端になっている。

【００３０】

図３の実施の形態３（終端抵抗型ダブルカプラ方式）の信号伝送装置は、信号伝送線路１と、ドライバ２と、電源グランド伝送線路３と、レシーバ４と、方向性カプラ５ｂ，５ｃと、終端抵抗６ａとを備えている。なお、図３において、図１と同じものには同じ符号を付してある。

【００３１】

実施の形態３の信号伝送装置では、ドライバ２と信号伝送線路１の送端の間には方向性カプラ５ｂが挿入されており、レシーバ４は信号伝送線路１の受端に直接されている。また、信号伝送線路１の受端には、方向性カプラ５ｃが設けられており、この方向性カプラ５ｃのエネルギ通過側ペア線の終端には、終端抵抗６ａが挿入されている。

【００３２】

カプラ５ｃは、例えばカプラ５ａと同様の小型で簡単な構造である。カプラ５ｃのエネルギ入力側ペア線の始端は信号伝送線路１の受端に接続されており、終端は浮遊した開放端になっている。また、カプラ５ｃのエネルギ通過側ペア線の終端間には終端抵抗６ａが設けられており、始端は浮遊した開放端になっている。

【００３３】

図４の実施の形態４（送信端シングルカプラ方式）は、信号伝送線路１と、ドライバ２と、電源グランド伝送線路３と、レシーバ４と、方向性カプラ５ｂと、終端抵抗６ｂとを備えている。なお、図４において、図３と同じものには同じ符号を付してある。

【００３４】

実施の形態４の信号伝送装置では、上記実施の形態３と同様に、ドライバ２と信号伝送線路１の送端の間には方向性カプラ５ｂが挿入されており、レシーバ４は信号伝送線路１の受端に直接されている。しかし、この実施の形態４では、信号伝送線路１の受端には方向性カプラが設けられておらず、信号伝送線路１の受端（終端）には、終端抵抗６ｂが挿入されている。

【００３５】

図５の実施の形態５は、信号伝送線路１と、ドライバ１２と、電源グランド伝送線路３と、レシーバ１４と、方向性カプラ５ｂ，５ｃと、終端抵抗６ａとを備えている。なお、図５において、図３と同じものには同じ符号を付してある。

【００３６】

ドライバ１２は、インバータを構成するＮＭＯＳトランジスタＮ１１，Ｎ１２と、ＮＭＯＳ反転バラクタＢ１，Ｂ２と、抵抗Ｒ１０とを有する。電源側ＮＭＯＳトランジスタＮ１１およびグランド側ＮＭＯＳトランジスタＮ１２のゲート電極には、信号伝送線路１をドライブする差動ディジタル信号がそれぞれ入力される。Ｎ１１のソース電極およびＮ１２のドレイン電極は、ドライバ１２の出力として信号伝送線路１の信号側配線の送端に接続されている。また、Ｎ１１のドレイン電極は、抵抗Ｒ１０を介して電源グランドペア伝送線路３の電源側配線に接続されており、Ｎ１２のソース電極は、ＬＳＩチップのサブストレートグランド（基準グランド）に接続されている。Ｂ１のソース電極およびドレイン電極は、Ｎ１１のドレイン電極に接続され、Ｂ１のゲート電極は、Ｎ１２のゲート電極に接続されている。また、Ｂ２のソース電極およびドレイン電極は、Ｎ１２のソース電極に接続され、Ｂ２のゲート電極は、Ｎ１１のゲート電極に接続されている。

【００３７】

レシーバ１４は、ＮＭＯＳトランジスタＮ２，Ｎ３，Ｎ４と、抵抗Ｒ１，Ｒ２と、ラッチ回路Ｆ１とを有する。このレシーバ１４は、図３のレシーバ４において、差動対を構成する入力ＮＭＯＳトランジスタＮ３，Ｎ４の後段にラッチ回路Ｆ１を設けたものである。

【００３８】

比較的長いチップ内配線のＲＣ遅延を防止する方法としては、例えば上記非特許文献３に記載の方法がある。上記非特許文献３では、ＲＣ遅延が無視できない長い配線（グローバ

ル配線）は、配線長を$L_{Global}$、正弦波（基本波）の波長をλ、その配線の電磁波速度をｖ、その配線に流れる最高クロックパルス周波数をｆとして、
$L_{Global} \geqq （１／４０）\lambda = （１／４０）（ｖ／ｆ）$…（１）
によって定義される。

【００３９】

上記（１）式の電磁波速度ｖは、$c_0$を真空中の光の速度、$\mu_r$を線路空間を囲む絶縁材料の比透磁率、$\varepsilon_r$を上記絶縁材料の比誘電率として、
$v = c_0 / \sqrt{(\mu_r \varepsilon_r)}$…（２）
で表される。

【００４０】

図６はパルス（ディジタル）信号を説明する図である。上記（１）式の係数「１／４０」の意味を図６を用いて以下に説明する。図６に示すように、パルス（ディジタル）信号は、基本波（正弦波）とともに高調波（正弦波）を含む複合波であり、基本波に対して３倍の高調波と５倍の高調波を加算すると概略のパルスになり、さらに７倍，９倍，１１倍の高調波を加算するとほぼ完全なパルスとなる。逆に、パルスはそのパルス周波数よりも１桁高い正弦波の高調波までを含む複合波であると言るため、１［ＧＨｚ］のパルスであれば、１０［ＧＨｚ］の高調波までを考慮の対象とする必要がある。また、共振は、音叉のように（１／４）λが最小共振周波数となる。

【００４１】

従って、１［ＧＨｚ］のパルスであれば、信号配線の長さが１０［ＧＨｚ］の正弦波の波長（１／１０）λの１／４の波長である（１／４０）λ以上の場合は、分布定数回路として取り扱う伝送線路にしなくてはならないことになる。なお、上記非特許文献３では、（１／４０）λの長さに安全度αを考慮した長さ（１／４０）λ－αの配線を、従来の集中定数回路で取り扱う配線（ローカル配線）の限界としている。

【００４２】

本発明は、上記（１）式によって定義されるグローバル配線（ＲＣ遅延が無視できない周波数と構造を有する信号配線）と、そのドライバおよびレシーバに関するものである。また、クロック周波数は、例えば数１０［ＧＨｚ］までのＧＨｚ帯を対象とする。

【００４３】

図７はチップ内のグローバル配線の最小値（チップ内配線の周波数に対する伝送線路にすべき長さの最小値）を示す図である。図７では、パルス周波数ｆおよび電磁波速度ｖごとに、グローバル配線の最小値を示してある。

【００４４】

電気エネルギを伝えるには、例えば家庭用電力線のように、基本的に２本の線路が必要である。この線路は、水道パイプの太さに比例すると同様なコンダクタンスを持っている。このコンダクタンスの逆数は、特性インピーダンス$Z_0$である。

【００４５】

その太さの物理は、線路中の単位長さあたりのインダクタンス$L_0$とキャパシタンス$C_0$に蓄えられるエネルギに相当するものである。周波数に応じてこのエネルギを出し入れする回数が多くなるため、交流の抵抗であるインピーダンスＺとなる。このインピーダンスＺは、直流抵抗やペア線路間の漏洩コンダクタンスのような熱エネルギに変換する要素と異なり、エネルギを失わないで時間遅れで放出することから、虚数として取り扱う。このインピーダンスＺは、
$Z = j\omega L_0$…（３ａ）
$Z = 1 / (j\omega C_0)$…（３ｂ）
と表すことができる。

【００４６】

上記（３ａ），（３ｂ）式に示すように、線路中で単位長さあたり２つの要素が同時に存在するため、その２乗平均が線路の特性インピーダンス$Z_0$となり、特性インピーダンス$Z_0$は、

$Z_0 = \sqrt{(j\omega L_0 / j\omega C_0)} = \sqrt{(L_0 / C_0)}$ …（４）
で表される。
【００４７】
上記（４）式に示すように、虚数ｊと角周波数ωと単位長さという３つの項が消えて、特性インピーダンス$Z_0$は、長さの規定も周波数依存性もない実数ということになる。短い線路でも、無限に長い線路でも特性インピーダンス$Z_0$は同じであるという特殊な物理概念となる。端的に言えば、特性インピーダンス$Z_0$は、線路の間口の太さを決めているだけに過ぎないということになる。
【００４８】
集中定数回路の理論での普遍的な誤解は、線路もＬＣのネットであるため、ＬＣネットを分布定数的に配慮する必要があるとして、ＲＣ遅延の問題を本質的に回避できないとしていることである。伝送線路はＲＣ遅延とは全く異なった電磁現象物理の世界であり、ＲＣ遅延は回避できるということを理解したい。
【００４９】
本発明は、チップ内にあるいはチップ間に渡ってグローバル配線を有する回路全体を伝送線路とし、エネルギ伝達に支障のない構成を構築するもの、比喩で表すならば河川からの取り込み経路を含む水道局のパイプ・バルブシステム（伝送線路・トランジスタシステム）を構築するものである。
【００５０】
図８は従来のディジタル信号伝送回路（シングルエンド型）の構成図である。図８において、信号線は１本しか配線されていないが、電気エネルギを通すためには物理原則として、絶対に２本の線が必要で、意識されていないグランド線か電源線がこの役割を果たしている。
【００５１】
図９は従来の他のディジタル信号伝送回路（差動型）の構成図である。図９の従来回路は、高速伝送に適していると言われており、近年多く取り入れられている差動信号を高速で伝送する回路であって、図９（ａ）はＣＭＬ（Ｃｕｒｒｅｎｔ Ｍｏｄｅ Ｌｏｇｉｃ）型差動回路、図９（ｂ）はＬＶＤＳ（Ｌｏｗ Ｖｏｌｔａｇｅ Ｄｉｆｆｅｒｅｎｔｉａｌ Ｓｉｇｎａｌｉｎｇ）型差動回路である。
【００５２】
差動信号は、本来エネルギ的にはペア線路を形成するものであるが、図９の従来回路では、装置間の基準電圧レベルを合わせるためにグランドを参照した伝送線路となっている。３相交流的な配線となっているため、そのカップリング係数を意識した終端抵抗を配置しなければならないが、これがうまく守られていない場合が多い。これらの差動回路の大きな欠点は、トランジスタ特性ばらつきのために、差動信号そのものにスキューが存在することで、遷移時に大きなスパイク電流を伴うことになり、ＥＭＩの問題を生じることである。さらに、トランジスタ数が２倍になるという欠点もある。
【００５３】
本発明は、図８に示す従来のシングルエンド信号を、差動で動作させる単純な構造を提案し、この単純な構造を用いてエネルギ伝達に支障のない構成を構築するものである。
【００５４】
図１から図５までに示す本発明の実施の形態において、方向性カプラ５（５ａ，５ｂ，５ｃ）は、直流電流を遮断し、広帯域の交流電流を通過させながら、多重反射を防止するために工夫された回路である。
【００５５】
図１の実施の形態１（受信端シングルカプラ方式）は、最も単純な回路構成であり、信号伝送線路１にチャージする電流が流れる。しかしながら、信号伝送線路１の終端は、カプラ５ａの入力端（エネルギ入力側）と出力端（エネルギ通過側）の両者ともに解放であり、保持するための直流電流は流れない。カプラ出力端では移動した電気エネルギがそのまま逃げ道がなく、メモリのごとくチャージを保持する。信号伝送線路１が短いときは、こ

の実施の形態１の構成が理想である。

【００５６】

図２の実施の形態２（ダブルカプラ方式）は、信号伝送線路１が長いときに、信号伝送線路にチャージする直流電流をできるだけ少なくする回路方式である。信号伝送線路１の送端に設けた方向性カプラ５ｂによって信号伝送線路および受信回路に直流成分が流れることを防止し、広帯域の交流成分のみを信号伝送線路１にエネルギとして流す回路工夫である。信号伝送線路は電磁波を一方向に移送する役目だけをつかさどり、信号伝送線路内に電荷を充満することがない。レシーバ４は、実施の形態１と同様に、メモリのようにチャージを保持することができる。

【００５７】

図３の実施の形態３（終端抵抗型ダブルカプラ方式）は、遷移信号のエネルギのみでレシーバ４を動作させ、反転信号でレシーバ４を反動させる回路方式である。カプラ５ｃの出力端（エネルギ通過側）に終端抵抗６ａが挿入されており、この終端抵抗によって電荷が瞬時放電されることから、反転時のエネルギ衝突が避けられる（遷移エネルギの発熱が均質化される）。

【００５８】

図４の実施の形態４（送信端シングルカプラ方式）は、実施の形態３において、信号伝送線路１が光速性能に良質なときの簡易な回路方式である。信号伝送線路１の送端に設けられたカプラ５ｂは、例えば１００［ＭＨｚ］から数１０［ＧＨｚ］までの高周波を通す平滑なハイパスフィルタである。

【００５９】

実施の形態１から４までにおいて、図８の従来回路と同様のインバータ１段のドライバ２から出力される信号は、グランド線とセットになって信号伝送線路１を形成し、伝送するときは信号線とグランド線には相補信号が通ることになる（非特許文献１，２参照）。そのインピーダンスは、例えば５０［Ω］から７５［Ω］である。このことは、実施の形態５のドライバ１２についても同様である。

【００６０】

インバータ内では、グランドは、ＬＳＩのサブストレートグランド（基準グランド）である。そこを出発したグランド線は、伝送中に信号線とカップリングして、基準グランドとは異なる相補信号となって、独立した動きとなる。この物理は、電磁波伝送に基づくものであり、集中定数回路では生まれない概念である。この信号線の信号およびグランド線の相補信号は、信号伝送線路１の受端終端では差動信号であり、差動レシーバで受けることができる。

【００６１】

信号伝送線路１が電磁気的に閉じていれば伝送中のノイズは防止できるが、要すれば、レシーバ４および１４の差動対の入力ＭＯＳトランジスタＮ３，Ｎ４は、同じウェル構造の中に設けられており、このウェル構造がサブストレートグランドにつながっていない（サブストレートグランドから電気的に分離されている）ことが望ましい。これによって、コモンモードノイズが載って基準電位からずれても、同じウェル構造の中で正しい電位差を検知することができるため、グランドと無関係に信号を正しく受信することができる。

【００６２】

さらに、差動対の入力ＭＯＳトランジスタを、サブストレートグランドにつながない同じウェル中に設けた上記構造において、大きな振動によるラッチアップを防止する必要があるときは、図１から図４までのレシーバ４および図５のレシーバ１４に点線で示したように、差動対の入力ＭＯＳトランジスタＮ３，Ｎ４のゲート下接続（バックゲート）を、電流制御ＭＯＳトランジスタＮ２のドレインに接続する。なお、ＳＯＩなどのラッチアップを生じない構造では、この接続は不要であることは言うまでもない。

【００６３】

図１から図５までに電源グランドペア伝送線路３として示すように、電源Ｖｄｄはグランドとのペア線路になっており、ドライバ２，１２のインバータのトランジスタオン抵抗を

５００［Ω］から１［ｋΩ］であるとし、信号伝送線路１の特性インピーダンス$Z_{0s}$を５０［Ω］であるとすると、信号振幅$v_s$は、

$v_s$＝（５０／５５０）×Ｖｄｄから（５０／１０５０）×Ｖｄｄ…（５）

となる。レシーバ４，１４は、上記（５）式の信号振幅$v_s$のレベルを検知するセンスアンプとなり、図１から図５までに示すような差動回路（差動アンプ構造）が望ましい。

【００６４】

１０［ＧＨｚ］のパルス信号（ディジタル信号）を考えると、電圧の立上り時間ｔｒおよび立下り時間ｔｆはそれぞれ３５［ｐｓ］が最大であり、通常これより短い。このような高速変化では、伝送線路カプラ（エネルギ入力側ペア線路およびエネルギ通過側ペア線路で構成された方向性カプラ）を用いて、直流遮断フィルタの機能で、広帯域の高調波を含むパルス信号を伝えることができる。このようなパルス信号、特にＣＡＳ，ＲＡＳ，ＣＳなどのイネーブルやアクナレッジの直流成分が多い制御信号の電荷量がカプラを通過すれば、レシーバであるセンスアンプのゲートチャージに十分な電荷量となり、信号が受信でき、これに続くラッチ回路Ｆ１（図５のレシーバ１４参照）で信号を保持できる。

【００６５】

図９の従来回路のように、終端抵抗等の抵抗が伝送線路の受端終端に直接接続されていると、直流成分の多い制御信号は常に電流を消費し、集中定数回路を基本とするチップデバイスでは望ましくない。高調波の波長が図７の線路長より短くなったときは、反射を防止する必要があることから終端抵抗が必然であるが、余分な直流成分を熱エネルギにする必要はない。このことが直流成分を遮断するカプラの挿入理由であり、本発明の基本構成である。

【００６６】

本発明の実施の形態では、電磁波速度で処理するために、ドライバ２，１２内のインバータのトランジスタの配線からレシーバ４，１４内の入力トランジスタの配線（望ましくは入力トランジスタのゲート電極）までの配線構造であって、信号伝送線路１、カプラ５（５ａ，５ｂ，５ｃ）、および終端抵抗６（６ａ，６ｂ）を含むものが、全て金属で作られている。ポリ結晶の半導体の抵抗や線路は、その電荷移動速度が飽和電界をかけたときに$5\times10^{4}$［ｍ／ｓ］程度であり、電磁波速度に対して３桁も小さいことから使用できない。

【００６７】

また、本発明の実施の形態では、ドライバ２，１２内のインバータのトランジスタの配線からレシーバ４，１４内の入力トランジスタの配線（望ましくは入力トランジスタのゲート電極）までの配線構造であって、信号伝送線路１およびカプラ５（５ａ，５ｂ，５ｃ）を含むものが、全て伝送線路を維持した配線構造になっている。

【００６８】

図１０は伝送線路の電気エネルギの移動機構を説明する図である。図１０を用いて信号伝送線路でのエネルギチャージについて以下に説明する。ドライバの電源Ｖｄｄにつながった側のトランジスタがオンした瞬間の負荷は、トランジスタのオン抵抗$R_{on}$と、信号伝送線路の特性インピーダンス$Z_{0s}$の合計である。

$i=Vdd/(R_{on}+Z_{0s})$…（６）

上記（６）式の電流ｉが、このトランジスタのオンしている時間$t_{on}$の間流れているか、伝送遅れ時間$t_{pd}$の間、信号伝送線路に流れている。$t_{on}$と$t_{pd}$の内のいずれか短い時間が律則条件になる。

【００６９】

時間$t_{pd}$が経過して、信号エネルギが終端抵抗に到達したとき、伝送線路というパイプに水が満杯になったごとく、$Z_{0s}$という負荷は消え、終端抵抗の抵抗値$R_L$に取って代わる。この場合、$Z_{0s}=R_L$のため、電流は変わらず、結局は１回のオンパルス時間$t_{on}$で支配される下記（７）式の電荷量Ｑが得られる。

$Q=i\times t_{on}$…（７）

【００７０】

次に、信号伝送線路では電磁波ベクトルに従った電流のために終端抵抗に向かっていることに注目しながら、入力信号がハイに遷移して、ドライバのグランド側のトランジスタがオンし、電源側のトランジスタがオフしたときを考える。信号レベルがグランドレベルになるためにｉ＝０となるが、パイプに詰まっている水が終端に向けて運動エネルギを持っていると同様に、信号伝送線路内の電荷は全てそのまま進行して終端抵抗で熱エネルギに変換される。グランドにつながったトランジスタはオンするが電荷は何も流れず、見かけ上動作したことにならない。

【００７１】

このように、図１０の回路では、パルスオフ信号にはエネルギが不要となり、図９の差動型の従来回路に比べてエネルギが節約できる。しかしながら、図８の従来回路では負荷容量$C_L$のみが必要電荷量（エネルギ）$Q=C_L\times Vdd$であるので、図１０の回路は、図８の従来回路よりもエネルギ的に劣る。本発明は、この点をカプラ挿入によって改善している。

【００７２】

電源グランドペア伝送線路について以下に説明する。図９の従来の差動回路はカレントスイッチになっており、理想であれば、常に直流が流れ、電源グランドの揺らぎは生じない。これが、特に電源・グランドを補強しなくても高速信号では理想であるといわれる理由である。しかし、スイッチングするときはトランジスタのドレイン－ソース間の全容量とドレイン－サブストレートグランド間の容量が電位変化で反転し、ディスチャージ・チャージがなされ、非常に急峻なスパイク電流が流れる。インダクタンスを持ったバイパスキャパシタではこれを防止することはできない。

【００７３】

図９において、例えば２０［ＧＨｚ］のパルスでは、立上り時間ｔｒ＝立下り時間ｔｆ＝１７．５［ｐｓ］以下を実現しなければならない。例えば電源Ｖｄｄ＝１［Ｖ］，$R_{on}+R_L$＝９５０＋５０［Ω］とすると、電流ｉ＝１［ｍＡ］（振幅０．１［Ｖ］）となる。仮にバイパスキャパシタのインダクタンスを$L_c$＝１００［ｐＨ］という小さな値としても、電源電圧ドロップ$V_{drop}$は、

$$V_{drop}=L_c\times(di/dt)\cdots(8a)$$
$$=100\,[pH]\times1\,[mA]/17.5\,[ps]$$
$$=5.7\,[mV]\cdots(8b)$$

である。このことは、１０個のドライバを１本の電源で供給することはできないことを意味する。電源電圧ドロップが５７［ｍＶ］となるからである。これ以外に、カレントスイッチのスキューやＬＶＤＳのようにＮＭＯＳとＰＭＯＳの動作特性の違いなどがあれば、もはや電源グランドの揺らぎは収拾がつかないものとなる。

【００７４】

これに対し、本発明の電源グランドは、実質的に浮遊容量やインダクタンスのない伝送線路を使用することで、図１０に示すような特性インピーダンス$Z_{0p}$の電源グランドペア伝送線路（図１から図５までに示す電源グランドペア伝送線路３）になっている。

【００７５】

この特性インピーダンスの$Z_{0p}$電源グランドペア伝送線路から供給される最大許容電流$I_{max}$は、

$I_{max}=Vdd/Z_{0p}$…（９）

である。例えば電源Ｖｄｄ＝１［Ｖ］、$Z_{0p}$＝２５［Ω］とすると、$I_{max}$＝４０［ｍＡ］という電流が周波数特性を持たずに瞬時に供給可能となる。

【００７６】

パイプに水が詰まっている状態から瞬時にある速度で移動することはできない現象とは異なり、電磁波速度は光の速度（１．５～３×$10^8$［ｍ／ｓ］）であり、電荷を引き抜くトランジスタはそれよりも３桁も遅いキャリア速度（電子の飽和電界速度で５×$10^4$［

ｍ／ｓ］）で容量をチャージするため、瞬時供給という表現が可能である。

【００７７】

しかし、それを得た瞬間に慣性が生まれる。これを無視できるようにするためには、比喩で説明すると、水道配管システムは幹線パイプの容量に対して、家庭用引込み線は非常に細いパイプで、実質的に幹線を乱さない比率となっているようにすればよい。

【００７８】

図１０において、ドライバと終端を合計した抵抗負荷（電源から見た負荷抵抗）ＲＤは、ドライバであるインバータのトランジスタオン抵抗を$R_{on}$、信号伝送線路の特性インピーダンスを$Z_{0s}$とすると、

$RD = R_{on} + Z_{0s}$ …（１０）

である。例えば$R_{on}$＝５００～１［ｋΩ］、$Z_{0s}$＝５０［Ω］とすると、ＲＤ＝５５０～１０５０［Ω］である。

【００７９】

図１０において、例えばＶｄｄ＝１［Ｖ］、$RD = R_{on} + R_L$＝９５０＋５０［Ω］とすると、ｉ＝１［ｍＡ］（振幅０．１［Ｖ］）となり、上記最大許容電流$I_{max}$＝４０［ｍＡ］の２．５［％］の消費となる。１０個のドライバを駆動すると、$I_{max}$の２５［％］の消費となる。無視できない２５［％］の乱れとなるが、トランジスタの３桁も遅いキャリア速度の遅れが乱れを緩和し、問題がない。

【００８０】

１つの電源グランドペア伝送線路でｎ本の信号ドライバに電気エネルギを供給する場合、電源グランドペア線路の特性インピーダンス$Z_{0p}$は、

$Z_{0p} < RD / n$ …（１１）

という条件を満たせば、十分である。なお、このことは、すでに上記特許文献１，２に記載されている。

【００８１】

このように、本発明の電源グランドペア伝送線路は、ドライバオン抵抗と信号伝送線路の特性インピーダンスの合計を十分ドライブ可能な低特性インピーダンスの電源グランドペア線路が元電源に向かって延長され、元電源回路または近接バイパスキャパシタまで延長されている構造の伝送線路である。

【００８２】

図１１はシングルカプラ方式の動作原理図であり、（ａ）受信端シングルカプラ方式の動作原理、（ｂ）は送信端シングルカプラ方式の動作原理である。図１１（ａ）は、図１０の構成をベースに信号伝送線路の受端終端の構成を変更したものであって、本発明の実施の形態１（図１）と同様の構成である。図１１（ａ）の受端終端に設けられた方向性カプラは、図１および図２の方向性カプラ５ａに相当する。また、図１１（ｂ）は、図１０の構成をベースに信号伝送線路の送端の構成を変更したものであって、本発明の実施の形態２，３，４（図２，図３，図４）に相当するものである。図１１（ｂ）の送端に設けられた方向性カプラは、図２，図３，図４の方向性カプラ５ｂに相当する。

【００８３】

図１１（ａ）では、信号伝送線路は、差動レシーバのゲートにつながっているが、その受端終端は、方向性カプラを設けたことによって実質的に開放端になっている。図１１（ｂ）では、信号伝送線路は、ドライバにつながっているが、その送端は、方向性カプラを設けたことによって実質的に開放端になっている。また、図１１の信号伝送線路は、図９とは異なり、直流的なエネルギを消費しない。

【００８４】

なお、図１１では、信号伝送線路は同軸型伝送線路で表現されているが、伝送線路の構造には、スタックトペア線路、ストリップ線路、マイクロストリップ線路、スリットストリップ線路、コプレーナ線路などがある。また、方向性カプラは、図１１に記載の断面構造図では、表層スタックトペア線路で表現されているが、例えばあとに説明する実用例のもの（図２０，図２１参照）を用いることが可能である。

【００８５】
方向性カプラの物理現象について以下に説明する。進行方向に直角な空間的広がりを持つ電気力線および磁力線による伝送波は、ＴＥＭ（Ｔｒａｎｓｖｅｒｓｅ Ｅｌｅｃｔｒｏｍａｇｎｅｔｉｃ ｗａｖｅ Ｍｏｄｅ）波であり、ＴＥＭは伝送路内の導波モードである。図１１の方向性カプラの断面構造図において電磁波の点線の円で描かれた空間が、電気力線および磁力線の有効な空間的広がりである（基本的には無限空間に広がっているが、エネルギ的に無視できるところで区切っている）。

【００８６】
電磁波の空気中にさらされていた部分の電磁波速度$c_0$は、$\mu_0$を真空中の透磁率、$\varepsilon_0$を真空中の誘電率とすると、

$c_0 = 1/\sqrt{(\mu_0 \varepsilon_0)} = 3 \times 10^8$ ［ｍ／ｓ］…（１２）

で進行するが、絶縁材料中はその比透磁率$\mu_r$と比誘電率$\varepsilon_r$に応じた減速条件となる。この絶縁材料中での速度をｖとすると、

$v = c_0/\sqrt{(\mu_r \varepsilon_r)}$…（１３）

である。$\varepsilon_r = 4$、$\mu_r = 1$とすると、$v = 1.5 \times 10^8$ ［ｍ／ｓ］が得られる。

【００８７】
出発時点でＴＥＭ波であったものが、進行中に空気中の電磁波速度が絶縁物中の電磁波速度の速度で進行するため、そのＴＥＭモードが崩れていく。スタックトペア線路の強いカップリングで隣接配線へのクロストークが無視できる範囲にあった電磁界が崩れると、この崩れたＴＥＭに応じてスタックトペア線路のカップリングが弱くなり、有効電磁空間の広がりが大きくなって、隣接のスタックトペア線路に電磁エネルギを移動しやすくなる。

【００８８】
図１２および図１３は上記のＴＥＭモードが崩れる様子をマイクロストリップ線路でシミュレーションした図であり、図１２は断面斜視図、図１３は上面図である。図１２（ａ），図１３（ａ）は図１１に相当する表層配線構造のマイクロストリップ線路のものであり、図１２（ｂ），図１３（ｂ）は内層配線構造のマイクロストリップ線路のものである。図１２および図１３は３本の伝送線路の中央に３［ＧＨｚ］の正弦波を入力したときの図であり、図１２についてはその中央の断面から見た向こう側の電界強度分布を示したものである。

【００８９】
図１２（ａ）に示すように、表層マイクロストリップ線路では、空気中の電界分布が先に進んでいるのに対し、図１２（ｂ）に示しように、内層マイクロストリップ線路では、ＴＥＭモードが維持されていることが判る。

【００９０】
また、表層マイクロストリップ線路の図１３（ａ）には、３本の線の中央に入力された３［ＧＨｚ］の正弦波の電磁広がりが大きくなり、線路長２００［ｍｍ］で完全に電界エネルギが上下に示した隣接配線に移動している様子が示されている。これに対して、内層マイクロストリップ線路の図１３（ｂ）には、隣接配線に電界エネルギがもれていない対照的な様子が示されている。

【００９１】
このシミュレーションでは、線路長２００［ｍｍ］の表層マイクロストリップ線路において、３［ＧＨｚ］の正弦波の電磁エネルギは完全に隣接配線に移る。

【００９２】
図１４はスタックトペア線路において電磁エネルギが隣接配線に移る様子をＳパラメータで示した図であり、（ａ）はライン幅Ｌ／スペース幅Ｓ＝１／１の場合、（ｂ）はＬ／Ｓ＝１／０．５の場合、（ｃ）はＬ／Ｓ＝１／０．２５の場合である。ただし、この図１４に示すものは、スタックトペア線路の３本の線路の内の端の線路に正弦波を入力したものであり、Ｓ２１は上記正弦波を入力した端の線路の電磁波エネルギの通過特性、Ｓ１１は反射特性である。また、Ｓ４１はこの線路の隣接線路遠端のクロストークエネルギ、Ｓ６１はこの線路の２本向こう側の隣接配線遠端のクロストークエネルギを定義する。

【００９３】
隣接スペースが狭くなるほど、クロストークエネルギ（Ｓ４１とＳ６１）が通過エネルギ（Ｓ２１）を逆転する周波数が、低くなる。そして、周波数に応じて周期的にこれを繰り返すことが判明する。このように、隣接スペースと周波数特性とは密接に関係し、隣接スペースを極端に狭くすれば、短い配線でも同様な現象を再現できることになる。
【００９４】
本発明では、直流から１００［ＭＨｚ］までの比較的ノイズ発振のない周波数帯域は通さないが、それより高周波の全ての周波数に対してエネルギ移動ができる文字通りのハイパスフィルタとしての条件を満たす手段として、方向性カプラ（広帯域カプラ）を用いている。
【００９５】
しかし、隣接するペア線路の線路条件に対しては、図１４に示す周波数特性があるので、方向性カプラのエネルギ入力側ペア線およびエネルギ通過側ペア線それぞれの配線長、両ペア線の隣接間隔（図１１のギャップｇ）、それぞれのペア線を配置する絶縁材料の誘電率などの条件を適切に設定する必要がある。
【００９６】
上記広帯域カプラは、図１１のギャップｇを可変にしておくこと等によって可能となるが、具体的構造ついては、あとで実用例とともに説明する。また、図１１では直線的勾配をつけたギャップ構造となっているが、他の広帯域カプラ構造も適用可能である。
【００９７】
方向性カプラを適切に条件設定して広帯域カプラとすれば、図１１（ａ）の受信端カプラ方式では、信号伝送線路の受端終端は方向性カプラの開放端であり、直流電力消費はしないが、交流成分は方向性カプラを通して隣接配線に全エネルギが逃げ、この隣接配線に移動全エネルギが蓄積され、あるいは終端抵抗で移動全エネルギが消費され、複雑な反射で悩むことなく、間接終端できることになる。また、図１１（ｂ）の送信端カプラ方式では、交流成分は方向性カプラを通して信号伝送線路に全エネルギが逃げるが、直流成分は遮断され、直流電力消費をせずに、交流成分のみを信号伝送線路で伝送できる。
【００９８】
このように本発明の実施の形態では、それぞれ所定長のエネルギ入力側のペア線とエネルギ通過側のペア線とを所定の間隔で近接させ、それぞれのペア線を誘電率の異なる材料中に配置した方向性カプラを信号伝送線路の受端または／および送端に設けることにより、直流電流による電力消費が抑えられるという大きな効果を奏する。また、信号振幅も、長周期でオン・オフするような制御信号に対しては電源電圧と同じレベルまで得られることになる。
【００９９】
なお、ＬＣ回路で実現できるハイパスフィルタは、本発明の広帯域カプラに対し、いわば狭帯域ハイパスフィルタである。上記広帯域カプラと同等のいわば広帯域ハイパスフィルタをＬＣ回路で実現しようとすれば、それは非常に大規模な回路にならざるを得ない。また、ＬＣ回路での実現は、パルス周波数が高くなるほど、困難になる。例えば、２０［ＧＨｚ］のパルスに対して、ＬＣ回路での上記広帯域ハイパスフィルタの製作はほとんど不可能である。
【０１００】
図１５は本発明の実施の形態においての伝送信号波形のモデルを示す図である。図１５において、$v_{in}$は入力信号、$v_{out}$は出力信号である。出力信号$v_{out}$において、点線は実施の形態１，２のように終端抵抗を設けない場合であり、実線は実施の形態３，４のように終端抵抗を設けた場合である。
【０１０１】
電源電圧Ｖｄｄに対し、信号振幅はドライバのトランジスタオン抵抗で決まる低い値となる。クロックのような送信信号波形では、そのままの受信信号波形が得られるが、保持時間の長い送信信号波形では、カプラを通らないこと、通過した高調波は抵抗でエネルギ消

費されることの２点により、その受信信号波形は、カプラのＲＣ積分減衰特性に従った減衰曲線で０［Ｖ］になる。この受信信号は、緩やかな減衰のため、アンダーシュートはなく、レシーバの差動アンプは反転しない。信号がオフになるときは、受信信号はマイナスに振れることになり、差動センスアンプは基準電位が不要なため、差動アンプは反転する。差動センスアンプの下段にラッチ回路（図５のラッチ回路Ｆ１参照）が設けてあれば、保持時間に関係なく正しい信号を検知できる。

【０１０２】

もし、信号伝送線路が長いと、すでに説明したように、伝送遅れ時間$t_{pd}$の間、直流電流が流れる。図１０の回路では、その電荷量はそのまま終端抵抗に吸収される。しかし、図１１（ａ）の回路では、信号伝送線路に電荷が充満したあと、遷移エネルギ分の電荷はカプラにより隣接に放電されるが、直流成分の放電はドライバの反転までできずに信号伝送線路に貯まっており、ドライバのＮＭＯＳトランジスタがオンしてグランドにつながったとき、逆流してグランドに吐き出される。これは、図８の従来回路においての負荷容量$C_L$のディスチャージとは異なり、パルス的な流れで時間$t_{pd}$の間なされる。

【０１０３】

図１１（ａ）の回路および図１の実施の形態１では、１／２クロック周期よりも$t_{pd}$が長いと、ディスチャージが完了しない間にチャージが始まり、信号が多重反射のように乱れる。このため、図１の実施の形態１は、

$t_{pd} < 1/2$クロック周期…（１４）

の条件に適用できる回路となる。

【０１０４】

これに対して、図２の実施の形態２から図４の実施の形態４までは、信号伝送線路へのフルチャージを避けるために考えられた回路である。図１１（ｂ）のように、遷移エネルギに相当する電荷の塊のみが電磁波速度で信号伝送線路をレシーバ側に移動し、$t_{pd} > 1/2$クロック周期の条件でも信号伝送線路に直流電荷は貯まらない。このエネルギは、受端終端側のカプラまたは終端抵抗で全て吸収されるため、ドライバのグランド側のＮＭＯＳトランジスタは、図１０のグランド側のＮＭＯＳトランジスタと同様に、オンしても電流は流れない。

【０１０５】

実施の形態２から４までにおいて、クロック的信号では、図１５の左側に示すように、実施の形態１と同じ受信信号が得られる。また、保持時間の長い信号では、図１５の右側に示すように、点線の受信波形（実施の形態１と同じ受信波形）または実線の受信波形でチャージされ、立下りのときも同じとなる。

【０１０６】

このように、終端抵抗が設けられているか否かによって、図１５の点線（実施の形態１および２）のようになるか、図１５の実線（実施の形態３および４）になるかの違いが出る。

【０１０７】

なお、図３の実施の形態３の終端抵抗６ａは、必ずしもカプラ５ａの出力インピーダンスと整合させる必要はなく、長いパルスの減衰曲線をＲＣ積分曲線として制御できる抵抗値に設定すればよい。

【０１０８】

図２の実施の形態２から図４の実施の形態４までにおいてのドライバのグランド側のＮＭＯＳトランジスタは、動作しないのであるから、廃止することは可能に見えるが、直流電流で徐々にバイアスが上がり、動作しなくなることがあるので、このＮＭＯＳトランジスタは必要である。このため、ドライバのインバータを構成する２つのトランジスタは、図５の実施の形態５のように、ともにＮＭＯＳトランジスタが適切なものとなる。

【０１０９】

図５の実施の形態５において、電源側のＮＭＯＳトランジスタＮ１１とグランド側のＮＭＯＳトランジスタＮ１２とは、入力差動信号に同期して動作はするが、相補的である必要

はない。ドレイン電圧が両者で変わるため、同じ寸法諸元でもオン抵抗が変わるが、グランド側のＮＭＯＳトランジスタＮ１２はグランドを参照するための役目であるため、問題とならない。

【０１１０】

また、ドライバ１２は、オン抵抗を高く設定してよいため、何ら工夫をする必要がない。なお、ドライバ１２の電源側には、トランジスタオン抵抗が低いときのための抵抗Ｒ１０が設けられている。

【０１１１】

また、レシーバ１４のセンスアンプは、小さな振幅を検知するのに多少の工夫が必要となるが、これも通常のデバイス設計で可能である。また、方向性カプラ５ｂ，５ｃは、あとで説明するように、チップ上の配線技術で十分加工できる寸法である。

【０１１２】

さらに、図５の実施の形態５では、ＮＭＯＳバラクタＢ１，Ｂ２を設け、ドライバの両ＮＭＯＳトランジスタＮ１１，Ｎ１２がオンするときにチャージしなければならないドレイン・ソース間容量をＮＭＯＳバラクタでポンプアップ・ポンプダウンする機能も備えている。電源は十分な電力供給能力を持っているが、容量チャージの急峻なスパイク電流はＥＭＩの問題を生じる可能性が高いため、このバラクタ挿入で解決する。このバラクタ挿入は、チャージの再利用のためや、電力消費に対しても有効である。なお、ＮＭＯＳバラクタを設けることについては、すでに上記特許文献３に記載されている。

【０１１３】

伝送線路においてのＴＥＭ伝送について以下に説明する。なお、電荷が電磁波に追従するという概念が間違っているが、常識として通っているクーロン、ガウス、アンペール、ファラディ、マックスウエルの概念に従って説明する。上記の間違いの原因は、アインシュタインがマックスウエルの関係式は特殊相対性原理の中でも矛盾しないといった発言からであり、空間に飛ぶ電磁波はアインシュタインの言った通りであるが、電線の中はプラズモンやマグノンが関係するフォトンで説明するべきである。

【０１１４】

図１６は伝送線路においてのＴＥＭ伝送を説明する断面図であり、（ａ）はスタックトペア線路、（ｂ）はマイクロストリップ線路である。図１６に電線の断面構造が描かれており、その電線の中の丸は、白丸がホール（プラス電荷）、黒丸が電子（マイナス電荷）である。電気力線は、プラス電荷から出発し、必ずどこかのマイナス電荷に終端する。図１６にはその電気力線の様子も描かれている。

【０１１５】

電気力線の空間分布はプラスマイナスがクーロン力で引き合うように、対抗面が最も密になり、反対面は疎になって、無限空間にまでその作用が及んでいる。対抗面距離が狭いほど引き合う力が強くなり、電束密度は高くなる。

【０１１６】

この縛りを受けた電荷が同期して一斉に紙面の奥に移動すれば、電流が流れたことになり、磁力線が発生する。その磁力線の分布は、電流線を囲む円周状になり、プラス電荷では時計方向に、マイナス電荷では半時計方向に回る。対抗面では磁力線方向が同じであるため、助け合うことができ、対抗面が近づくほどその効果が強くなる。反対面は自然な空間分布で無限遠にまで及ぶ。電気力線と磁力線の交差は常に直交する関係にあり、その合成であるベクトルをみると、電界ベクトルは中心部で垂直下向き、磁界ベクトルは対抗面中間で水平左向きとなる。

【０１１７】

電流進行方向に対して直交平面にリンクした電荷の電磁界が広がっているため、Ｔｒａｎｓｖｅｒｓｅ　Ｅｌｅｃｔｒｏｍａｇｎｅｔｉｃ　ｗａｖｅ　Ｍｏｄｅ（ＴＥＭ）伝送と言っており、すでに方向性カプラの物理現象において説明した内容となっている。電磁界の広がりはエネルギの広がりそのもので、信号エネルギ（電圧×電流）はこのような空間分布を持ちながら進行している。電磁エネルギ的に有効な広がり断面だけに注目し、これ

を図１６に記載した範囲とすると、ペア線路間の距離ｄが狭いほど電磁空間広がりが狭くなる。

【０１１８】

マイクロストリップ線路は、ペア線路の一方が面構造となっているため、マイナス電荷密度を広げようとする。しかし、プラス電荷の縛りを受けて、図１６（ｂ）に示すように自然な広がりとなる。これについて幾何学的作図をすると、対抗面下に鏡像イメージ線を置いて、これに向かった広がりとなる。マイナス電荷が面構造の中にあるため、磁力線は図１６（ｂ）のように横に偏平な形となるが、対抗面がお互いに助け合うことに変わりはない。マイナス電荷が流れている部分の電位は、流れていない部分（電位０［Ｖ］の部分）よりもマイナスであり、平面内で電位分布ができることになる。上記非特許文献１，２で明らかなように、ペア線路の電位は相補的に反転しているという重要な概念は、この図１６から理解できる。

【０１１９】

図１６（ｂ）のマイクロストリップ線路の電磁界は、図１６（ａ）のスタックトペア線路よりも、実質的に広がっていることが判る。図１６に隣接配線を一点鎖線で表したように、ライン／スペース＝１／１に配置すると、隣接配線は、スタックトペア線路では有効な電磁界広がりの外に位置しているが（図１６（ａ）参照）、マイクロストリップ線路では有効な電磁界広がりの一部を切っている（図１６（ｂ）参照）。変化する電磁界がクロスしている電線はファラディ法則で電磁誘導するため、クロストークが起こることになる。変化しない電流（直流）も同じ電磁界広がりがあるが、変化しないため、電磁界を切っている線路があってもクロストークしない。周波数が高くなるほど、クロストークの問題は大きくなる。このようなペア線路が、伝送線路と言われるものである。

【０１２０】

図１７はチップ上で可能な伝送線路構造の例を示す図であり、図１６において説明した原理を考慮したものである。図１７において、（ａ）はペアコプレーナ線路、（ｂ）はガードコプレーナ線路（両端コモン）、（ｃ）はスタックトペア線路、（ｄ）はガードスタックトペア線路（上下コモン）である。

【０１２１】

伝送線路構造において、重要なことは、１番目にペア線路として明確に規定された構造であること、２番目にカプラのようにＴＥＭ構造を崩すことなく伝播させるために、同じ誘電率を持つ均質な絶縁物内に配線されていることである。

【０１２２】

ペア線路の対抗面間隔をｄ（図１６および図１７参照）、対抗面導体幅をｗ（図１６参照）、隣接対抗面の導体厚みｔ、隣接間距離をｓ（図１７参照）とすると、ここでは、

$$２ｗｄ＜ｔｓ \cdots （１５）$$

の条件を満たす構造のものを、上記明確に規定された構造のペア線路とする。

【０１２３】

ペア線路のカップリングの強さは$（１／（ｗｄ））^{2}$であり、隣接線路のカップリングの強さは$（１／（ｔｓ））^{2}$である。上記（１５）式は、ペア線路のカップリングが隣接線路のカップリングよりも４倍を越えて強いことを意味する。２５［％］のエネルギがクロストークであり、無視できない関係のように見えるが、円柱のような等方性がなく、対抗面のカップリングにより支配される異方性が強いため、実験的には５［％］以下のクロストークである。

【０１２４】

図１８は図５の実施の形態５の配線レイアウトの一例を示す図であり、集中定数回路ブロックであるドライバとグローバル配線である信号伝送線路の接続部の構造を示している。また、図１９は図１８の断面構造を示す図である。ただし、ＮＭＯＳトランジスタとＮＭＯＳバラクタは、図１８では横方向に配列されているが、図１９では縦方向に配列されている。なお、図１８および図１９において、図５のものに相当するものには同じ符号を付してある。

【０１２５】
図１８および図１９において、ｐ１は半導体基板のＮ型層またはＮ型半導体基板に形成されたＰ型領域（Ｐウェル）である。また、図１８および図１９のＮＭＯＳトランジスタＮ１において、ｎ１はＮ型ドレイン拡散層、ｎ２はｎ型ソース拡散層、ｎ３はゲート電極、ｎ４はドレインコンタクト部、ｎ５はソースコンタクト部、ｎ６はドレイン配線、ｎ７はソース配線、ｎ８はゲート配線である。また、ＮＭＯＳバラクタＢ１において、ｂ１，ｂ２はｎ型拡散層、ｂ３はゲート電極、ｂ４，ｂ５は拡散層コンタクト部、ｂ６はソース・ドレイン配線、ｂ８はゲート配線である。

【０１２６】
また、図１８および図１９において、３ａは電源配線、３ｂはグランド配線であり、これら電源配線３ａおよびグランド配線３ｂは電源グランドペア伝送線路３を構成している。また、Ｒ１０はモリブデン抵抗である。また、２１は電源配線３ａと抵抗Ｒ１０とのコンタクト部、２２はグランド配線３ｂと方向性カプラ５ｂのエネルギ入力側ペア線のグランド側配線とのコンタクト部である。また、Ｃ１は電源グランドペア伝送線路３の所々に配置されたバイパスキャパシタである。

【０１２７】
図１８および図１９において、ＮＭＯＳバラクタＢ１は、ＮＭＯＳトランジスタＮ１１と同じＰウェルｐ１内に設けられており、電荷のポンプダウン・ポンプアップが図れるようになっている。

【０１２８】
電源配線３ａおよびグランド配線３ｂは、コプレーナ線路で伝送線路となっており、この電源グランドペア伝送線路３は、ドライバのＮＭＯＳトランジスタＮ１１およびＮＭＯＳバラクタＢ１の直上まで配置されている。ゲート配線ｎ８，ｂ８で構成される入力信号の配線も、コプレーナ線路で伝送線路となっており、ゲート電極ｎ３，ｂ３の直前まで延びている。

【０１２９】
ソース配線ｎ７およびグランド配線３ｂで構成されるドライバの出力配線は、グランドが上層になったスタックトペア線路になっていて、短い配線長で方向性カプラ５ｂのエネルギ入力側ペア線にすぐに接続されている。そして、方向性カプラ５ｂのエネルギ通過側ペア線が接続されたスタックトペア線路の信号伝送線路１がレシーバまで延びている。

【０１３０】
電源配線３ａ、グランド配線３ｂ、ドレインコンタクト部ｎ４、ソースコンタクト部ｎ５、ドレイン配線ｎ６、ソース配線ｎ７、ゲート配線ｎ８、拡散層コンタクト部ｂ４，ｂ５、ソース・ドレイン配線ｂ６、ゲート配線ｂ８、コンタクト部２１，２２、方向性カプラ５ｂ、および信号伝送線路１は、全て金属で構成されている。さらに、望ましくは、ゲート電極ｎ３，ｂ３も、金属で構成されている。

【０１３１】
なお、図１９の断面方向においても、ペア配線とそれに隣接する配線は、上記（１５）式の条件を満たすように、絶縁層の厚みや配線幅、配線厚みなどを設定する。また、ドライバのＮＭＯＳトランジスタＮ１２およびＮＭＯＳバラクタＢ２の構造は、図１８および図１９に示すＮＭＯＳトランジスタＮ１１およびＮＭＯＳバラクタＢ１の構造と同様である。また、レシーバ側の入力信号の配線構造は、図１８および図１９に示すドライバの入力信号の配線構造と同様である。

【０１３２】
このように、本発明の実施の形態では、ドライバの出力トランジスタの拡散層コンタクト部からレシーバの入力トランジスタのゲート配線までの全ての配線が伝送線路構造を維持したものになっている。これにより、数１０［ＧＨｚ］のパルス信号を伝送できる。

【０１３３】
また、ドライバの出力トランジスタの拡散層コンタクト部からレシーバの入力トランジスタのゲート配線までの全ての配線が、半導体ではなく、金属でできている。これにより、

電磁波速度で処理できる。なお、ゲート電極と伝送線路までのアプローチは短いため、ゲート電極は、ポリシリコンでもよいが、金属電極が望ましい。また、ドライバ上層の電源グランドペア伝送配線は、図１８および図１９ではコプレーナ構造になっているが、他の構造を採用することも可能である。

【０１３４】

方向性カプラの構造について以下に説明する。カプラの入力端から見た特性インピーダンスは、その以前につながっている伝送線路のそれと一致し、カプラの出力端から見た特性インピーダンスも、それにつながる伝送線路と同じであることが構造の基本原則である。また、一般に進行方向の構造が変化しないとき、伝送構造における進行方向に単位長さをとれば、伝送構造の相似則が成り立つ。すなわち、進行方向の直交面で相対位置が保たれている以上、伝送特性は同じである。ただし、導体断面が減少して直流抵抗が増大することは避けられない。カプラも同じ法則が成り立つが、進行方向に対して形状が変化するため、この変化の積分的要素が加わり、近似的に３次元的相似則が成り立つ。チップ上のカプラは微細寸法でなければならず、この３次元相似則は非常に有効な法則となる。

【０１３５】

図２０は方向性カプラの典型的な構造を示す図であり、（ａ）は高誘電体挿入タイプの斜視図、（ｂ）は誘電率１：３．２積層タイプ（低誘電体挿入タイプ）の斜視図、（ｃ）は両タイプの上面図である。また、図２１は方向性カプラの寸法例を示す図である。図２０および図２１において、Ｄはペア線路間の絶縁層の厚み、ｔは導体層（エネルギ入力側ペア線）の厚み、ｗは導体層の幅、Ｌは線路長、ＧＡＰは線路間の距離である。また、ｈ１（例えば０．４［ｍｍ］）はエネルギ通過側ペア線の上層の絶縁層の高さ、ｈ２（例えば０．６８［ｍｍ］）はエネルギ通過側ペア線が配置されれた絶縁層の高さである。電磁界は相似縮小が可能であるため、図２１には３つの寸法例を示す。

【０１３６】

図２２は図２０（ａ）の高誘電体挿入タイプのカプラのシミュレーション結果の一例を示す図であり、図２３は図２０（ｂ）の低誘電体挿入タイプのカプラのシミュレーション結果の一例を示す図である。ポートの番号は、図２０（ｃ）の上面図において、エネルギ入力側ペア線の入力端をポート１、エネルギ通過側ペア線の出力端をポート２と設定しているため、Ｓ２１がこのカプラの通過特性であり、Ｓ１１がポート１の反射特性となる。

【０１３７】

図２０（ａ）の高誘電体挿入タイプのカプラは、エネルギ通過側のペア線を周辺配線が配置された絶縁材料と同じものである比誘電率$\varepsilon_r$＝３．２の酸化シリコン（$SiO_2$）中に配置し、エネルギ入力側のペア線を上記$SiO_2$よりも誘電率の高い比誘電率$\varepsilon_r$＝８のアルミナ中に配置した構造である。

【０１３８】

また、図２０（ｂ）の低誘電体挿入タイプのカプラは、エネルギ通過側のペア線を周辺配線が配置された絶縁材料と同じものである比誘電率$\varepsilon_r$＝３．２の酸化シリコン中に配置し、エネルギ入力側のペア線を上記酸化シリコンよりも誘電率の低い空気中に配置した構造である。なお、エネルギ入力側のペア線を上記酸化シリコンよりも誘電率の低い絶縁材料中に配置することも可能である。

【０１３９】

本発明の実施の形態では、図２０に示すような簡易な構造により、図２１に示すように、チップ上に配置できる小型の方向性カプラを実現している。カップラの両ペア線が配置された絶縁物の誘電率差が大きいほど、線路間の距離ＧＡＰを大きく取れるとともに、カプラを小型化できる。

【０１４０】

図２０（ａ）では、周辺の絶縁層（ここでは酸化シリコン）よりも誘電率が高い絶縁層（ここではアルミナ）中に配置されたカプラにおいてＴＥＭ波を崩し、図２０（ｂ）では、周辺の絶縁層（ここでは酸化シリコン）よりも誘電率が低い絶縁層（ここでは空気）中に配置されたカプラにおいてＴＥＭ波を崩す。なお、図２０（ｂ）は、酸化シリコンの比誘

電率が３．２であるとき、その上層を空気層としたものであるが、逆に空気層の比誘電率を３．２にしたときは、その下層の絶縁層の比誘電率を９．６にすれば、同様な効果が得られる。

【０１４１】

図２４は図２２のＳ２１パラメータを用いて図２０（ａ）の高誘電体挿入タイプのカプラをＳＰＩＣＥシミュレーションをした結果を示す図であり、図２５は図２３のＳ２１パラメータを用いて図２０（ｂ）の低誘電体挿入タイプのカプラをＳＰＩＣＥシミュレーションをした結果を示す図である。図２４および図２５において、（ａ）はカプラの斜視構造、（ｂ）は入力パルス、（ｃ）は出力電圧、（ｄ）は出力電流である。

【０１４２】

図２４および図２５は、立上り時間ｔｒ＝２５［ｐｓ］、保持時間を５［ｎｓ］とし、レシーバトランジスタのゲート容量を寄生容量も含めて０．２［ｐＦ］、リーク電流に対する抵抗を１［ＭΩ］としたときのパルス保持特性を示している。両タイプとも、全く問題のないことが判る。

【０１４３】

なお、上記本発明の実施の形態では、ドライバ、信号伝送線路、方向性カプラ、およびレシーバを同じ半導体チップ内に形成することを前提に説明したが、ドライバとレシーバを異なる半導体チップに設け、本発明の信号伝送線路およびカプラによる上記配線構造を、両チップ間に渡って配置することも可能である。

【０１４４】

さらに、本発明の信号伝送線路およびカプラによる上記配線構造を、論理回路またはメモリ回路の配線として採用することも可能である。この場合には、ドライバまたは／およびレシーバを設けない構成も可能である。

【０１４５】

また、上記実施の形態において、信号伝送線路の送端および受端のそれぞれに、ドライバおよびレシーバを分岐させて設け、ディジタル信号を双方向に伝送する構成とすることも可能である。

【０１４６】

【発明の効果】

以上説明したように、本発明によれば、小型かつ簡易な構造で、低消費電力の信号伝送装置および配線構造を実現できるという効果がある。

【図面の簡単な説明】

【図１】本発明の実施の形態１（受信端シングルカプラ方式）の構成図である。

【図２】本発明の実施の形態２（ダブルカプラ方式）の構成図である。

【図３】本発明の実施の形態３（終端抵抗型ダブルカプラ方式）の構成図である。

【図４】本発明の実施の形態４（送信端シングルカプラ方式）の構成図である。

【図５】本発明の実施の形態５の構成図である。

【図６】パルス（ディジタル）信号を説明する図である。

【図７】グローバル配線の定義を説明する図である。

【図８】従来のディジタル信号伝送回路（シングルエンド型）の構成図である。

【図９】従来の他のディジタル信号伝送回路（差動型）の構成図である。

【図１０】伝送線路の電気エネルギの移動機構を説明する図である。

【図１１】シングルカプラ方式の動作原理図である。

【図１２】ＴＥＭモードが崩れる様子をマイクロストリップ線路でシミュレーションした図である（断面斜視図）。

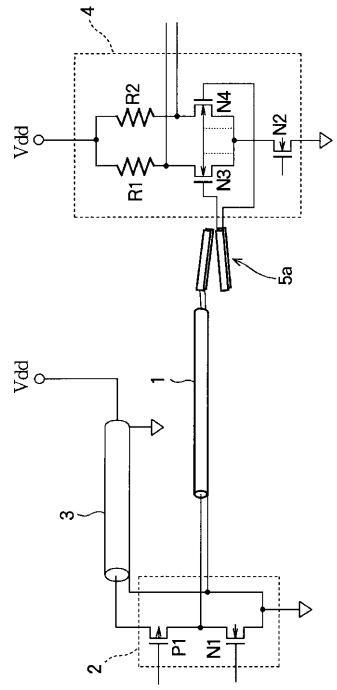
【図１３】ＴＥＭモードが崩れる様子をマイクロストリップ線路でシミュレーションした図である（上面図）。

【図１４】スタックトペア線路においてにおいて電磁エネルギが隣接配線に移る様子をＳパラメータで示した図である。

【図１５】本発明の実施の形態においての伝送信号波形のモデルを示す図である。

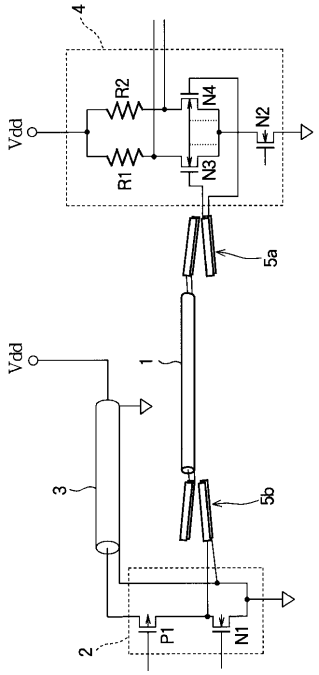
【図１６】伝送線路においてのＴＥＭ伝送を説明する断面図である。
【図１７】チップ上で可能な伝送線路構造の例を示す図である。
【図１８】図５の実施の形態５の配線レイアウトの一例を示す図である。
【図１９】図１８の断面構造を示す図である。
【図２０】方向性カプラの典型的な構造を示す図であって、（ａ）は高誘電体挿入タイプ、（ｂ）は誘電率１：３．２積層タイプ（低誘電体挿入タイプ）である。
【図２１】方向性カプラの寸法例を示す図である。
【図２２】図２０（ａ）の高誘電体挿入タイプのカプラのシミュレーション結果の一例を示す図である。
【図２３】図２０（ｂ）の低誘電体挿入タイプのカプラのシミュレーション結果の一例を示す図である。
【図２４】図２２のＳ２１パラメータを用いて図２０（ａ）の高誘電体挿入タイプのカプラをＳＰＩＣＥシミュレーションをした結果を示す図である。
【図２５】図２３のＳ２１パラメータを用いて図２０（ｂ）の低誘電体挿入タイプのカプラをＳＰＩＣＥシミュレーションをした結果を示す図である。
【符号の説明】
１　信号伝送線路
２，１２　ドライバ
３　電源グランドペア伝送線路
４　レシーバ
５ａ，５ｂ，５ｃ　方向性カプラ
６ａ，６ｂ　終端抵抗
Ｐ１　ＰＭＯＳトランジスタ
Ｎ１，Ｎ２，Ｎ３，Ｎ４　ＮＭＯＳトランジスタ
Ｒ１，Ｒ２，Ｒ１０　抵抗
Ｂ１，Ｂ２　ＮＭＯＳ反転バラクタ
Ｆ１　ラッチ回路

【図１】



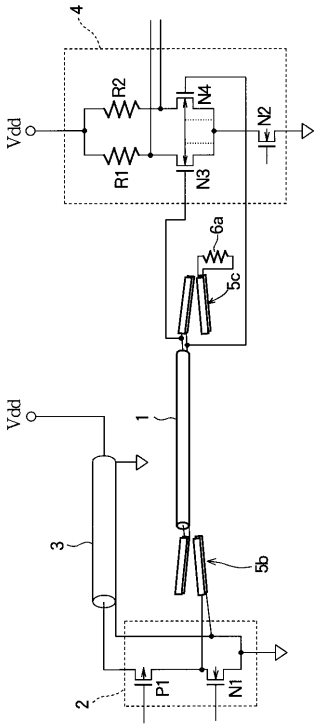

実施の形態１（受信端シングルカプラ方式）

【図２】



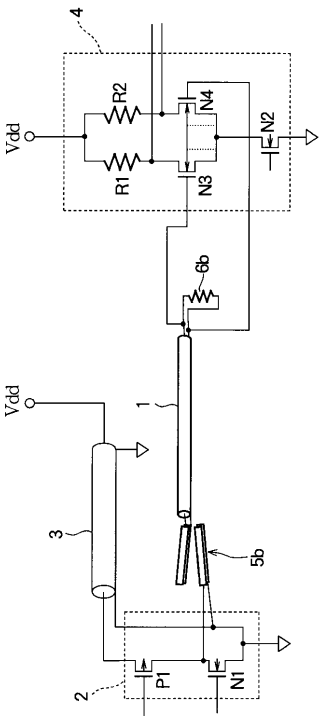

実施の形態２（ダブルカプラ方式）

【図３】



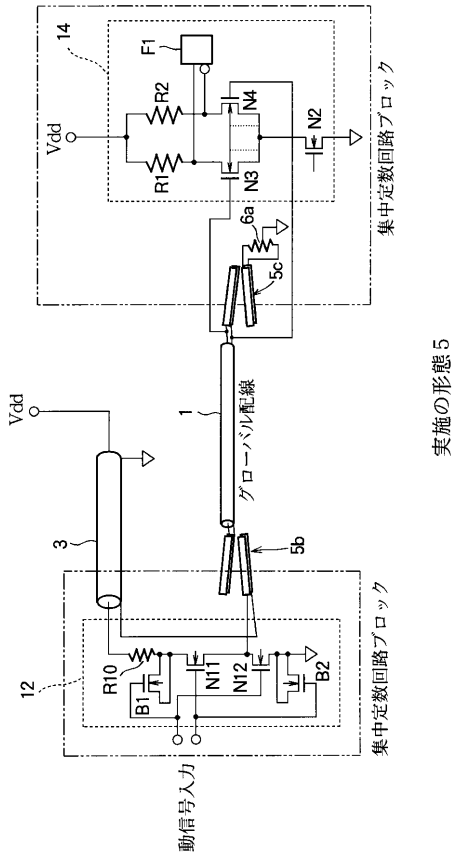

実施の形態３（終端抵抗型ダブルカプラ方式）

【図４】



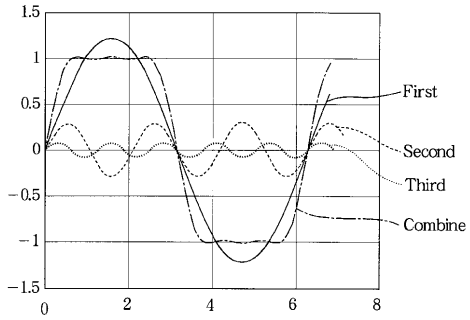

実施の形態４（送信端シングルカプラ方式）

【図５】




実施の形態５

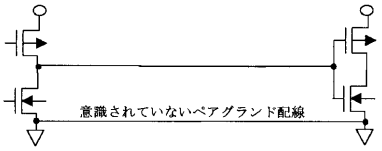
【図６】



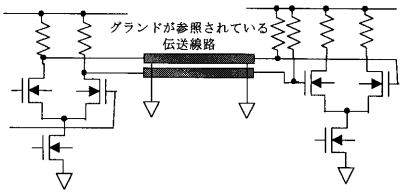

【図７】

| パルス周波数 [MHz] | 正弦波高調波 [GHz] | v =1×10⁸ [m/s]の (1/4)λ線路長[m] | v =1.5×10⁸ [m/s] の(1/4)λ線路長[m] | v =2×10⁸ [m/s] の (1/4)λ線路長 [m] |
|---|---|---|---|---|
| 5 | 0.05 | 0.5 | 0.75 | 1 |
| 10 | 0.1 | 0.25 | 0.375 | 0.5 |
| 50 | 0.5 | 0.05 | 0.075 | 0.1 |
| 80 | 0.8 | 0.03125 | 0.0375 | 0.0625 |
| 100 | 1 | 0.025 | 0.0375 | 0.05 |
| 300 | 3 | 0.008325 | 0.012485 | 0.01665 |
| 500 | 5 | 0.005 | 0.0075 | 0.01 |
| 1000(1GHz) | 10 | 0.0025 | 0.00375 | 0.005 |
| 10000(10GHz) | 100 | 0.00025 | 0.000375 | 0.0005 |
| 100GHz | 1000 | 25μm | 37.5μm | 50μm |

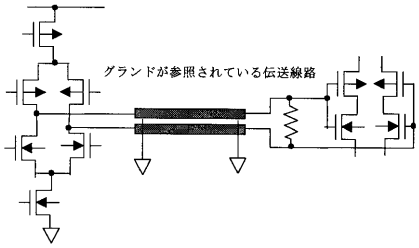
【図８】




【図９】

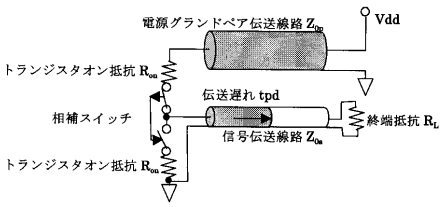



（ａ）ＣＭＬ型差動回路

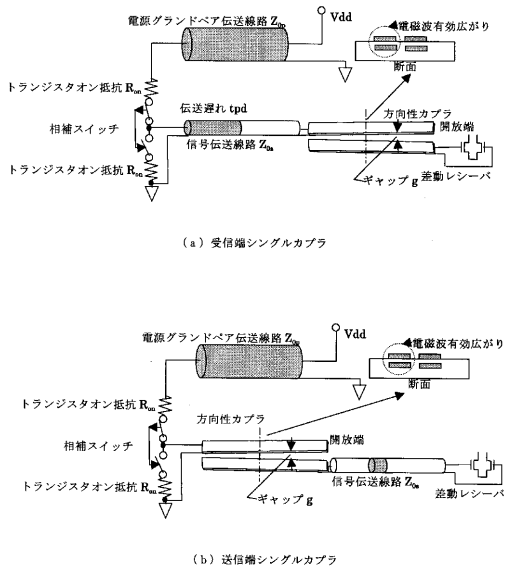



（ｂ）ＬＶＤＳ型差動回路

【図１０】



【図１１】

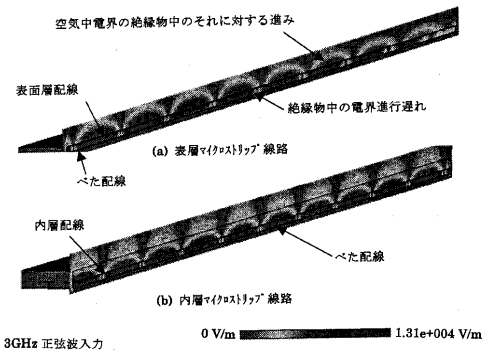



（ａ）受信端シングルカプラ

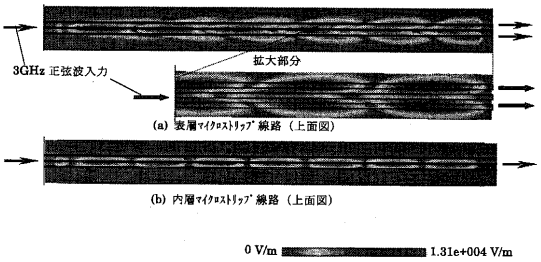



（ｂ）送信端シングルカプラ

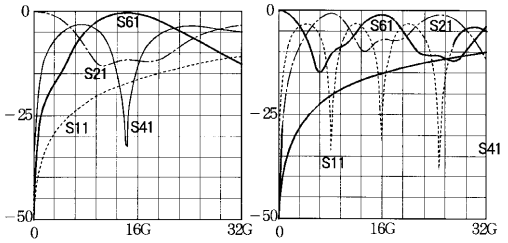
【図１２】

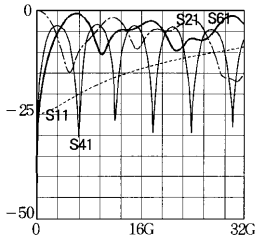



【図１３】

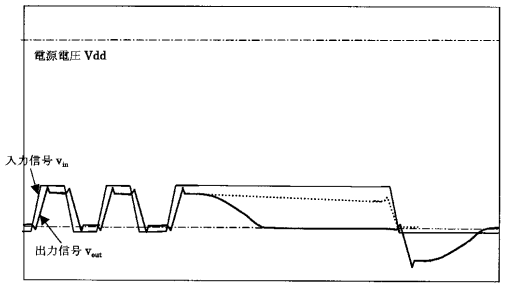



【図１４】

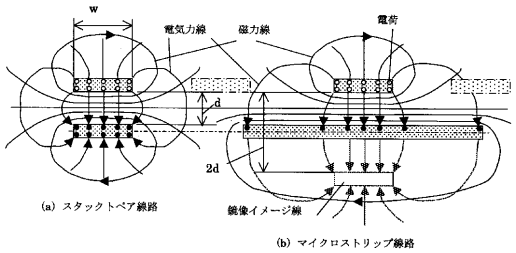


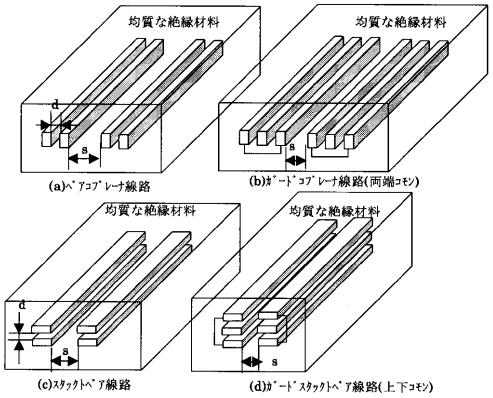

【図１５】



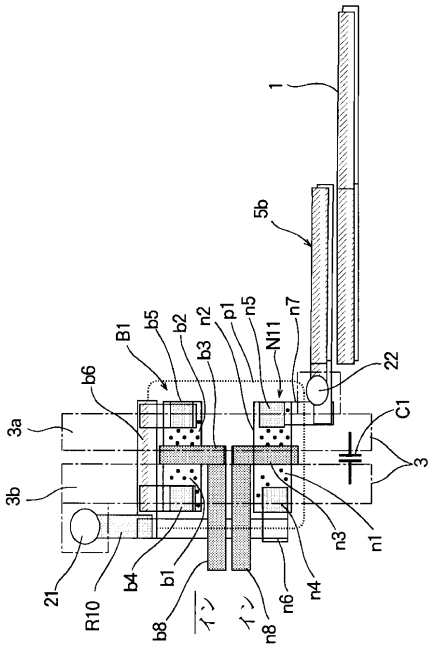

【図１６】



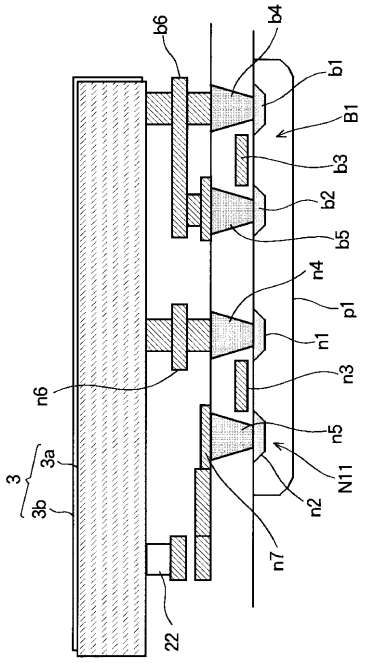
【図１７】



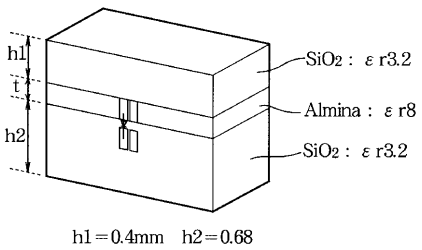

【図１８】




【図１９】

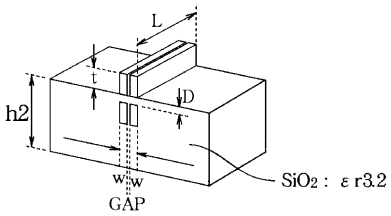



【図２０】

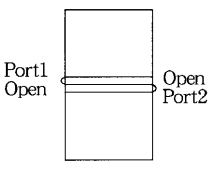



h1＝0.4mm　h2＝0.68

(a)高誘電体挿入タイプ




(b)誘電率１：32積層タイプ

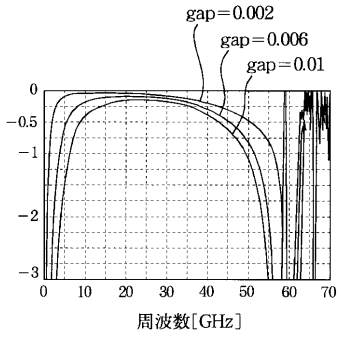



(c)上面図

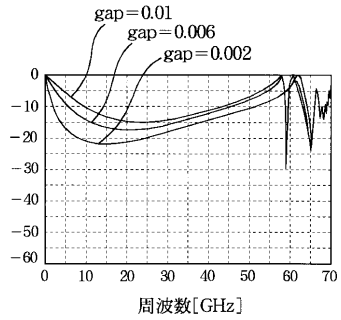
【図２１】

| 相似縮小 | 1 | 1/100 | 1/1000 |
|---|---|---|---|
| L | 1mm | 10μm | 1μm |
| w | 0.08mm | 0.8μm | 80nm |
| GAP | 0.01mm | 0.1μm | 10nm |
| t | 0.2mm | 2μm | 0.2μm |
| D | 0.08mm | 0.8μm | 80nm |

【図２２】

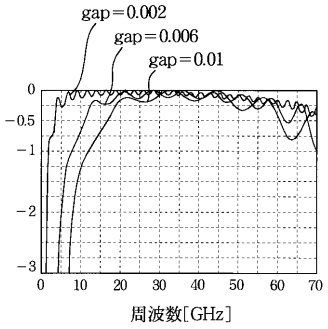



(a) S21

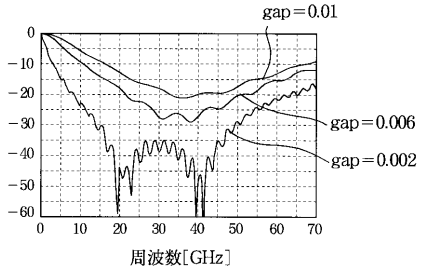



(b) S11

【図２３】



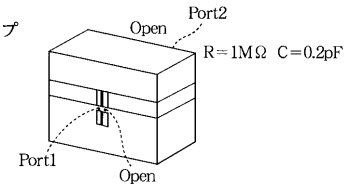

(a) S21



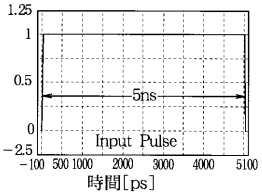

(b) S11

【図２４】

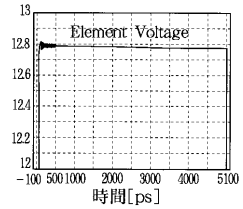
(a)高誘電体挿入タイプ



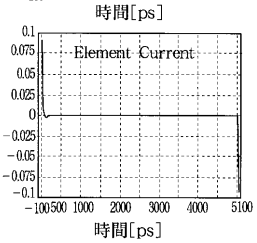

(b)入力パルス




(c)出力電圧

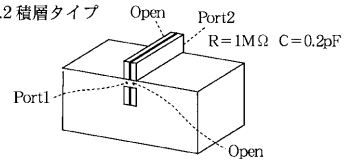



(d)出力電流

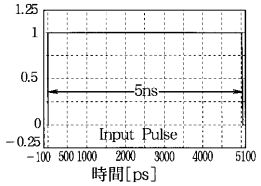


【図２５】

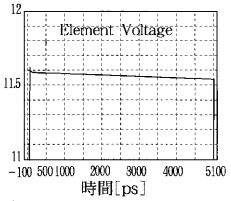
(a)誘電率１：3.2 積層タイプ



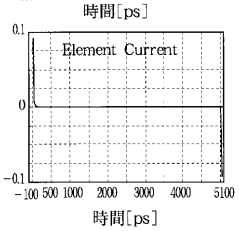

(b)入力パルス




(c)出力電圧




(d)出力電流



フロントページの続き

(71)出願人 000002185
ソニー株式会社
東京都品川区北品川６丁目７番３５号
(71)出願人 000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(71)出願人 000004237
日本電気株式会社
東京都港区芝五丁目７番１号
(71)出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目６番地
(71)出願人 000005223
富士通株式会社
神奈川県川崎市中原区上小田中４丁目１番１号
(71)出願人 000005821
松下電器産業株式会社
大阪府門真市大字門真１００６番地
(71)出願人 000006013
三菱電機株式会社
東京都千代田区丸の内二丁目２番３号
(71)出願人 000116024
ローム株式会社
京都府京都市右京区西院溝崎町２１番地
(74)代理人 100083840
弁理士 前田 実
(74)代理人 100116964
弁理士 山形 洋一
(72)発明者 大塚 寛治
東京都東大和市湖畔２－１０７４－３８
(72)発明者 宇佐美 保
東京都国分寺市西町２－３８－４

Ｆターム(参考) 5J011 CA15
5J013 AA05
5K029 AA01 AA13 DD04 GG07 JJ08