

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-282964

(P2004-282964A)

(43) 公開日 平成16年10月7日(2004.10.7)

(51) Int.Cl.⁷

H02H 3/24

H02M 3/00

F I

H02H 3/24

A

テーマコード (参考)

5G004

H02M 3/00

C

5H730

審査請求 未請求 請求項の数 2 O L (全 5 頁)

(21) 出願番号 特願2003-74478 (P2003-74478)

(22) 出願日 平成15年3月18日 (2003.3.18)

(71) 出願人 000006611

株式会社富士通ゼネラル

神奈川県川崎市高津区末長 1 1 1 6 番地

(72) 発明者 宮田 郁子

川崎市高津区末長 1 1 1 6 番地 株式会社

富士通ゼネラル内

F ターム (参考) 5G004 AA04 AB02 BA03 BA08 CA03
DC04

5H730 AA20 AS01 AS19 FD01 XX02

XX03 XX13 XX22 XX33 XX43

XX45

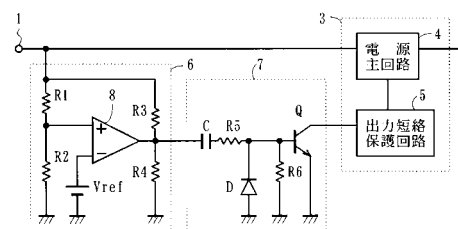
(54) 【発明の名称】 電源回路

(57) 【要約】

【課題】 入力電圧が動作電圧範囲より低い間、電圧出力を遮断し、負荷回路に不安定な電圧が出力されないようにする。

【解決手段】 入力端 1 からの直流電圧を電源主回路 4 で定電圧化し、出力端 2 から出力する。負荷の短絡は出力短絡保護回路 5 で検出し、出力を遮断する。電源オン時、入力電圧検出回路 6 の抵抗器 R 1 と R 2 で入力電圧を分圧し、分圧値が基準電圧 V_{ref} より高くなるとコンパレータ 8 は H を出力し、リセットパルス発生回路 7 に入力し、コンデンサ C と抵抗器 R 5 および R 6 で微分し、この微分パルスでトランジスタ Q をオンし、出力短絡保護回路をリセットし、電源主回路から定電圧を出力する。電源オフ時、入力が動作電圧範囲より低下したときコンパレータ出力が L となるが、正の微分パルスが発生しないのでトランジスタのベースがゼロとなり、出力短絡保護回路の保護機能が作動し、電源主回路の出力を遮断する。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

直流の入力電圧を定電圧化して出力する電源主回路と、同電源主回路の負荷に短絡が生じたとき、もしくは、前記入力電圧が前記電源主回路の動作電圧範囲より低いとき同電源主回路の出力を遮断する出力短絡保護回路と、前記入力電圧を検出する入力電圧検出回路と、同入力電圧検出回路で検出された電圧が所定の電圧以上に上昇したときパルス信号を出力し前記出力短絡保護回路をリセットして保護機能を解除するリセットパルス発生回路とからなり、

前記リセットパルス発生回路は、前記入力電圧が前記電源主回路の動作電圧範囲より低い値から上昇する場合、同入力電圧が所定値になったときの前記入力電圧検出回路からの信号に基づきパルス信号を発生し、前記出力短絡保護回路をリセットして前記電源主回路から電圧を出力させ、前記入力電圧が前記電源主回路の動作電圧範囲より低い範囲で下降する場合は、パルス信号を発生させないで前記出力短絡保護回路を動作させ、前記電源主回路から電圧を出力させないことを特徴とする電源回路。 10

【請求項 2】

前記リセットパルス発生回路は、一端を前記入力電圧検出回路の出力端に接続したコンデンサと、一端を同コンデンサの他端に、他端を接地に接続した抵抗器と、カソードを前記コンデンサの他端に、アノードを接地にそれぞれ接続したダイオードと、ベースを前記ダイオードのカソードに、エミッタを接地に、コレクタを前記出力短絡保護回路にそれぞれ接続した N P N 型トランジスタとからなることを特徴とする請求項 1 記載の電源回路。 20

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は電源回路に係り、入力電圧が動作電圧範囲にない間は電圧出力を遮断するものに関する。

【0002】

【従来の技術】

入力される直流電圧を定電圧化して出力する電源回路には、例えば、図 2 にブロック図で示す如きものがある。このような電源回路は、例えば、商用電源から整流された電圧や、停電時の非常用発電機や車載用のバッテリー等からの直流電圧を定電圧化するもの等に用いられ、入力端 1 からの入力電圧を電源主回路 11 でスイッチングレギュレータを用いて定電圧化し、出力端 2 から出力する。負荷短絡保護回路 13 は、電源主回路 11 の負荷回路に短絡が生じ出力電圧が低下した場合にこれを検出し、出力遮断信号を出力し、電源主回路 11 の出力を遮断する回路である。また、低電圧検出回路 12 は、入力電圧が供給されたとき、入力端 1 からの入力電圧が電源主回路 11 の動作電圧範囲の下限より高くなった場合にこれを検出し、負荷短絡保護回路 13 をリセットして電源主回路 11 の電圧出力を開始させる回路であるが、この低電圧検出回路 12 は、電源主回路 11 の入力電圧が動作電圧範囲の下限からさらに下降する過渡時にも負荷短絡保護回路 13 をリセットしてしまうために電源主回路 11 は動作状態が維持され、予め設定された値より低い不安定な電圧を出力し続けることになる。（例えば、特許文献 1 参照。） 30 40

このため、例えば、マイコンを用いた回路が負荷として接続されるような場合、負荷回路には規定より低い不安定な電圧が供給されるので正常な動作ができず、メモリデータが破壊される等の問題が生じる場合がある。

【0003】

【特許文献 1】

特開 2000-324678 号公報（第 2-3 頁、図 1、図 2）

【0004】

【発明が解決しようとする課題】

本発明は以上述べた問題点を解決し、入力電圧が電源主回路の動作電圧範囲まで上昇すると出力短絡保護機能がリセットされ、電源主回路から安定化された電圧が出力され、入力 50

電圧が電源主回路の動作電圧範囲より低下すると出力短絡保護機能が作動し、電源主回路の出力が遮断され、負荷に不安定な電圧が出力されず、例えば、負荷回路に接続されたメモリのデータが破壊されたり変形されないようにした電源回路を提供することを目的とする。

【0005】

【課題を解決するための手段】

本発明は上述の課題を解決するため、直流の入力電圧を定電圧化して出力する電源主回路と、同電源主回路の負荷に短絡が生じたとき、もしくは、前記入力電圧が前記電源主回路の動作電圧範囲より低いとき同電源主回路の出力を遮断する出力短絡保護回路と、前記入力電圧を検出する入力電圧検出回路と、同入力電圧検出回路で検出された電圧が所定の電

10

圧以上に上昇したときパルス信号を出力し前記出力短絡保護回路をリセットして保護機能を解除するリセットパルス発生回路とからなり、
前記リセットパルス発生回路は、前記入力電圧が前記電源主回路の動作電圧範囲より低い値から上昇する場合、同入力電圧が所定値になったときの前記入力電圧検出回路からの信号に基づきパルス信号を発生し、前記出力短絡保護回路をリセットして前記電源主回路から電圧を出力させ、前記入力電圧が前記電源主回路の動作電圧範囲より低い範囲で下降する場合は、パルス信号を発生させないで前記出力短絡保護回路を動作させ、前記電源主回路から電圧を出力させないようにする。

【0006】

なお、前記リセットパルス発生回路は、一端を前記入力電圧検出回路の出力端に接続したコンデンサと、一端を同コンデンサの他端に、他端を接地に接続した抵抗器と、カソードを前記コンデンサの他端に、アノードを接地にそれぞれ接続したダイオードと、ベースを前記ダイオードのカソードに、エミッタを接地に、コレクタを前記出力短絡保護回路にそれぞれ接続したNPN型トランジスタとで構成する。

20

【0007】

【発明の実施の形態】

以下、図面に基づいて本発明による電源回路を詳細に説明する。

図1は本発明による電源回路の一実施例を示す要部ブロック図である。図の1は直流電圧を入力する入力端、2は安定化された電圧を出力する出力端、3は電源ICユニットで、電源ICユニット3の4は電源主回路、5は出力短絡保護回路である。6は入力電圧検出回路、7はリセットパルス発生回路で、入力電圧検出回路6のR1～R4は抵抗器、Vrefは基準電圧、8はコンパレータで、リセットパルス発生回路7のCはコンデンサ、R5とR6は抵抗器、Dはダイオード、QはNPN型トランジスタである。

30

【0008】

以上の構成において、次にその動作を説明する。

入力端1には、商用電源から整流された電圧や、停電時の非常用発電機や車載用のバッテリー等からの直流電圧が入力する。入力端1からの入力電圧は電源ICユニット3の電源主回路4に入力し、スイッチングレギュレータにより定電圧化され、出力端2から負荷回路に出力される。出力短絡保護回路5は電源ICユニット3内に設けられ、入力電圧が電源主回路4の動作電圧範囲に達するまでの間は電源主回路4の電圧出力を遮断し、また、電源主回路4の出力電圧を監視し、負荷に短絡が生じた場合、出力電圧の低下に応動して出力遮断信号(Lレベル)を出力し、電源主回路4の電圧出力を遮断し、電源主回路4を破壊から保護する。

40

【0009】

入力電圧検出回路6は入力端1からの電圧を検出するもので、抵抗器R1とR2で入力電圧を分圧し、コンパレータ8の+端子に印加し、-端子に基準電圧Vrefを印加する。抵抗器R1とR2は、入力電圧が電源主回路4の動作電圧範囲の下限のとき、分圧値が基準電圧Vrefより僅かに高い値となるように設定する。そして、コンパレータ8で二つの電圧を比較し、入力電圧が電源主回路4の動作電圧範囲の下限より高い、すなわち+端子の電圧が-端子の電圧より高いときHレベルを出力し、低いときLレベルを出力する。

50

抵抗器 R 3 と R 4 はコンパレータ 8 の出力端が使用最大電圧を越えないように所定の電圧以内に抑えるための抵抗器である。

リセットパルス発生回路 7 はパルス信号を発生して出力短絡保護回路 5 をリセットし、保護機能を解除し、電源主回路 4 に電圧を出力させる。

【0010】

電源がオンされると、入力端 1 からの電圧が徐々に上昇する。入力電圧が電源主回路 4 の動作電圧範囲の下限より低い間、コンパレータ 8 の出力は L レベルで、出力端は抵抗器 R 3 と R 4 で入力電圧を分圧した値に固定されるので、リセットパルス発生回路 7 のコンデンサ C は充電されず、従ってトランジスタ Q はオフのままであり、コレクタは H レベルにあり、出力短絡保護回路 5 は入力が H レベルなので保護機能が働き、電源主回路 4 は電圧を出力しない。 10

入力電圧が動作電圧範囲の下限より高くなると、コンパレータ 8 の出力が H レベルに転ずる。この瞬間、リセットパルス発生回路 7 のコンデンサ C を通じてコンパレータ 8 の出力の立ち上がり成分がパルス波形（微分パルス）となり、このパルスが抵抗器 R 5 を介してトランジスタ Q のベースに加わり、トランジスタ Q がオンし、出力短絡保護回路 5 の入力をゼロレベルに引き下げ、保護機能を解除（リセット）し、電源主回路 4 からは安定化された所定の電圧が出力される。

【0011】

電源がオフされると、入力端 1 の電圧は急激に下降し、出力短絡保護回路 5 が作動して電源主回路 4 は電圧を出力しなくなる。入力電圧が電源主回路 4 の動作電圧範囲の下限より低くなると、入力電圧検出回路 6 のコンパレータ 8 の出力が L レベルに転じ、この瞬間、リセットパルス発生回路 7 のコンデンサ C を通じてトランジスタ Q のベースに負の微分パルスが加わるが、このパルスはダイオード D によって吸収され、ダイオード D の順方向の電圧以上にはならないので、トランジスタ Q はオンされず（リセットパルスは出力されず）、出力短絡保護回路 5 は動作したままでリセットされず、これにより、電源主回路 4 から不安定な電圧が出力される状態が回避される。 20

【0012】

このように、電源がオフされたとき、入力電圧が下降する過渡時に電源主回路 4 から不安定な電圧が出力されないので、例えば、負荷にメモリを用いた回路が接続されているような場合に不安定な電圧による回路の異常動作でメモリデータが消滅あるいは変形するといった事態を避けることができる。 30

【0013】

【発明の効果】

以上に説明したように、本発明による電源回路によれば、電源がオンされたとき、入力電圧がどのように上昇しても、予め設定された電圧（電源主回路の動作電圧範囲の下限）まで上昇すると出力短絡保護回路がリセットされ、電源主回路から定電圧化された電圧が出力開始され、負荷に短絡が生じると電源主回路の保護のため電圧出力が遮断される。また、電源がオフされ、入力電圧が電源主回路の動作電圧範囲より低くなると、出力短絡保護回路が作動し、電源主回路の電圧出力が遮断される。これにより、例えば、負荷にメモリを用いた回路が接続されているような場合に電源回路からの不安定な電圧で異常動作してメモリデータが消滅あるいは変形するといった事態を避けることができる。また、電源オン時に出力短絡保護回路をリセットし、電源オフ時には出力短絡保護回路を作動させるための回路は、コンデンサとダイオードとトランジスタと二本の抵抗器を用いるだけの簡単な構成でよいので、回路を小型化でき、低コスト化が可能になる。 40

【図面の簡単な説明】

【図 1】本発明による電源回路の一実施例の要部ブロック図である。

【図 2】従来の電源回路の一例の要部ブロック図である。

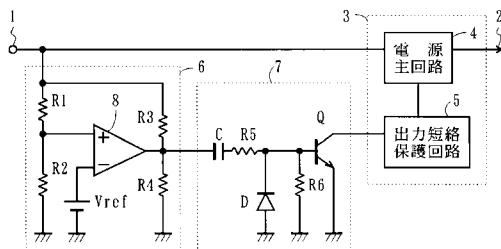
【符号の説明】

- 1 入力端
- 2 出力端

- 3 電源 I C ユニット
 4 電源主回路
 5 出力短絡保護回路
 6 入力電圧検出回路
 7 リセットパルス発生回路
 8 コンパレータ
 R 1 ～ R 6 抵抗器
 V r e f 基準電圧
 C コンデンサ
 D ダイオード
 Q トランジスタ (N P N 型)

10

【図 1】



【図 2】

