

①9 RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
PARIS

①1 N° de publication :
(à n'utiliser que pour les
commandes de reproduction)

2 584 848

②1 N° d'enregistrement national : **86 10025**

⑤1 Int Cl⁴ : G 11 B 20/18; G 06 F 11/00; H 04 L 1/20;
H 04 N 17/06.

⑫

DEMANDE DE BREVET D'INVENTION

A1

②2 Date de dépôt : 9 juillet 1986.

③0 Priorité : JP, 9 juillet 1985, n° 150696/85.

④3 Date de la mise à disposition du public de la
demande : BOPi « Brevets » n° 3 du 16 janvier 1987.

⑥0 Références à d'autres documents nationaux appa-
rentés :

⑦1 Demandeur(s) : Société dite : SONY CORPORATION. —
JP.

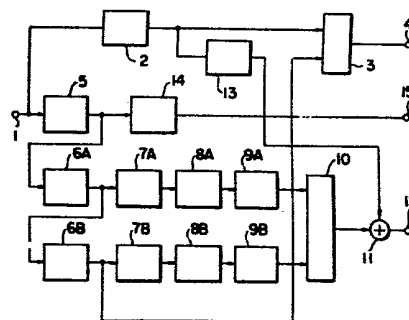
⑦2 Inventeur(s) : Tadao Fujika.

⑦3 Titulaire(s) :

⑦4 Mandataire(s) : Cabinet Beau de Loménie.

⑤4 Circuit détecteur d'erreurs utilisable, par exemple, dans un magnétoscope couleur numérique.

⑤7 Ce circuit permet de détecter la position d'une informa-
tion erronée, sans utiliser un code détecteur d'erreurs, par la
détection d'un composant hors bande d'un signal vidéo, ce qui
permet d'effectuer une correction convenable d'erreurs même
à la lecture à vitesse variable. Le circuit détecteur d'erreurs
selon l'invention comprend un circuit détecteur de crêtes 8A,
8B pour détecter une valeur de crête dans un signal de sortie
d'un filtre 6A, 6B détectant le composant hors bande du signal
vidéo, de manière à permettre la détection convenable de la
position de l'information erronée par la détection 10 d'un motif
des valeurs de crête.



FR 2 584 848 - A1

La présente invention concerne un circuit détecteur d'erreurs pouvant être utilisé, par exemple, dans un appareil de reproduction ou de lecture de signaux numériques, tel qu'un appareil d'enregistrement et de lecture numériques à bande magnétique d'images
5 ou magnétoscope numérique.

Dans un magnétoscope numérique, où l'enregistrement et la lecture s'effectuent avec utilisation d'un signal vidéo couleur composite, numérisé, une information erronée se produisant lors de la lecture normale peut être détectée au moyen de codes détecteurs
10 ou correcteurs d'erreurs. Dans la pratique, une erreur est corrigée lorsqu'une correction d'erreurs est possible au moyen du code correcteur d'erreurs, tandis qu'une erreur qui ne peut pas être corrigée est interpolée à l'aide de valeurs moyennes ou de manière analogue.

Par contre, lors d'une lecture à vitesse variable, la tête rotative effectue un balayage en travers de plusieurs pistes, en raison des changements de la vitesse de la bande magnétique, de sorte qu'il devient impossible d'obtenir des informations continues. De ce fait, la correction d'erreurs au moyen d'un code
20 correcteur d'erreurs est généralement considérée comme posant des problèmes. On envisage d'employer des codes correcteurs d'erreurs de faible longueur de code, pour que des erreurs puissent également être corrigées pendant la lecture à vitesse variable ; cette solution pose cependant le problème que l'information vidéo exacte n'est pas
25 utilisée, bien qu'elle soit en elle-même exacte, puisque la longueur d'entrelacement du code correcteur d'erreurs est courte lorsque le code redondant en tant que code correcteur d'erreurs est inexact. De plus, comme les erreurs augmentent en nombre lors d'une lecture à vitesse variable, il se pose le problème supplémentaire qu'une
30 correction d'erreurs convenable n'est pas possible lorsqu'elle est basée sur le résultat détecté par des codes correcteurs d'erreurs.

L'invention vise à procurer un circuit détecteur d'erreurs qui supprime le défaut décrit ci-dessus du circuit classique ; qui puisse détecter les erreurs sans l'emploi de codes
35 détecteurs ou correcteurs d'erreurs ; qui soit capable de détecter convenablement la position des informations erronées et, enfin,

qui soit utilisable lors de la lecture à vitesse variable dans un magnétoscope numérique.

5 Le circuit détecteur d'erreurs selon l'invention, utilisé pour un signal vidéo numérique contenant des bruits aléatoires, comprend un circuit pour détecter le niveau de signal en dehors de la bande de fréquences du signal vidéo numérique et est conçu pour détecter la position d'une erreur dans le signal vidéo numérique en fonction du signal de sortie du circuit de détection.

10 Le circuit détecteur comprend un premier filtre passe-haut et un premier circuit détecteur de crêtes et il est conçu pour déterminer la position d'une erreur d'après un signal de valeur de crête fourni par le premier circuit détecteur de crêtes.

15 Le circuit détecteur comprend un second filtre passe-haut qui est connecté à la sortie du premier filtre passe-haut, de même qu'un second circuit détecteur de crêtes, et il est conçu pour déterminer la position d'une erreur par la détection de motifs de signaux de valeur de crête fournis par le premier et le second circuit détecteur de crêtes.

20 Les informations erronées peuvent être détectées par la détection d'un composant hors bande d'un signal vidéo. Le composant compris dans la bande passante du signal vidéo est enlevé au moyen d'un filtre éliminateur de bande et des filtres passe-haut, le composant hors bande du signal vidéo étant délivré à la sortie des filtres passe-haut.

25 La valeur de crête du signal à la sortie du premier filtre passe-haut et la valeur de crête du signal à la sortie du second filtre passe-haut, lequel est connecté à la sortie du premier filtre passe-haut, présentent des motifs spécifiques qui correspondent à la position où l'information erronée est générée. En
30 soumettant ces motifs à une détection, on peut déterminer la position où l'information erronée s'est produite.

D'autres caractéristiques et avantages de l'invention ressortiront plus clairement de la description qui va suivre de plusieurs modes de réalisation non limitatifs, ainsi que des
35 dessins annexés, sur lesquels :

- la figure 1 montre une table spectrale servant à expliquer un mode de réalisation de l'invention ;

- la figure 2 est le schéma synoptique d'un circuit détecteur d'erreurs selon un mode de réalisation de l'invention ;

5 - la figure 3 est le schéma synoptique d'un filtre éliminateur de bande utilisé dans un circuit détecteur d'erreurs selon l'invention ;

10 - la figure 4 est le schéma synoptique d'un filtre passe-haut utilisé dans un circuit détecteur d'erreurs selon l'invention ;

- la figure 5 représente une forme d'onde servant à expliquer un circuit détecteur d'erreurs selon l'invention ;

15 - la figure 6 est une représentation schématique servant à expliquer la détection des crêtes dans un circuit détecteur d'erreurs selon l'invention ;

- les figures 7 A, B et C sont des représentations schématiques servant à expliquer le fonctionnement d'un circuit détecteur d'erreurs selon l'invention ;

20 - les figures 8A et 8B représentent les schémas de circuits de valeur absolue, de circuits détecteurs de crêtes et de circuits supprimeurs de bruit utilisés dans un circuit détecteur d'erreurs selon l'invention ;

25 - les figures 9A et 9B sont des représentations schématiques pour expliquer le fonctionnement des circuits détecteurs de crêtes des figures 8A et 8B ;

- la figure 10 représente le schéma d'un circuit détecteur de motifs utilisé dans un circuit détecteur d'erreurs selon l'invention ; et

30 - les figures 11 A, B et C sont des diagrammes de temps utilisés pour expliquer le fonctionnement du circuit détecteur de motifs représenté sur la figure 10.

La description qui va suivre porte sur un mode de réalisation préféré de l'invention.

35 Dans un magnétoscope numérique, avec numérisation d'un signal vidéo couleur composite et enregistrement de ce signal

sur une bande magnétique à l'aide d'une tête magnétique rotative, on a prévu un processus de réarrangement. Ce processus provoquant la dispersion d'un paquet d'erreurs à la remise dans l'ordre initial, pendant la reproduction, les informations erronées n'apparaissent pas l'une après l'autre mais sous forme d'erreurs aléatoires d'un échantillon ou de deux échantillons dans l'information numérique reproduite. La fréquence maximale du signal vidéo est limitée, par exemple à 4,2 MHz dans le système NTSC, comme représenté sur la figure 1. Si un signal reproduit contient l'une des erreurs aléatoires mentionnées ci-dessus, un composant de signal hors de la bande de fréquences du signal vidéo sera contenu dans le signal reproduit. La détection du composant hors bande du signal vidéo permet par conséquent de détecter l'information erronée.

Lorsqu'on se reporte maintenant à la figure 2, la borne d'entrée 1 reçoit un signal vidéo couleur composite, numérique, de 8 bits par exemple, qui a été lu par une tête magnétique rotative dans un magnétoscope numérique. Ce signal est numérisé à la cadence d'échantillonnage correspondant à quatre fois la fréquence de la sous—porteuse de couleur. A partir de la borne d'entrée 1, il est envoyé à travers un circuit à retard 2 et un sélecteur 3 à une borne de sortie 4 pour le contrôle, de même qu'à un étage suivant.

A cet effet, le signal vidéo couleur composite, numérisé, est appliqué, à partir de la borne d'entrée 1, à un filtre éliminateur de bande 5, comprimant le composant de fréquence de sous—porteuse de couleur, à 3,58 MHz par exemple, en commençant par le composant de fréquence de sous—porteuse de couleur de grande puissance. Le signal de sortie du filtre éliminateur de bande 5 est appliqué à un filtre passe-haut 6A pour permettre le passage à travers ce filtre du composant hors de la bande du signal vidéo, du composant dépassant 4,2 MHz par exemple, le signal de sortie du filtre passe-haut 6A étant appliqué à un filtre passe-haut 6B, par lequel le composant compris dans la bande passante du signal vidéo est enlevé.

Comme filtre éliminateur de bande 5, la figure 3 représente, à titre d'exemple, un filtre numérique qui est constitué

de circuits à retard à un échantillon 51, 52, 53 et 54, de circuits additionneurs 55 et 56 et de circuits de multiplication par 1/2 57 et 58, et dont la fonction de transfert $H(z)$ correspond à :

$$H(z) = (1 + 2z^{-2} + z^{-4}) / 4.$$

5 En tant que filtres passe-haut 6A et 6B, on utilise, par exemple, un filtre numérique comme celui représenté sur la figure 4, comprenant des circuits à retard à un échantillon 61 et 62, des circuits additionneurs 63 et 64 et des circuits de multiplication par 1/2 65 et 66, et dont la fonction de transfert $H(z)$ correspond à :

$$H(z) = (-1 + 2z^{-1} - z^{-2}) / 4.$$

Comme le signal de sortie du filtre passe-haut 6A est appliqué à l'entrée du filtre passe-haut 6B, ces deux filtres forment ensemble un filtre numérique dont la fonction de transfert $H(z)$ possède une caractéristique à pente raide et correspondant à :

$$H(z) = (-1 + 2z^{-1} - z^{-2})(-1 + 2z^{-1} + z^{-2})/16.$$

La sortie du filtre passe-haut 6B délivre seulement le composant hors bande du signal vidéo et l'apparition ou non de ce composant à la sortie du filtre 6B indique si le signal vidéo contient ou non une information erronée. Si le signal vidéo contient une erreur, le filtre passe-haut 6B fournit un signal de sortie. Si le signal vidéo ne contient pas d'erreur, ce filtre ne fournit pas de signal de sortie.

25 Cependant, il est difficile de déterminer la position de l'information erronée d'après le seul signal de sortie du filtre passe-haut 6B. Plus précisément, lorsque la présence d'une information erronée est détectée, le filtre numérique délivre un signal de sortie comme celui représenté sur la figure 5. Du fait que le
30 filtre possède une caractéristique à pente raide, il y a beaucoup

de résonance et des valeurs de crête du signal de sortie du filtre apparaissent en plusieurs positions. De plus, si l'information introduite dans le filtre contient une erreur sur deux ou davantage d'échantillons, les valeurs de crête du signal de sortie du filtre ne correspondent pas toujours aux positions de l'information erronée.

Pour déterminer la position de l'information erronée d'après le signal de sortie du filtre, l'invention prévoit un circuit de valeur absolue 7A, un circuit détecteur de crêtes 8A et un circuit supprimeur de bruit 9A pour la sortie du filtre passe-haut 6A, de même qu'un circuit de valeur absolue 7B, un circuit détecteur de crêtes 8B et un circuit supprimeur de bruit 9B pour la sortie du filtre passe-haut 6B. Comme la caractéristique du filtre passe-haut 6A est progressive comparativement à la caractéristique de la combinaison des deux filtres passe-haut 6A et 6B, il n'y a pas autant de résonance dans le premier.

Les signaux de sortie des filtres passe-haut 6A et 6B sont transformés, par les circuits de valeur absolue 7A et 7B, en informations de valeur absolue, comme indiqué sur la figure 6, qui sont fournies aux circuits détecteurs de crêtes 8A et 8B. Dans ces derniers, on obtient des valeurs de crête P_1 et P_2 des signaux de sortie des filtres passe-haut 6A et 6B, après passage par les circuits de valeur absolue 7A et 7B. Ces signaux de sortie des circuits détecteurs de crêtes 8A et 8B sont appliqués, à travers les circuits supprimeurs de bruit 9A et 9B, à un circuit détecteur de motifs 10. Les circuits supprimeurs de bruit 9A et 9B sont dotés de seuils qui font que ces circuits supprimeurs de bruit éliminent les valeurs de crête P_1 et P_2 de niveau relativement bas et qui sont pas nécessaires pour la détection des motifs.

La position de l'erreur est trouvée dans le circuit détecteur de motifs 10 sur la base des valeurs de crête P_1 et P_2 qui sont appliquées à ce circuit à travers les circuits supprimeurs de bruit 9A et 9B. Si l'information erronée E porte sur un échantillon, les valeurs de crête P_1 et P_2 correspondent à la position de l'information erronée. Au cas où l'information erronée porte sur deux échantillons, les valeurs de crête P_1 fournies par le circuit supprimeur de bruit 9A et les valeurs de crête P_2 fournies par le

circuit supprimeur de bruit 9B apparaissent sous forme de motifs spécifiques, par exemple comme représenté sur les figures 7A à 7C, en raison de la dispersion de l'information erronée E. Le circuit 10 détecte l'appartenance des motifs des valeurs de crête P_1 et P_2 qui
5 lui sont fournies par les circuits supprimeurs de bruit 9A et 9B et détermine ainsi les positions des informations erronées. Les impulsions d'erreur EP, voir les figures 7A à 7C, sont produites en concordance avec les positions des informations erronées par le
10 circuit 10 et ces impulsions d'erreur sont fournies à un circuit additionneur 11. Le signal de sortie de ce dernier est appliqué à une borne 12 de sortie d'impulsions d'erreur. Ces impulsions d'erreur EP sont transmises à un circuit correcteur d'erreurs dans un étage suivant, non représenté.

La référence 13 sur la figure 2 désigne un circuit
15 détecteur d'information FF (de fréquence de trame) servant à détecter une information "FF" de nombre hexadécimal. Au cas où il est détecté une information hexadécimale "FF", qui ne pourrait pas être l'information d'échantillonnage du signal vidéo, pendant qu'un signal vidéo couleur, numérique, d'entrée, est fourni depuis la
20 borne d'entrée 1 et à travers le circuit à retard 2 au circuit détecteur FF 13, ce dernier produit une impulsion d'erreur et cette impulsion est appliquée au circuit additionneur 11.

La référence 14 désigne un circuit détecteur de suppression du noir. Le signal du filtre éliminateur de bande 5
25 est appliqué à ce circuit 14 pour être comparé avec l'information pour le niveau de suppression. Au cas où le circuit 14 détecte une information au-dessous du niveau de suppression, un signal de détection est appliqué à une borne de sortie 15, d'où ce signal est transmis à un circuit détecteur de suppression du noir (non
30 représenté) et transformé en information de niveau de suppression.

Le sélecteur 3 est prévu pour que le composant hors bande du signal vidéo puisse être sorti à des fins de contrôle. Le sélecteur 3 reçoit à son entrée les signaux de sortie du circuit à retard 2 et du filtre passe-haut 6B et il transmet sélectivement
35 l'un ou l'autre à la borne de sortie 4.

Les motifs dont il a été question dans ce qui précède dépendent des caractéristiques de filtrage pour supprimer la bande du signal vidéo couleur. Différents autres motifs sont possibles, suivant les caractéristiques de filtrage, en dehors de ceux représentés sur la figure 7.

5 Au cas où le circuit 10 de détection de motifs détecte un motif qui n'est pas préétabli dans ce circuit, il détermine si oui ou non une valeur de crête P_2 , ayant traversé le circuit supprimeur de bruit 9B, est présente, par exemple, dans deux échantillons avant et après la valeur de crête P_1 , qui a traversé le
10 circuit supprimeur de bruit 9A ; si la valeur de crête P_2 y est détectée, le circuit 10 établit que cette information correspond à l'information erronée. La détection de P_2 peut être effectuée dans un échantillon avant et un échantillon après la valeur de
15 crête P_1 , mais on peut également prévoir une commutation, suivant les circonstances.

La figure 8A montre le circuit de valeur absolue 7A, recevant l'information délivrée par la sortie du filtre passe-haut 6A. Le circuit 7A produit la valeur absolue de cette information reçue
20 à son entrée. Un circuit à retard 80A reçoit le signal de sortie du circuit de valeur absolue 7A et produit un signal de sortie retardé d'un échantillon et un autre signal de sortie retardé d'un échantillon, qui est inversé par rapport au premier. Ces deux signaux de sortie sont appliqués à un circuit additionneur 81A
25 qui est destiné à produire la différence entre les deux. Le signal de sortie du circuit additionneur 81A est retardé d'un échantillon par un circuit à retard 82A.

Un circuit 83A détecteur de flancs positifs délivre un signal de détection lorsque le signal de sortie du circuit à retard 82A est supérieur ou égal à huit. Un additionneur 84A
30 produit un signal de détection négatif lorsque la sortie de l'additionneur 84A produit un signal de report.

Un circuit 85A détecteur de flancs négatifs reçoit le signal de sortie du circuit à retard 82A et le signal de sortie
35 de l'additionneur 84A, à travers le circuit à retard 82A. Le circuit 85A produit un signal de détection lorsque le signal de

sortie du circuit à retard 82A est inférieur ou égal à moins 8.

Un circuit 86A détecteur de zone produit un signal de détection lorsque le signal de sortie du circuit à retard 82A est compris entre moins sept et sept.

5 Un circuit 87A de réglage du niveau de seuil dynamique produit une information de niveau de seuil X et Y, laquelle est réglée à partir d'une borne d'entrée de réglage. L'information de niveau de seuil est appliquée à un circuit comparateur 88A qui compare un bit inférieur du signal de sortie du circuit à retard 82A
10 et un bit inférieur retardé d'une période d'horloge avec l'information de niveau de seuil.

 Un circuit logique 89A de détection de crêtes reçoit le signal de détection de flancs positifs, le signal de détection de flancs négatifs et le signal de détection de zone, ensemble
15 avec des signaux de sortie du circuit comparateur 88A, et produit un signal de point de crête lorsqu'une information de valeur absolue et inférieure est suivie par une information de valeur absolue plus élevée et lorsqu'une information de valeur absolue inférieure consécutive, ou une information de valeur absolue inférieure, est suivie
20 par deux informations de valeur absolue plus élevée, limitée par l'information de niveau de seuil, ou lorsque deux informations de valeur absolue plus élevée sont suivies par une information de valeur absolue inférieure, comme représenté sur la figure 9A.

 Le signal de sortie retardé d'une période d'horloge,
25 du circuit à retard 80A, est appliqué à un circuit 91A de réglage de niveau de seuil. Un signal de sortie de ce circuit 91A est appliqué à un circuit de porte 92A en tant que signal de porte pour faire passer le signal de point de crête à travers le circuit 92A en qualité de signal de sortie indicateur de crête P_1 .

30 La figure 8B représente le circuit de valeur absolue 7B, recevant l'information de sortie délivrée par le filtre passe-haut 6B. Le circuit de valeur absolue 7B produit la valeur absolue de l'information appliquée à son entrée. Un circuit à retard 80B reçoit le signal de sortie du circuit de valeur absolue 7B
35 et produit un signal de sortie retardé d'un échantillon et un autre signal de sortie retardé d'un échantillon mais inversé par rapport

au premier. Ces deux signaux de sortie du circuit à retard 80B sont appliqués à un circuit additionneur 81B destiné à produire la différence entre les signaux reçus à son entrée. Le signal de sortie du circuit additionneur 81B est retardé d'un échantillon par un circuit à retard 82B.

Un circuit 83B détecteur de flancs positifs produit un signal de détection lorsque le signal de sortie du circuit à retard 82B est positif. Un additionneur 84B produit un signal de détection négatif lorsque la sortie de l'additionneur 84A produit un signal de report.

Un circuit logique 89B de détection de crêtes reçoit le signal de détection de flanc positif et le signal de détection de flanc négatif, retardé d'une période d'horloge, et produit un signal de point de crête lorsqu'une information de valeur absolue inférieure est suivie par une information de valeur absolue plus élevée et lorsqu'une information de valeur absolue inférieure consécutive, ou une information de valeur absolue inférieure, est suivie par deux informations de valeur absolue plus élevée, ou lorsque deux informations de valeur absolue plus élevée sont suivies par une information de valeur absolue inférieure, comme représenté sur la figure 9B.

Le signal de sortie retardé d'une période d'horloge, du circuit à retard 80B, est appliqué à un circuit 91B de réglage de niveau de seuil. Le signal de sortie de ce circuit 91B est fourni à un circuit de porte 92B comme signal de porte pour faire passer le signal de point de crête par le circuit 92B en qualité de signal de sortie indicateur de crête P_2 .

Sur la figure 10, on voit que le signal indicateur de crête P_1 est transmis à un registre à décalage 101A et que le signal indicateur de crête P_2 est transmis à un registre à décalage 101B.

Les signaux de sortie Q_A , Q_B , Q_D à Q_G du registre à décalage 101A et les signaux de sortie Q_A à Q_F du registre à décalage 101B sont transmis à un circuit logique 102 qui délivre à sa sortie un signal indicateur d'erreur P.

Le circuit logique 102 peut être remplacé par une mémoire morte (ROM). Dans ce cas, les signaux de sortie des registres à décalage 101A et 101B sont transmis à la borne d'adresse de cette mémoire morte en tant que signal d'adresse et le signal
5 indicateur d'erreur P est obtenu sous forme d'une information de sortie de cette mémoire.

Les figures 11 A à C montrent les informations binaires aux points (a) à (p) du circuit logique 102, dans une séquence chronologique, en cas d'apparition des motifs de crête
10 représentés sur les figures 7A, 7B respectivement 7C.

Selon l'invention, comme la détection d'erreurs est effectuée par la détection d'un composant hors bande du signal vidéo, une détection d'erreurs convenable est possible même à la lecture à vitesse variable, sans qu'il se pose le problème de
15 l'impossibilité d'effectuer une correction d'erreurs convenable comme cela est le cas pour l'emploi d'un code correcteur d'erreurs. De plus, grâce à l'utilisation des signaux de sortie de deux filtres passe-haut, il est possible de détecter convenablement la position de l'information erronée.

REVENDICATIONS

1. Circuit détecteur d'erreurs, caractérisé en ce qu'il comprend :

un circuit d'entrée (1, 2) recevant un signal numérique, obtenu par conversion d'un signal analogique, le circuit d'entrée possédant un circuit éliminateur (2) pour éliminer un composant de signal hors de la bande de fréquences du signal analogique ;

un premier circuit de détection (6A, 7A, 8A, 9A, 6B, 7B, 8B, 9B) qui est connecté au circuit d'entrée (1, 5) et est destiné à détecter un niveau de signal hors de la bande de fréquences du signal numérique appliqué au circuit d'entrée (1, 5) ; et

un deuxième circuit de détection (10) qui est connecté au premier circuit de détection (6A, 7A, 8A, 9A, 6B, 7B, 8B, 9B) et est destiné à détecter la position d'une erreur dans le signal numérique d'après le signal de sortie du premier circuit de détection (6A, 7A, 8A, 9A, 6B, 7B, 8B, 9B).

2. Circuit détecteur d'erreurs selon la revendication 1, dans lequel le premier circuit de détection (6A, 7A, 8A, 9A, 6B, 7B, 8B, 9B) contient un premier filtre passe-haut (6A) et un premier circuit détecteur de crêtes (8A) qui est connecté au premier filtre passe-haut (6A) et est destiné à produire un premier signal de valeur de crête, et dans lequel le deuxième circuit de détection (10) détermine la position de l'erreur d'après le signal de valeur de crête fourni par le premier circuit détecteur de crêtes (8A).

3. Circuit détecteur d'erreurs selon la revendication 2, dans lequel le premier circuit de détection (6A, 7A, 8A, 9A, 6B, 7B, 8B, 9B) contient, en outre, un deuxième filtre passe-haut (6B) connecté au premier filtre passe-haut (6A), de même qu'un deuxième circuit détecteur de crêtes (8B) qui est connecté au premier filtre passe-haut (8B) et est destiné à produire un deuxième signal de valeur de crête, et dans lequel le deuxième circuit de détection (10) détermine la position de l'erreur d'après les premier et deuxième signaux de valeur de crête fournis par les premier et deuxième circuits détecteurs de crêtes (8A, 8B).

4. Circuit détecteur d'erreurs selon la revendication 2, dans lequel le premier circuit de détection (6A, 7A, 8A, 9A, 6B, 7B, 8B, 9B) contient, en outre, un circuit supprimeur de bruit (9A, 9B) qui est connecté entre le premier circuit détecteur de crêtes (8A) et le deuxième circuit de détection (10).
5. Circuit détecteur d'erreurs selon la revendication 4, dans lequel le circuit supprimeur de bruit (9A, 9B) contient un circuit de réglage (91A, 91B) pour le réglage d'un niveau de seuil et un circuit de porte (92A, 92B) qui est connecté au premier circuit détecteur de crêtes (8A) et est destiné à faire passer ou à empêcher le passage du signal de sortie du premier circuit détecteur de crêtes (8A).
6. Circuit détecteur d'erreurs selon la revendication 3, dans lequel le premier circuit de détection (6A, 7A, 8A, 9A, 6B, 7B, 8B, 9B) contient, en outre, un circuit de valeur absolue (7A, 7B) connecté entre le premier filtre passe-haut (6A) et le premier circuit détecteur de crêtes (8A) d'une part et entre le deuxième filtre passe-haut (8A) et le deuxième circuit détecteur de crêtes (8B) d'autre part.
7. Circuit détecteur d'erreurs selon la revendication 1, dans lequel le circuit d'entrée (1, 2) comporte un filtre éliminateur de bande (2).
8. Circuit détecteur d'erreurs selon la revendication 1, dans lequel le signal numérique est un signal vidéo composite, numérique.

FIG. 1

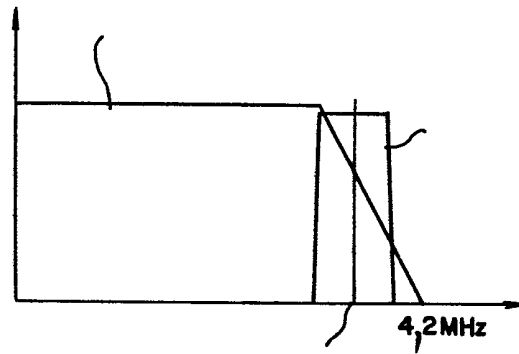


FIG. 2

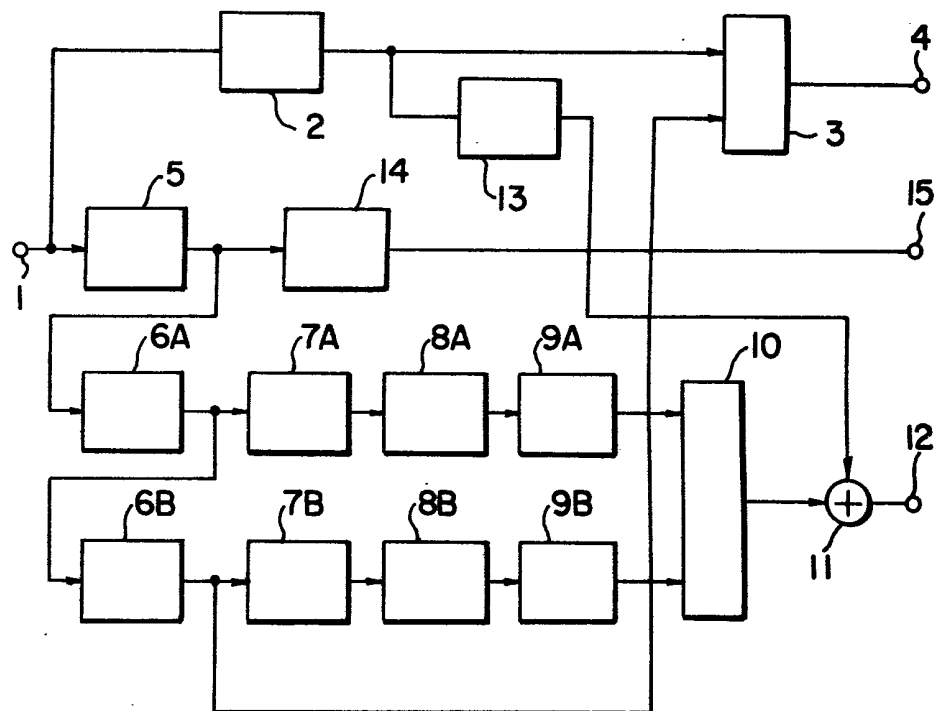


FIG. 3

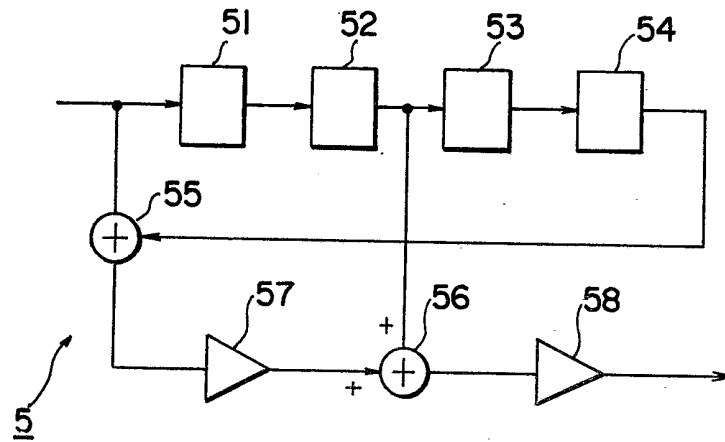


FIG. 4

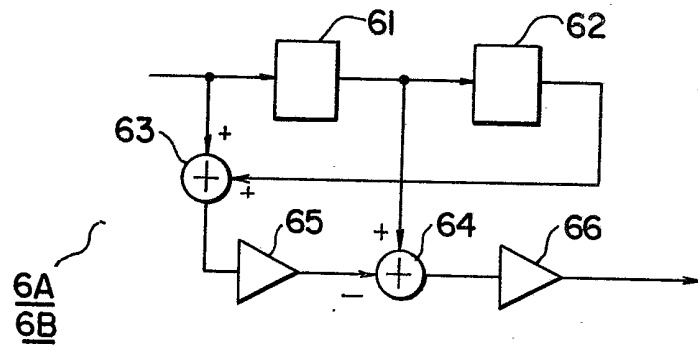


FIG. 5

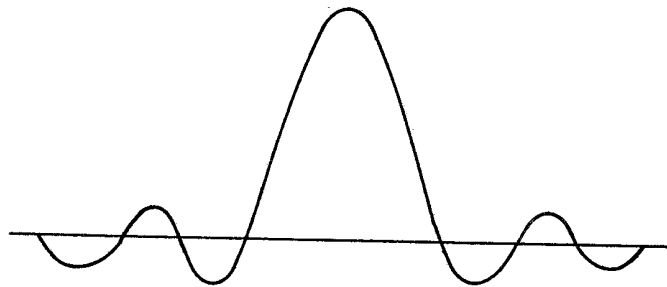


FIG. 6

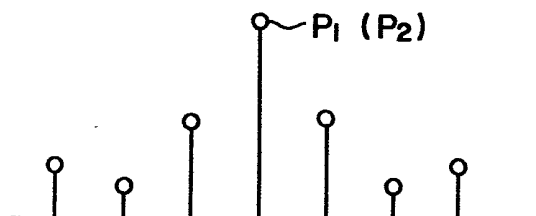


FIG. 7A

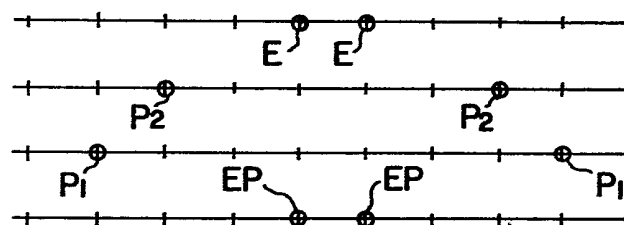


FIG. 7B

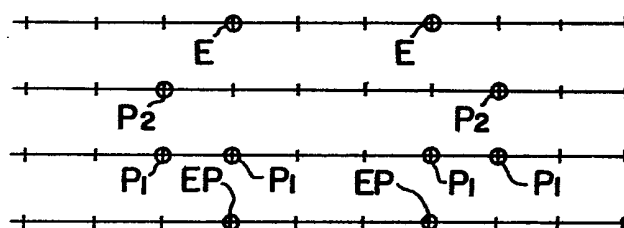
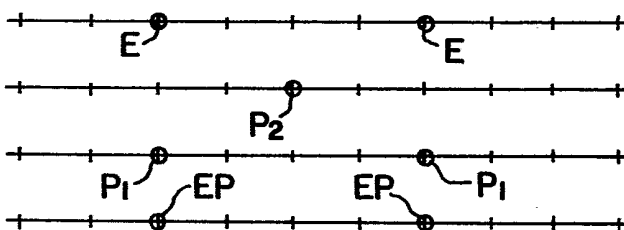
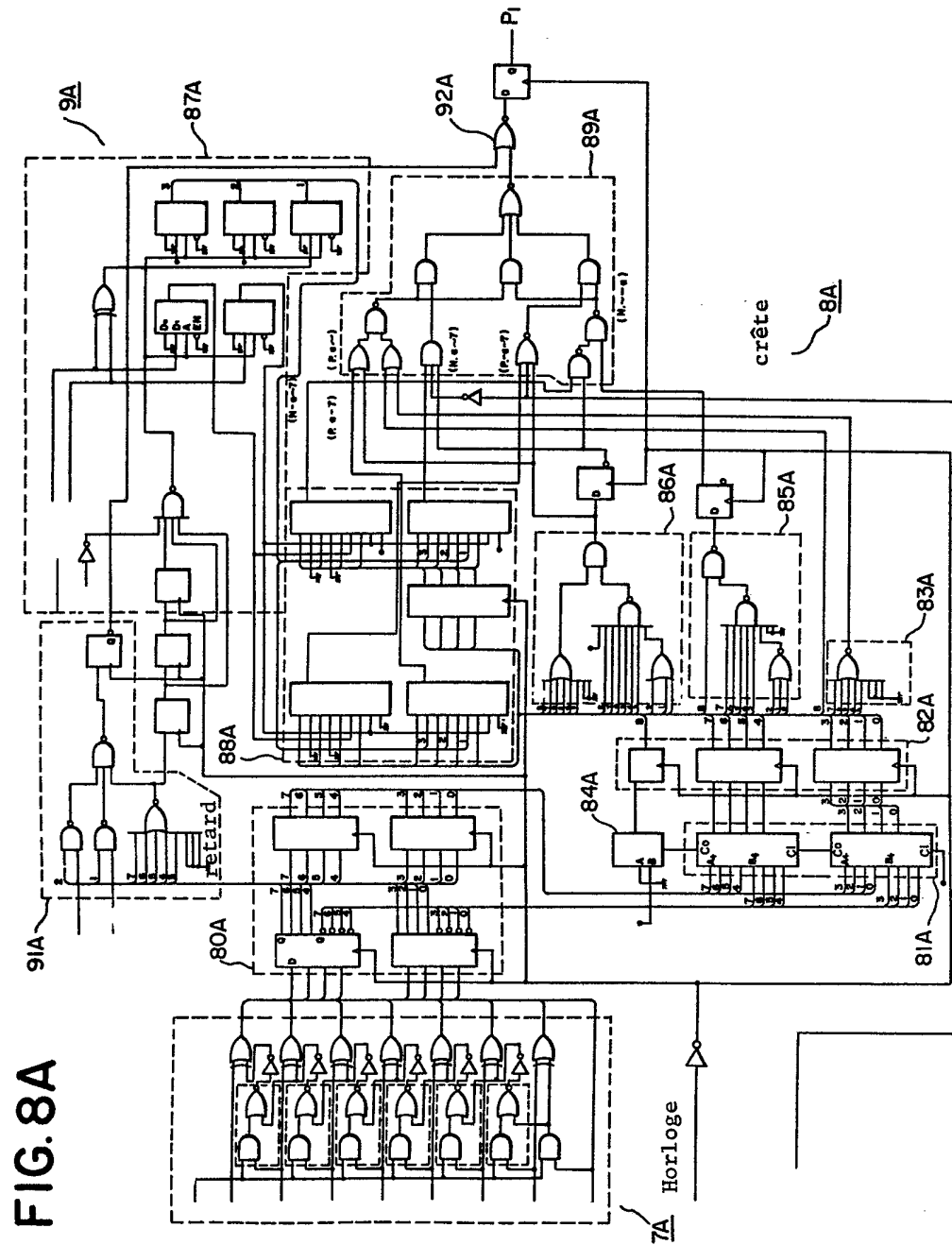


FIG. 7C





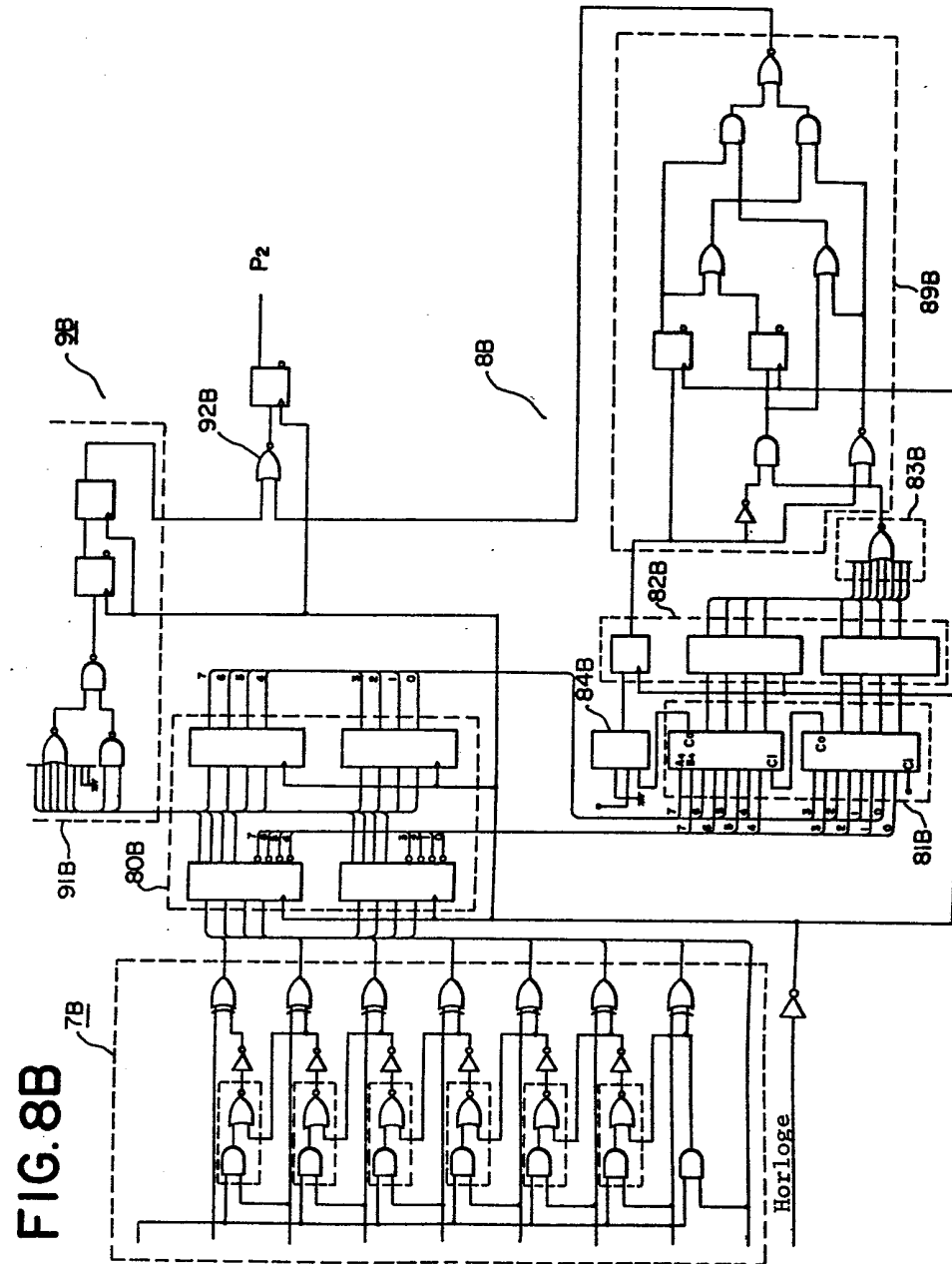


FIG. 9B

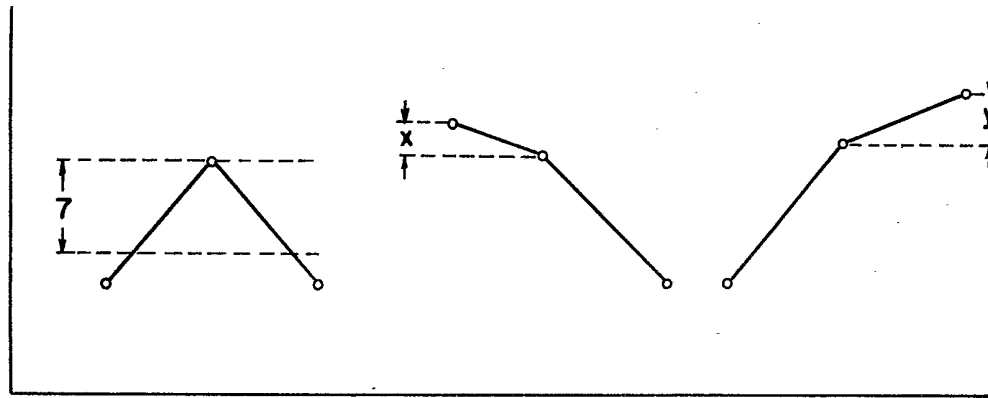


FIG. 9A

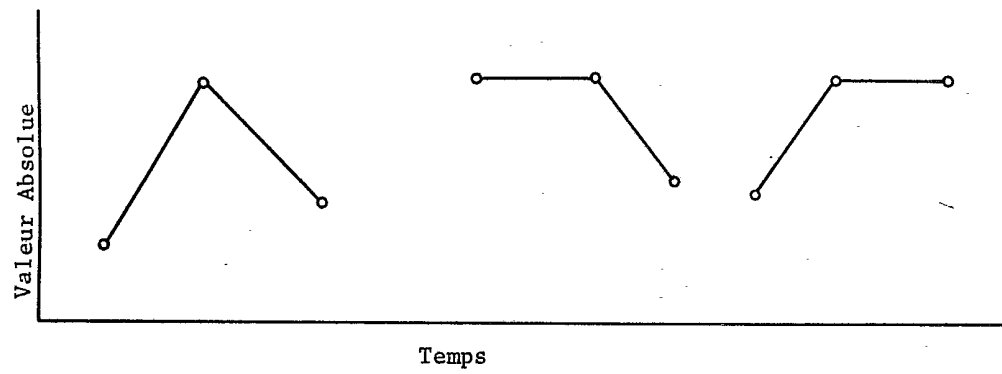


FIG. 10

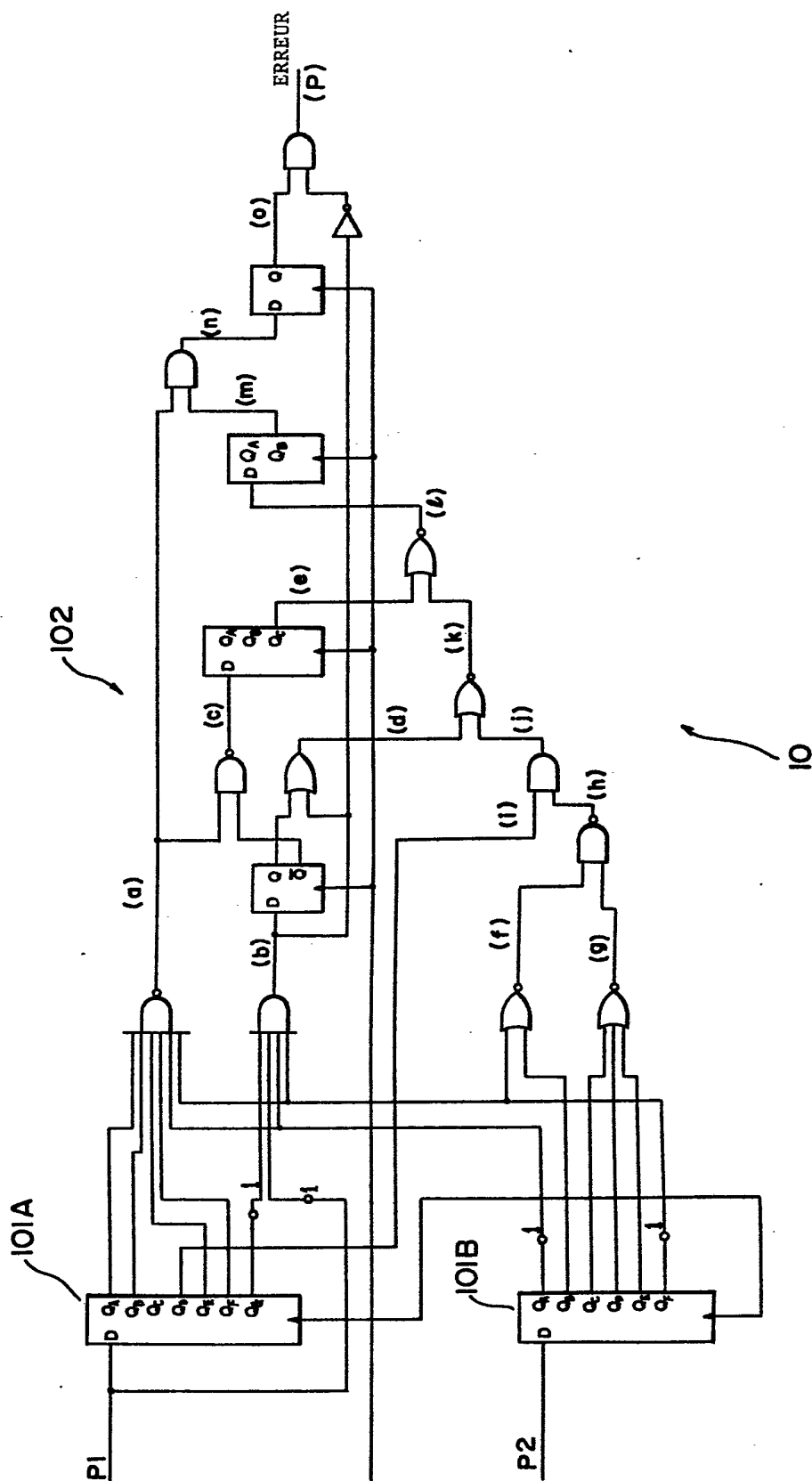


FIG. IIA

(a)				1				1	1	1				1		
(b)				0				0	0	1	0	0	0	0		0
(c)				0				0	0	0	1	0	0		0	
(d)				0				0	0	1	1	0	0		0	
(e)				0				0	0	0	0	0	0	1	0	0
(f)			1		1	1	0	1	1	1	0	0	1	1	1	1
(g)			1		1	1	0	0	0	1	1	0	0	0	1	1
(h)			1		0	0	1	1	1	1	1	1	1	1	0	0
(i)			0		0	0	1	0	0	0	0	0	0	1	0	0
(j)			0		0	0	1	0	0	0	0	0	0	1	0	0
(k)			1		1	1	0	1	1	0	0	1	1	0	1	1
(l)					0			0	0	1	1	0	0	0	0	0
(m)					0			0	0	0	0	1	1	0	0	0
(n)					0			0	0	0	0	1	1	0	0	0
(o)					0			0	0	0	0	0	1	1	0	0
(p)					0			0	0	0	0	0	1	1	0	0
P1	0	0	0	1	0	0	0	0	0	0	1	0	0		0	
P2	0	0	0	0	1	0	0	0	0	1	0	0	0		0	

FIG. IIB

(a)		1	1	0	1	1	1									
(b)		0	0	0	0											
(c)		0	0	1	0	0	0									
(d)		0	0	0	0											
(e)		0	0	0	0	0	1	0	0							
(f)		0	0	1	0	0	0	1	1	0	0	1	0	0		
(g)		0	0	0	1	1	1	0	1	1	1	0	0	0		
(h)		1				1	1	1	0	1	1					
(i)		0		0	0	1	1	0	0	1	1	0	0			
(j)		0		0	0	1	1	0	0	1	1	0	0			
(k)		1		1	1	0	0	1	1	0	0	1	1			
(l)		0		0	0	1	1	0	0	1	0	0	0			
(m)		0		0	0	0	0	1	1	0	0	1	0			
(n)		0		0	0	0	0	0	1	0	0	1	0	0		
(o)		0		0	0	0	0	0	0	1	0	0	1	0		
(p)		0		0	0	0	0	1	0	0	1	0	0			
P1		0	0	0	0	1	1	0	0	1	1	0	0	0	0	
P2		0	0	0	1	0	0	0	0	1	0	0	0	0	0	

FIG. IIB

(a)		1 1 0 1 1 1	
(b)		0 0 0 0	
(c)		0 0 1 0 0 0	
(d)		0 0 0 0	
(e)		0 0 0 0 0 1 0 0	
(f)		0 0 1 0 0 0 1 1 0 0 0 1 0 0	
(g)		0 0 0 1 1 1 0 1 1 1 0 0 0	
(h)		1 1 1 0 1 1	
(i)		0 0 1 1 0 0 1 1 0 0	
(j)		0 0 1 1 0 0 1 1 0 0	
(k)		1 1 0 0 1 1 0 0 1 1	
(l)		0 0 1 1 0 0 1 0 0 0	
(m)		0 0 0 0 1 1 0 0 1 0	
(n)		0 0 0 0 0 1 0 0 1 0 0	
(o)		0 0 0 0 0 0 1 0 0 1 0 0	
(p)		0 0 0 0 1 0 0 1 0 0	
P1		0 0 0 0 1 1 0 0 1 1 0 0 0 0 0	
P2		0 0 1 0 0 0 0 1 0 0 0 0 0 0	