

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2012-199547
(P2012-199547A)

(43) 公開日 平成24年10月18日(2012. 10. 18)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 27/095 (2006.01)	HO 1 L 29/80 E	5 F O 4 8
HO 1 L 21/338 (2006.01)	HO 1 L 29/80 H	5 F 1 O 2
HO 1 L 29/812 (2006.01)	HO 1 L 27/08 1 O 2 A	
HO 1 L 29/778 (2006.01)		
HO 1 L 27/088 (2006.01)		

審査請求 有 請求項の数 20 O L 外国語出願 (全 14 頁) 最終頁に続く

(21) 出願番号 特願2012-59460 (P2012-59460)	(71) 出願人 597161115 インターナショナル レクティファイアー コーポレーション アメリカ合衆国 カリフォルニア州 90 245 エル セガンド ノース セブル ヴェーダ ブールバード 101
(22) 出願日 平成24年3月15日 (2012. 3. 15)	
(31) 優先権主張番号 61/454, 743	
(32) 優先日 平成23年3月21日 (2011. 3. 21)	
(33) 優先権主張国 米国 (US)	
(31) 優先権主張番号 13/417, 143	(74) 代理人 100147485 弁理士 杉村 憲司
(32) 優先日 平成24年3月9日 (2012. 3. 9)	(74) 代理人 100153017 弁理士 大倉 昭人
(33) 優先権主張国 米国 (US)	(74) 代理人 100158148 弁理士 荒木 淳

最終頁に続く

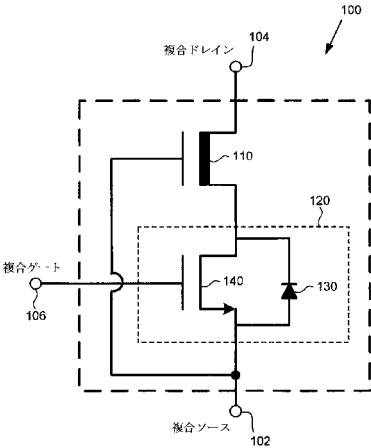
(54) 【発明の名称】 アクティブ発振防止付き複合半導体デバイス

(57) 【要約】

【課題】 アクティブ発振防止付き複合半導体デバイスを提供する。

【解決手段】 本明細書は、アクティブ発振制御付き複合半導体デバイスの種々の実現を開示する。1つの好適な実現では、ノーマリオフ複合半導体デバイスが、ノーマリオンIII-窒化物パワートランジスタ、及びこのノーマリオンIII-窒化物パワートランジスタとカスコード接続された低電圧（LV）デバイスを含えて、ノーマリオフ複合半導体デバイスを形成する。このLVデバイスは、例えば修正したボディ打込み領域により低減した出力抵抗、及び例えば修正した酸化物の厚さにより低減したトランスコンダクタンスの一方または両方を含むように構成されて、複合半導体デバイスのゲインを約10,000以下にすることができる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

アクティブ発振制御を含むノーマリオフ複合半導体デバイスであって、
ノーマリオンIII-窒化物パワートランジスタと；

前記ノーマリオンIII-窒化物パワートランジスタとカスコード接続されて、前記ノーマリオフ複合半導体デバイスを形成する低電圧（LV）デバイスとを具え、

前記LVデバイスは、前記ノーマリオフ複合半導体デバイスのゲインを約10,000以下にするように低減された出力抵抗を有することを特徴とするノーマリオフ複合半導体デバイス。

【請求項 2】

10

前記ノーマリオンIII-窒化物パワートランジスタが、III-窒化物電界効果トランジスタ（III-N FET）で構成されることを特徴とする請求項 1 に記載のノーマリオフ複合半導体デバイス。

【請求項 3】

前記ノーマリオンIII-窒化物パワートランジスタが、III-窒化物高電子移動度トランジスタ（III-N HEMT）で構成されることを特徴とする請求項 1 に記載のノーマリオフ複合半導体デバイス。

【請求項 4】

前記LVデバイスが、LVIV族半導体デバイスで構成されることを特徴とする請求項 1 に記載のノーマリオフ複合半導体デバイス。

20

【請求項 5】

前記LVデバイスが、LV電界効果トランジスタ（LV FET）で構成されることを特徴とする請求項 1 に記載のノーマリオフ複合半導体デバイス。

【請求項 6】

前記ノーマリオンIII-窒化物パワートランジスタと前記LVデバイスとが、モノリシック集積されていることを特徴とする請求項 1 に記載のノーマリオフ複合半導体デバイス。

【請求項 7】

アクティブ発振制御を含む複合半導体デバイスであって、
III-窒化物パワートランジスタと；
低電圧（LV）トランジスタとを具え、

30

前記LVトランジスタのドレインは、前記III-窒化物パワートランジスタのソースに結合され、前記LVトランジスタのソースは、前記複合半導体デバイスの複合ソース端子を提供し、前記LVトランジスタのゲートは、前記複合半導体デバイスの複合ゲート端子を提供し、前記III-窒化物パワートランジスタのドレインは、前記複合半導体デバイスの複合ドレイン端子を提供し、前記III-窒化物パワートランジスタのゲートは、前記LVトランジスタのソースに結合され、

前記LVトランジスタは、ボディ打込み領域の修正により低減された出力抵抗を有して、前記複合半導体デバイスのゲインを約10,000以下にすることを特徴とする複合半導体デバイス。

【請求項 8】

40

前記III-窒化物パワートランジスタが、III-窒化物電界効果トランジスタ（III-N FET）で構成されることを特徴とする請求項 7 に記載の複合半導体デバイス。

【請求項 9】

前記III-窒化物パワートランジスタが、III-窒化物高電子移動度トランジスタ（III-N HEMT）で構成されることを特徴とする請求項 7 に記載の複合半導体デバイス。

【請求項 10】

前記LVトランジスタが、LVIV族半導体トランジスタで構成されることを特徴とする請求項 7 に記載の複合半導体デバイス。

【請求項 11】

前記LVトランジスタが、LVシリコン電界効果トランジスタ（FET）で構成される

50

ことを特徴とする請求項 7 に記載の複合半導体デバイス。

【請求項 1 2】

前記 L V トランジスタが、L V 金属酸化膜半導体 F E T (L V M O S F E T) 及び L V 金属－絶縁体－半導体 F E T (L V M I S F E T) の一方であることを特徴とする請求項 7 に記載の複合半導体デバイス。

【請求項 1 3】

前記 III-窒化物パワートランジスタと前記 L V トランジスタとが、モノリシック集積されていることを特徴とする請求項 7 に記載の複合半導体デバイス。

【請求項 1 4】

アクティブ発振制御を含む複合半導体デバイスであって、

III-窒化物パワートランジスタと；

低電圧 (L V) トランジスタとを具え、

前記 L V トランジスタのドレインは前記 III-窒化物パワートランジスタのソースに結合され、前記 L V トランジスタのソースは、前記複合半導体デバイスの複合ソース端子を提供し、前記 L V トランジスタのゲートは、前記複合半導体デバイスの複合ゲート端子を提供し、前記 III-窒化物パワートランジスタのドレインは、前記複合半導体デバイスの複合ドレイン端子を提供し、前記 III-窒化物パワートランジスタのゲートは、前記 L V トランジスタのソースに結合され、

前記 L V トランジスタは、酸化物の厚さの修正により低減されたトランスコンダクタンスを有して、前記複合半導体デバイスのゲインを、約 10,000 以下にすることを特徴とする複合半導体デバイス。

【請求項 1 5】

前記 III-窒化物パワートランジスタが、III-窒化物電界効果トランジスタ (III-N F E T) で構成されることを特徴とする請求項 1 4 に記載の複合半導体デバイス。

【請求項 1 6】

前記 III-窒化物パワートランジスタが、III-窒化物高電子移動度トランジスタ (III-N H E M T) で構成されることを特徴とする請求項 1 4 に記載の複合半導体デバイス。

【請求項 1 7】

前記 L V トランジスタが、L V I V 族半導体トランジスタで構成されることを特徴とする請求項 1 4 に記載の複合半導体デバイス。

【請求項 1 8】

前記 L V トランジスタが、L V シリコン電界効果トランジスタ (F E T) で構成されることを特徴とする請求項 1 4 に記載の複合半導体デバイス。

【請求項 1 9】

前記 L V トランジスタが、L V 金属酸化膜半導体 F E T (L V M O S F E T) 及び L V 金属－絶縁体－半導体 F E T (L V M I S F E T) の一方であることを特徴とする請求項 1 4 に記載の複合半導体デバイス。

【請求項 2 0】

前記 III-窒化物パワートランジスタと前記 L V トランジスタとが、モノリシック集積されていることを特徴とする請求項 1 4 に記載の複合半導体デバイス。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

背景

本願は、係属中の米国特許仮出願第 6 1 / 4 5 4 7 4 3 号、2 0 1 1 年 3 月 2 1 日出願、発明の名称 " III-Nitride Optimized Rugged Cascode Power Device " に基づいて優先権を主張する。この係属中の仮出願の開示は、その全文を参考文献として本明細書に含める。

【背景技術】

【0 0 0 2】

10

20

30

40

50

I. 定義

本明細書で用いる「III族窒化物」または「III-窒化物」とは、窒素及び少なくとも1つのIII族元素を含む化合物半導体を称し、これらのIII族元素は、アルミニウム(Al)、ガリウム(Ga)、インジウム(In)、及びホウ素(B)を含み、そして、その任意の合金、例えばアルミニウム窒化ガリウム($\text{Al}_x\text{Ga}_{(1-x)}\text{N}$)、インジウム窒化ガリウム($\text{In}_y\text{Ga}_{(1-y)}\text{N}$)、アルミニウムインジウム窒化ガリウム($\text{Al}_x\text{In}_y\text{Ga}_{(1-x-y)}\text{N}$)、ガリウムヒ素リン窒素($\text{GaAs}_a\text{P}_b\text{N}_{(1-a-b)}$)、アルミニウムインジウムガリウムヒ素リン窒素($\text{Al}_x\text{In}_y\text{Ga}_{(1-x-y)}\text{As}_a\text{P}_b\text{N}_{(1-a-b)}$)を含むが、これらに限定されない。III-窒化物は一般に、あらゆる極性も称し、これらの極性は、極性Ga、極性N、半極性または非極性の結晶方位を含むが、これらに限定されない。III-窒化物材料は、ウルツ鉱型、閃亜鉛鉱型、あるいは混合型のポリタイプ(結晶多形)のいずれかを含むこともでき、そして、単結晶(モノクリスタル)、多結晶、または非結晶の結晶構造を含むことができる。

10

【0003】

また、本明細書で用いる「LVデバイス」、「低電圧半導体デバイス」、「低電圧トランジスタ」等は、50ボルトまでの標準的電圧範囲を有する低電圧デバイスを称する。標準的電圧範囲は、約0~50Vの低電圧(LV)、約50~200Vの中電圧(MV)、約200~1200Vの高電圧(HV)、及び約1200V以上の超高電圧(UHV)を含む。このデバイスは、電界効果トランジスタ(FET)またはダイオード、あるいはFETとダイオードの組合せを形成するのに適したあらゆる半導体材料で構成することができる。適切な半導体材料は、IV族半導体材料、例えばシリコン、ひずみシリコン、SiGe、及びIII-As、III-P、III-窒化物、またはこれらの合金のいずれをも含むIII-V族材料である。

20

【0004】

II 背景技術

III-窒化物材料は半導体化合物であり、比較的広幅の直接バンドギャップを有し、強い圧電分極を有する可能性があり、高い破壊電界、高い飽和速度、及び二次元電子ガスの生成を可能にすることができる。その結果、III-窒化物材料は、多くの電力用途、例えばデプレッションモード(例えばノーマリオン)電力用電界効果トランジスタ(パワーFET)、高電子移動度トランジスタ(HEMT)、及びダイオードに使用されている。

【0005】

パワーデバイスのノーマリオフ特性が望ましいパワーマネジメント(電力管理)用途では、デプレッションモードIII-窒化物パワートランジスタを低電圧(LV)半導体デバイスとカスコード接続して、エンハンスメントモード複合パワーデバイスを形成することができる。しかし、こうした複合デバイスの実用性及び耐久性は、III-窒化物パワートランジスタ及び組み合わせて用いるLV半導体デバイスの特性に応じて制限され得る。例えば、LV半導体デバイスと共に実装して高電流用途に用いる複合デバイスを形成する場合、III-窒化物パワートランジスタのゲートは、半導体パッケージのインダクタンス及びLV半導体デバイスの出力キャパシタンスと直列に構成されると発振しやすくなり、例えばIII-窒化物パワートランジスタを不所望にターンオフ及びターンオンさせ得る。こうした発振は、制御して減衰させない限り、複合半導体デバイスの機能及び実用性に悪影響し得るし、破壊的になり、複合半導体デバイスの耐久性を低下させることもある。

30

40

【先行技術文献】

【特許文献】

【0006】

【特許文献1】米国特許仮出願第61/448347号明細書

【特許文献2】米国特許仮出願第61/448617号明細書

【特許文献3】米国特許出願公開第12/445117号明細書

【特許文献4】米国特許出願公開第12/653240号明細書

【特許文献5】米国特許出願公開第13/020243号明細書

【発明の概要】

【0007】

50

本発明は、アクティブ（能動的）発振防止付きの複合半導体デバイスに指向したものであり、実質的に、図面の少なくとも1つに示し、及び／またはこの図面に関連して説明し、特許請求の範囲により完全に記載している。

【図面の簡単な説明】

【0008】

【図1】複合半導体デバイスの1つの好適な実現を示す図である。

【図2】アクティブ発振制御付き複合半導体デバイスのより詳細な実現を示す図であり、図1に示す実現に概ね相当する。

【図3】複合半導体デバイス内での使用に適し、アクティブ発振制御を行うように構成された低電圧（LV）トランジスタの1つの実現の断面図である。

10

【発明を実施するための形態】

【0009】

詳細な説明

以下の説明は、本発明の実施に関連する詳細な情報を含む。本発明は、本明細書に具体的に説明するのとは異なる方法で実施することができることは、当業者の認める所である。本願中の図面及びその詳細な説明は、好適な実施例に指向したものに過ぎない。特に断りのない限り、図面中では、同様の、あるいは対応する要素は、同様の、あるいは対応する参照番号で示すことがある。さらに、本願中の図面及び例示は一般に原寸に比例しておらず、そして、実際の相対寸法に相当することを意図していない。

【0010】

20

III-窒化物材料は、例えば、窒化ガリウム(GaN)及びその合金、例えばアルミニウム窒化ガリウム(AlGaN)、インジウム窒化ガリウム(InGaN)、及びアルミニウムインジウム窒化ガリウム(AlInGaN)を含む。これらの材料は半導体化合物であり、比較的広幅の直接バンドギャップ及び強い圧電分極を有し、高い破壊電界、高い飽和速度、及び二次元電子ガス（2-D E G : two-dimensional electron gas）の生成を可能にすることができる。その結果、上述したように、GaNのようなIII-窒化物材料は、多くのマイクロエレクトロニクス用途、例えばデプレッションモード（例えばノーマリオン）電力用電界効果トランジスタ（パワーFET）、高電子移動度トランジスタ（HEMT）、及びダイオードに使用されている。

【0011】

30

さらに上述したように、パワーデバイスのノーマリオフ特性が望ましいパワーマネジメント（電力管理）用途では、デプレッションモードIII-窒化物パワートランジスタを低電圧（LV）半導体デバイスとカスコード接続して、エンハンスメントモード複合パワーデバイスを形成することができる。しかし、こうした複合デバイスの実用性及び耐久性は、III-窒化物パワートランジスタとLV半導体デバイスとを一緒にカスコード接続した特性に応じて制限され得る。例えば、LV半導体デバイスと組み合わせて実装して高電流用途に用いる複合デバイスを形成する場合、III-窒化物パワートランジスタのゲートは、半導体パッケージのインダクタンス及びLV半導体デバイスの出力キャパシタンスと直列に構成されると発振しやすくなり、例えばIII-窒化物パワートランジスタをターンオフ及びターンオンさせることがある。こうした発振は、制御して減衰させない限り、破壊的になることがあり、複合半導体デバイスの耐久性を不所望に低下させ得る。従って、こうした複合半導体デバイスを、高いスルーレートに直面し得るパワーマネジメントシステムにおける動作に適したものとするために、この複合デバイスは耐発振性であるように構成すべきである。

40

【0012】

本願は、アクティブ発振制御付きの複合半導体デバイスに指向したものである。1つの実現によれば、この複合半導体デバイスは、III-窒化物パワートランジスタ、及びこのIII-窒化物パワートランジスタとカスコード接続されたLVデバイスを含むことができ、このIII-窒化物パワートランジスタは、例えばノーマリオンデバイスとすることができる。上記の、LVデバイスとノーマリオンIII-窒化物パワートランジスタとのカスコード結合

50

は、ノーマリオフ複合半導体デバイスを形成するように実現することができる。本明細書に開示するように、上記の、ノーマリオンIII-窒化物パワートランジスタとカスコード接続したLVデバイスは、複合半導体デバイスのゲインを制限して、ノーマリオフ複合半導体デバイスにアクティブ発振制御を行わせるように構成することができる。

【0013】

図1を参照し、図1は複合半導体デバイスの好適な実現を示す。図1に示すように、複合半導体デバイス100は、III-窒化物パワートランジスタ110、及びIII-窒化物パワートランジスタ110とカスコード接続したLVデバイス120を含む。図1にさらに示すように、LVデバイス120は、LVトランジスタ140及びLVダイオード130を含む。図1には、複合半導体デバイス100の複合ソース端子102、複合ドレイン端子104、及び複合ゲート端子106も示す。

10

【0014】

III-窒化物パワートランジスタ110は、窒化ガリウム(GaN)で形成することができ、例えば絶縁ゲートFET(IGFET:insulated-gate FET)またはヘテロ構造FET(HFET:heterostructure FET)として実現することができる。1つの実現では、III-窒化物パワートランジスタ110は、金属-絶縁体-半導体FET(MISFET(meta l-insulator-semiconductor FET)またはMISHFET)、例えば金属酸化膜半導体FET(MOSFET)の形をとることができる。その代わりに、HEFTとして実現する場合は、III-窒化物パワートランジスタ110は、2-DEGを実現するように構成されたHEMTとすることができる。例えば、1つの実現によれば、III-窒化物パワートランジスタ110、例えばIII-窒化物電界効果トランジスタ(III-N FET)またはIII-窒化物高電子移動度トランジスタ(III-N HEMT)は、約600Vのドレイン電圧に耐えるように構成され、約40Vのゲート定格を有する高電圧(HV)デバイスとすることができる。なお、一部の実現では、複合半導体デバイス100は、III-窒化物FETまたはHEMTの代わりに絶縁ゲート・バイポーラトランジスタ(IGBT)を、パワーデバイスとして利用することができる。

20

【0015】

LVデバイス120は、LVトランジスタ140及びLVダイオード130を含むように示している。一部の実現では、LVダイオード130は、単にLVトランジスタ140のボディダイオードとすることができるのに対し、他の実現では、LVダイオード130は、図1に示すようにLVトランジスタ140に結合されたディスクリット(個別)ダイオードとして、LVデバイス120を形成することができる。LVデバイス120は、LVIV族デバイス、例えば約25Vの降伏電圧を有するLVシリコンデバイスとして実現することができる。1つの実現によれば、LVデバイス120は、LVボディダイオード130を含むLVFET、例えばLVシリコンMISFETまたはMOSFETとすることができる。

30

【0016】

III-窒化物パワートランジスタ110とLVデバイス120とをカスコード接続した組合せが複合半導体デバイス100を形成し、図1に示す実現によれば、複合半導体デバイス100は三端子複合デバイスとなり、この三端子複合デバイスは実際に、LVデバイス120によって提供される複合ソース端子102及び複合ゲート端子106、及びIII-窒化物パワートランジスタ110によって提供される複合ドレイン端子104を有するFETとして機能する。さらに、そして以下でより詳細に説明するように、複合半導体デバイス100は、アクティブ発振制御を有するように構成されたHV複合デバイスとして実現される。

40

【0017】

続いて図2を参照し、図2は、アクティブ発振制御付きの複合半導体デバイスのより詳細な実現を示し、図1に示す実現に概ね相当する。複合半導体デバイス200は、III-窒化物パワートランジスタ210、及びIII-窒化物パワートランジスタ210とカスコード接続されたLVデバイス220を含み、III-窒化物パワートランジスタ210は、例えば

50

III-N FETまたはIII-N HEMTとすることができる。図2にさらに示すように、LVデバイス220はLVトランジスタ240及びLVダイオード230を含み、LVダイオード230は、例えばLVトランジスタ240のボディダイオードとすることができる。図2には、複合半導体デバイス200の複合ソース端子202、複合ドレイン端子204、及び複合ゲート端子206、並びにIII-窒化物パワートランジスタ210の両端子間で測った出力キャパシタンス218(C1)、LVデバイス220(例えばLVダイオード230を有するLVトランジスタ240)の両端子間で測った出力キャパシタンス248(C2)、及び半導体パッケージのインダクタンス207(L1)及び209(L2)も示す。

【0018】

複合ソース端子202、複合ドレイン端子204、複合ゲート端子206を有し、III-窒化物パワートランジスタ210を、LVトランジスタ240及びLVダイオード230を含むLVデバイス220と組み合わせて形成された複合半導体デバイス200は、図1の、複合ソース端子102、複合ドレイン端子104、複合ゲート端子106を有し、II-窒化物パワートランジスタ110を、LVトランジスタ140及びLVダイオード130を含むLVデバイス120と組み合わせて形成された複合半導体デバイス100に相当し、前の複合半導体デバイス100の対応する構成要素に起因する、上述したあらゆる特徴を共有することができる。

【0019】

図2に示すように、LVトランジスタ240は、III-窒化物パワートランジスタ210とカスコード接続されて、複合半導体デバイス200を形成する。即ち、LVトランジスタ240のドレイン244はIII-窒化物パワートランジスタ210のソース212に結合され、LVトランジスタ240のソース242は、複合半導体デバイス200の複合ソース端子202を提供し、LVトランジスタ240のゲート250は、複合半導体デバイス200の複合ゲート206端子を提供する。これに加えて、III-窒化物パワートランジスタ210のドレイン214は、複合半導体デバイス200の複合ドレイン端子204を提供し、III-窒化物パワートランジスタ210のゲート216はLVトランジスタ240のソース242に結合されている。

【0020】

以下、LVトランジスタ240をノーマリオンIII-窒化物パワートランジスタ210とカスコード接続して形成されたノーマリオフデバイスとして実現される複合半導体デバイス200の動作を、特定の実現を参照しながら説明するが、この実現は好適な実現に過ぎない。前述したように、本明細書に開示するアクティブ発振制御がなければ、複合半導体デバイス200のような複合半導体デバイスは、ある程度の高電流の印加で発振が生じやすいことがある。例えば、高いスルーレートの条件中に、III-窒化物パワートランジスタ210のソース212が、図2の出力キャパシタンス218、半導体パッケージのインダクタンス207、及び出力キャパシタンス248(例えばC1-L1-C2)を含む回路と直列に構成されると、発振することがある。ソース212の発振は、III-窒化物パワートランジスタ210のゲート216も発振させることがあり、このことは、ノーマリオンIII-窒化物トランジスタ210を不所望にスイッチオフ及びスイッチオンさせることがあ

【0021】

一部の実現では、半導体パッケージのインダクタンス207(L1)及び/または209(L2)を最適に低減することによって、説明した発振現象を制御することができる。1つの実現では、例えば、半導体パッケージのインダクタンス207及び半導体パッケージのインダクタンス209(L2)を、ダイーオンダイ構成を用いて低減することができる。ダイーオンダイ構成を実現するための特定例は、米国特許仮出願第61/448347号明細書(特許文献1)、発明の名称"III-Nitride Transistor Stacked with FET in a Package"、2011年3月2日出願、並びに米国特許仮出願第61/448617号明細書(特許文献2)、発明の名称"III-Nitride Transistor Stacked with Diode

10

20

30

40

50

in a Package ”、2011年3月2日出願に開示され、共にその全文を参考文献として本明細書に含める。

【0022】

他の実現によれば、半導体パッケージのインダクタンス207及び209を、III-窒化物パワートランジスタ210及びLVデバイス220のモノリシック集積によって低減することができる。例えば、米国特許出願公開第12/445117号明細書（特許文献3）、発明の名称 ”Monolithic Vertically Integrated Composite Group III-V and Group IV Semiconductor Device and Method for Fabricating Same ”、2009年5月28日出願、2011年3月29日に米国特許第7915645号として特許付与、並びに米国特許公開出願第12/653240号明細書（特許文献4）、発明の名称 ”Highly Conductive Source/Drain Contacts in III-Nitride Transistors ”、2009年12月10日出願、米国特許出願公開第13/020243号明細書（特許文献5）、発明の名称 ”Efficient High Voltage Switching Circuits and Monolithic Integration of Same ”、2011年2月3日出願に開示されたように、III-窒化物パワートランジスタ210とLVデバイス220とをモノリシック集積することができ、これらの特許文献の各々は、その全文を参考文献として本明細書に含める。

【0023】

その代わりに、そして本明細書に開示するように、複合半導体デバイス200による不所望な発振は、アクティブ発振制御の実現によって低減または解消することができ、このアクティブ発振制御は、LVトランジスタ240を、酸化物の厚さ (T_{OX}) の修正により低減された出力抵抗及び／または低減されたトランスコンダクタンスを有するように構成することによって達成することができる。即ち、複合半導体デバイス200が高電流動作ように設計される用途では、複合半導体デバイス200のゲイン (A) を、小信号モデル化の観点から約1万 (10,000) 以下に最適化 (例えば制限) して、安定性を与えることが有利であり得る。例えば、LVトランジスタ240は、LVトランジスタ240の出力抵抗、及びLVトランジスタ240の T_{OX} によって部分的に決まるトランスコンダクタンスの一方または両方が、複合半導体デバイス200のゲインを、約1.0から約10,000以下の範囲になるように最適化されるように設計することができる。なお、より一般的には、「酸化物の厚さ」または T_{OX} の表現は、LVトランジスタ240のゲート250をLVトランジスタ240のボディ領域 (図2には図示しないボディ領域) に静電結合するために利用するのに適したあらゆるゲート絶縁体の厚さまたは有効厚を称することができる。従って、本明細書で用いる T_{OX} は、酸化物以外のゲート絶縁体を称することがある。

【0024】

以下、図3を参照し、図3は、複合半導体デバイス内での使用に適し、アクティブ発振制御を行うように構成されたLVトランジスタ340の1つの実現の断面図を示す。図3に示すように、LVトランジスタ340は、基板360内に形成されたウェル362内に配置され、ソース342、ドレイン344、及び350を含む。図3にさらに示すように、LVトランジスタ340は、厚さ (例えば T_{OX}) 354を有するゲート絶縁体352、スペーサ356a及び356b、及びボディ打込み領域 (インプラント) 349を有するボディ領域346も含む。ソース342、ドレイン344、及びゲート350を含むLVトランジスタ340は、図2の、ソース242、ドレイン244、及びゲート250を含むLVトランジスタ240に相当する。

【0025】

図3に示す実現によれば、LVトランジスタ340はFETとして表現されている。こうしたものとして実現される場合、LVトランジスタ340はn-チャネルデバイス (NFET) またはp-チャネルデバイス (PFET) として製造することができる。この実現の説明の目的で、LVデバイス340はNFETとして記載しているが、この例の特徴化は限定として解釈すべきでない。

【0026】

LVトランジスタ340をNFETとして実現した場合は、ウェル362は、基板36

0内に形成されたP型ウェルとすることができ、基板360は、例えばシリコン基板上に形成されたエピタキシャル領域を含むことができる(図3では、エピタキシャル領域は、そのものとして区別していない)。さらに、こうした実現では、ソース342及びドレイン344は、強度にドーピングしたN+領域とすることができるのに対し、ボディ領域346は、P型ボディ打込み領域349、例えばホウ素(ボロン)打込み領域を含むことができる。ゲート350は、適切なゲート材料、あるいは例えばドーピングしたポリシリコンで形成することができるのに対し、ゲート絶縁体352は、酸化シリコン(SiO_2)のようなゲート酸化物、あるいは種々の実現では代わりに低誘電率(ローk)の誘電体で形成して、以下でさらに説明する増加した T_{OX} を達成することができる。スペーサ356a及び356bは、例えば窒化シリコン(Si_3N_4)スペーサとすることができ、そして、現在技術において既知の、あらゆる適切な技術を用いて形成することができる。

10

【0027】

前述したように、図2の複合半導体デバイス200のゲイン(A)を約10,000以下に低減して、その不所望な発振に対する耐性を増強することが有利であり得る。このことは、複合半導体デバイス200のトランスコンダクタンス(g_m)の低減によって達成することができ、このトランスコンダクタンスは、LVトランジスタ240のトランスコンダクタンス($g_{m_{LV}}$)並びにIII-窒化物パワートランジスタ210のトランスコンダクタンス($g_{m_{III-N}}$)を含む。例えば、複合半導体デバイス200の小信号ゲインは、式1のよう

20

$$\text{式1: } A = (g_{m_{LV}}) \times (g_{m_{III-N}}) \times (r_{O-LV}) \times (r_{O-III-N})$$

ここに、 r_{O-LV} はLVトランジスタ240の出力抵抗であり、 $r_{O-III-N}$ は、III-窒化物パワートランジスタ210の出力抵抗である。

【0028】

振動を低減または解消して、複合半導体デバイス200を実質的に安定にするために、ゲイン(A)を、例えば約10,000以下に制限されるようにすることによって、低減して最適化することができる。こうしたゲインの低減は、式1中に現れるゲイン要素の1つ以上、即ち $g_{m_{LV}}$ 、 $g_{m_{III-N}}$ 、 r_{O-LV} 、及び $r_{O-III-N}$ のうち1つ以上の低減によって達成することができる。例えば、LVトランジスタ240は、約1.0モ- (S)から約50モ- (S)までの範囲内のトランスコンダクタンス($g_{m_{LV}}$)、及び約0.4 Ω から約20.0 Ω までの範囲内の出力抵抗(r_{O-LV})を有することができるのに対し、III-窒化物パワートランジスタ210は、約10.0モ- (S)から約500.0モ- (S)の範囲内のトランスコンダクタンス($g_{m_{III-N}}$)、及び約0.1 Ω から約5.0 Ω までの範囲内の出力抵抗($r_{O-III-N}$)を有することができ、積： $[(g_{m_{LV}}) \times (g_{m_{III-N}}) \times (r_{O-LV}) \times (r_{O-III-N})]$ が、10,000以下のゲイン、例えば約1.0までも低いゲインを生じさせる。

30

【0029】

$g_{m_{LV}}$ に関しては、 $g_{m_{LV}}$ 対 T_{OX} の比例関係は式2によって記述される：

$$\text{式2: } g_{m_{LV}} \propto 1 / T_{\text{OX}}$$

従って、 T_{OX} を増加させることによって酸化物の厚さを修正することは、 $g_{m_{LV}}$ を減少させ、結果的に複合半導体デバイス200のゲイン(A)を減少させる。その結果、LVトランジスタ240は、ゲインを制限する T_{OX} (例えば増加した T_{OX})を有するように構成することによって、複合半導体デバイス200にアクティブ発振制御を行わせることができる。

40

【0030】

図3を参照すれば、 T_{OX} に相当するゲート絶縁体の厚さ354を、実質的に増加させるか実際に増加させるかのいずれかを行って、LVトランジスタ340を含む複合半導体デバイスにアクティブ発振制御を行わせることができる。ゲート絶縁体の厚さ354の実際の増加は、LVトランジスタ340を、ゲート絶縁体の厚さ354の厚さが増加するように製造することによって達成することができる。その代わりに、ゲート絶縁体の厚さ354の実質的な増加は、LVトランジスタ340を、低誘電率(ローk)のゲート絶縁体を含むように製造することによって達成することができ、このことは例えば、これらに限定

50

されないが、多孔質シリカ、フッ素化アモルファスカーボン（非晶質炭素）、芳香族炭化水素、炭素ドーピングした酸化物、バリレン、ポリアリールエーテル、シルセスキオキサン、フッ素化二酸化シリコン、及びダイヤモンド状炭素を用いて行うことができる。

【0031】

再び図1を参照すれば、他の可能な、ゲインを制限する要素は、LVトランジスタ340の出力抵抗、即ち r_{O-LV} である。明らかなように、LVトランジスタ340を、ゲインを制限するボディ打込み領域をボディ打込み領域349として有するように製造することによって、 r_{O-LV} を低減して、LVトランジスタ340を含む複合半導体デバイス内の発振を低減または解消することができる。例えば、説明した好適なNFETの実現では、ボディ打込み領域349を形成するために用いるホウ素打込みのエネルギー及びドーズ（投与）量を修正して、LVトランジスタ340の出力抵抗 r_{O-LV} を低減することができる。

10

【0032】

従って、修正した酸化物の厚さにより、出力抵抗及びトランスコンダクタンスの一方または両方を低減したLVデバイスを利用し、このLVデバイスをIII-窒化物パワートランジスタとカスコード接続することによって、本願は、アクティブ発振制御付きの複合半導体デバイスの実現を開示する。その結果、LVIV族デバイスを有利に、ノーマリオンIII-窒化物パワートランジスタとカスコード接続して、高電流用途において高い耐久性及び安定した動作を見せる頑丈なノーマリオフHV複合デバイスを形成することができる。

【0033】

以上の説明より、本願に記載した概念を、これらの概念の範囲を逸脱することなしに、種々の技術を用いて実現することができることは明らかである。さらに、これらの概念は特定の実現を具体的に参照して説明しているが、これらの概念の範囲を逸脱することなしに、その形態及び細部に変更を加えることができることは、当業者の認める所である。こうしたものとして、説明した実現は、あらゆる点で例示的であり限定的ではないと考えるべきである。また、本願は、本明細書に記載した特定の実現に限定されず、本開示の範囲を逸脱することなしに、多数の再構成、変更及び代替が可能であることも明らかである。

20

【符号の説明】

【0034】

- 100 複合半導体デバイス
- 102 複合ソース端子
- 104 複合ドレイン端子
- 106 複合ゲート端子
- 110 III-窒化物パワートランジスタ
- 120 LVデバイス
- 130 LVダイオード
- 140 LVトランジスタ
- 200 複合半導体デバイス
- 202 複合ソース端子
- 204 複合ドレイン端子
- 206 複合ゲート端子
- 207 半導体パッケージのインダクタンス
- 209 半導体パッケージのインダクタンス
- 210 III-窒化物パワートランジスタ
- 212 ソース
- 214 ドレイン
- 216 ゲート
- 218 出力キャパシタンス
- 220 LVデバイス
- 230 LVダイオード
- 240 LVトランジスタ

30

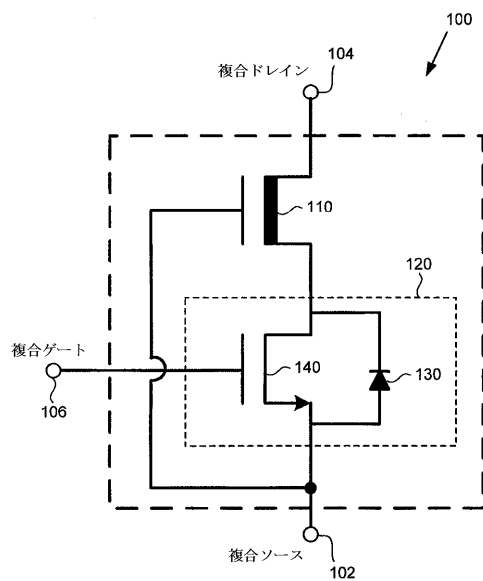
40

50

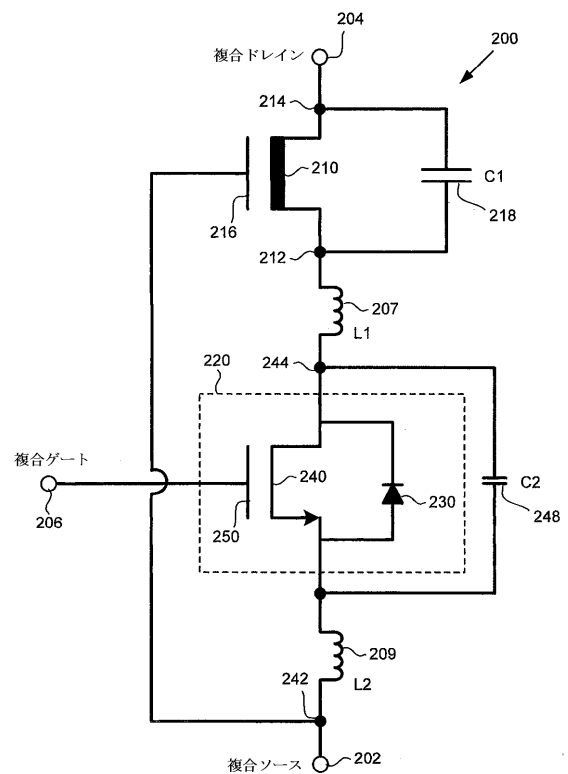
2 4 2 ソース
 2 4 4 ドレイン
 2 4 8 出力キャパシタンス
 2 5 0 ゲート
 3 4 0 L Vトランジスタ
 3 4 2 ソース
 3 4 4 ドレイン
 3 4 6 ボディ領域
 3 4 9 ボディ打込み領域
 3 5 0 ゲート
 3 5 2 ゲート絶縁体
 3 5 4 厚さ
 3 5 6 a、3 5 6 b スペーサ
 3 6 0 基板

10

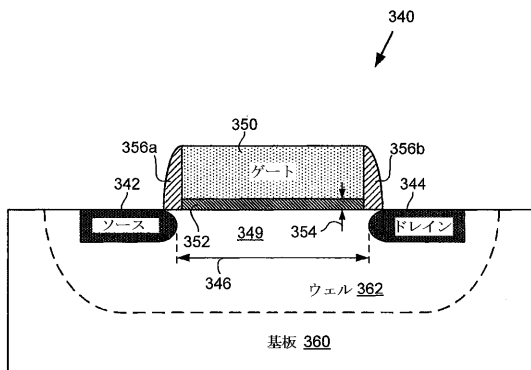
【図 1】



【図 2】



【図 3】



フロントページの続き

(51)Int.Cl. F I テーマコード (参考)
H01L 21/8234 (2006.01)

(72)発明者 プラミアン トニー
アメリカ合衆国 カリフォルニア州 90505 トランス アムバー リーフ ロード 256
04

(72)発明者 ジェイソン チャン
アメリカ合衆国 カリフォルニア州 91754 モントレー パーク バーナム ウェイ 66
2

Fターム(参考) 5F048 AB04 AC09 BA01 BA15 BB06 BB07 BB11 BE03 DA27
5F102 FA01 GA02 GA05 GA14 GA15 GA16 GB01 GC01 GD01 GD10
GJ04 GL04 GM04 GQ01 GT01

【外国語明細書】
2012199547000001.pdf