



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0101796
(43) 공개일자 2024년07월02일

- (51) 국제특허분류(Int. Cl.)
H01L 23/498 (2006.01) H01L 21/48 (2006.01)
H01L 23/538 (2006.01) H01L 25/00 (2014.01)
H01L 25/065 (2023.01) H01L 25/18 (2023.01)
- (52) CPC특허분류
H01L 23/49822 (2013.01)
H01L 21/4857 (2013.01)
- (21) 출원번호 10-2024-7014562
- (22) 출원일자(국제) 2022년10월28일
심사청구일자 없음
- (85) 번역문제출일자 2024년04월30일
- (86) 국제출원번호 PCT/US2022/078880
- (87) 국제공개번호 WO 2023/091851
국제공개일자 2023년05월25일
- (30) 우선권주장
17/456,068 2021년11월22일 미국(US)

- (71) 출원인
켈컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
- (72) 발명자
위, 홍 복
미국 92121 캘리포니아 샌 디에고 모어하우스 드라이브 5775
부오트 조안 레이 빌라르바
미국 92121 캘리포니아 샌 디에고 모어하우스 드라이브 5775
(뒷면에 계속)
- (74) 대리인
특허법인(유)남아이피그룹

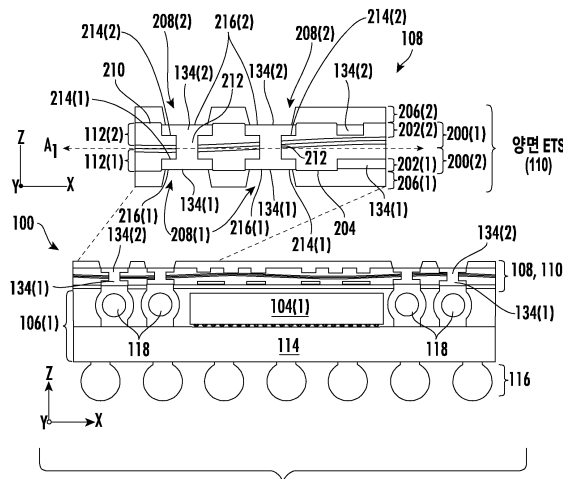
전체 청구항 수 : 총 31 항

(54) 발명의 명칭 양면 임베디드 트레이스 기판(ETS)을 갖는 패키지 기판을 사용하는 직접 회로(IC) 패키지, 및 관련 제조 방법

(57) 요약

양면 임베디드 트레이스 기판(ETS)을 갖는 패키지 기판을 사용하는 직접 회로(IC) 패키지, 및 관련 제조 방법. IC 패키지의 전체 높이를 줄이기 위해 IC 패키지에 감소된 두께의 기판을 제공하는 동시에 고밀도의 입력/출력(I/O) 연결을 지원하는 것을 용이하게 하기 위해, IC 패키지의 패키지 기판은 양면 ETS를 포함한다. 양면 ETS는 절연층에 임베디드된 금속 트레이스를 모두 포함하는 두 개(2)의 인접한 ETS 금속화 층을 포함한다. 양면 ETS의 ETS 금속화 층의 임베디드 금속 트레이스는 수직 상호 연결 액세스(비아)(예를 들어, 금속 필라, 금속 포스트)를 통해 서로 전기적으로 결합되어 ETS 금속화 층의 임베디드 금속 트레이스 사이에 신호 라우팅 경로를 제공할 수 있다.

대표도 - 도2



(52) CPC특허분류

H01L 23/49816 (2013.01)

H01L 23/5383 (2013.01)

H01L 25/0657 (2023.08)

H01L 25/18 (2023.08)

H01L 25/50 (2013.01)

(72) 발명자

김, 미셸 예진

미국 92121 캘리포니아 샌 디에고 모어하우스 드라
이브 5775

강, 귀원

미국 92121 캘리포니아 샌 디에고 모어하우스 드라
이브 5775

파틸, 아니켓

미국 92121 캘리포니아 샌 디에고 모어하우스 드라
이브 5775

명세서

청구범위

청구항 1

집적 회로(IC) 패키지에 있어서,

패키지 기판을 포함하며, 상기 패키지 기판은,

양면 임베디드 트레이스 기판(ETS)을 포함하며, 상기 양면 임베디드 트레이스 기판(ETS)은,

제1 금속화 층으로서,

제1 절연층; 및

상기 제1 절연층에 임베디드된 하나 이상의 제1 금속 트레이스를 포함하는 제1 금속층을 포함하는, 상기 제1 금속화 층; 및

수직 방향으로 상기 제1 금속화 층에 결합된 제2 금속화 층으로서, 상기 제2 금속화 층은,

제2 절연층; 및

상기 제2 절연층에 임베디드된 하나 이상의 제2 금속 트레이스를 포함하는 제2 금속층을 포함하는, 상기 제2 금속화 층; 및

상기 제1 절연층 및 상기 제2 절연층에 각각 배치된 하나 이상의 수직 상호 연결 액세스(비아)로서, 상기 하나 이상의 비아는 상기 하나 이상의 제1 금속 트레이스 중 제1 금속 트레이스 및 상기 하나 이상의 제2 금속 트레이스 중 제2 금속 트레이스에 각각 결합된, 상기 하나 이상의 수직 상호 연결 액세스(비아)를 포함하는, IC 패키지.

청구항 2

제1항에 있어서, 상기 제1 절연층은 상기 수직 방향으로 상기 제2 절연층에 결합되는, IC 패키지.

청구항 3

제1항에 있어서,

상기 제1 금속화 층은 제1 외부 금속화 층을 포함하며, 상기 하나 이상의 제1 금속 트레이스는 하나 이상의 제1 외부 상호 연결부에 결합되도록 각각 구성되고;

상기 제2 금속화 층은 제2 외부 금속화 층을 포함하며, 상기 하나 이상의 제2 금속 트레이스는 하나 이상의 제2 외부 상호 연결부에 결합되도록 각각 구성되는, IC 패키지.

청구항 4

제3항에 있어서,

상기 하나 이상의 제1 외부 상호 연결부를 포함하는 하나 이상의 제1 다이 상호 연결부를 포함하는 제1 다이로서, 상기 하나 이상의 제1 다이 상호 연결부 각각은 상기 제1 금속화 층의 상기 제1 금속층 내 상기 하나 이상의 제1 금속 트레이스 중 제1 금속 트레이스에 결합되는, 상기 제1 다이를 더 포함하며;

여기서,

상기 하나 이상의 제2 외부 상호 연결부는 상기 제2 금속화 층의 상기 제2 금속층 내 상기 하나 이상의 제2 금속 트레이스 중 제2 금속 트레이스에 각각 결합되는, IC 패키지.

청구항 5

제1항에 있어서,

상기 양면 ETS에 결합된 제1 다이를 더 포함하며;

상기 제1 다이는 상기 패키지 기관의 상기 제1 금속화 층의 상기 제1 금속층 내 상기 하나 이상의 제1 금속 트레이스 중 제1 금속 트레이스에 각각 결합된 하나 이상의 제1 다이 상호 연결부를 포함하는, IC 패키지.

청구항 6

제1항에 있어서,

상기 패키지 기관은 제2 기관을 더 포함하고; 및

상기 양면 ETS는 인터포저 기관을 포함하고; 및

상기 제2 기관에 결합된 제1 다이를 포함하는 제1 다이 패키지를 더 포함하며;

여기서,

상기 제1 다이 패키지는 상기 인터포저 기관과 상기 제2 기관 사이에 배치되고;

상기 제1 다이는 상기 인터포저 기관의 상기 제2 금속화 층 내 상기 하나 이상의 제2 금속 트레이스 중 제2 금속 트레이스를 상기 제2 기관에 각각 결합하는 하나 이상의 제1 수직 상호 연결부를 포함하는, IC 패키지.

청구항 7

제6항에 있어서, 제2 다이를 포함하는 제2 다이 패키지를 더 포함하며;

상기 인터포저 기관은 상기 제2 다이 패키지와 상기 제1 다이 패키지 사이에 상기 수직 방향으로 배치되고;

상기 제2 다이는 상기 인터포저 기관의 상기 제1 금속화 층의 상기 제1 금속층 내 상기 하나 이상의 제1 금속 트레이스 중 제1 금속 트레이스에 각각 결합된 하나 이상의 제2 다이 상호 연결부를 포함하는, IC 패키지.

청구항 8

제1항에 있어서, 상기 패키지 기관은 제2 양면 ETS를 더 포함하며, 상기 제2 양면 ETS는,

제3 금속화 층으로서,

제3 절연층; 및

상기 제3 절연층에 임베디드된 하나 이상의 제3 금속 트레이스를 포함하는 제3 금속층으로서, 상기 제3 금속층은 상기 양면 ETS의 상기 제2 금속화 층의 상기 제2 금속층에 인접해 있는, 상기 제3 금속층을 포함하는, 상기 제3 금속화 층; 및

상기 수직 방향으로 상기 제3 금속화 층에 결합된 제4 금속화 층으로서, 상기 제4 금속화 층은,

제4 절연층; 및

상기 제4 절연층에 임베디드된 하나 이상의 제4 금속 트레이스를 포함하는 제4 금속층을 포함하는, 상기 제4 금속화 층; 및

상기 제3 절연층 및 상기 제4 절연층에 각각 배치된 하나 이상의 제2 비아로서, 상기 하나 이상의 제2 비아는 상기 하나 이상의 제3 금속 트레이스 중 제3 금속 트레이스 및 상기 하나 이상의 제4 금속 트레이스 중 제4 금속 트레이스에 각각 결합된, 상기 하나 이상의 제2 비아를 포함하는, IC 패키지.

청구항 9

제8항에 있어서, 상기 제2 금속화 층 내 상기 하나 이상의 제2 금속 트레이스 중 제2 금속 트레이스 및 상기 제3 금속화 층 내 상기 하나 이상의 제3 금속 트레이스 중 제3 금속 트레이스에 각각 결합된 하나 이상의 제3 비아를 더 포함하는, IC 패키지.

청구항 10

제8항에 있어서, 상기 제1, 제2, 제3 및 제4 금속화 층을 함께 결합하는, 상기 양면 ETS 및 제2 양면 ETS를 통해 각각 연장되는 하나 이상의 제3 비아를 더 포함하는, IC 패키지.

청구항 11

제8항에 있어서, 상기 양면 ETS와 상기 제2 양면 ETS 사이에 상기 수직 방향으로 배치된 코어 기판을 더 포함하는, IC 패키지.

청구항 12

제1항에 있어서, 상기 패키지 기판은,

양면 ETS에 결합된 라미네이트 기판을 더 포함하며, 상기 라미네이트 기판은,

제3 절연층;

상기 제3 절연층에 결합된 제3 금속층으로서, 상기 제3 금속층은 하나 이상의 제3 금속 상호 연결부를 포함하는, 상기 제3 금속층; 및

상기 제3 절연층에 각각 배치된 하나 이상의 제2 비아로서, 상기 하나 이상의 제2 비아는 상기 하나 이상의 제3 금속 상호 연결부 중 제3 금속 상호 연결부에 각각 결합되는, 상기 하나 이상의 제2 비아를 포함하며;

여기서,

상기 하나 이상의 제2 비아 각각은 상기 양면 ETS의 상기 제2 금속화 층의 상기 제2 금속층 내 상기 하나 이상의 제2 금속 트레이스 중 제2 금속 트레이스에 결합되는, IC 패키지.

청구항 13

제1항에 있어서, 상기 패키지 기판은,

상기 수직 방향으로 양면 ETS에 인접한 제2 기판을 더 포함하며, 상기 제2 기판은,

제3 금속화 층으로서,

제3 절연층; 및

상기 제3 절연층에 임베디드된 하나 이상의 제3 금속 트레이스를 포함하는 제3 금속층을 포함하는, 상기 제3 금속화 층을 포함하며;

여기서,

상기 제1 금속화 층의 상기 제1 금속층 내 상기 하나 이상의 제1 금속 트레이스 중 적어도 하나의 제1 금속 트레이스는 상기 제3 금속화 층의 상기 제3 금속층 내 상기 하나 이상의 제3 금속 트레이스 중 적어도 하나의 제3 금속 트레이스에 결합되는, IC 패키지.

청구항 14

제13항에 있어서, 상기 패키지 기판은,

제3 기판으로서,

제4 금속화 층을 포함하며, 상기 제4 금속화 층은,

제4 절연층; 및

상기 제4 절연층에 임베디드된 하나 이상의 제4 금속 트레이스를 포함하는 제4 금속층을 포함하는, 상기 제3 기판; 및

양면 ETS으로서, 상기 양면 ETS의 상기 제1 금속화 층이 상기 제2 기판에 인접하고 상기 양면 ETS의 상기 제2 금속화 층이 상기 제3 기판에 인접하도록 상기 제2 기판과 상기 제3 기판 사이에 상기 수직 방향으로 배치된 상기 양면 ETS를 더 포함하며;

여기서,

상기 제2 금속화 층의 상기 제2 금속층 내 상기 하나 이상의 제2 금속 트레이스 중 적어도 하나의 제2 금속 트레이스는 상기 제4 금속화 층의 상기 제4 금속층 내 상기 하나 이상의 제4 금속 트레이스 중 적어도 하나의 제4

금속 트레이스에 결합되는, IC 패키지.

청구항 15

제1항에 있어서, 셋톱박스; 엔터테인먼트 유닛; 내비게이션 장치; 통신 장치; 고정 위치 데이터 유닛; 모바일 위치 데이터 유닛; GPS(global positioning system) 장치; 모바일 폰; 셀룰러 폰; 스마트 폰; SIP(session initiation protocol) 폰; 태블릿; 패블릿; 서버; 컴퓨터; 휴대용 컴퓨터; 모바일 컴퓨팅 장치; 웨어러블 컴퓨팅 장치; 데스크톱 컴퓨터; PDA(personal digital assistant); 모니터; 컴퓨터 모니터; 텔레비전; 튜너; 라디오; 위성 라디오; 뮤직 플레이어; 디지털 뮤직 플레이어; 휴대용 뮤직 플레이어; 디지털 비디오 플레이어; 비디오 플레이어; DVD(digital video disc) 플레이어; 휴대용 디지털 비디오 플레이어; 자동차; 차량 부품; 항공 전자 시스템; 드론; 및 멀티컴퓨터로 구성된 그룹으로부터 선택된 장치로 통합된, IC 패키지.

청구항 16

양면 임베디드 트레이스 기판(ETS)을 형성하는 단계를 포함하는, 집적 회로(IC) 패키지용 패키지 기판을 제조하는 방법에 있어서,

제1 금속화 층을 형성하는 단계로서,

제1 절연층을 형성하는 단계; 및

상기 제1 절연층에 하나 이상의 제1 금속 트레이스를 임베딩하는 단계로서, 상기 하나 이상의 제1 금속 트레이스는 제1 금속층을 형성하는, 상기 임베딩하는 단계를 포함하는, 상기 제1 금속화 층을 형성하는 단계; 및

제2 금속화 층을 형성하는 단계로서,

제2 절연층을 형성하는 단계; 및

상기 제2 절연층에 하나 이상의 제2 금속 트레이스를 임베딩하는 단계로서, 상기 하나 이상의 제2 금속 트레이스는 제2 금속층을 형성하는, 상기 임베딩하는 단계를 포함하는, 상기 제2 금속화 층을 형성하는 단계; 및

수직 방향으로 상기 제1 금속화 층에 상기 제2 금속화 층을 결합하는 단계; 및

상기 하나 이상의 제1 금속 트레이스 중 제1 금속 트레이스, 상기 제1 절연층, 상기 제2 절연층 및 상기 하나 이상의 제2 금속 트레이스 중 제2 금속 트레이스를 통해 상기 수직 방향으로 각각 하나 이상의 수직 상호 연결 액세스(비아)를 형성하여 상기 제1 금속 트레이스를 상기 제2 금속 트레이스에 결합하는 단계를 포함하는, 방법.

청구항 17

제16항에 있어서, 상기 수직 방향으로 상기 제2 금속화 층을 상기 제1 금속화 층에 결합하는 단계는 상기 수직 방향으로 상기 제1 절연층을 상기 제2 절연층에 결합하는 단계를 포함하는, 방법.

청구항 18

제16항에 있어서,

하나 이상의 제1 다이 상호 연결부를 포함하는 제1 다이를 제공하는 단계; 및

상기 제1 금속화 층의 상기 제1 금속층 내 상기 하나 이상의 제1 금속 트레이스 중 제1 금속 트레이스에 결합된 상기 하나 이상의 제1 다이 상호 연결부 각각을 결합하는 단계를 더 포함하는, 방법.

청구항 19

제16항에 있어서, 상기 제2 금속화 층의 상기 제2 금속층 내 상기 하나 이상의 제2 금속 트레이스 중 각각의 제2 금속 트레이스에 하나 이상의 제2 외부 상호 연결부 중 제2 외부 상호 연결부를 결합시키는 단계를 더 포함하는, 방법.

청구항 20

제16항에 있어서,

제2 기판을 제공하는 단계;

상기 양면 ETS와 상기 제2 기판 사이에 제1 다이 패키지를 배치하는 단계로서, 상기 제1 다이 패키지는 제1 다이 및 하나 이상의 제1 수직 상호 연결부를 포함하는, 상기 배치하는 단계;

상기 제1 다이를 상기 제2 기판에 결합시키는 단계;

상기 하나 이상의 제1 수직 상호 연결부 중 각각의 제1 수직 상호 연결부를 상기 제2 기판에 대한 상기 제2 금속화 층 내 상기 하나 이상의 제2 금속 트레이스 중 제2 금속 트레이스에 결합시키는 단계를 더 포함하는, IC 패키지.

청구항 21

제20항에 있어서,

하나 이상의 제2 다이 상호 연결부를 포함하는 제2 다이를 포함하는 제2 다이 패키지를 제공하는 단계;

상기 제2 다이 패키지와 상기 제1 다이 패키지 사이에 상기 수직 방향으로 상기 양면 ETS를 배치하는 단계; 및

상기 양면 ETS의 상기 제1 금속화 층의 상기 제1 금속층 내 상기 하나 이상의 제1 금속 트레이스 중 제1 금속 트레이스에 각각 결합된 상기 하나 이상의 제2 다이 상호 연결부 중 각각의 제2 다이 상호 연결부를 결합시키는 단계를 더 포함하는, 방법.

청구항 22

제16항에 있어서,

상기 제1 금속화 층을 형성하는 단계는,

제1 캐리어 상에 제1 전도성 금속층을 형성하는 단계;

상기 제1 전도성 금속층 상에 제1 포토레지스트 층을 형성하는 단계;

상기 제1 포토레지스트 층에 복수의 제1 개구를 형성하는 단계; 및

상기 복수의 제1 개구에 제1 금속 물질을 배치하여 상기 하나 이상의 제1 금속 트레이스를 형성하는 단계를 더 포함하며;

상기 제2 금속화 층을 형성하는 단계는,

제2 캐리어 상에 제2 전도성 금속층을 형성하는 단계;

상기 제2 전도성 금속층 상에 제2 포토레지스트 층을 형성하는 단계;

상기 제2 포토레지스트 층에 복수의 제2 개구를 형성하는 단계; 및

상기 복수의 제2 개구에 제2 금속 물질을 배치하여 상기 하나 이상의 제2 금속 트레이스를 형성하는 단계를 더 포함하는, 방법.

청구항 23

제22항에 있어서,

상기 제1 절연층을 형성하는 단계는 상기 하나 이상의 제1 금속 트레이스 상에 제1 유전체 물질을 라미네이팅하는 단계를 포함하고;

상기 제2 절연층을 형성하는 단계는 상기 하나 이상의 제2 금속 트레이스 상에 제2 유전체 물질을 라미네이팅하는 단계를 포함하는, 방법.

청구항 24

제23항에 있어서,

상기 제1 전도성 금속층으로부터 상기 제1 캐리어를 분리하는 단계; 및

상기 제2 전도성 금속층으로부터 상기 제2 캐리어를 분리하는 단계를 더 포함하는, 방법.

청구항 25

제24항에 있어서, 상기 하나 이상의 비아를 형성하는 단계는,

상기 수직 방향으로 상기 제1 금속 트레이스와 적어도 부분적으로 수직으로 정렬된 상기 하나 이상의 제2 금속 트레이스 중 상기 제2 금속 트레이스 및 상기 하나 이상의 제1 금속 트레이스 중 상기 제1 금속 트레이스를 통해 각각 상기 수직 방향으로 하나 이상의 개구를 형성하는 단계; 및

상기 하나 이상의 개구에 금속 물질을 배치하여 상기 하나 이상의 비아를 형성하는 단계로서, 상기 하나 이상의 비아 중 각각의 비아는 상기 하나 이상의 제1 금속 트레이스 중 상기 제1 금속 트레이스를 상기 하나 이상의 제2 금속 트레이스 중 상기 제2 금속 트레이스에 결합시키는, 상기 하나 이상의 개구에 금속 물질을 배치하여 상기 하나 이상의 비아를 형성하는 단계를 포함하는, 방법.

청구항 26

제24항에 있어서,

상기 제1 전도성 금속층을 상기 제1 금속화 층으로부터 제거하는 단계; 및

상기 제2 전도성 금속층을 상기 제2 금속화 층으로부터 제거하는 단계를 더 포함하는, 방법.

청구항 27

제16항에 있어서, 상기 하나 이상의 비아를 형성하는 단계는,

상기 수직 방향으로 상기 제1 금속 트레이스와 적어도 부분적으로 수직으로 정렬된 상기 하나 이상의 제2 금속 트레이스 중 상기 제2 금속 트레이스 및 상기 하나 이상의 제1 금속 트레이스 중 상기 제1 금속 트레이스를 통해 각각 상기 수직 방향으로 하나 이상의 개구를 형성하는 단계; 및

상기 하나 이상의 개구에 금속 물질을 배치하여 상기 하나 이상의 비아를 형성하는 단계로서, 상기 하나 이상의 비아 중 각각의 비아는 상기 하나 이상의 제1 금속 트레이스 중 상기 제1 금속 트레이스를 상기 하나 이상의 제2 금속 트레이스 중 상기 제2 금속 트레이스에 결합시키는, 상기 하나 이상의 개구에 금속 물질을 배치하여 상기 하나 이상의 비아를 형성하는 단계를 포함하는, 방법.

청구항 28

제27항에 있어서, 상기 하나 이상의 개구를 형성하는 단계는 상기 수직 방향으로 상기 제1 금속 트레이스와 적어도 부분적으로 수직으로 정렬된 상기 하나 이상의 제2 금속 트레이스 중 상기 제2 금속 트레이스 및 상기 하나 이상의 제1 금속 트레이스 중 상기 제1 금속 트레이스를 통해 상기 수직 방향으로 상기 하나 이상의 개구를 드릴링하는 단계를 포함하는, 방법.

청구항 29

제28항에 있어서, 상기 하나 이상의 개구를 드릴링하는 단계는 상기 수직 방향으로 상기 제1 금속 트레이스와 적어도 부분적으로 수직으로 정렬된 상기 하나 이상의 제2 금속 트레이스 중 상기 제2 금속 트레이스 및 상기 하나 이상의 제1 금속 트레이스 중 상기 제1 금속 트레이스를 통해 상기 수직 방향으로 상기 하나 이상의 개구를 레이저 드릴링하는 단계를 포함하는, 방법.

청구항 30

제16항에 있어서,

상기 제1 금속화 층 상에 제1 솔더 레지스트 층을 형성하는 단계; 및

상기 제2 금속화 층 상에 제2 솔더 레지스트 층을 형성하는 단계를 더 포함하는, 방법.

청구항 31

제30항에 있어서,

상기 제1 솔더 레지스트 층에 하나 이상의 제1 개구를 형성하여 상기 하나 이상의 제1 금속 트레이스를 노출시키는 단계; 및

상기 제2 솔더 레지스트 층에 하나 이상의 제2 개구를 형성하여 상기 하나 이상의 제2 금속 트레이스를 노출시키는 단계를 더 포함하는, 방법.

발명의 설명

기술 분야

[0001] 우선권 출원

[0002] 본 출원은 2021년 11월 22일자로 출원된 "INTEGRATED CIRCUIT (IC) PACKAGES EMPLOYING A PACKAGE SUBSTRATE WITH A DOUBLE SIDE EMBEDDED TRACE SUBSTRATE (ETS), AND RELATED FABRICATION METHODS"이라는 명칭의 미국 특허 출원 일련 번호 제17/456,068호에 대한 우선권을 주장하며, 이는 그 전문이 본원에 참조로 통합된다.

[0003] 본 개시의 분야

[0004] 본 개시의 분야는 집적 회로(integrated circuit; IC) 패키지에 관한 것으로, 보다 구체적으로는 IC 패키지 내의 반도체 다이(들)로의 신호 라우팅을 지원하는 패키지 기판의 설계 및 제조에 관한 것이다.

배경 기술

[0005] 집적 회로(IC)는 전자 장치의 초석이다. IC는 "반도체 패키지(semiconductor package)" 또는 "칩 패키지(chip package)"라고도 하는 IC 패키지에 패키징된다. IC 패키지는 다이(들)에 대한 물리적 지지 및 전기적 인터페이스를 제공하기 위해 패키지 기판에 장착되고 전기적으로 결합되는 IC(들)로서 하나 이상의 반도체 다이("다이" 또는 "다이들")를 포함한다. IC 패키지의 한 예는 다수의 다이 패키지가 서로 적층되어 있는 패키지 온 패키지(Package-on-a-Package; POP) IC 패키지이다. IC 패키지의 패키지 기판은 다이(들) 사이에 전기적 인터페이스를 제공하기 위해 인접한 금속화 층 사이에서 금속 상호 연결부를 함께 결합시키는 수직 상호 연결 액세스(비아)를 갖는 금속 상호 연결부(예를 들어, 금속 트레이스, 금속 라인)를 포함하는 하나 이상의 금속화 층을 포함한다. 다이(들)는 패키지 기판의 다이측 금속화 층 상부에 노출된 금속 상호 연결부에 전기적으로 인터페이스되어 다이(들)를 패키지 기판의 금속 상호 연결부에 전기적으로 결합한다. 패키지 기판은 또한 IC 패키지의 다이(들) 사이에 외부 인터페이스를 제공하기 위해 외부 금속 상호 연결부(예를 들어, 볼 그리드 어레이(ball grid array; BGA) 상호 연결부)에 결합된 금속 상호 연결부를 포함하는 외부 금속화 층 하부를 포함한다. 외부 금속 상호 연결부는 또한 인쇄 회로 기판(printed circuit board; PCB)의 트레이스에 결합(예를 들어, 납땜)되어 패키지를 PCB에 부착하고 그 다이(들)를 PCB의 회로부와 인터페이스할 수 있다.

발명의 내용

[0006] 본원에 개시된 양태는 양면 임베디드 트레이스 기판(embedded trace substrate; ETS)을 갖는 패키지 기판을 사용하는 집적 회로(IC) 패키지를 포함한다. 관련 제조 방법도 개시된다. IC 패키지는 다이(들)를 지지하고 다이(들)에 연결을 제공하기 위해 패키지 기판에 전기적으로 결합된 적어도 하나의 반도체 다이("다이")를 포함한다. IC 패키지는 서로의 위에 적층되고 다이 패키지 사이에 전기 신호 라우팅을 제공하는 중간 인터포저 패키지 기판을 통해 서로 전기적으로 결합된 별도의 IC 패키지로서 다수의 다이 패키지를 포함하는 패키지 온 패키지(POP) IC 패키지일 수 있다. IC 패키지의 전체 높이를 줄이기 위해 IC 패키지에 감소된 두께의 기판(들)을 제공하는 동시에 라인/간격 비율(L/S)이 감소된 고밀도의 입력/출력(I/O) 연결을 지원하는 것을 용이하게 하기 위해, IC 패키지의 패키지 기판은 양면 ETS를 포함한다. 양면 ETS는 절연층에 임베디드된 금속 트레이스를 모두 포함하는 두 개(2)의 인접한 ETS 금속화 층을 포함한다. 외부 ETS 금속화 층의 절연층은 각 ETS 금속화 층의 금속 트레이스가 절연층의 각각의 제1 및 제2 외부 부분에 임베디드되는 공유 절연층일 수 있다. 양면 ETS의 ETS 금속화 층의 임베디드 금속 트레이스는 수직 상호 연결 액세스(비아)(예를 들어, 금속 필라(pillar), 금속 포스트(post))를 통해 서로 전기적으로 결합되어 ETS 금속화 층의 임베디드 금속 트레이스 사이에 신호 라우팅 경로를 제공할 수 있다. 일 예에서, IC 패키지의 패키지 기판은 두 개(2)의 ETS 금속화 층이 패키지 기판의 외부 금속화 층인 양면 ETS로 구성된다. 또 다른 예에서, IC 패키지의 패키지 기판은 다수의 양면 ETS를 포함하며, 패키지 기판의 외부 금속화 층은 외부 양면 ETS의 각각의 외부 ETS 금속화 층이다. 또 다른 예에서, IC 패키지의 패키지 기판은 하나 이상의 양면 ETS뿐만 아니라 기타 금속화 층을 포함한다.

[0007] IC 패키지의 패키지 기판에 양면 ETS를 포함함으로써, 양면 ETS 지지대의 ETS 금속화 층은 금속 트레이스가 임베디드되어 있을 뿐만 아니라 L/S가 감소된 고밀도 연결을 지원하는 것으로 인해 감소된 두께를 갖는다. 이 방식으로, 추가 금속화 층을 추가하고/하거나 패키지 기판의 두께(즉, 수직 방향으로의 높이)를 증가시켜 IC 패키지의 전체 두께를 증가시키지 않고 IC 패키지 내 고밀도의 상호 연결이 지원될 수 있다. 양면 ETS는 또한 예를 들어 단 하나(1)의 ETS 금속화 층을 갖는 다른 기판보다 더 대칭적인 구조체를 가질 수 있는데, 이는 양면 ETS가 서로 인접한 유사한 ETS 금속화 층을 포함하기 때문이다. 이는 양면 ETS의 ETS 금속화 층이 보다 유사한 열 팽창 계수(coefficient of thermal expansion; CTE)를 갖도록 제공하여, ETS 금속화 층 사이의 CTE 불일치를 줄이거나 방지하며, 이는 결과적으로 패키지 기판의 휨(warping)을 감소시킬 수 있다. 또한, 패키지 기판에 양면 ETS를 제공함으로써, 양면 ETS 내 ETS 금속화 층의 금속층은 패키지 기판에서 수직 방향으로 서로 더 가깝게 위치될 수 있으며, 이는 ETS 금속화 층 사이의 신호 경로 라우팅 거리를 감소시켜 ETS 금속화 층의 신호 라우팅 경로의 임피던스를 감소시키고 신호 라우팅 경로 사이의 누화(cross-talk)도 감소시킨다. 이는 양면 ETS를 포함하는 인터포저 패키지 기판을 포함하는 IC 패키지에 대한 특별한 이점일 수 있는데, 이는 양면 ETS가 다이 패키지 간 연결을 위해 인터포저 패키지 기판을 통해 신호 라우팅 경로의 길이를 감소시킬 수 있으므로 이러한 신호 라우팅 경로의 임피던스를 감소시켜 성능을 향상시킬 수 있기 때문이다.

[0008] 이와 관련하여, 하나의 예시적인 양태에서, IC 패키지가 제공된다. IC 패키지는 패키지 기판을 포함한다. 패키지 기판은 양면 ETS를 포함한다. 양면 ETS는 제1 절연층을 포함하는 제1 금속화 층을 포함하며, 제1 금속층은 제1 절연층에 임베디드된 하나 이상의 제1 금속 트레이스를 포함한다. 양면 ETS는 또한 수직 방향으로 제1 금속화 층에 결합된 제2 금속화 층을 포함한다. 제2 금속화 층은 제2 절연층을 포함하며, 제2 금속층은 제2 절연층에 임베디드된 하나 이상의 제2 금속 트레이스를 포함한다. 양면 ETS는 또한 제1 절연층 및 제2 절연층에 각각 배치된 하나 이상의 수직 상호 연결 액세스(비아)를 포함한다. 하나 이상의 비아는 하나 이상의 제1 금속 트레이스 중 제1 금속 트레이스 및 하나 이상의 제2 금속 트레이스 중 제2 금속 트레이스에 각각 결합된다.

[0009] 또 다른 예시적인 양태에서, IC 패키지 제조 방법이 제공된다. 방법은 IC 패키지용 패키지 기판을 제조하는 단계를 포함한다. 패키지 기판을 제조하는 단계는 양면 ETS를 형성하는 단계를 포함한다. 양면 ETS를 형성하는 단계는 제1 절연층을 형성하는 단계 및 제1 절연층에 하나 이상의 금속 트레이스를 임베딩하는 단계를 포함하는 제1 금속화 층을 형성하는 단계를 포함하며, 하나 이상의 제1 금속 트레이스는 제1 금속층을 형성한다. 양면 ETS를 형성하는 단계는 또한 제2 절연층을 형성하는 단계 및 제2 절연층에 하나 이상의 제2 금속 트레이스를 임베딩하는 단계를 포함하는 제2 금속화 층을 형성하는 단계를 포함하며, 하나 이상의 제2 금속 트레이스는 제2 금속층을 형성한다. 양면 ETS를 형성하는 단계는 또한 수직 방향으로 제1 금속화 층에 제2 금속화 층을 결합시키는 단계를 포함한다. 양면 ETS를 형성하는 단계는 또한 하나 이상의 제1 금속 트레이스 중 제1 금속 트레이스, 제1 절연층, 제2 절연층, 및 하나 이상의 제2 금속 트레이스 중 제2 금속 트레이스를 통해 수직 방향으로 각각 하나 이상의 비아를 형성하여 제1 금속 트레이스를 제2 금속 트레이스에 결합시키는 단계를 포함한다.

도면의 간단한 설명

[0010] 도 1은 다이 패키지 사이에 전기적 인터페이스를 제공하기 위해 중간 인터포저 패키지 기판을 통해 수직의, 높이 방향으로 서로의 상단에 실장된 다수의 반도체 다이("다이") 패키지를 포함하는 예시적인 패키지 온 패키지 (POP) 집적 회로(IC) 패키지의 측면도이다;

도 2는 예시적인 양면 임베디드 트레이스 기판(ETS)을 포함하는 인터포저 패키지 기판을 추가로 예시하는 도 1의 POP IC 패키지의 또 다른 측면도이다;

도 3은 양면 ETS를 포함하지 않는 인터포저 패키지 기판을 포함하는 IC 패키지의 측면도이다;

도 4는 IC 패키지를 위한 또 다른 예시적인 패키지 기판의 측면도로서, 패키지 기판은 양면 ETS 사이에서 연장되는 수직 상호 연결 액세스(비아)를 통한 패널을 갖는, 코어 기판에 의해 분리된 다수의, 적층된 양면 ETS를 포함하는 네 개(4)의 층(4L) ETS이다;

도 5는 IC 패키지를 위한 또 다른 예시적인 패키지 기판의 측면도로서, 패키지 기판은 mSAP(modified semi-additive process) 기판에 결합된 양면 ETS를 포함한다;

도 6은 IC 패키지를 위한 또 다른 예시적인 패키지 기판의 측면도로서, 패키지 기판은 라미네이트 ETS에 결합된 양면 ETS를 포함하는 3L ETS이다;

도 7은 IC 패키지를 위한 또 다른 예시적인 패키지 기판의 측면도로서, 패키지 기판은 외부 라미네이트 ETS로

둘러싸인 양면 ETS를 포함하는 4L ETS이다;

도 8은, 이에 제한되는 것은 아니나, 도 2 및 4-7의 양면 ETS를 포함하는 IC 패키지용 패키지 기판에 제공될 수 있는 양면 ETS를 제조하는 예시적인 제조 공정을 예시하는 흐름도이다;

도 9는 양면 ETS를 제공하기 위해 함께 결합될 수 있는 패터닝된 임베디드 금속 트레이스가 형성된 상부 및/또는 하부 층 ETS 금속화 층을 제조하는 예시적인 제조 공정을 예시하는 흐름도이다;

도 10a-10d는 도 9의 제조 공정에 따라 상부 및/또는 하부 층 ETS 금속화 층을 제조하는 동안의 예시적인 제조 단계이다;

도 11a-11c는 예컨대 도 9-10d의 예시적인 제조 공정을 통해, 형성된 ETS 금속화 층을 사용하여 양면 ETS를 포함하는 패키지 기판을 제조하는 예시적인 제조 공정을 예시하는 흐름도이다;

도 12a-12e는 도 11a-11c의 제조 공정에 따라 양면 ETS를 포함하는 기판을 제조하는 동안의 예시적인 제조 단계이다;

도 13은, 이에 제한되는 것은 아니나, 도 2 및 4-7의 기판을 포함하고, 도 8-12e의 예시적인 제조 공정 중 어느 하나에 따른 양면 ETS를 갖는 패키지 기판을 사용하는 IC 패키지를 포함할 수 있는 컴포넌트를 포함할 수 있는 예시적인 프로세서 기반 시스템의 블록도이다; 그리고

도 14는, 이에 제한되는 것은 아니나, 도 2 및 4-7의 기판을 포함하고, 도 8-12e의 예시적인 제조 공정 중 어느 하나에 따른 양면 ETS를 갖는 패키지 기판을 사용하는 IC 패키지를 포함할 수 있는 무선 주파수(radio-frequency; RF)를 포함하는 예시적인 무선 통신 장치의 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0011] 이제 도면을 참조하면, 본 개시의 여러 가지 예시적인 양태들이 설명된다. "예시적인(exemplary)"라는 단어는 본원에서는 "예, 인스턴스 또는 예시로서의 역할을 하는"을 의미하는 데 사용된다. "예시적인"로 본원에 설명된 임의의 양태는 반드시 다른 양태보다 선호되거나 유리한 것으로 해석될 필요는 없다.

[0012] 본원에 개시된 양태는 양면 임베디드 트레이스 기판(embedded trace substrate; ETS)을 갖는 패키지 기판을 사용하는 집적 회로(integrated circuit; IC) 패키지를 포함한다. 관련 제조 방법도 개시된다. IC 패키지는 다이(들)를 지지하고 다이(들)에 연결을 제공하기 위해 패키지 기판에 전기적으로 결합된 적어도 하나의 반도체 다이("다이")를 포함한다. IC 패키지는 서로의 위에 적층되고 다이 패키지 사이에 전기 신호 라우팅을 제공하는 중간 인터포저 패키지 기판을 통해 서로 전기적으로 결합된 별도의 IC 패키지로서 다수의 다이 패키지를 포함하는 패키지 온 패키지(POP) IC 패키지일 수 있다. IC 패키지의 전체 높이를 줄이기 위해 IC 패키지에 감소된 두께의 기판(들)을 제공하는 동시에 라인/간격 비율(L/S)이 감소된 고밀도의 입력/출력(I/O) 연결을 지원하는 것을 용이하게 하기 위해, IC 패키지의 패키지 기판은 양면 ETS를 포함한다. 양면 ETS는 절연층에 임베디드 금속 트레이스를 모두 포함하는 두 개(2)의 인접한 ETS 금속화 층을 포함한다. 외부 ETS 금속화 층의 절연층은 각 ETS 금속화 층의 금속 트레이스가 절연층의 각각의 제1 및 제2 외부 부분에 임베디드되는 공유 절연층일 수 있다. 양면 ETS의 ETS 금속화 층의 임베디드 금속 트레이스는 수직 상호 연결 액세스(비아)(예를 들어, 금속 필라, 금속 포스트)를 통해 서로 전기적으로 결합되어 ETS 금속화 층의 임베디드 금속 트레이스 사이에 신호 라우팅 경로를 제공할 수 있다. 일 예에서, IC 패키지의 패키지 기판은 두 개(2)의 ETS 금속화 층이 패키지 기판의 외부 금속화 층인 양면 ETS로 구성된다. 또 다른 예에서, IC 패키지의 패키지 기판은 다수의 양면 ETS를 포함하며, 패키지 기판의 외부 금속화 층은 외부 양면 ETS의 각각의 외부 ETS 금속화 층이다. 또 다른 예에서, IC 패키지의 패키지 기판은 하나 이상의 양면 ETS뿐만 아니라 기타 금속화 층을 포함한다.

[0013] IC 패키지의 패키지 기판에 양면 ETS를 포함함으로써, 양면 ETS 지지대의 ETS 금속화 층은 금속 트레이스가 임베디드되어 있을 뿐만 아니라 라인/간격 비율(L/S)이 감소된 고밀도 연결을 지원하는 것으로 인해 감소된 두께를 갖는다. 이 방식으로, 추가 금속화 층을 추가하고/하거나 패키지 기판의 두께(즉, 수직 방향으로의 높이)를 증가시켜 IC 패키지의 전체 두께를 증가시키지 않고 IC 패키지 내 고밀도의 상호 연결이 지원될 수 있다. 양면 ETS는 또한 예를 들어 단 하나(1)의 ETS 금속화 층을 갖는 다른 기판보다 더 대칭적인 구조체를 가질 수 있는데, 이는 양면 ETS가 서로 인접한 유사한 ETS 금속화 층을 포함하기 때문이다. 이는 양면 ETS의 ETS 금속화 층이 보다 유사한 열팽창 계수(CTE)를 갖도록 제공하여, ETS 금속화 층 사이의 CTE 불일치를 줄이거나 방지하며, 이는 결과적으로 패키지 기판의 휨을 감소시킬 수 있다. 또한, 패키지 기판에 양면 ETS를 제공함으로써, 양면 ETS 내 ETS 금속화 층의 금속층은 패키지 기판에서 수직 방향으로 서로 더 가깝게 위치될 수 있으며, 이는

ETS 금속화 층 사이의 신호 경로 라우팅 거리를 감소시켜 ETS 금속화 층의 신호 라우팅 경로의 임피던스를 감소시키고 신호 라우팅 경로 사이의 누화도 감소시킨다. 이는 양면 ETS를 포함하는 인터포저 패키지 기판을 포함하는 IC 패키지에 대한 특별한 이점일 수 있는데, 이는 양면 ETS가 다이 패키지 간 연결을 위해 인터포저 패키지 기판을 통해 신호 라우팅 경로의 길이를 감소시킬 수 있으므로 이러한 신호 라우팅 경로의 임피던스를 감소시켜 성능을 향상시킬 수 있기 때문이다.

[0014] 이와 관련하여, 도 1은 적층형 다이 IC 패키지(102)인 예시적인 패키지 온 패키지(POP) 집적 회로(IC) 패키지(100)("IC 패키지(100)")의 측면도이다. 중간 인터포저 패키지 기판(108)("인터포저 기판(108)")을 통해 수직 방향(Z축 방향)으로 서로 그 위에 적층되고 결합된 각각의 제1 및 제2 다이 패키지(106(1), 106(2)) 패키지에 제1 및 제2 반도체 다이("다이")(104(1), 104(2))를 포함하는 적층형 다이 IC 패키지(102). 아래에서 더 자세히 논의되는 바와 같이, 인터포저 기판은 둘 다 전기 신호 라우팅 경로를 제공하기 위해 금속 상호 연결부를 제공하도록 각각의 절연층에 임베디드된 금속 트레이스를 포함하는 인접한 ETS 금속화 층(112(1), 112(2))("금속화 층(112(1), 112(2))"이라고도 함)을 포함하는 양면 ETS(110)의 형태로 제공된다. 임베디드 금속 트레이스는 서로 결합된다. 제1 다이 패키지(106(1))는 또한 적층형 다이 IC 패키지(102)의 다이(104(1), 104(2))에 외부 전기적 인터페이스를 제공하기 위해 외부 상호 연결부(116)(예를 들어, 볼 그리드 어레이(BGA) 상호 연결부)에 전기 신호 라우팅 경로를 제공하는 패키지 기판(114)에 결합된다. 제1 다이(104(1))는 패키지 기판(114)의 전기 신호 라우팅 경로를 통해 외부 상호 연결부(116)에 전기적으로 결합된다. 제2 다이(104(2))는 인터포저 기판(108)에 결합됨으로써 제1 다이(104(1)) 및 외부 상호 연결부(116)에 전기적으로 결합된다.

[0015] 도 1을 계속 참조하면, IC 패키지(100)의 인터포저 기판(108)은 제1 다이 패키지(106(1))의 패키지 몰드(120)에 배치된 수직 상호 연결부(118)(예를 들어, 몰드 관통 비아(TMV)와 같은, 금속 필라, 금속 포스트, 금속 수직 상호 연결 액세스(비아))를 통해 패키지 기판(114)에 전기적으로 결합된 임베디드 금속 트레이스를 포함하는 ETS 금속화 층(112(1), 112(2))을 포함한다. 이러한 방식으로, ETS 금속화 층(112(1), 112(2))은 인터포저 기판(108)과 패키지 기판(114) 사이에 전기적 연결을 제공한다. ETS 기판 기판은 고밀도의 I/O 연결을 지원하기 위해 라인/간격 비율(L/S)이 감소된 고밀도의 범프/솔더 조인트 제공을 용이하게 한다. 패키지 기판(108)은 수직 상호 연결부(118) 및 인터포저 기판(108)을 통해 제1 다이(104(1))를 제2 다이(104(2))에 전기적으로 결합시키는 전기 신호 라우팅 경로를 포함한다.

[0016] 이 예에서, 패키지 기판(114)은 "금속화 층(124)"이라고도 불리는 코어 기판(124) 상에 배치된 제1 상부 금속화 층(들)(122(1))을 포함한다. 코어 기판(124)은 제2 하부 금속화 층(들)(122(2)) 상에 배치된다. 상부 금속화 층(들)(122(1))은 제1 다이(104(1)) 및 수직 상호 연결부(118)로의 신호 라우팅을 위한 전기적 인터페이스를 제공한다. 제1 다이(104(1))는 상부 금속화 층(들)(122(1))의 제1 금속 상호 연결부(128(1))에 전기적으로 결합되는 다이 상호 연결부(126)(예를 들어, 용기된 금속 범프)에 결합된다. 상부 금속화 층(들)(122(1))의 제1 금속 상호 연결부(128(1))는 코어 기판(124)의 금속 상호 연결부(130)에 결합되며, 이는 제2 하부 금속화 층(122(2))의 제2 금속 상호 연결부(128(2))에 결합된다. 이러한 방식으로, 패키지 기판(114)은 제1 및 제2 금속화 층(들)(122(1), 122(2))과 코어 기판(124) 사이에 상호 연결부를 제공하여 제1 다이(104(1))로의 신호 라우팅을 제공한다. 외부 상호 연결부(116)는 제2 하부 금속화 층(들)(122(1))의 제2 금속 상호 연결부(128(2))에 결합되어 패키지 기판(114)을 통해 상호 연결부를 제1 다이(104(1)) 내지 다이 상호 연결부(126)에 제공한다. 이 예에서, 제1 다이(104(1))의 제1 활성층(132(1))은 패키지 기판(114)에 인접하여 결합되며, 보다 구체적으로는 패키지 기판(114)의 상부 금속화 층(들)(122(1))에 결합된다.

[0017] 도 1의 예시적인 IC 패키지(100)에서, 추가적인 선택적인 다이 패키지(106(2))가 제공되고 제1 다이 패키지(106(1))에 결합되어 다수의 다이를 지원한다. 예를 들어, 제1 다이 패키지(106(1))의 제1 다이(104(1))는 애플리케이션 프로세서를 포함할 수 있고, 제2 다이(104(2))는 애플리케이션 프로세서를 위한 메모리 지원을 제공하는 동적 랜덤 액세스 메모리(dynamic random access memory; DRAM)와 같은 메모리 다이일 수 있다. 이와 관련하여, 이 예에서, 제1 다이 패키지(106(1))는 또한 제1 다이(104(1))의 제2 비활성 층(132(2))에 인접하여, 제1 다이(104(1))를 둘러싸는 패키지 몰드(120) 상에 배치된 인터포저 기판(108)을 포함한다.

[0018] 특정 애플리케이션에서는 특정 요구 사항을 충족하기 위해 도 1의 IC 패키지(100)의 높이 H₁(즉, 두께)을 줄여야 할 수 있다. 예를 들어, IC 패키지(100)는 두 개(2) 층(2L)의 인터포저 기판을 사용하여 제1 다이 패키지(106(1))에 제2 다이 패키지(106(2))를 결합시킬 수 있다. 인터포저 기판(108)의 층 수는 (예를 들어, 2L에서 세 개(3)의 층(3L)로) 증가되어 일 예에서 제2 다이(104(2))로서 고밀도 메모리를 위한 입력/출력(I/O) 연결의 증가를 지원할 수 있다. 그러나, 인터포저 기판(108)에 추가적인 금속화 층을 추가하는 것은 IC 패키지(100)의

전체 높이(H₁)를 증가시킬 것이다. 또한, IC 패키지(100)에서 수직 방향(Z축 방향)으로의 제1 및 제2 다이 패키지(106(1), 106(2))의 적층형 배열은 제1 다이(104(1))에 인접하여 제2 다이(104(2))를 수평으로 배치할 필요가 없어, 수평 축(X축 및/또는 Y축 방향)으로의 공간을 절약하는 반면, 수직 방향(Z축 방향)으로 제1 및 제2 다이 패키지(106(1), 106(2))를 적층하는 것은 IC 패키지(100)의 전체 높이(H₁)를 증가시킨다.

[0019] 이와 관련하여, 이 예에서, IC 패키지(100)의 두께(즉, 높이)를 감소시키려면, 인터포저 기판(108)은 다수의 ETS 금속화 층(112(1), 112(2))을 포함하는 양면 ETS(110)를 포함한다. 각 ETS 금속화 층(112(1), 112(2))은 각각의 절연층에 임베디드된 금속 트레이스(134(1), 134(2))("임베디드 금속 트레이스(134(1), 134(2))")를 포함하여 제2 다이 패키지(106(2))의 제2 다이(104(2))에 상호 연결을 제공한다. 이 예에서, 제1 ETS 금속화 층(112(1))은 양면 ETS(110)의 제1 다이 패키지(106(1))에 인접하게 위치되고 인터포저 기판(108)과 제1 다이 패키지(106(1)) 사이의 감소된 L/S 비율의 고밀도의 I/O 연결을 용이하게 한다. 또한 이 예에서, 제2 ETS 금속화 층(112(2))은 인터포저 기판(108)의 제2 다이 패키지(106(2))에 인접하여 위치되어 양면 ETS(110)를 구성한다. 제2 ETS 금속화 층(112(2))은 인터포저 기판(108)과 제2 다이 패키지(106(2)) 사이의 감소된 L/S 비율의 고밀도의 I/O 연결을 용이하게 한다. 제2 다이 패키지(106(2))는 인터포저 기판(108)에 대한 외부 상호 연결부(136)(예를 들어, 솔더 범프, BGA 상호 연결부)를 통해 제1 다이 패키지(106(1))에 물리적으로 그리고 전기적으로 결합된다. 외부 상호 연결부(136)는 인터포저 기판(108)의 ETS 금속화 층(112(2))의 임베디드 금속 트레이스(134(2))에 결합되고, 이는 ETS 금속화 층(112(1))의 임베디드 금속 트레이스(134(1)) 및 수직 상호 연결부(118)에 결합된다.

[0020] 양면 ETS(110)를 제공하는 ETS 금속화 층(112(1), 112(2))으로서 인터포저 기판에 두 금속화 층을 제공함으로써, 인터포저 기판(108)의 전체 두께는 더 작다. 이는 예를 들어 인터포저 기판(108)의 금속화 층 중 하나만 ETS 금속화 층으로서 제공하는 것과 반대된다. 양면 ETS(110)로서 IC 패키지(100)에 인터포저 기판(108)을 제공하는 것은 또한 인터포저 기판(108)에 대해 감소된 두께의 기판을 제공하여 고밀도의 I/O 연결을 지원하면서 IC 패키지(100)의 전체 높이(H₁)를 감소시킨다. 이 방식으로, 추가 금속화 층을 추가하고/하거나 인터포저 기판(108)의 두께(즉, 수직 방향(Z축 방향)으로의 높이)를 증가시켜 IC 패키지(100)의 전체 두께를 증가시키지 않고 IC 패키지(100) 내 고밀도의 상호 연결이 지원될 수 있다. 또한, 양면 ETS(110)는 예를 들어 단 하나의 ETS 금속화 층을 갖는 다른 기판보다 더 대칭적인 구조체를 가질 수 있는데, 이는 양면 ETS(110)가 서로 인접하게 배치된 유사한 구조체의 제1 및 제2 ETS 금속화 층(112(1), 112(2))을 포함하기 때문이다. 이는 양면 ETS(110)의 제1 및 제2 ETS 금속화 층(112(1), 112(2))이 더 유사한 CTE를 갖도록 제공하며, 따라서 제1 및 제2 ETS 금속화 층(112(1), 112(2)) 사이의 CTE 불일치를 줄이거나 방지한다. 이는 결과적으로 도 1의 IC 패키지(100)에 대해 특히 우려될 수 있는 인터포저 기판(108)의 휨을 감소시킬 수 있다.

[0021] 도 1의 IC 패키지(100)는 제1 다이 패키지(106(1))를 포함하고 제2 다이 패키지(106(2))를 포함하지 않는 단일 다이 패키지일 수 있다는 점에 유의한다. 이와 관련하여, 제1 다이 패키지(106(1))는 제1 다이(104(1)) 및 외부 상호 연결부(116)으로의 신호 라우팅을 위해 패키지 기판(114)에 대한 상호 연결을 제공하기 위해 인터포저 기판(108) 및 수직 상호 연결부(118)를 포함할 필요가 없을 수 있다. 또 다른 예로서, IC 패키지(100)가 제2 다이 패키지(106(2))를 포함하는지 또는 포함하지 않는지에 관계없이, 패키지 기판(114)은 또한 선택적으로 양면 ETS(110)를 포함하도록 제공될 수 있으며, 여기서 제1, 상부 및 제2 하부 금속화 층(122(1), 122(2))은 둘 다 ETS 금속화 층으로 제공되며, 각각의 제1 및 제2 금속 상호 연결부(128(1), 128(2))는 임베디드 금속 트레이스이라는 점에 유의한다.

[0022] 도 1의 IC 패키지(100)의 인터포저 기판(108)에 있는 양면 ETS(110)의 추가적인 예시적인 세부사항을 설명하기 위해, 도 2가 제공된다. 도 2는 양면 ETS(110)를 포함하는 인터포저 기판(108)을 추가로 예시하는 도 1의 IC 패키지(100)의 부분 측면도이다. 도 2에 도시된 바와 같이, 이 예에서, 인터포저 기판(108)은 양면 ETS(110)이다. 양면 ETS(110)는 제1 다이 패키지(106(1))에 인접하게 배치된 제1 ETS 금속화 층(112(1))을 포함한다. 제1 ETS 금속화 층(112(1))은 이 예에서는 유전체 물질로 형성된 물질층인 제1 절연층(200(1))을 포함한다. 금속 트레이스(134(1))는 제1 절연층(200(1))에 임베디드된다. 따라서, 제1 금속 트레이스(134(1))는 제1 "임베디드" 금속 트레이스(134(1))로도 지칭된다. 제1 절연층(200(1))에 제1 임베디드 금속 트레이스(134(1))를 임베딩하는 것은 제1 ETS 금속화 층(112(1))에 금속층(202(1))을 형성한다. 제1 ETS 금속화 층(112(1))의 제1 절연층(200(1))에 제1 임베디드 금속 트레이스(134(1))를 임베딩하는 것은 감소된 L/S 비율의 고밀도의 제1 임베디드 금속 트레이스(134(1))를 제공하는 것을 용이하게 하며, 제1 ETS 금속화 층(112(2))을 제1 다이 패키지(106(1))의 수직 상호 연결부(118)에 전기적으로 결합시키기 위한 고밀도의 범프/솔더 조인트가 형성될 수

있다. 제1 임베디드 금속 트레이스(134(1))는 제조 공정 동안 에칭의 결과로 제1 절연층(200(1))의 하단 표면(204)으로부터 리세스된다. 제1 솔더 레지스트 층(206(1))은 제1 다이 패키지(106(1))에 외부적으로 연결되지 않은 제1 임베디드 금속 트레이스(134(1))의 부분을 절연 및 보호하기 위해 제1 절연층(200(1))의 하단 표면(204) 상에 배치된다. 제1 개구(208(1))는 제1 솔더 레지스트 층(206(1))에 형성되어 제1 다이 패키지(106(1))의 수직 상호 연결부(118)에 연결될 제1 임베디드 금속 트레이스(134(1))를 노출시킨다.

[0023]

도 2를 계속 참조하면, 이 예에서 양면 ETS(110)는 또한 제2 다이 패키지(106(1))(도 1 참조)에 인접하게 배치된 제2 ETS 금속화 층(112(2))을 포함한다. 제2 ETS 금속화 층(112(2))은 이 예에서는 유전체 물질로 형성된 물질층인 제2 절연층(200(2))을 포함한다. 이 예에서, 제2 절연층(200(2))은 제1 및 제2 절연층(200(1), 200(2))이 서로 직접 인접하도록 제1 절연층(200(1))에 장착 또는 결합된다. 금속 트레이스(134(2))는 제2 절연층(200(1))에 임베디드된다. 따라서, 제2 금속 트레이스(134(2))는 제2 "임베디드" 금속 트레이스(134(2))로도 지칭된다. 제2 절연층(200(2))에 제2 임베디드 금속 트레이스(134(2))를 임베딩하는 것은 제2 ETS 금속화 층(112(2))에 금속층(202(2))을 형성한다. 제2 ETS 금속화 층(112(2))의 제2 절연층(200(2))에 제2 임베디드 금속 트레이스(134(2))를 임베딩하는 것은 감소된 L/S 비율의 고밀도의 제2 임베디드 금속 트레이스(134(2))를 제공하는 것을 용이하게 하며, 제2 ETS 금속화 층(112(2))을 제2 다이 패키지(106(2))에 전기적으로 결합시키기 위한 고밀도의 범퍼/슬더 조인트가 형성될 수 있다. 제2 임베디드 금속 트레이스(134(2))는 제조 공정 동안 에칭의 결과로 제2 절연층(200(2))의 상단 표면(210)으로부터 리세스된다. 제2 솔더 레지스트 층(206(2))은 제2 다이 패키지(106(2))에 외부적으로 연결되지 않은 제2 임베디드 금속 트레이스(134(2))의 부분을 절연 및 보호하기 위해 제2 절연층(200(2))의 상부 표면(210) 상에 배치된다. 제2 개구(208(2))는 제2 솔더 레지스트 층(206(2))에 형성되어 제2 다이 패키지(106(2))의 외부 상호 연결부(136)에 연결될 제2 임베디드 금속 트레이스(134(2))를 노출시킨다.

[0024]

도 2를 계속 참조하면, 각각의 제1 및 제2 ETS 금속화 층(112(1), 112(2))의 각각의 제1 및 제2 임베디드 금속 트레이스(134(1), 134(2))를 함께 전기적으로 결합시켜 제1 및 제2 ETS 금속화 층(112(1), 112(2))으로부터 그리고 그에 따라 제1 및 제2 다이 패키지(106(1), 106(2)) 사이에 전기 신호 라우팅 경로를 제공하기 위해, 비아(212)(예를 들어, 금속 필라, 금속 포스트, 금속 라인)가 양면 ETS(110)에 형성된다. 비아(212)는 제1 및 제2 절연층(200(1), 200(2))에 배치된다. 각 비아(212)는 수직 방향(Z축 방향)으로 서로 정렬된 각각의 제1 및 제2 임베디드 금속 트레이스(134(1), 134(2))에 결합된다. 임베디드 금속 트레이스(134(1), 134(2))는 서로 평행하고 수직 방향(Z축 방향)으로 서로 적어도 부분적으로 정렬된다. 따라서, 비아(212)는 수직 방향으로 서로 정렬된 각각의 제1 및 제2 임베디드 금속 트레이스(134(1), 134(2)) 사이에 전기적 라우팅 경로를 제공한다. 이 예에서, 양면 ETS(110)의 제1 및 제2 ETS 금속화 층(112(1), 112(2))은 인터포저 기관(108)의 외부 금속화 층이며, 이는 제1 및 제2 ETS 금속화 층(112(1), 112(2))은 각각의 제1 및 제2 다이 패키지(106(1), 106(2))에 바로 인접하여 배치되는 것을 의미한다. 이 방식으로, 상기에 논의된 바와 같이, 제1 임베디드 금속 트레이스(134(1))는 제1 다이 패키지(106(1))의 수직 상호 연결부에 결합되며, 제2 임베디드 금속 트레이스(134(2))는 제2 다이 패키지(106(2))의 외부 상호 연결부(136)에 결합되어 제1 다이 패키지(106(1))의 수직 상호 연결부(118)와 제2 다이 패키지(106(2))의 외부 상호 연결부(136) 사이의 인터포저 기관(108)에 전기 신호 라우팅을 제공한다. 그러나, 제1 및 제2 ETS 금속화 층(112(1), 112(2))은 인터포저 기관(108)의 외부 금속화 층으로서 제공될 필요가 없다는 점에 유의한다.

[0025]

따라서, 도 2에 도시된 바와 같이, 이 예에서, 인터포저 기관(108)의 양면 ETS(110)는 각각의 제1 및 제2 절연층(200(1), 202(2))의 반대편 상에 각각 제1 및 제2 임베디드 금속 트레이스(134(1), 134(2))가 포함되고 비아(212)를 통해 함께 결합되는 두 개(2)의 인접한 제1 및 제2 ETS 금속화 층(112(1), 112(2))을 포함한다. 제1 및 제2 ETS 금속화 층(112(1), 112(2))은 각각의 적어도 부분적으로 수직으로 정렬되고 페어링된 제1 및 제2 임베디드 금속 트레이스(134(1), 134(2)) 사이에서 연장되는 각각의 제1 및 제2 절연층(200(1), 200(2))에 배치된 비아(212)만으로 서로 직접적으로 인접한다. 비아(212)는 제1 및 제2 임베디드 금속 트레이스(134(1), 134(2))의 각각의 내부 표면(214(1), 214(2))에 결합된다. 제1 및 제2 임베디드 금속 트레이스(134(1), 134(2))의 내부 표면(214(1), 214(2))의 반대편 상에 있는 제1 및 제2 임베디드 금속 트레이스(134(1), 134(2))의 외부 표면(216(1), 216(2))은 제1 및 제2 솔더 레지스트 층(206(1), 206(2))의 각각의 제1 및 제2 개구(208(1), 208(2))를 통해 노출된다. 따라서, 도 2에 도시된 바와 같이, 제1 및 제2 절연층(200(1), 200(2))과 그 안에 임베디드된 제1 및 제2 임베디드 금속 트레이스(134(1), 134(2))는 인터포저 기관(108)의 중심축(A₁)을 중심으로 실질적으로 대칭이다. 이 방식으로, 양면 ETS(110)는 예를 들어 단 하나(1)의 ETS 금속화 층을 갖는 다른 기관보다 더 대칭적인 구조체를 가질 수 있다. 이는 양면 ETS(110)가 동일한 각각의 금속 및 유전체 물질로 제

조될 수 있는 각각의 절연층(200(1), 200(1))에 임베디드된 각각의 임베디드 금속 트레이스(134(1), 134(2))가 모두 포함된 서로 인접한 유사한 제1 및 제2 ETS 금속화 층(112(1), 112(2))을 포함하기 때문이다. 이는 양면 ETS(110)의 ETS 금속화 층(112(1), 112(2))이 더 유사한 CTE를 갖도록 제공하며, 따라서 제1 및 제2 ETS 금속화 층(112(1), 112(2)) 사이의 CTE 불일치를 줄이거나 방지하며, 이는 결국 인터포저 기판(108)의 휨을 줄일 수 있다.

[0026] 또한, 인터포저 기판(108)에 양면 ETS(110)를 제공함으로써, 제1 및 제2 ETS 금속화 층(112(1), 112(2))의 제1 및 제2 금속층(202(1), 202(2))은 인터포저 기판(108)에서 수직 방향(Z축 방향)으로 서로 더 가깝게 위치될 수 있는데, 이는 제1 및 제2 ETS 금속화 층(112(1), 112(2))이 수직 방향(Z축 방향)으로 감소된 두께(즉, 높이)로 형성될 수 있기 때문이다. 이는 인터포저 기판(108)의 제1 및 제2 ETS 금속화 층(112(1), 112(2)) 사이의 신호 경로 라우팅 거리를 감소시켜 신호 라우팅 경로의 임피던스를 감소시키고 또한 제1 및 제2 ETS 금속화 층(112(1), 112(2))의 신호 라우팅 경로 사이의 누화를 감소시킨다. 이는 양면 ETS(110)를 포함하는 인터포저 기판(108)을 포함하는 도 1의 IC 패키지(100)에 대한 특별한 이점일 수 있는데, 이는 양면 ETS(110)가 제1 및 제2 다이 패키지(106(1), 106(2)) 간 연결을 위해 인터포저 기판(108)을 통해 신호 라우팅 경로의 길이를 감소시킬 수 있으므로, 이러한 연결의 임피던스를 감소시켜 성능을 향상시킬 수 있기 때문이다. 도 3은 도 2의 인터포저 기판(108)과 비교하기 위한 양면 ETS를 포함하지 않는 인터포저 패키지 기판(308)을 포함하는 IC 패키지(300)의 측면도이다. IC 패키지(300)는 패키지 기판(314)에 결합된 다이(304)를 포함하는 제1 다이 패키지(306(1))를 포함한다. 패키지 기판(314)은 금속화 층(322(1)-322(3))을 포함한다. 금속화 층(322(1)-322(3))은 제1 다이 패키지(306(1))의 제1 다이(304(1)) 및 수직 상호 연결부(318)에 전기 신호 라우팅 경로를 제공하는 각각의 금속 상호 연결부(328(1)-328(3))를 포함한다.

[0027] 제1 다이 패키지(306(1))를 제2 다이 패키지(306(2))(미도시)에 결합시키기 위해, IC 패키지(300)는 인터포저 기판(308)을 포함한다. 인터포저 기판(308)은 이 예에서 2층(2L) mSAP(modified semi-additive process) 인터포저 기판인 것으로 제공된다. 인터포저 기판(308)은 기판을 제공하기 위해 형성되는 라미네이트 유전층일 수 있는 절연층(310)을 포함한다. 제1 금속 상호 접속부(312(1))는 절연층(310)에 인접한 제1 금속층(314(1))에 형성된다. 금속 포스트(316)(예를 들어, 비아)는 제1 금속층(314(1))의 제1 금속 상호 연결부(312(1))와 제2 금속층(314(2))에 형성된 제2 금속 상호 연부(312(2)) 사이에 결합되고 금속 포스트(316)에도 결합된 절연층(310)에 형성된다. 이는 제1 및 제2 금속 상호 연결부(312(1), 312(2)) 사이에 상호 연결부 및 이에 따른 신호 경로를 제공한다. 제1 및 제2 금속 상호 연결부(312(1), 312(2))는 절연층(310)에 임베디드되지 않는다는 점에 유의한다. 따라서, 제1 및 제2 금속층(314(1), 314(2))의 높이(H_2 , H_3)는 인터포저 기판(308)의 전체 높이(H_5)에 기여하는 절연층(310)의 높이(H_4)에 추가된다. 또한, 제1 및 제2 금속 상호 연결부(312(1), 312(2))는 도 1 및 2의 양면 ETS(110)의 제1 및 제2 임베디드 금속 트레이스(134(1), 134(2))와 같이 감소된 L/S로 형성될 수 없을 수 있다.

[0028] 다른 유형의 패키지 기판이 IC 패키지에 제공될 수 있으며, 패키지 기판은 하나 이상의 양면 ETS를 포함한다. 특정 IC 패키지에 필요한 특정 애플리케이션과 연결성은 사용되는 패키지 기판의 유형과 하나 이상의 양면 ETS를 포함할 수 있는 방법을 관리한다.

[0029] 이와 관련하여, 도 4는 IC 패키지를 위한 또 다른 예시적인 패키지 기판(400)의 측면도이며, 여기서 패키지 기판(400)은 네 개(4) 층(4L) ETS(402)이다. 아래에 논의된 바와 같이, 패키지 기판(400)은 코어 기판(406)에 의해 함께 결합되는 제1 및 제2 양면 ETS(404(1), 404(2))를 포함한다. 제1 및 제2 양면 ETS(404(1), 404(2))는 도 1 및 2의 양면 ETS(110)와 유사하다. 제1 양면 ETS(404(1))는 이 예에서 유전체 물질로 형성된 물질층인 제1 절연층(410(1))을 포함하는 제1 ETS 금속화 층(408(1))을 포함한다. 금속 트레이스(412(1))는 제1 절연층(410(1))에 임베디드된다. 따라서, 제1 금속 트레이스(412(1))는 제1 "임베디드" 금속 트레이스(412(1))로도 지칭된다. 제1 절연층(410(1))에 제1 임베디드 금속 트레이스(412(1))를 임베딩하는 것은 제1 ETS 금속화 층(408(1))에 금속층(414(1))을 형성한다. 제1 솔더 레지스트 층(416(1))은 외부적으로 연결되지 않은 제1 임베디드 금속 트레이스(412(1))의 부분을 절연 및 보호하기 위해 제1 절연층(410(1))의 하단 표면(418) 상에 배치된다. 제1 개구(420(1))는 제1 솔더 레지스트 층(416(1))에 형성되어 외부에 연결될 제1 임베디드 금속 트레이스(412(1))를 노출시킨다. 제1 양면 ETS(404(1))는 또한 이 예에서 유전체 물질로 형성된 물질층인 제2 절연층(410(2))을 포함하는 제2 ETS 금속화 층(408(2))을 포함한다. 금속 트레이스(412(2))는 제2 절연층(410(2))에 임베디드된다. 따라서, 제2 금속 트레이스(412(2))는 제2 "임베디드" 금속 트레이스(412(2))로도 지칭된다. 제2 절연층(410(2))에 제2 임베디드 금속 트레이스(412(2))를 임베딩하는 것은 제2 ETS 금속화 층

(408(2))에 금속층(414(2))을 형성한다.

[0030]

각각의 제1 및 제2 ETS 금속화 층(408(1), 408(2))의 각각의 제1 및 제2 임베디드 금속 트레이스(412(1), 412(2))를 함께 전기적으로 결합시켜 제1 및 제2 ETS 금속화 층(408(1), 408(2))으로부터 전기 신호 라우팅 경로를 제공하기 위해, 비아(422)(예를 들어, 금속 필라, 금속 포스트, 금속 라인)가 제1 양면 ETS(404(1))에 형성된다. 비아(422)는 제1 및 제2 절연층(410(1), 410(2))에 배치된다. 각 비아(422)는 수직 방향(Z축 방향)으로 서로 평행하게 서로 적어도 부분적으로 정렬된 각각의 제1 및 제2 임베디드 금속 트레이스(412(1), 412(2))에 결합된다. 따라서, 비아(422)는 수직 방향으로 서로 정렬된 각각의 제1 및 제2 임베디드 금속 트레이스(412(1), 412(2)) 사이에 전기적 라우팅 경로를 제공한다. 이 예에서, 제1 양면 ETS(404(1))의 제1 ETS 금속화 층(408(1))은 패키지 기관(400)의 외부 금속화 층이다.

[0031]

도 4를 계속 참조하면, 제2 양면 ETS(404(2))는 이 예에서 유전체 물질로 형성된 물질층인 제1 절연층(430(1))을 포함하는 제1 ETS 금속화 층(428(1))을 포함한다. 금속 트레이스(432(1))는 제1 절연층(430(1))에 임베디드된다. 따라서, 제1 금속 트레이스(432(1))는 제1 "임베디드" 금속 트레이스(432(1))로도 지칭된다. 제1 절연층(410(1))에 제1 임베디드 금속 트레이스(432(1))를 임베딩하는 것은 제1 ETS 금속화 층(428(1))에 제1 금속층(434(1))을 형성한다. 제2 양면 ETS(404(2))는 또한 이 예에서 유전체 물질로 형성된 물질층인 제2 절연층(430(2))을 포함하는 제2 ETS 금속화 층(428(2))을 포함한다. 제2 금속 트레이스(432(2))는 제2 절연층(430(2))에 임베디드된다. 따라서, 제2 금속 트레이스(432(2))는 제2 "임베디드" 금속 트레이스(432(2))로도 지칭된다. 제2 절연층(410(2))에 제2 임베디드 금속 트레이스(432(2))를 임베딩하는 것은 제2 ETS 금속화 층(428(2))에 제2 금속층(434(2))을 형성한다. 제2 솔더 레지스트 층(416(2))은 외부적으로 연결되지 않은 제2 임베디드 금속 트레이스(432(2))의 부분을 절연 및 보호하기 위해 제1 절연층(430(1))의 상단 표면(421) 상에 배치된다. 제2 개구(420(2))는 제2 솔더 레지스트 층(416(2))에 형성되어 외부에 연결될 제1 임베디드 금속 트레이스(432(1))를 노출시킨다.

[0032]

각각의 제1 및 제2 ETS 금속화 층(428(1), 428(2))의 각각의 제1 및 제2 임베디드 금속 트레이스(432(1), 432(2))를 함께 전기적으로 결합시켜 제1 및 제2 ETS 금속화 층(428(1), 428(2))으로부터 전기 신호 라우팅 경로를 제공하기 위해, 비아(424)(예를 들어, 금속 필라, 금속 포스트, 금속 라인)가 제2 양면 ETS(404(2))에 형성된다. 비아(424)는 제1 및 제2 절연층(430(1), 430(2))에 배치된다. 각 비아(424)는 수직 방향(Z축 방향)으로 서로 적어도 부분적으로 정렬된 각각의 제1 및 제2 임베디드 금속 트레이스(432(1), 432(2))에 결합된다. 따라서, 비아(424)는 수직 방향으로 서로 적어도 부분적으로 정렬된 각각의 제1 및 제2 임베디드 금속 트레이스(432(1), 432(2)) 사이에 전기적 라우팅 경로를 제공한다. 이 예에서, 제2 양면 ETS(404(1))의 제2 ETS 금속화 층(428(1))은 패키지 기관(400)의 외부 금속화 층이다.

[0033]

또한 도 4를 계속 참조하면, 이 예에서, 패키지 기관(400)을 통해 추가 신호 라우팅 경로를 제공하기 위해 제1 및 제2 양면 ETS(404(1), 404(2))와 코어 기관(406)을 통해 연장되는 추가 비아(426)가 패키지 기관(400)에 제공된다. 추가 비아(426)는 패키지 기관(400)에서의 전기 신호 라우팅을 위해 제1 및 제2 ETS 금속화 층(408(1), 408(2), 428(1), 428(2)) 중 어느 하나를 함께 결합시킬 수 있다. 또한, 원하는 경우, 제2 양면 ETS(404(2))의 제1 ETS 금속화 층(428(1))에 있는 제1 임베디드 금속 트레이스(432(1))는 비아에 의해 제1 양면 ETS(404(2))의 제2 ETS 금속화 층(408(2))에 있는 제2 임베디드 금속 트레이스(412(2))에 결합되어 제1 및 제2 양면 ETS(404(1), 404(2)) 사이의 전기 신호 라우팅을 제공할 수 있다.

[0034]

도 5는 IC 패키지를 위한 또 다른 예시적인 패키지 기관(500)의 측면도로서, 패키지 기관(500)은 mSAP(modified semi-additive process) 기관(502)에 결합된 양면 ETS(504)를 포함한다. 양면 ETS(504)는 도 1과 2의 양면 ETS(110) 및 도 4의 양면 ETS(404(1), 404(2))와 유사하다. 양면 ETS(504)는 이 예에서 유전체 물질로 형성된 물질층인 제1 절연층(510(1))을 포함하는 제1 ETS 금속화 층(508(1))을 포함한다. 금속 트레이스(512(1))는 제1 절연층(510(1))에 임베디드된다. 따라서, 제1 금속 트레이스(512(1))는 제1 "임베디드" 금속 트레이스(512(1))로도 지칭된다. 제1 절연층(510(1))에 제1 임베디드 금속 트레이스(512(1))를 임베딩하는 것은 제1 ETS 금속화 층(508(1))에 금속층(514(1))을 형성한다. 양면 ETS(504)는 또한 이 예에서 유전체 물질로 형성된 물질층인 제2 절연층(510(2))을 포함하는 제2 ETS 금속화 층(508(2))을 포함한다. 금속 트레이스(512(2))는 제2 절연층(510(2))에 임베디드된다. 따라서, 제2 금속 트레이스(512(2))는 제2 "임베디드" 금속 트레이스(512(2))로도 지칭된다. 제2 절연층(510(2))에 제2 임베디드 금속 트레이스(512(2))를 임베딩하는 것은 제2 ETS 금속화 층(508(2))에 금속층(514(2))을 형성한다. 제1 솔더 레지스트 층(516(1))은 외부적으로 연결되지 않은 제2 임베디드 금속 트레이스(512(2))의 부분을 절연 및 보호하기 위해 제2 절연층(510(2))의 상단 표면(518) 상에 배치된다. 제1 개구(520(1))는 제1 솔더 레지스트 층(516(1))에 형성되어 외부에 연결될 제2 임베

디드 금속 트레이스(512(1))를 노출시킨다.

[0035] 각각의 제1 및 제2 ETS 금속화 층(508(1), 508(2))의 각각의 제1 및 제2 임베디드 금속 트레이스(512(1), 512(2))를 함께 전기적으로 결합시켜 제1 및 제2 ETS 금속화 층(508(1), 508(2))으로부터 전기 신호 라우팅 경로를 제공하기 위해, 비아(522)(예를 들어, 금속 필라, 금속 포스트, 금속 라인)가 제1 양면 ETS(504(1))에 형성된다. 비아(522)는 제1 및 제2 절연층(510(1), 510(2))에 배치된다. 각 비아(522)는 수직 방향(Z축 방향)으로 서로 평행하게 서로 적어도 부분적으로 정렬된 각각의 제1 및 제2 임베디드 금속 트레이스(512(1), 512(2))에 결합된다. 따라서, 비아(522)는 수직 방향으로 서로 적어도 부분적으로 정렬된 각각의 제1 및 제2 임베디드 금속 트레이스(512(1), 512(2)) 사이에 전기적 라우팅 경로를 제공한다. 이 예에서, 양면 ETS(504)의 제1 ETS 금속화 층(508(1))은 패키지 기판(500)의 외부 금속화 층이다.

[0036] 도 5에도 도시된 바와 같이, 패키지 기판은 mSAP 기판(502)을 포함한다. mSAP 기판(502)은 이 예에서 유전체 물질로 형성된 물질층인 절연층(540) 상에 형성된 금속 상호 연결부(542)를 갖는 금속화 층(538)을 포함한다. 이 예에서, mSAP 기판(502)의 금속화 층(538)은 패키지 기판(500)의 외부 금속화 층이다. 절연층(540)은 코어 기판일 수 있다. 절연층(540)은 mSAP 제조 공정을 이용하여 다수의 라미네이트된 유전층으로 형성될 수 있다. 금속화 층(538)의 각각의 금속 상호 연결부(542)를 양면 ETS(504)의 제1 임베디드 금속 트레이스(512(1))에 전기적으로 결합시키기 위해, 비아(524)(예를 들어, 금속 필라, 금속 포스트, 금속 라인)가 절연층(540)에 형성된다. 비아(524)는 적어도 부분적으로 정렬된 금속 상호 연결부(542)와 양면 ETS(504)의 제1 임베디드 금속 트레이스(512(1))에 수직 방향(Z축 방향)으로 결합된다. 따라서, 비아(524)는 mSAP 기판(502)과 양면 ETS(504) 사이에 전기적 라우팅 경로를 제공한다. 제2 솔더 레지스트 층(516(2))은 외부적으로 연결되지 않은 금속 상호 연결부(542)의 부분을 절연 및 보호하기 위해 절연층(540)의 하단 표면(544) 상에 배치된다. 제2 개구(520(2))는 제2 솔더 레지스트 층(516(2))에 형성되어 외부에 연결될 금속 상호 연결부(542)를 노출시킨다.

[0037] 도 6은 IC 패키지를 위한 또 다른 예시적인 패키지 기판(600)의 측면도로서, 패키지 기판(600)은 라미네이트 ETS(602)에 결합된 양면 ETS(604)를 포함하는 삼층(3L) ETS이다. 양면 ETS(604)는 도 1과 2의 양면 ETS(110) 및 도 4의 양면 ETS(404(1), 404(2))와 유사하다. 양면 ETS(604)는 이 예에서 유전체 물질로 형성된 물질층인 제1 절연층(610(1))을 포함하는 제1 ETS 금속화 층(608(1))을 포함한다. 금속 트레이스(612(1))는 제1 절연층(610(1))에 임베디드된다. 따라서, 제1 금속 트레이스(612(1))는 제1 "임베디드" 금속 트레이스(612(1))로도 지칭된다. 제1 절연층(610(1))에 제1 임베디드 금속 트레이스(612(1))를 임베딩하는 것은 제1 ETS 금속화 층(608(1))에 금속층(614(1))을 형성한다. 양면 ETS(604)는 또한 이 예에서 유전체 물질로 형성된 물질층인 제2 절연층(610(2))을 포함하는 제2 ETS 금속화 층(608(2))을 포함한다. 금속 트레이스(612(2))는 제2 절연층(610(2))에 임베디드된다. 따라서, 제2 금속 트레이스(612(2))는 제2 "임베디드" 금속 트레이스(612(2))로도 지칭된다. 제2 절연층(610(2))에 제2 임베디드 금속 트레이스(612(2))를 임베딩하는 것은 제2 ETS 금속화 층(608(2))에 금속층(614(2))을 형성한다. 제1 솔더 레지스트 층(616(1))은 외부적으로 연결되지 않은 제2 임베디드 금속 트레이스(612(2))의 부분을 절연 및 보호하기 위해 제2 절연층(610(2))의 하단 표면(618) 상에 배치된다. 제1 개구(620(1))는 제1 솔더 레지스트 층(616(1))에 형성되어 외부에 연결될 제2 임베디드 금속 트레이스(612(1))를 노출시킨다.

[0038] 각각의 제1 및 제2 ETS 금속화 층(608(1), 608(2))의 각각의 제1 및 제2 임베디드 금속 트레이스(612(1), 612(2))를 함께 전기적으로 결합시켜 제1 및 제2 ETS 금속화 층(608(1), 608(2))으로부터 전기 신호 라우팅 경로를 제공하기 위해, 비아(622)(예를 들어, 금속 필라, 금속 포스트, 금속 라인)가 제1 양면 ETS(604)에 형성된다. 비아(622)는 제1 및 제2 절연층(610(1), 610(2))에 배치된다. 각 비아(622)는 수직 방향(Z축 방향)으로 서로 평행하게 서로 적어도 부분적으로 정렬된 각각의 제1 및 제2 임베디드 금속 트레이스(612(1), 612(2))에 결합된다. 따라서, 비아(622)는 수직 방향으로 서로 적어도 부분적으로 정렬된 각각의 제1 및 제2 임베디드 금속 트레이스(612(1), 612(2)) 사이에 전기적 라우팅 경로를 제공한다. 이 예에서, 양면 ETS(604)의 제1 ETS 금속화 층(608(1))은 패키지 기판(600)의 외부 금속화 층이다.

[0039] 도 6에도 도시된 바와 같이, 패키지 기판(600)은 라미네이트 ETS(602)를 포함한다. 라미네이트 ETS(602)는 이 예에서 유전체 물질로 형성된 물질층인 절연층(640)에 임베디드된 임베디드 금속 트레이스(642)를 갖는 ETS 금속화 층(638)을 포함한다. 이 예에서, 라미네이트 ETS(602)의 ETS 금속화 층(638)은 패키지 기판(600)의 외부 금속화 층이다. 절연층(640)은 ETS 제조 공정을 이용하여 다수의 라미네이트된 유전층으로 형성될 수 있다. ETS 금속화 층(638)의 각각의 금속 상호 연결부(642)를 양면 ETS(604)의 제2 임베디드 금속 트레이스(612(2))에 전기적으로 결합시키기 위해, 비아(624)(예를 들어, 금속 필라, 금속 포스트, 금속 라인)가 절연층(640)에 형성된다. 비아(624)는 적어도 부분적으로 정렬된 임베디드 금속 트레이스(642)와 양면 ETS(604)의 제2 임베디드

금속 트레이스(612(1))에 수직 방향(Z축 방향)으로 결합된다. 따라서, 비아(624)는 라미네이트 ETS(602)와 양면 ETS(604) 사이에 전기적 라우팅 경로를 제공한다. 제2 솔더 레지스트 층(616(2))은 외부적으로 연결되지 않은 임베디드 금속 트레이스(642)의 부분을 절연 및 보호하기 위해 절연층(640)의 상단 표면(644) 상에 배치된다. 제2 개구(620(2))는 제2 솔더 레지스트 층(616(2))에 형성되어 외부에 연결될 임베디드 금속 트레이스(642)를 노출시킨다.

[0040] 도 7은 IC 패키지를 위한 또 다른 예시적인 패키지 기판(700)의 측면도로서, 패키지 기판(700)은 두 개의 외부 라미네이트 ETS(702(1), 702(2))로 둘러싸인 양면 ETS(704)를 포함하는 4L ETS이다. 양면 ETS(704)는 도 1과 2의 양면 ETS(110) 및 도 4의 양면 ETS(404(1), 404(2))와 유사하다. 양면 ETS(704)는 이 예에서 유전체 물질로 형성된 물질층인 제1 절연층(710(1))을 포함하는 제1 ETS 금속화 층(708(1))을 포함한다. 금속 트레이스(712(1))는 제1 절연층(710(1))에 임베디드된다. 따라서, 제1 금속 트레이스(712(1))는 제1 "임베디드" 금속 트레이스(712(1))로도 지칭된다. 제1 절연층(710(1))에 제1 임베디드 금속 트레이스(712(1))를 임베딩하는 것은 제1 ETS 금속화 층(708(1))에 금속층(714(1))을 형성한다. 양면 ETS(704)는 또한 이 예에서 유전체 물질로 형성된 물질층인 제2 절연층(710(2))을 포함하는 제2 ETS 금속화 층(708(2))을 포함한다. 금속 트레이스(712(2))는 제2 절연층(710(2))에 임베디드된다. 따라서, 제2 금속 트레이스(712(2))는 제2 "임베디드" 금속 트레이스(712(2))로도 지칭된다. 제2 절연층(710(2))에 제2 임베디드 금속 트레이스(712(2))를 임베딩하는 것은 제2 ETS 금속화 층(708(2))에 금속층(714(2))을 형성한다. 이 예에서, 양면 ETS(704)는 패키지 기판(700) 내부에 있으며, 제1 및 제2 임베디드 금속 트레이스(712(1), 712(2))는 외부 상호 연결부에 직접 결합될 수 있는 외부 금속화 층에 있지 않다.

[0041] 각각의 제1 및 제2 ETS 금속화 층(708(1), 708(2))의 각각의 제1 및 제2 임베디드 금속 트레이스(712(1), 712(2))를 함께 전기적으로 결합시켜 제1 및 제2 ETS 금속화 층(708(1), 708(2))으로부터 전기 신호 라우팅 경로를 제공하기 위해, 비아(722)(예를 들어, 금속 필라, 금속 포스트, 금속 라인)가 제1 양면 ETS(704)에 형성된다. 비아(722)는 제1 및 제2 절연층(710(1), 710(2))에 배치된다. 각 비아(722)는 수직 방향(Z축 방향)으로 서로 평행하게 서로 적어도 부분적으로 정렬된 각각의 제1 및 제2 임베디드 금속 트레이스(712(1), 712(2))에 결합된다. 따라서, 비아(722)는 수직 방향으로 서로 적어도 부분적으로 정렬된 각각의 제1 및 제2 임베디드 금속 트레이스(712(1), 712(2)) 사이에 전기적 라우팅 경로를 제공한다.

[0042] 도 7에도 도시된 바와 같이, 패키지 기판(700)은 제1 및 제2 라미네이트 ETS(702(1), 702(2))를 포함한다. 제1 라미네이트 ETS(702(1))는 이 예에서 유전체 물질로 형성된 물질층인 제1 절연층(740(1))에 임베디드된 임베디드 금속 트레이스(742(1))를 갖는 ETS 금속화 층(738(1))을 포함한다. 제1 절연층(740(1))은 ETS 제조 공정을 이용하여 다수의 라미네이트된 유전층으로 형성될 수 있다. 이 예에서, 제1 라미네이트 ETS(702(1))의 ETS 금속화 층(738(1))은 패키지 기판(700)의 외부 금속화 층이다. ETS 금속화 층(738(1))의 각각의 금속 상호 연결부(742(1))를 양면 ETS(704)의 제1 임베디드 금속 트레이스(712(1))에 전기적으로 결합시키기 위해, 비아(724(1))(예를 들어, 금속 필라, 금속 포스트, 금속 라인)가 제1 절연층(740(1))에 형성된다. 비아(724(1))는 적어도 부분적으로 정렬된 임베디드 금속 트레이스(742(1))와 양면 ETS(704)의 제1 임베디드 금속 트레이스(712(1))에 수직 방향(Z축 방향)으로 결합된다. 따라서, 비아(724(1))는 제1 라미네이트 ETS(702(1))와 양면 ETS(704) 사이에 전기적 라우팅 경로를 제공한다. 제1 솔더 레지스트 층(716(1))은 외부적으로 연결되지 않은 임베디드 금속 트레이스(742(1))의 부분을 절연 및 보호하기 위해 제1 절연층(740(1))의 하단 표면(744) 상에 배치된다.

[0043] 도 7에도 도시된 바와 같이, 제2 라미네이트 ETS(702(2))는 이 예에서 유전체 물질로 형성된 물질층인 제2 절연층(740(2))에 임베디드된 임베디드 금속 트레이스(742(2))를 갖는 ETS 금속화 층(738(2))을 포함한다. 제2 절연층(740(2))은 ETS 제조 공정을 이용하여 다수의 라미네이트된 유전층으로 형성될 수 있다. 이 예에서, 제2 라미네이트 ETS(702(2))의 ETS 금속화 층(738(2))은 패키지 기판(700)의 외부 금속화 층이다. ETS 금속화 층(738(2))의 각각의 금속 상호 연결부(742(2))를 양면 ETS(704)의 제2 임베디드 금속 트레이스(712(2))에 전기적으로 결합시키기 위해, 비아(724(2))(예를 들어, 금속 필라, 금속 포스트, 금속 라인)가 제2 절연층(740(2))에 형성된다. 비아(724(2))는 적어도 부분적으로 정렬된 임베디드 금속 트레이스(742(2))와 양면 ETS(704)의 제2 임베디드 금속 트레이스(712(2))에 수직 방향(Z축 방향)으로 결합된다. 따라서, 비아(724(2))는 제2 라미네이트 ETS(702(2))와 양면 ETS(704) 사이에 전기적 라우팅 경로를 제공한다. 제2 솔더 레지스트 층(716(2))은 외부적으로 연결되지 않은 임베디드 금속 트레이스(742(2))의 부분을 절연 및 보호하기 위해 제2 절연층(740(2))의 상단 표면(746) 상에 배치된다.

[0044] 제조 공정은, 이에 제한되는 것은 아니나, 각각 도 1-2 및 4-7의 각각의 패키지 기판(108, 400, 500, 600,

700)의 양면 ETS(110, 404, 504, 604, 704)를 포함하는, 양면 ETS를 포함하는 패키지 기판을 제조하는 데 사용될 수 있다. 이와 관련하여, 도 8은, 이에 제한되는 것은 아니나, 도 1-2 및 4-7의 패키지 기판(108, 400, 500, 600, 700)을 포함하는, 패키지 기판으로서 사용될 수 있는 양면 ETS를 제조하는 예시적인 제조 공정(800)을 예시하는 흐름도이다. 도 8의 제조 공정(800)은 도 1 및 2의 양면 ETS(110)에 관해 논의되어 있지만, 도 8의 제조 공정(800)은 도 4-7의 양면 ETS(404, 504, 604, 704)의 제조에도 적용 가능하다는 점에 유의한다.

[0045] 이와 관련하여, 도 8에 도시된 바와 같이, 제조 공정(800)의 제1 단계는 제1 ETS 금속화 층(112(1))을 형성하는 단계(도 8의 블록(802))일 수 있다. 제1 ETS 금속화 층(112(1))을 형성하는 단계는 제1 절연층(200(1))을 형성하는 단계(도 8의 블록(804)), 및 제1 절연층(200(1))에 하나 이상의 제1 금속 트레이스(134(1))를 임베딩하는 단계로서, 하나 이상의 제1 금속 트레이스(134(1))는 제1 금속층(202(1))을 형성하는, 상기 임베딩하는 단계(도 8의 블록(806))를 포함한다. 제조 공정(800)의 다음 단계는 제2 ETS 금속화 층(112(2))을 형성하는 단계(도 8의 블록(808))일 수 있다. 제2 ETS 금속화 층(112(2))을 형성하는 단계는 제2 절연층(200(2))을 형성하는 단계(도 8의 블록(810)), 및 제2 절연층(200(2))에 하나 이상의 제2 금속 트레이스(134(2))를 임베딩하는 단계로서, 하나 이상의 제2 금속 트레이스(134(2))는 제2 금속층(202(2))을 형성하는, 상기 임베딩하는 단계(도 8의 블록(812))를 포함한다. 제조 공정(800)의 다음 단계는 제2 ETS 금속화 층(112(2))을 제1 ETS 금속화 층(112(1))에 수직 방향(Z축 방향)으로 결합하는 단계(도 8의 블록(814))일 수 있다. 제조 공정(800)의 다음 단계는 하나 이상의 제1 금속 트레이스(134(1)) 중 제1 금속 트레이스(134(1)), 제1 절연층(200(1)), 제2 절연층(200(2)) 및 하나 이상의 제2 금속 트레이스(134(2)) 중 제2 금속 트레이스(134(2))를 통해 수직 방향(Z축 방향)으로 각각 하나 이상의 수직 상호 연결 액세스(비아)(212)를 형성하여 제1 금속 트레이스(134(1))를 제2 금속 트레이스(134(2))에 결합시키는 단계(도 8의 블록(816))일 수 있다.

[0046] 다른 제조 공정은, 이에 제한되는 것은 아니나, 각각 도 1-2 및 4-7의 각각의 패키지 기판(108, 400, 500, 600, 700)의 양면 ETS(110, 404, 504, 604, 704)를 포함하는, 양면 ETS를 포함하는 패키지 기판을 제조하는 데 사용될 수 있다. 이와 관련하여, 도 9는 양면 ETS에서 ETS 금속화 층 중 하나로서 사용되는 ETS 금속화 층을 제조하는 예시적인 제조 공정(900)을 예시하는 흐름도이다. 도 10a-10d는 양면 ETS에서 ETS 금속화 층 중 하나로 사용될 ETS 금속화 층을 제조하는 동안의 예시적인 제조 단계(1000A-1000D)이다. 도 10a-10d의 예시적인 제조 단계(1000A-1000D)에 도시된 바와 같은 도 9의 제조 공정(900)은 서로 결합될 ETS 금속화 층을 준비하여 후속 공정에서 양면 ETS를 형성하는 제1 공정의 일부로서 두 인접한 금속화 층을 제조하는 데 사용될 수 있다. 도 11a-11c는 다수의 형성된 ETS 금속화 층을 함께 결합시키는 예시적인 후속 제조 공정(1100)을 예시하는 흐름도이다. 개구는 비아를 형성하여 양면 ETS를 제조하는 제2 공정으로서 ETS 금속화 층에 수직으로 할당된 임베디드 금속 트레이스를 결합시키기 위해, 각각의 절연층을 통해 그리고 서로 평행하고 수직 방향으로 서로 적어도 부분적으로 중첩되는(즉, 적어도 부분적으로 정렬되는) 결합된 ETS 금속화 층의 수직으로 정렬된 임베디드 금속 트레이스를 통해 형성된다. 도 12a-12e는 도 11a-11c의 후속 제조 공정(1100) 동안의 예시적인 제조 단계(1200A-1200D)이다.

[0047] 도 9 및 11a-11c의 제조 공정(900, 1100)은 도 10a-10d의 제조 단계(1000A-1000D) 및 도 10a-10d의 제조 단계(1200A-1200E)에 도시된 바와 같이, 이제 일 예로서 도 1-2의 패키지 기판(108)의 양면 ETS(110)를 참조하여 논의될 것이다. 그러나, 도 9의 제조 공정(900)은 및 도 10a-10d의 제조 단계(1000A-1000D)에 도시된 바와 같이, 도 4-7의 양면 ETS(404, 504, 604 및 704)를 제조하는 데에도 사용될 수 있다.

[0048] 이와 관련하여, 도 10a의 제조 단계(1000A)에 도시된 바와 같이, 양면 ETS용 ETS 금속화 층을 제조하기 위한 제조 공정(900)의 제1 예시적인 단계는 캐리어(1002)를 제공하는 것이다(도 9의 블록(902)). 금속 시드층(예를 들어, 구리층)으로서의 전도성 금속층(1004)이 캐리어(1002) 상에 형성된다(도 9의 블록(902)). 드라이 파일 레지스트(dry film resist; DFR) 층과 같은 포토레지스트 층의 포토레지스트 층(1006)은 전도성 금속층(1004) 상에 라미네이트되어(도 9의 블록(902)) ETS 금속화 층의 금속층에 금속 트레이스를 형성하기 위한 개구로 패턴화된 포토레지스트 층(1006)을 준비한다. 그런 다음, 도 10b의 제조 단계(1000B)에 도시된 바와 같이, 제조 공정(900)의 다음 단계는 포토레지스트 층(1006)에 마스크를 적용하고 마스크를 통해 노출된 포토레지스트 층(1006)을 가시 레이저 광과 같은 광에 노출시켜 포토레지스트 층(1006)의 노출된 포토레지스트 물질에 조사하여 포토레지스트 층(1006)에 개구(1008)를 형성하는 것이다(도 9의 블록(904)). 마스크는 형성될 ETS 금속화 층을 위한 금속 트레이스가 존재해야 하는 포토레지스트 층(1006)에 개구(1008)가 형성되도록 설계된다.

[0049] 그런 다음, 도 10c의 제조 단계(1000C)에 도시된 바와 같이, 제조 공정(900)의 다음 단계는 포토레지스트 층(1006)에 형성된 개구(1008)에 금속 물질을 배치하여 개구(1008)에 금속 트레이스(134)를 형성하는 것이다(도 9의 블록(906)). 그런 다음, 도 10d의 제조 단계(1000D)에 도시된 바와 같이, 제조 공정(900)의 다음 단계는 포

트레이스층(1006)을 현상액에 적용하는 것이며, 이는 포토트레이스층(1006)의 조사되지 않은 부분을 현상액에 선택적으로 용해시켜, 전도성 금속층(1004) 상에 형성된 금속 트레이스(134)를 남긴다(도 9의 블록(908)). 금속 트레이스(134)는 전도성 금속층(1004) 상에 금속층(202)을 형성한다. 위에 논의된 바와 같이, 도 9의 제조 공정(900)은 패키지 기판을 위한 양면 ETS를 형성하기 위해 서로 결합될 다수의 ETS 금속화 층 모두에 사용될 수 있다.

[0050] 위에 논의된 바와 같이, 도 11a-11c는 양면 ETS를 형성하기 위해 제조 공정(900)을 사용하여 형성된 금속 트레이스(134)의 다수의 형성된 금속층(202)을 함께 결합하는 예시적인 후속 제조 공정(1100)을 예시하는 흐름도이다. 이와 관련하여, 도 12a의 제조 단계(1200A)에 도시된 바와 같이, 양면 ETS를 제조하는 단계는 도 9의 제조 공정(900)을 사용하여 형성된, 각각의 전도성 금속층(1004(1), 1004(2))에 형성된 각각의 금속 트레이스(134(1), 134(2))를 갖는 각각의 제1 및 제2 금속층(202(1), 202(2))을 포함하는 캐리어(1002(1), 1002(2))의 두 구조체(1202(1), 1202(2))를 취하고, 각각을 유전체 물질층과 라미네이트하여 제1 및 제2 금속층(202(1), 202(2)) 및 그 금속 트레이스(134(1), 134(2)) 위에 각각의 절연층(200(1), 200(2))을 형성하기 위한 것이다(도 11a의 블록(1102)). 절연층(200(1), 200(2))을 갖는 제1 및 제2 금속층(202(1), 202(2))의 금속 트레이스(134(1), 134(2))를 라미네이트하는 것은 각각의 절연층(200(1), 200(2))에 금속 트레이스(134(1), 134(2))를 임베딩한다. 그런 다음 절연층(200(1), 200(2))은 캐리어(1002(1), 1002(2))가 각각의 결합된 구조체(1202(1), 1202(2))의 상단면(1204T) 및 하단면(1204B) 상에 배치되도록 서로 결합된다.

[0051] 그런 다음, 도 12b의 제조 단계(1200B)에 도시된 바와 같이, 제조 공정(1100)의 다음 단계는 각각의 ETS 금속화 층(112(1), 112(2))이 남아 있고 양면 ETS(110)의 부분으로서 서로 결합되도록 각각의 구조체(1202(1), 1202(2))로부터 캐리어(1002(1), 1002(2))를 분리하는 것이다(도 11a의 블록(1104)). 그런 다음, 도 12b의 제조 단계(1200B)에도 도시된 바와 같이, 함께 결합되도록 수직 방향(Z축 방향)으로 서로 수직으로 정렬되는 특정 임베디드 금속 트레이스(134(1), 134(2))를 위한 ETS 금속화 층(112(1), 112(2))을 준비하기 위해, 개구(1206(1)-1206(4))는 선택되고 각각 수직으로 정렬된 제1 및 제2 임베디드 금속 트레이스(134(1), 134(2))와 각각의 ETS 금속화 층(112(1), 112(2))의 절연층(200(1), 200(2))을 통해 수직 방향(Z축 방향)으로 드릴링된다(도 11a의 블록(1104)). 임베디드 금속 트레이스(134(1), 134(2))는 서로 평행하고 수직 방향(Z축 방향)으로 서로 적어도 부분적으로 중첩된다. 이러한 드릴링을 통해 나중에 개구(1206(1)-1206(4))에 형성된 비아(212)가 각각의 수직으로 정렬된 제1 및 제2 임베디드 금속 트레이스(134(1), 134(2))와 자체 정렬되어 서로 결합되도록 한다. 예를 들어, 개구(1206(1)-1206(4))는 레이저 드릴링에 의해 드릴링될 수 있으며, 레이저는 양면 ETS(110)를 향해 지향되고 서로 결합될 제1 및 제2 임베디드 금속 트레이스(134(1), 134(2))와 수직으로 정렬된다.

[0052] 그런 다음, 도 12c의 제조 단계(1200C)에 도시된 바와 같이, 제조 프로세스(1100)의 다음 단계는 각각의 ETS 금속화 층(112(1), 112(2))에서 함께 선택된 및 각각 수직으로 정렬된 제1 및 제2 임베디드 금속 트레이스(134(1), 134(2))를 결합하는 비아(212)를 형성하는 개구(1206(1)-1206(4))에 금속 물질을 배치하는 것이다(도 11b의 블록(1106)). 비아(212)는 개구(1206(1)-1206(4))에 금속 도금을 제공함으로써 형성될 수 있다. 그런 다음, 도 12d의 제조 단계(1200D)에 도시된 바와 같이, 제조 공정(1100)의 다음 단계는 양면 ETS(110)로부터 전도성 금속층(1004(1), 1004(2))을 제거하는 것이다(도 11b의 블록(1108)). 예를 들어, 전도성 금속층(1004(1), 1004(2))은 양면 ETS(110)로부터 에칭될 수 있다. 전도성 금속층(1004(1), 1004(2))은 예로서 습식 또는 건식 에칭 공정을 통해 에칭될 수 있다. 그런 다음, 도 12e의 제조 단계(1200E)에 도시된 바와 같이, 제조 공정(1100)의 다음 단계는 각각의 제1 및 제2 금속층(202(1), 202(2)) 상에 제1 및 제2 솔더 레지스트 층(206(1), 206(2))을 형성하고 형성된 패키지 기관(108)의 부분으로서 양면 ETS(110)로부터 다른 상호 연결부에 외부로 결합될 수 있도록 노출될 각각의 제1 및 제2 임베디드 금속 트레이스(134(1), 134(2))를 위한 제1 및 제2 솔더 레지스트 층(206(1), 206(2))에 제1 및 제2 개구(208(1), 208(8))를 형성하는 것이다(도 11c의 블록(1110)). 제1 및 제2 솔더 레지스트 층(206(1), 206(2))의 외부 표면은 연마와 같이 추가로 처리되어 패키지 기관(108)을 마무리할 수 있다.

[0053] 이에 제한되는 것은 아니나, 도 2 및 4-7의 패키지 기관을 포함하고, 도 8-12e의 예시적인 제조 공정 중 어느 하나에 따른 양면 ETS를 갖는 패키지 기관을 사용하는 IC 패키지는 서로 다른 유형의 IC 패키지에 사용될 수 있다. 예를 들어, 도 1에 도시된 바와 같이, 양면 ETS는 제1 다이 패키지의 애플리케이션 프로세서와 제2 다이 패키지의 메모리 장치를 포함하는 POP 패키지에 제공될 수 있으며, 다이 패키지는 양면 ETS를 통해 함께 결합된다. 양면 ETS를 갖는 패키지 기관을 사용하는 IC 패키지는 예로서, 전자 장치, IC 장치, IC 패키지, POP, 시스템 인 패키지(system-on-a-package; SoP) 및 시스템 온 칩(system-on-a-chip; SoC) 중 어느 하나와 통합될 수

있다.

[0054] 이에 제한되는 것은 아니나, 도 2 및 4-7의 패키지 기관을 포함하고, 도 8-12e의 예시적인 제조 공정 중 어느 하나에 따른 양면 ETS를 갖는 패키지 기관을 사용하는 IC 패키지는 임의의 프로세서 기반 장치에 제공되거나 이에 통합될 수 있다. 예를 들어, 제한 없이, 셋톱박스, 엔터테인먼트 유닛, 내비게이션 장치, 통신 장치, 고정 위치 데이터 유닛, 모바일 위치 데이터 유닛, GPS(global positioning system) 장치, 모바일 폰, 셀룰러 폰, 스마트 폰, SIP(session initiation protocol) 폰, 태블릿, 패블릿, 서버, 컴퓨터, 휴대용 컴퓨터, 모바일 컴퓨팅 장치, 랩톱 컴퓨터, 웨어러블 컴퓨팅 장치(예를 들어, 스마트 워치, 헬스 또는 피트니스 추적기, 안경 등), 데스크톱 컴퓨터, PDA(personal digital assistant), 모니터, 컴퓨터 모니터, 텔레비전, 튜너, 라디오, 위성 라디오, 뮤직 플레이어, 디지털 뮤직 플레이어, 휴대용 뮤직 플레이어, 디지털 비디오 플레이어, 비디오 플레이어, DVD(digital video disc) 플레이어, 휴대용 디지털 비디오 플레이어, 자동차, 차량 부품, 항공 전자 시스템, 드론 및 멀티콥터를 포함한다.

[0055] 이와 관련하여, 도 13은 다이(들)를 포함하는 하나 이상의 IC 패키지(1302(1)-1302(5))에 제공될 수 있는 회로를 포함하는 프로세서 기반 시스템(1300)의 일 예를 예시한다. IC 패키지(1302(1)-1302(5))는, 이에 제한되는 것은 아니나, 도 2 및 4-7의 기관을 포함하고, 도 8-12e의 예시적인 제조 공정 중 어느 하나에 따른 그리고 본원에 개시된 임의의 양태에 따른 양면 ETS를 갖는 패키지 기관을 사용한다. 이 예에서, 프로세서 기반 시스템(1300)은 IC 패키지(1302) 내의 IC(1304)로서 그리고 시스템 온 칩(SoC)(1306)으로서 형성될 수 있다. 프로세서 기반 시스템(1300)은 CPU 코어 또는 프로세서 코어로도 지칭될 수 있는 하나 이상의 프로세서(1310)를 포함하는 중앙 처리 장치(central processing unit; CPU)(1308)를 포함한다. CPU(1308)는 임시 저장된 데이터에 대한 신속한 액세스를 위해 CPU(1308)에 결합된 캐시 메모리(1312)를 가질 수 있다. CPU(1308)는 시스템 버스(1314)에 결합되고 프로세서 기반 시스템(1300)에 포함된 마스터 및 슬레이브 장치를 상호 연결할 수 있다. 잘 알려진 바와 같이, CPU(1308)는 시스템 버스(1314)를 통해 어드레스, 제어 및 데이터 정보를 교환함으로써 이러한 다른 장치와 통신한다. 예를 들어, CPU(1308)는 슬레이브 장치의 일 예로서 메모리 컨트롤러(1316)에 버스트 트랜잭션 요청을 전달할 수 있다. 도 13에 예시되지 않았지만, 다수의 시스템 버스(1314)가 제공될 수 있으며, 각 시스템 버스(1314)는 서로 다른 패브릭을 구성한다.

[0056] 다른 마스터 및 슬레이브 장치는 시스템 버스(1314)에 연결될 수 있다. 도 13에 예시된 바와 같이, 이러한 장치는 예로서, 메모리 컨트롤러(1316)와 메모리 어레이(들)(1318), 하나 이상의 입력 장치(1322), 하나 이상의 출력 장치(1324), 하나 이상의 네트워크 인터페이스 장치(1326), 및 하나 이상의 디스플레이 컨트롤러(1328)를 포함하는 메모리 시스템(1320)을 포함할 수 있다. 메모리 시스템(들)(1320), 하나 이상의 입력 장치(1322), 하나 이상의 출력 장치(1324), 하나 이상의 네트워크 인터페이스 장치(1326) 및 하나 이상의 디스플레이 컨트롤러(1328) 각각은 동일하거나 서로 다른 IC 패키지(1302)에 제공될 수 있다. 입력 장치(들)(1322)는, 이에 제한되는 것은 아니나, 입력 키, 스위치, 음성 프로세서 등을 포함하는 임의 유형의 입력 장치를 포함할 수 있다. 출력 장치(들)(1324)는, 이에 제한되는 것은 아니나, 오디오, 비디오, 기타 시각적 표시기 등을 포함할 수 있다. 네트워크 인터페이스 장치(들)(1326)은 네트워크(1330)와의 데이터 교환을 허용하도록 구성된 임의의 장치일 수 있다. 네트워크(1330)는, 이에 제한되는 것은 아니나, 유선 또는 무선 네트워크, 사설 또는 공용 네트워크, 근거리 통신망(local area network; LAN), 무선 근거리 통신망(wireless local area network; WLAN), 광역 통신망(wide area network; WAN), BLUETOOTH™ 네트워크 및 인터넷을 포함하는 임의 유형의 네트워크일 수 있다. 네트워크 인터페이스 장치(들)(1326)은 원하는 임의 유형의 통신 프로토콜을 지원하도록 구성될 수 있다.

[0057] CPU(1308)는 또한 시스템 버스(1314)를 통해 디스플레이 컨트롤러(들)(1328)에 액세스하여 하나 이상의 디스플레이(1332)에 전송된 정보를 제어하도록 구성될 수 있다. 디스플레이 컨트롤러(들)(1328)은 디스플레이(들)(1332)에 적합한 포맷으로 디스플레이될 정보를 처리하는 하나 이상의 비디오 프로세서(1334)를 통해 디스플레이될 정보를 디스플레이(들)(1332)에 전송한다. 디스플레이 컨트롤러(들)(1328) 및 비디오 프로세서(들)(1334)는 일 예로서, 동일하거나 서로 다른 IC 패키지(1302)에 그리고 CPU(1308)를 포함하는 동일하거나 서로 다른 IC 패키지(1302)에 IC로서 포함될 수 있다. 디스플레이(들)(1332)는, 이에 제한되는 것은 아니나, 음극선관(cathode ray tube; CRT), 액정 디스플레이(liquid crystal display; LCD), 플라즈마 디스플레이, 발광 다이오드(light emitting diode; LED) 디스플레이 등을 포함하는 임의 유형의 디스플레이를 포함할 수 있다.

[0058] 도 14는 하나 이상의 IC(1402)로부터 형성된 무선 주파수(RF) 컴포넌트를 포함하는 예시적인 무선 통신 장치(1400)를 예시하며, IC(1402) 중 어느 하나는 다이(들)를 포함하고, 이에 제한되는 것은 아니나, 도 2 및 4-7의 기관을 포함하고, 도 8-12e의 예시적인 제조 공정 중 어느 하나에 따른 그리고 본원에 개시된 임의의 양태에 따른 기관을 포함하는 양면 ETS를 갖는 패키지 기관을 사용하는 IC 패키지(1403)에 포함될 수 있다. IC 패키지

(1403)는 추가 금속 상호 연결부를 갖는 보충 금속층을 사용하여 패키지 기판의 다이 측 ETS 금속화 층의 임베디드 금속 트레이스에 결합되어, 이에 제한되는 것은 아니나, 도 3a-6b 및 9a-9i의 패키지 기판, 도 7-8e의 예시적인 제조 공정에 따른 그리고 본원에 개시된 임의의 양태에 따른 패키지 기판을 포함하는 패키지 기판의 또 다른 금속층(들)과 다이 측 ETS 금속화 층 사이에 금속 밀도 불일치를 방지하거나 줄인다. 무선 통신 장치(1400)는 예로서 위에서 언급된 장치들 중 어느 하나를 포함하거나 제공될 수 있다. 도 14에 도시된 바와 같이, 무선 통신 장치(1400)는 트랜시버(1404) 및 데이터 프로세서(1406)를 포함한다. 데이터 프로세서(1406)는 데이터 및 프로그램 코드를 저장하는 메모리를 포함할 수 있다. 트랜시버(1404)는 양방향 통신을 지원하는 송신기(1408) 및 수신기(1410)를 포함한다. 일반적으로, 무선 통신 장치(1400)는 임의 개수의 통신 시스템 및 주파수 대역을 위한 임의 개수의 송신기(1408) 및/또는 수신기(1410)를 포함할 수 있다. 트랜시버(1404)의 전부 또는 일부는 하나 이상의 아날로그 IC, RF IC(RFIC), 혼합 신호 IC 등에서 구현될 수 있다.

[0059] 송신기(1408) 또는 수신기(1410)는 수퍼-헤테로다인 아키텍처 또는 직접 변환 아키텍처로 구현될 수 있다. 수퍼-헤테로다인 아키텍처에서, 신호는 다수의 단계에서 RF와 기저대역 사이에서, 예를 들어, 한 단계에서는 RF에서 중간 주파수(IF)로, 그런 다음 수신기(1410)를 위한 또 다른 단계에서는 IF에서 기저대역으로 주파수 변환된다. 직접 변환 아키텍처에서, 신호는 한 단계에서 RF와 기저대역 사이에서 주파수 변환된다. 수퍼-헤테로다인 및 직접 변환 아키텍처는 서로 다른 회로 블록을 사용하고/하거나 서로 다른 요구 사항을 가질 수 있다. 도 14의 무선 통신 장치(1400)에서, 송신기(1408) 및 수신기(1410)는 직접 변환 아키텍처로 구현된다.

[0060] 전송 경로에서, 데이터 프로세서(1406)는 전송될 데이터를 처리하고 I 및 Q 아날로그 출력 신호를 송신기(1408)에 제공한다. 예시적인 무선 통신 장치(1400)에서, 데이터 프로세서(1406)는 추가 처리를 위해, 데이터 프로세서(1406)에 의해 생성된 디지털 신호를 I 및 Q 아날로그 출력 신호, 예를 들어 I 및 Q 출력 전류로 변환하기 위한 디지털-아날로그 변환기(DAC)(1412(1), 1412(2))를 포함한다.

[0061] 송신기(1408) 내에서, 저역 통과 필터(1414(1), 1414(2))는 I 및 Q 아날로그 출력 신호를 각각 필터링하여 이전 디지털-아날로그 변환에 의해 발생된 원치 않는 신호를 제거한다. 증폭기(AMP)(1416(1), 1416(2))는 저역 통과 필터(1414(1), 1414(2))로부터의 신호를 각각 증폭하고, I 및 Q 기저대역 신호를 제공한다. 상향 변환기(1418)는 TX LO 신호 생성기(1422)로부터 믹서(1420(1), 1420(2))를 통해 I 및 Q 송신(TX) 국부 발진기(LO) 신호로 I 및 Q 기저대역 신호를 상향 변환하여 상향 변환된 신호(1424)를 제공한다. 필터(1426)는 상향 변환된 신호(1424)를 필터링하여 주파수 상향 변환으로 인한 원하지 않는 신호뿐만 아니라 수신 주파수 대역에서의 잡음을 제거한다. 전력 증폭기(power amplifier; PA)(1428)는 필터(1426)로부터 상향 변환된 신호(1424)를 증폭시켜 원하는 출력 전력 레벨을 획득하고 송신 RF 신호를 제공한다. 송신 RF 신호는 듀플렉서 또는 스위치(1430)를 통해 라우팅되고 안테나(1432)를 통해 전송된다.

[0062] 수신 경로에서, 안테나(1432)는 기지국에 의해 전송된 신호를 수신하고 수신된 RF 신호를 제공하며, 이는 듀플렉서 또는 스위치(1430)를 통해 라우팅되고 저잡음 증폭기(noise amplifier; LNA)(1434)에 제공된다. 듀플렉서 또는 스위치(1430)는 RX 신호가 TX 신호로부터 격리되도록 특정 수신(RX)-TX 듀플렉서 주파수 분리로 동작하도록 설계된다. 수신된 RF 신호는 LNA(1434)에 의해 증폭되고 필터(1436)에 의해 필터링되어 원하는 RF 입력 신호를 획득한다. 하향 변환 믹서(1438(1), 1438(2))는 필터(1436)의 출력을 RX LO 신호 생성기(1440)로부터의 I 및 Q RX LO 신호(즉, LO_I 및 LO_Q)와 혼합하여 I 및 Q 기저대역 신호를 생성한다. I 및 Q 기저대역 신호는 AMP(1442(1), 1442(2))에 의해 증폭되고 저역 통과 필터(1444(1), 1444(2))에 의해 추가로 필터링되어 데이터 프로세서(1406)에 제공되는 I 및 Q 아날로그 입력 신호를 획득한다. 이 예에서, 데이터 프로세서(1406)는 데이터 프로세서(1406)에 의해 추가로 처리될 아날로그 입력 신호를 디지털 신호로 변환하기 위한 아날로그-디지털 변환기(ADC)(1446(1), 1446(2))를 포함한다.

[0063] 도 14의 무선 통신 장치(1400)에서, TX LO 신호 생성기(1422)는 주파수 상향 변환에 사용되는 I 및 Q TX LO 신호를 생성하는 반면, RX LO 신호 생성기(1440)는 주파수 하향 변환에 사용되는 I 및 Q RX LO 신호를 생성한다. 각 LO 신호는 특정 기본 주파수를 갖는 주기적인 신호이다. TX 위상 고정 루프(phase-locked loop; PLL) 회로(1448)는 데이터 프로세서(1406)로부터 타이밍 정보를 수신하고 TX LO 신호 생성기(1422)로부터 TX LO 신호의 주파수 및/또는 위상을 조정하는 데 사용되는 제어 신호를 생성한다. 유사하게, RX PLL 회로(1450)는 데이터 프로세서(1406)로부터 타이밍 정보를 수신하고 RX LO 신호 생성기(1440)로부터 RX LO 신호의 주파수 및/또는 위상을 조정하는 데 사용되는 제어 신호를 생성한다.

[0064] 당업자는 본원에 개시된 양태와 관련하여 설명된 다양한 예시적인 논리 블록, 모듈, 회로 및 알고리즘이 전자 하드웨어, 메모리 또는 또 다른 컴퓨터 판독 가능 매체에 저장되고 프로세서나 기타 처리 장치에 의해 실행된

명령어, 또는 둘의 조합으로서 구현될 수 있음을 추가로 이해할 것이다. 본원에 개시된 메모리는 모든 유형 및 크기의 메모리일 수 있으며 원하는 모든 유형의 정보를 저장하도록 구성될 수 있다. 이러한 상호교환성을 명확하게 설명하기 위해, 다양한 예시적인 컴포넌트, 블록, 모듈, 회로 및 단계가 일반적으로 기능성의 측면에서 위에서 설명되었다. 이러한 기능이 구현되는 방법은 특정 애플리케이션, 설계 선택 및/또는 전체 시스템에 부과되는 설계 제약 조건에 따라 달라진다. 숙련된 기술자들은 각 특정 애플리케이션에 대해 다양한 방식으로 설명된 기능을 구현할 수 있지만, 이러한 구현 결정이 본 개시의 범위로부터 벗어나는 것으로 해석되어서는 안 된다.

[0065] 본원의 개시된 양태와 관련하여 설명된 다양한 예시적인 논리 블록, 모듈 및 회로는 본원에 설명된 기능을 수행하도록 설계된 프로세서, 디지털 신호 프로세서(digital signal processor; DSP), 주문형 반도체(application-specific integrated circuit; ASIC), 필드 프로그래밍가능한 게이트 어레이(field-programmable gate array; FPGA) 또는 기타 프로그래밍가능한 로직 장치, 이산 게이트 또는 트랜지스터 로직, 이산 하드웨어 컴포넌트들 또는 이들의 임의의 조합으로 구현 또는 수행될 수 있다. 프로세서는 마이크로프로세서일 수 있지만, 대안으로, 프로세서는 임의의 종래 프로세서, 컨트롤러, 마이크로컨트롤러 또는 상태 머신일 수 있다. 프로세서는 또한 컴퓨팅 장치들의 조합(예를 들어, DSP와 마이크로프로세서의 조합, 복수의 마이크로프로세서들, DSP 코어와 함께 하나 이상의 마이크로프로세서들, 또는 임의의 다른 이러한 구성)으로 구현될 수 있다.

[0066] 본원에 개시된 양태는 하드웨어로 그리고 하드웨어에 저장된 명령어로 구현될 수 있으며, 예를 들어, 랜덤 액세스 메모리(Random Access Memory; RAM), 플래시 메모리, 읽기 전용 메모리(Read Only Memory; ROM), 전기적 프로그래밍가능한 ROM(Electrically Programmable ROM; EPROM), 전기적 소거 가능한 프로그래밍가능한 ROM(Electrically Erasable Programmable ROM; EEPROM), 레지스터, 하드 디스크, 이동식 디스크, CD-ROM, 또는 당분야에 알려진 임의의 다른 형태의 컴퓨터 판독 가능 매체에 상주할 수 있다. 예시적인 저장 매체는 프로세서가 저장 매체로부터 정보를 판독하고 저장 매체에 정보를 기록할 수 있도록 프로세서에 결합된다. 대안적으로, 저장 매체는 프로세서에 통합될 수 있다. 프로세서와 저장 매체는 ASIC에 상주할 수 있다. ASIC는 원격 스테이션에 상주할 수 있다. 대안적으로, 프로세서와 저장 매체는 원격 스테이션, 기지국 또는 서버에서 개별 컴포넌트로 상주할 수 있다.

[0067] 본원의 임의의 예시적인 양태에 설명된 동작 단계는 예와 논의를 제공하기 위해 설명된다는 것에 또한 유의한다. 설명된 동작은 예시된 시퀀스 이외의 수많은 서로 다른 시퀀스로 수행될 수 있다. 또한, 단일 동작 단계에서 설명된 동작은 실제로 다수의 서로 다른 단계에서 수행될 수 있다. 추가로, 예시적인 양태에서 논의된 하나 이상의 동작 단계가 조합될 수 있다. 흐름도에 예시된 동작 단계는 당업자에게 쉽게 명백한 바와 같이 수많은 서로 다른 변형이 있을 수 있다는 것을 이해해야 한다. 당업자는 정보와 신호가 임의의 다양한 서로 다른 기술 및 기법을 사용하여 표현될 수 있다는 것도 이해할 것이다. 예를 들어, 위의 설명 전체에서 언급될 수 있는 데이터, 명령어, 명령, 정보, 신호, 비트, 기호, 및 칩은 전압, 전류, 전자기파, 전계 또는 입자, 광학 필드 또는 입자, 또는 이들의 임의의 조합으로 표현될 수 있다.

[0068] 본 개시의 이전 설명은 당업자가 본 개시를 실시하거나 사용할 수 있도록 제공된다. 본 개시에 대한 다양한 수정은 당업자에게 용이하게 명백할 것이며, 본원에 정의된 일반적인 원리들이 다른 변형들에 적용될 수 있다. 따라서, 본 개시는 본원에 설명된 예 및 설계에 제한되지 않고, 본원에 개시된 원리 및 신규 특징과 일치하는 가장 넓은 범위에 따라야 한다.

[0069] 구현 예는 아래의 번호가 매겨진 조항에 설명되어 있다:

[0070] 1. 집적 회로(IC) 패키지에 있어서,

[0071] 패키지 기판을 포함하며, 상기 패키지 기판은,

[0072] 양면 임베디드 트레이스 기판(ETS)을 포함하며, 상기 양면 임베디드 트레이스 기판(ETS)은,

[0073] 제1 금속화 층으로서,

[0074] 제1 절연층; 및

[0075] 제1 절연층에 임베디드된 하나 이상의 제1 금속 트레이스를 포함하는 제1 금속층을 포함하는, 상기 제1 금속화 층; 및

[0076] 수직 방향으로 제1 금속화 층에 결합된 제2 금속화 층으로서, 상기 제2 금속화 층은,

- [0077] 제2 절연층; 및
- [0078] 제2 절연층에 임베디드된 하나 이상의 제2 금속 트레이스를 포함하는 제2 금속층을 포함하는, 상기 제2 금속화층; 및
- [0079] 제1 절연층 및 제2 절연층에 각각 배치된 하나 이상의 수직 상호 연결 액세스(비아)로서, 상기 하나 이상의 비아는 하나 이상의 제1 금속 트레이스 중 제1 금속 트레이스 및 하나 이상의 제2 금속 트레이스 중 제2 금속 트레이스에 각각 결합된, 상기 하나 이상의 수직 상호 연결 액세스(비아)를 포함한다.
- [0080] 2. 조항 1의 IC 패키지에 있어서, 제1 절연층은 수직 방향으로 제2 절연층에 결합된다.
- [0081] 3. 조항 1 내지 2 중 어느 한 조항의 IC 패키지에 있어서,
- [0082] 제1 금속화 층은 제1 외부 금속화 층을 포함하며, 하나 이상의 제1 금속 트레이스는 하나 이상의 제1 외부 상호 연결부에 결합되도록 각각 구성되고;
- [0083] 제2 금속화 층은 제2 외부 금속화 층을 포함하며, 하나 이상의 제2 금속 트레이스는 하나 이상의 제2 외부 상호 연결부에 결합되도록 각각 구성된다.
- [0084] 4. 조항 3의 IC 패키지에 있어서,
- [0085] 하나 이상의 제1 외부 상호 연결부를 포함하는 하나 이상의 제1 다이 상호 연결부를 포함하는 제1 다이로서, 하나 이상의 제1 다이 상호 연결부 각각은 제1 금속화 층의 제1 금속층 내 하나 이상의 제1 금속 트레이스 중 제1 금속 트레이스에 결합되는, 상기 제1 다이를 더 포함하며;
- [0086] 여기서,
- [0087] 하나 이상의 제2 외부 상호 연결부는 제2 금속화 층의 제2 금속층 내 하나 이상의 제2 금속 트레이스 중 제2 금속 트레이스에 각각 결합된다.
- [0088] 5. 조항 1 내지 4 중 어느 한 조항의 IC 패키지에 있어서,
- [0089] 양면 ETS에 결합된 제1 다이를 더 포함하며;
- [0090] 제1 다이는 패키지 기판의 제1 금속화 층의 제1 금속층 내 하나 이상의 제1 금속 트레이스 중 제1 금속 트레이스에 각각 결합된 하나 이상의 제1 다이 상호 연결부를 포함한다.
- [0091] 6. 조항 1 내지 4 중 어느 한 조항의 IC 패키지에 있어서,
- [0092] 패키지 기판은 제2 기판을 더 포함하고; 및
- [0093] 양면 ETS는 인터포저 기판을 포함하고; 및
- [0094] 제2 기판에 결합된 제1 다이를 포함하는 제1 다이 패키지를 더 포함하며;
- [0095] 여기서,
- [0096] 제1 다이 패키지는 인터포저 기판과 제2 기판 사이에 배치되고;
- [0097] 제1 다이는 인터포저 기판의 제2 금속화 층 내 하나 이상의 제2 금속 트레이스 중 제2 금속 트레이스를 제2 기판에 각각 결합하는 하나 이상의 제1 수직 상호 연결부를 포함한다.
- [0098] 7. 조항 6의 IC 패키지에 있어서, 제2 다이를 포함하는 제2 다이 패키지를 더 포함하며,
- [0099] 인터포저 기판은 제2 다이 패키지와 제1 다이 패키지 사이에 수직 방향으로 배치되고;
- [0100] 제2 다이는 인터포저 기판의 제1 금속화 층의 제1 금속층 내 하나 이상의 제1 금속 트레이스 중 제1 금속 트레이스에 각각 결합된 하나 이상의 제2 다이 상호 연결부를 포함한다.
- [0101] 8. 조항 1 내지 4 중 어느 한 조항의 IC 패키지에 있어서, 패키지 기판은 제2 양면 ETS를 더 포함하며, 제2 양면 ETS는,
- [0102] 제3 금속화 층으로서,
- [0103] 제3 절연층; 및

- [0104] 제3 절연층에 임베디드된 하나 이상의 제3 금속 트레이스를 포함하는 제3 금속층으로서, 상기 제3 금속층은 양면 ETS의 제2 금속화 층의 제2 금속층에 인접해 있는, 상기 제3 금속층을 포함하는, 상기 제3 금속화 층; 및
- [0105] 수직 방향으로 제3 금속화 층에 결합된 제4 금속화 층으로서, 상기 제4 금속화 층은,
- [0106] 제4 절연층; 및
- [0107] 제4 절연층에 임베디드된 하나 이상의 제4 금속 트레이스를 포함하는 제4 금속층을 포함하는, 상기 제4 금속화 층; 및
- [0108] 제3 절연층 및 제4 절연층에 각각 배치된 하나 이상의 제2 비아로서, 하나 이상의 제2 비아는 하나 이상의 제3 금속 트레이스 중 제3 금속 트레이스 및 하나 이상의 제4 금속 트레이스 중 제4 금속 트레이스에 각각 결합된, 상기 하나 이상의 제2 비아를 포함한다.
- [0109] 9. 조항 8의 IC 패키지에 있어서, 제2 금속화 층 내 하나 이상의 제2 금속 트레이스 중 제2 금속 트레이스 및 제3 금속화 층 내 하나 이상의 제3 금속 트레이스 중 제3 금속 트레이스에 각각 결합된 하나 이상의 제3 비아를 더 포함한다.
- [0110] 10. 조항 8의 IC 패키지에 있어서, 제1, 제2, 제3 및 제4 금속화 층을 함께 결합하는, 양면 ETS 및 제2 양면 ETS를 통해 각각 연장되는 하나 이상의 제3 비아를 더 포함한다.
- [0111] 11. 조항 8 내지 10 중 어느 한 조항의 IC 패키지에 있어서, 양면 ETS와 제2 양면 ETS 사이에 수직 방향으로 배치된 코어 기판을 더 포함한다.
- [0112] 12. 조항 1 내지 5 및 8 내지 11 중 어느 한 조항의 IC 패키지에 있어서, 패키지 기판은,
- [0113] 양면 ETS에 결합된 라미네이트 기판을 더 포함하며, 상기 라미네이트 기판은,
- [0114] 제3 절연층;
- [0115] 제3 절연층에 결합된 제3 금속층으로서, 상기 제3 금속층은 하나 이상의 제3 금속 상호 연결부를 포함하는, 상기 제3 금속층; 및
- [0116] 제3 절연층에 각각 배치된 하나 이상의 제2 비아로서, 상기 하나 이상의 제2 비아는 하나 이상의 제3 금속 상호 연결부 중 제3 금속 상호 연결부에 각각 결합되는, 상기 하나 이상의 제2 비아를 포함하며;
- [0117] 여기서,
- [0118] 하나 이상의 제2 비아 각각은 양면 ETS의 제2 금속화 층의 제2 금속층 내 하나 이상의 제2 금속 트레이스 중 제2 금속 트레이스에 결합된다.
- [0119] 13. 조항 1 내지 5 중 어느 한 조항의 IC 패키지에 있어서, 패키지 기판은,
- [0120] 수직 방향으로 양면 ETS에 인접한 제2 기판을 더 포함하며, 상기 제2 기판은,
- [0121] 제3 금속화 층으로서,
- [0122] 제3 절연층; 및
- [0123] 제3 절연층에 임베디드된 하나 이상의 제3 금속 트레이스를 포함하는 제3 금속층을 포함하는, 상기 제3 금속화 층을 포함하며;
- [0124] 여기서,
- [0125] 제1 금속화 층의 제1 금속층 내 하나 이상의 제1 금속 트레이스 중 적어도 하나의 제1 금속 트레이스는 제3 금속화 층의 제3 금속층 내 하나 이상의 제3 금속 트레이스 중 적어도 하나의 제3 금속 트레이스에 결합된다.
- [0126] 14. 조항 13의 IC 패키지에 있어서, 패키지 기판은,
- [0127] 제3 기판으로서,
- [0128] 제4 금속화 층을 포함하며, 상기 제4 금속화 층은,
- [0129] 제4 절연층; 및
- [0130] 제4 절연층에 임베디드된 하나 이상의 제4 금속 트레이스를 포함하는 제4 금속층을 포함하는, 상기 제3 기판;

및

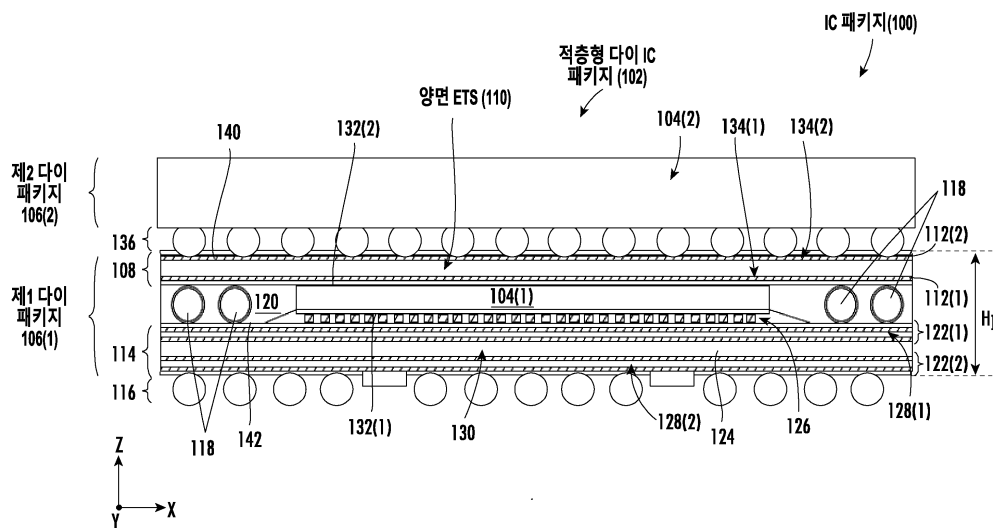
- [0131] 양면 ETS으로서, 양면 ETS의 제1 금속화 층이 제2 기판에 인접하고 양면 ETS의 제2 금속화 층이 제3 기판에 인접하도록 제2 기판과 제3 기판 사이에 수직 방향으로 배치된 양면 ETS를 더 포함하며;
- [0132] 여기서,
- [0133] 제2 금속화 층의 제2 금속층 내 하나 이상의 제2 금속 트레이스 중 적어도 하나의 제2 금속 트레이스는 제4 금속화 층의 제4 금속층 내 하나 이상의 제4 금속 트레이스 중 적어도 하나의 제4 금속 트레이스에 결합된다.
- [0134] 15. 조항 1 내지 14 중 어느 한 조항의 IC 패키지에 있어서, 셋톱박스; 엔터테인먼트 유닛; 내비게이션 장치; 통신 장치; 고정 위치 데이터 유닛; 모바일 위치 데이터 유닛; GPS(global positioning system) 장치; 모바일 폰; 셀룰러 폰; 스마트 폰; SIP(session initiation protocol) 폰; 태블릿; 패블릿; 서버; 컴퓨터; 휴대용 컴퓨터; 모바일 컴퓨팅 장치; 웨어러블 컴퓨팅 장치; 데스크톱 컴퓨터; PDA(personal digital assistant); 모니터; 컴퓨터 모니터; 텔레비전; 튜너; 라디오; 위성 라디오; 뮤직 플레이어; 디지털 뮤직 플레이어; 휴대용 뮤직 플레이어; 디지털 비디오 플레이어; 비디오 플레이어; DVD(digital video disc) 플레이어; 휴대용 디지털 비디오 플레이어; 자동차; 차량 부품; 항공 전자 시스템; 드론; 및 멀티컴퓨터로 구성된 그룹으로부터 선택된 장치로 통합된다.
- [0135] 16. 양면 임베디드 트레이스 기판(ETS)을 형성하는 단계를 포함하는, 집적 회로(IC) 패키지용 패키지 기판을 제조하는 방법에 있어서,
- [0136] 제1 금속화 층을 형성하는 단계로서,
- [0137] 제1 절연층을 형성하는 단계; 및
- [0138] 제1 절연층에 하나 이상의 제1 금속 트레이스를 임베딩하는 단계로서, 하나 이상의 제1 금속 트레이스는 제1 금속층을 형성하는, 상기 임베딩하는 단계를 포함하는, 상기 제1 금속화 층을 형성하는 단계; 및
- [0139] 제2 금속화 층을 형성하는 단계로서,
- [0140] 제2 절연층을 형성하는 단계; 및
- [0141] 제2 절연층에 하나 이상의 제2 금속 트레이스를 임베딩하는 단계로서, 하나 이상의 제2 금속 트레이스는 제2 금속층을 형성하는, 상기 임베딩하는 단계를 포함하는, 상기 제2 금속화 층을 형성하는 단계; 및
- [0142] 수직 방향으로 제1 금속화 층에 제2 금속화 층을 결합하는 단계; 및
- [0143] 하나 이상의 제1 금속 트레이스 중 제1 금속 트레이스, 제1 절연층, 제2 절연층 및 하나 이상의 제2 금속 트레이스 중 제2 금속 트레이스를 통해 수직 방향으로 각각 하나 이상의 수직 상호 연결 액세스(비아)를 형성하여 제1 금속 트레이스를 제2 금속 트레이스에 결합하는 단계를 포함한다.
- [0144] 17. 조항 16의 방법에 있어서, 수직 방향으로 제2 금속화 층을 제1 금속화 층에 결합하는 단계는 수직 방향으로 제1 절연층을 제2 절연층에 결합하는 단계를 포함한다.
- [0145] 18. 조항 16 내지 17 중 어느 한 조항의 방법에 있어서,
- [0146] 하나 이상의 제1 다이 상호 연결부를 포함하는 제1 다이를 제공하는 단계; 및
- [0147] 제1 금속화 층의 제1 금속층 내 하나 이상의 제1 금속 트레이스 중 제1 금속 트레이스에 결합된 하나 이상의 제1 다이 상호 연결부 각각을 결합하는 단계를 더 포함한다.
- [0148] 19. 조항 16 내지 18 중 어느 한 조항의 방법에 있어서, 제2 금속화 층의 제2 금속층 내 하나 이상의 제2 금속 트레이스 중 각각의 제2 금속 트레이스에 하나 이상의 제2 외부 상호 연결부 중 제2 외부 상호 연결부를 결합시키는 단계를 더 포함한다.
- [0149] 20. 조항 16 내지 18 중 어느 한 조항의 방법에 있어서,
- [0150] 제2 기판을 제공하는 단계;
- [0151] 양면 ETS와 제2 기판 사이에 제1 다이 패키지를 배치하는 단계로서, 제1 다이 패키지는 제1 다이 및 하나 이상의 제1 수직 상호 연결부를 포함하는, 상기 배치하는 단계;

- [0152] 제1 다이를 제2 기관에 결합시키는 단계;
- [0153] 하나 이상의 제1 수직 상호 연결부 중 각각의 제1 수직 상호 연결부를 제2 기관에 대한 제2 금속화 층 내 하나 이상의 제2 금속 트레이스 중 제2 금속 트레이스에 결합시키는 단계를 더 포함한다.
- [0154] 21. 조항 20의 방법에 있어서,
- [0155] 하나 이상의 제2 다이 상호 연결부를 포함하는 제2 다이를 포함하는 제2 다이 패키지를 제공하는 단계;
- [0156] 제2 다이 패키지와 제1 다이 패키지 사이에 수직 방향으로 양면 ETS를 배치하는 단계; 및
- [0157] 양면 ETS의 제1 금속화 층의 제1 금속층 내 하나 이상의 제1 금속 트레이스 중 제1 금속 트레이스에 각각 결합된 하나 이상의 제2 다이 상호 연결부 중 각각의 제2 다이 상호 연결부를 결합시키는 단계를 더 포함한다.
- [0158] 22. 조항 16 내지 21 중 어느 한 조항의 방법에 있어서,
- [0159] 제1 금속화 층을 형성하는 단계는,
- [0160] 제1 캐리어 상에 제1 전도성 금속층을 형성하는 단계;
- [0161] 제1 전도성 금속층 상에 제1 포토레지스트 층을 형성하는 단계;
- [0162] 제1 포토레지스트 층에 복수의 제1 개구를 형성하는 단계; 및
- [0163] 복수의 제1 개구에 제1 금속 물질을 배치하여 하나 이상의 제1 금속 트레이스를 형성하는 단계를 더 포함하며;
- [0164] 제2 금속화 층을 형성하는 단계는,
- [0165] 제2 캐리어 상에 제2 전도성 금속층을 형성하는 단계;
- [0166] 제2 전도성 금속층 상에 제2 포토레지스트 층을 형성하는 단계;
- [0167] 제2 포토레지스트 층에 복수의 제2 개구를 형성하는 단계; 및
- [0168] 복수의 제2 개구에 제2 금속 물질을 배치하여 하나 이상의 제2 금속 트레이스를 형성하는 단계를 더 포함한다.
- [0169] 23. 조항 22의 방법에 있어서,
- [0170] 제1 절연층을 형성하는 단계는 하나 이상의 제1 금속 트레이스 상에 제1 유전체 물질을 라미네이팅하는 단계를 포함하고;
- [0171] 제2 절연층을 형성하는 단계는 하나 이상의 제2 금속 트레이스 상에 제2 유전체 물질을 라미네이팅하는 단계를 포함한다.
- [0172] 24. 조항 23의 방법에 있어서,
- [0173] 제1 전도성 금속층으로부터 제1 캐리어를 분리하는 단계; 및
- [0174] 제2 전도성 금속층으로부터 제2 캐리어를 분리하는 단계를 더 포함한다.
- [0175] 25. 조항 24의 방법에 있어서, 하나 이상의 비아를 형성하는 단계는,
- [0176] 수직 방향으로 제1 금속 트레이스와 적어도 부분적으로 수직으로 정렬된 하나 이상의 제2 금속 트레이스 중 제2 금속 트레이스 및 하나 이상의 제1 금속 트레이스 중 제1 금속 트레이스를 통해 각각 수직 방향으로 하나 이상의 개구를 형성하는 단계; 및
- [0177] 하나 이상의 개구에 금속 물질을 배치하여 하나 이상의 비아를 형성하는 단계로서, 하나 이상의 비아 중 각각의 비아는 하나 이상의 제1 금속 트레이스 중 제1 금속 트레이스를 하나 이상의 제2 금속 트레이스 중 제2 금속 트레이스에 결합시키는, 상기 하나 이상의 개구에 금속 물질을 배치하여 하나 이상의 비아를 형성하는 단계를 포함한다.
- [0178] 26. 조항 24 내지 25 중 어느 한 조항의 방법에 있어서,
- [0179] 제1 전도성 금속층을 제1 금속화 층으로부터 제거하는 단계; 및
- [0180] 제2 전도성 금속층을 제2 금속화 층으로부터 제거하는 단계를 더 포함한다.

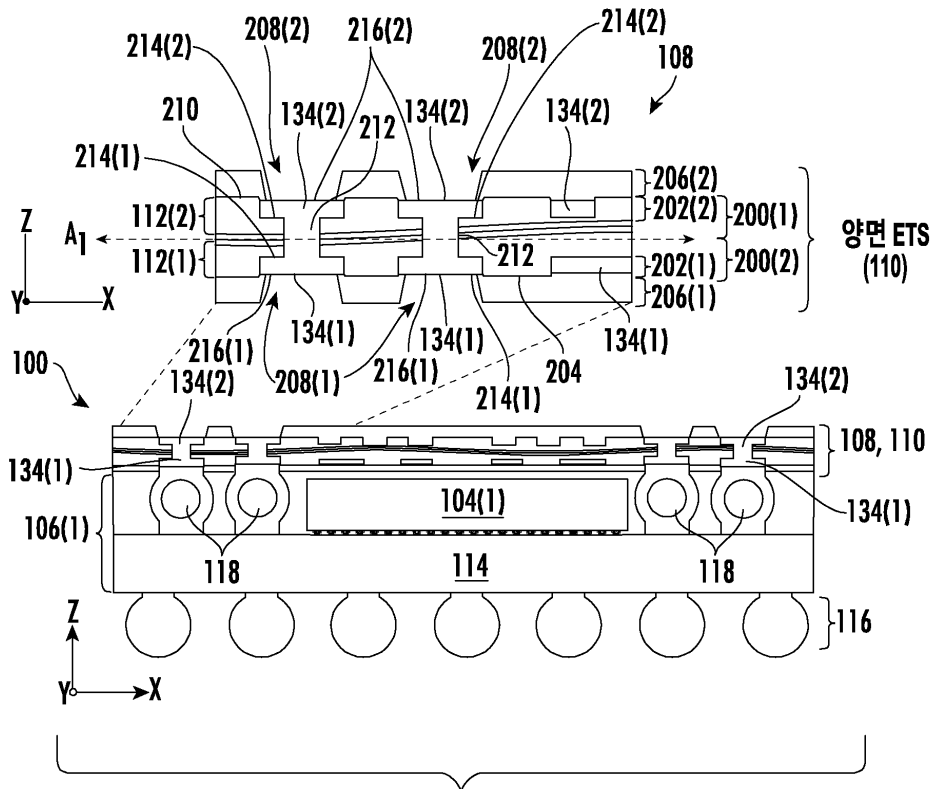
- [0181] 27. 조항 16의 방법에 있어서, 하나 이상의 비아를 형성하는 단계는,
- [0182] 수직 방향으로 제1 금속 트레이스와 적어도 부분적으로 수직으로 정렬된 하나 이상의 제2 금속 트레이스 중 제2 금속 트레이스 및 하나 이상의 제1 금속 트레이스 중 제1 금속 트레이스를 통해 각각 수직 방향으로 하나 이상의 개구를 형성하는 단계; 및
- [0183] 하나 이상의 개구에 금속 물질을 배치하여 하나 이상의 비아를 형성하는 단계로서, 하나 이상의 비아 중 각각의 비아는 하나 이상의 제1 금속 트레이스 중 제1 금속 트레이스를 하나 이상의 제2 금속 트레이스 중 제2 금속 트레이스에 결합시키는, 상기 하나 이상의 개구에 금속 물질을 배치하여 하나 이상의 비아를 형성하는 단계를 포함한다.
- [0184] 28. 조항 27의 방법에 있어서, 하나 이상의 개구를 형성하는 단계는 수직 방향으로 제1 금속 트레이스와 적어도 부분적으로 수직으로 정렬된 하나 이상의 제2 금속 트레이스 중 제2 금속 트레이스 및 하나 이상의 제1 금속 트레이스 중 제1 금속 트레이스를 통해 수직 방향으로 하나 이상의 개구를 드릴링하는 단계를 포함한다.
- [0185] 29. 조항 28의 방법에 있어서, 하나 이상의 개구를 드릴링하는 단계는 수직 방향으로 제1 금속 트레이스와 적어도 부분적으로 수직으로 정렬된 하나 이상의 제2 금속 트레이스 중 제2 금속 트레이스 및 하나 이상의 제1 금속 트레이스 중 제1 금속 트레이스를 통해 수직 방향으로 하나 이상의 개구를 레이저 드릴링하는 단계를 포함한다.
- [0186] 30. 조항 16 내지 29 중 어느 한 조항의 방법에 있어서,
- [0187] 제1 금속화 층 상에 제1 솔더 레지스트 층을 형성하는 단계; 및
- [0188] 제2 금속화 층 상에 제2 솔더 레지스트 층을 형성하는 단계를 더 포함한다.
- [0189] 31. 조항 30의 방법에 있어서,
- [0190] 제1 솔더 레지스트 층에 하나 이상의 제1 개구를 형성하여 하나 이상의 제1 금속 트레이스를 노출시키는 단계; 및
- [0191] 제2 솔더 레지스트 층에 하나 이상의 제2 개구를 형성하여 하나 이상의 제2 금속 트레이스를 노출시키는 단계를 더 포함한다.

도면

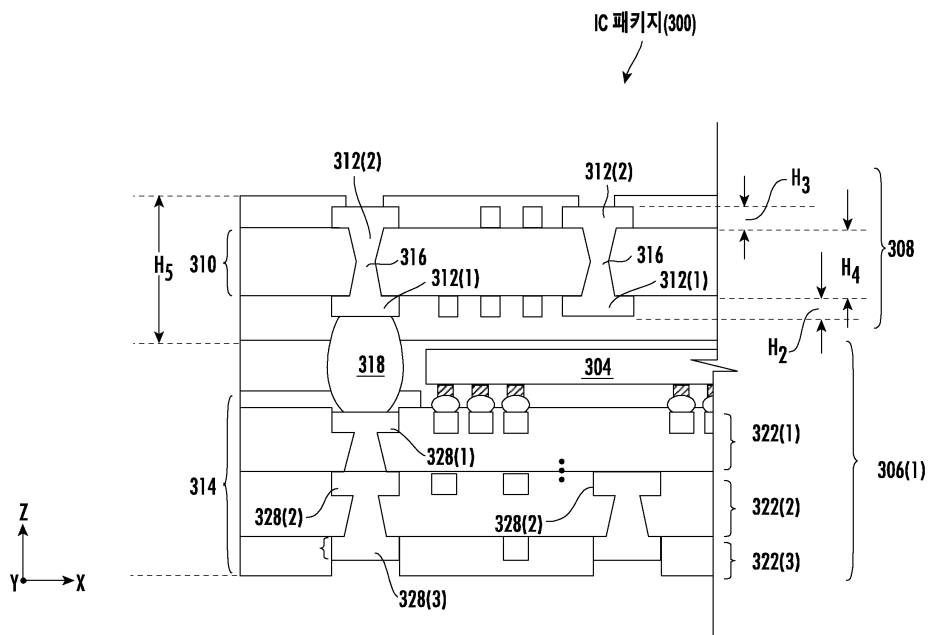
도면1



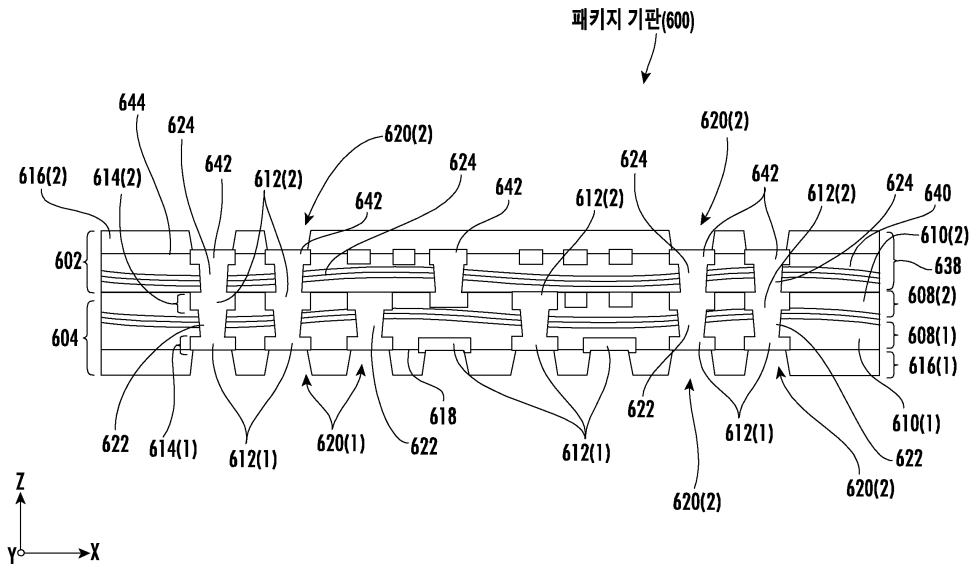
도면2



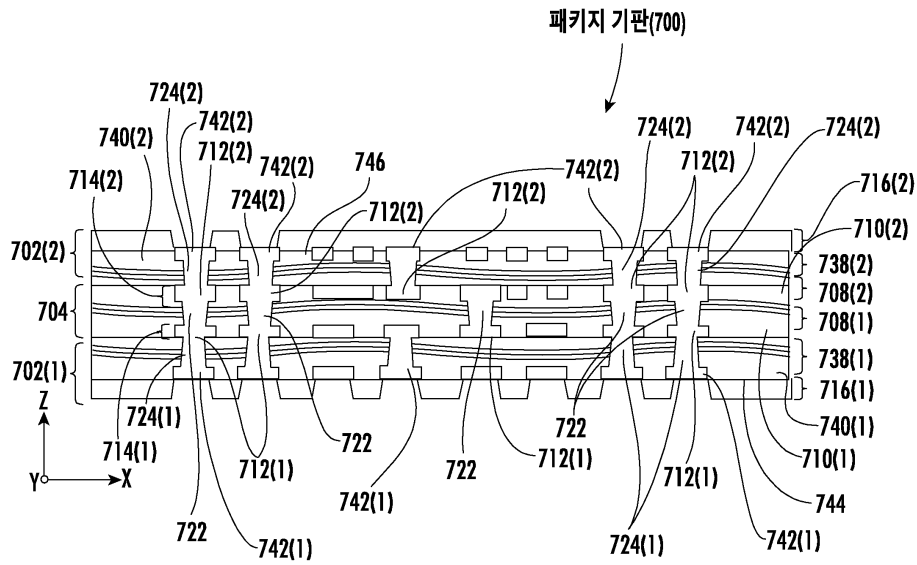
도면3



도면6

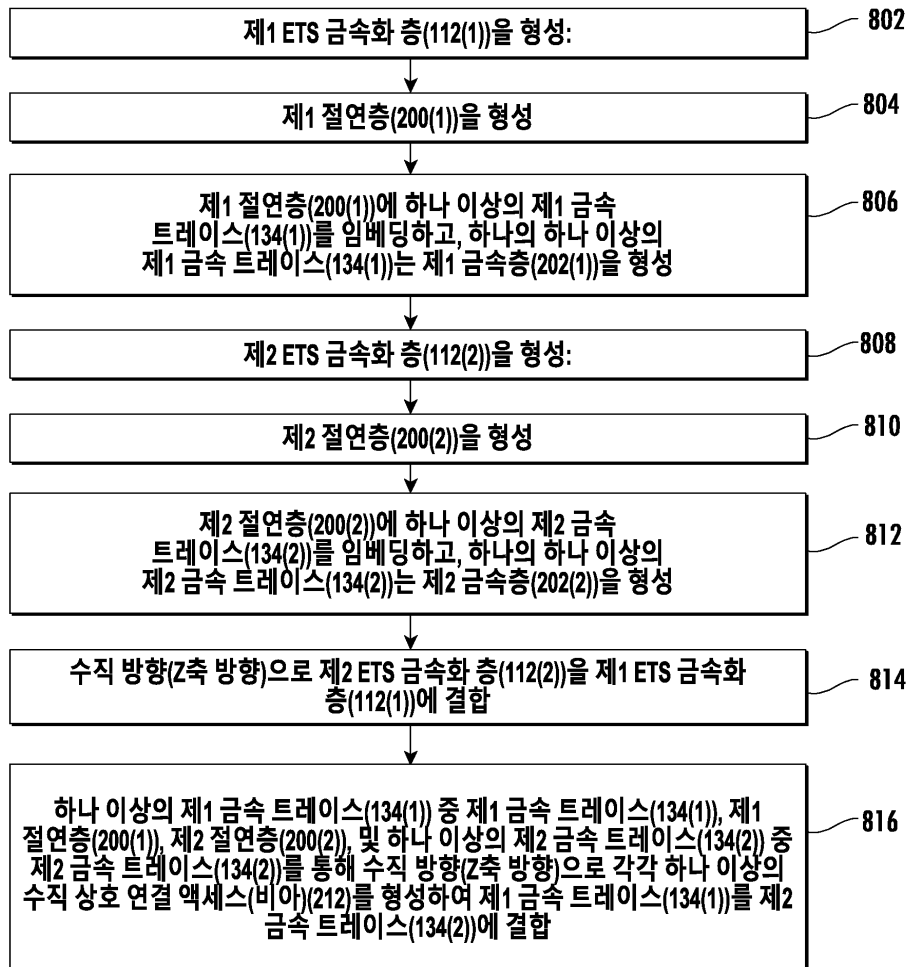


도면7

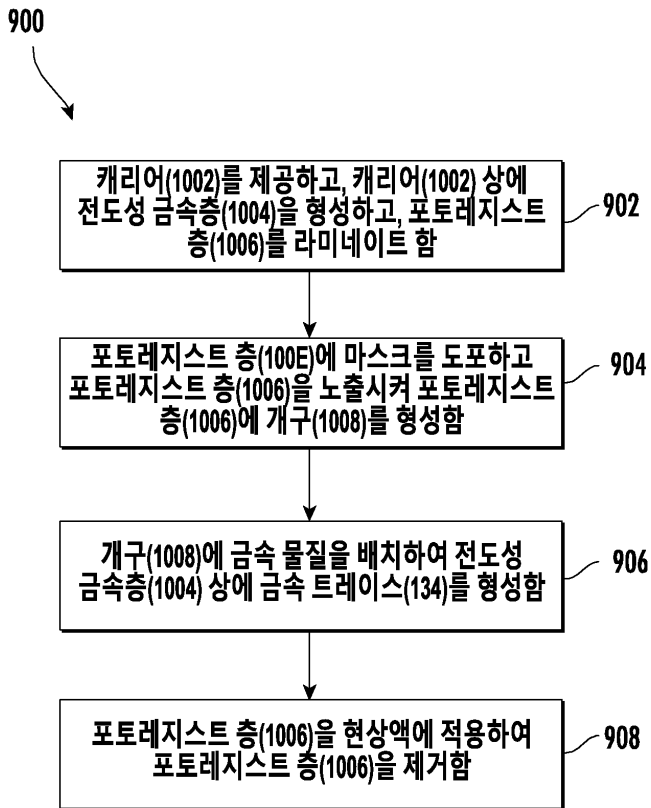


도면8

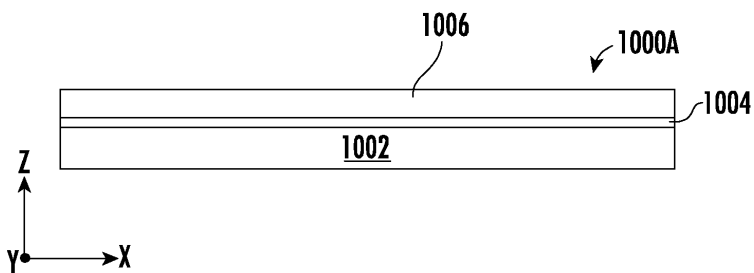
800



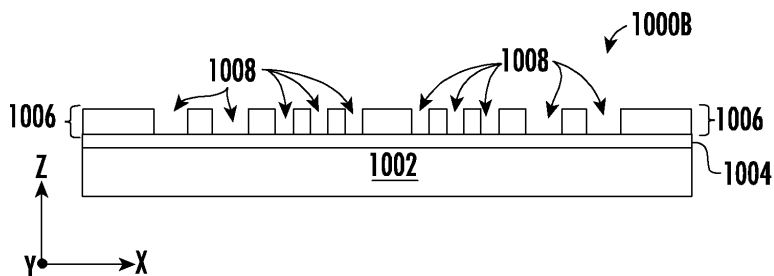
도면9



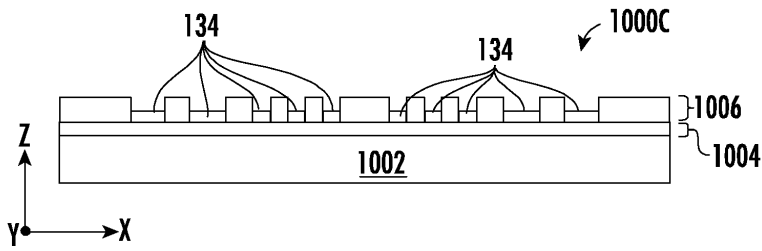
도면10a



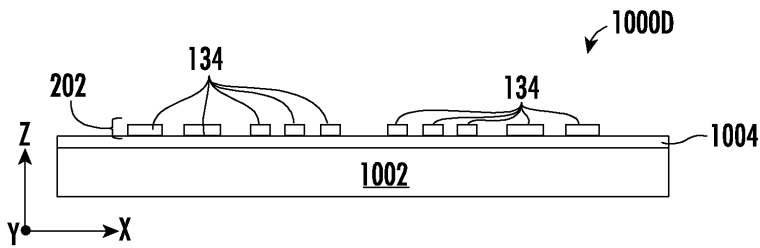
도면10b



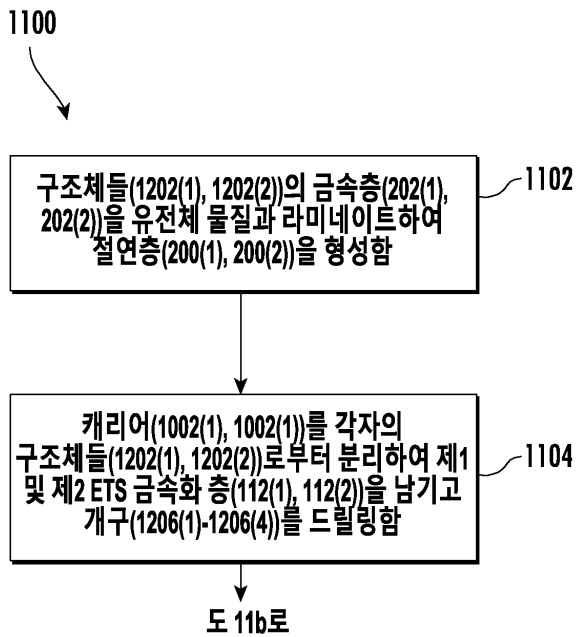
도면10c



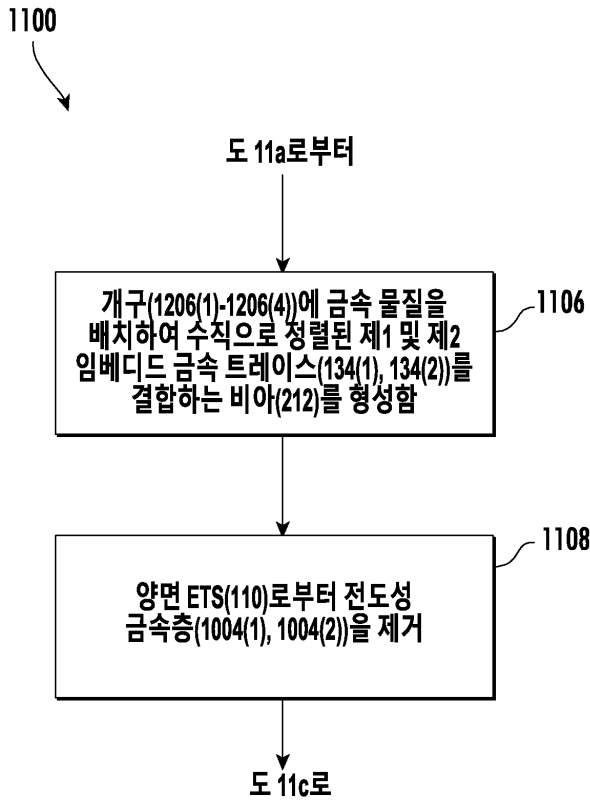
도면10d



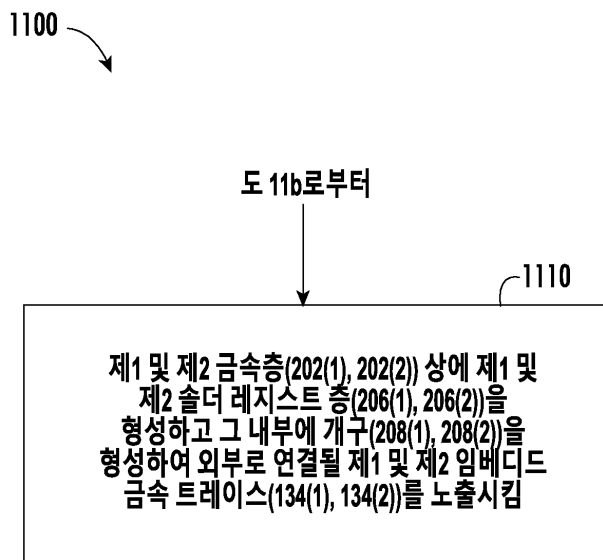
도면11a



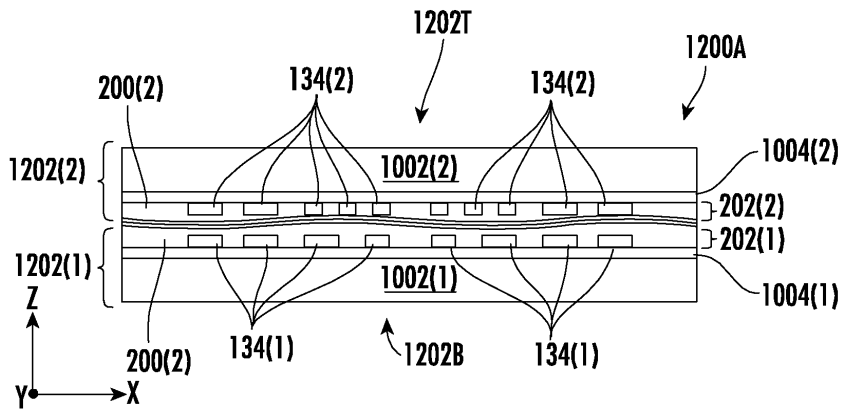
도면11b



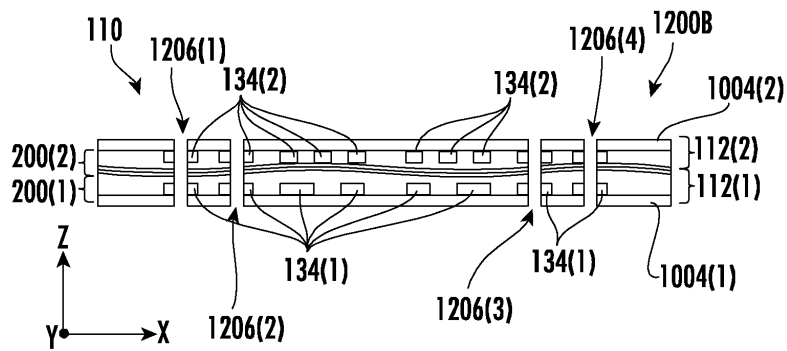
도면11c



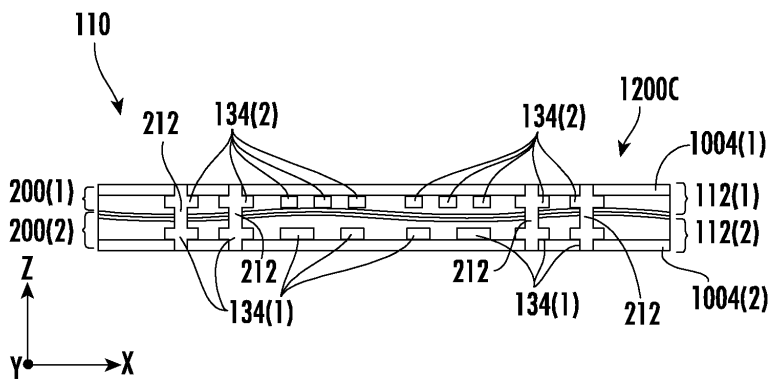
도면12a



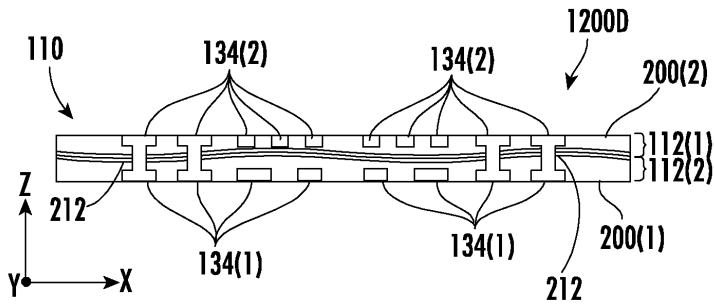
도면12b



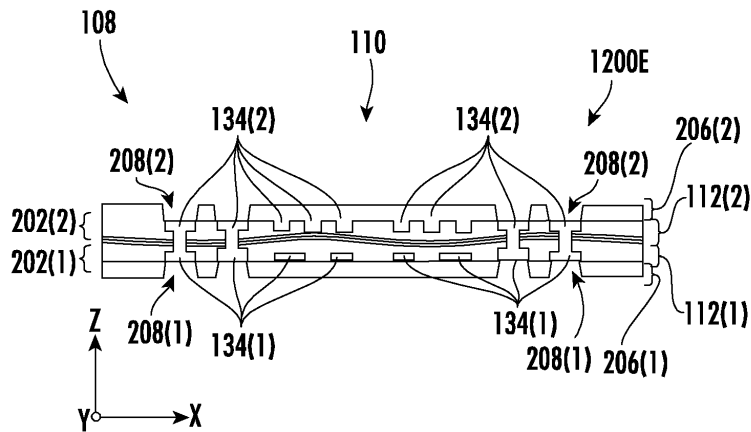
도면12c



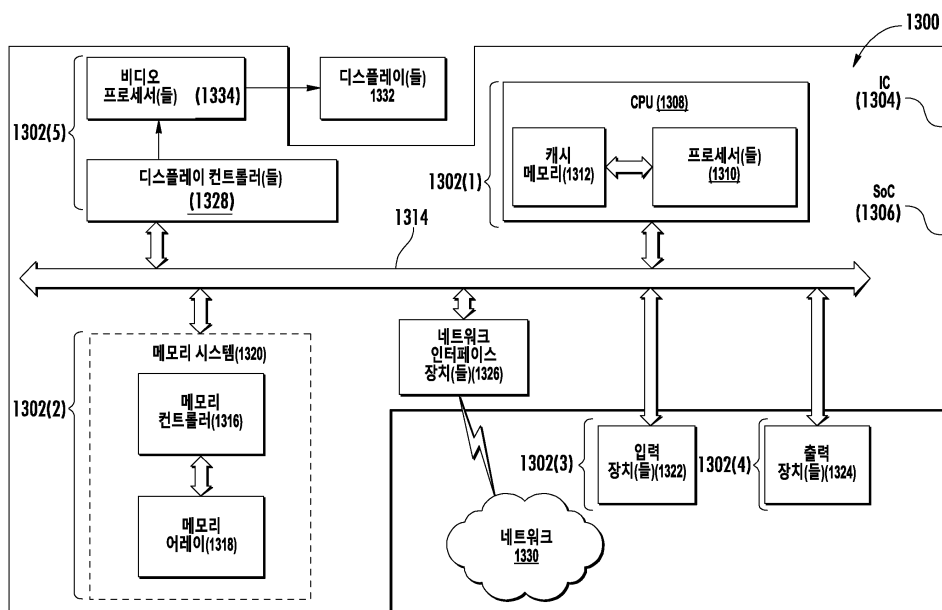
도면12d



도면12e



도면13



도면14

