



СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

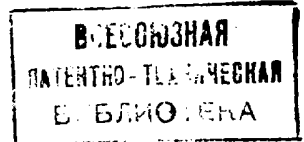
(19) SU (11) 1518902 A1

(5D) 4 Н 04 L 7/02

ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГИИТ СССР

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

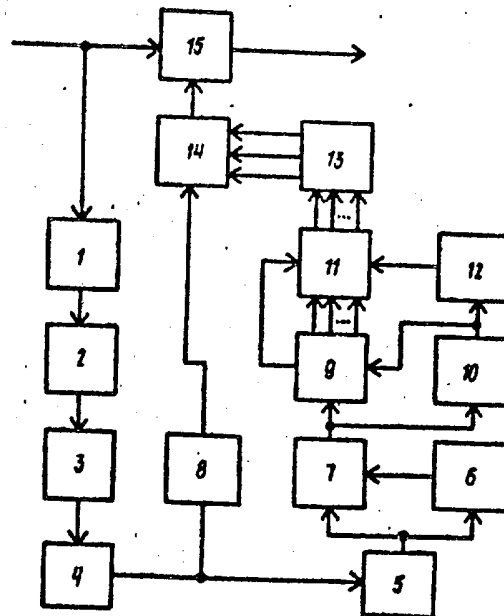
К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 4363550/24-09
(22) 13.01.88
(46) 30.10.89. Бюл. № 40
(72) А.К.Курьшкин, Ю.А.Косарев,
А.П.Колойденко, В.С.Скляр
и А.В.Товарницкий
(53) 621.396.662(088.8)
(56) Авторское свидетельство СССР
№ 511716, кл. Н 04 L 7/02, 1976.

(54) ДЕМОДУЛЯТОР ФАЗОМАНИПУЛИРОВАННЫХ СИГНАЛОВ
(57) Изобретение относится к технике связи. Цель изобретения - повышение помехоустойчивости. Демодулятор содержит умножитель 1 частоты, узко-

полосный фильтр 2, делители 3 и 5 частоты, фазовращатель 4, линии 6 и 8 задержки, фазовый детектор 7, АЦП 9, формирователь 10 импульсов, блок сумматора-накопителя 11 двоичного кода, эл-т 12 задержки, дешифратор 13, управляемый фазовращатель 14 и детектор 15. Цель достигается путем обеспечения корректировки фазы опорного колебания на величину скачка фазы. В результате несмотря на быстрые флуктуации фазы опорного напряжения равномерно распределенные на интервале $0-2\pi$, на втором входе детектора 15 фаза напряжения остается постоянной. 2 ил. 2 табл.



Фиг.1

(19) SU (11) 1518902 A1

Изобретение относится к технике связи и может быть использовано в системах передачи данных сигнала с фазовой манипуляцией.

Цель изобретения - повышение помехоустойчивости.

На фиг.1 показана структурная электрическая схема демодулятора фазоманипулированных сигналов; на фиг.2 - схема блока сумматора-накопителя.

Демодулятор фазоманипулированных сигналов содержит умножитель 1 частоты, узкополосный фильтр 2, делитель 3 частоты, фазовращатель 4, дополнительный делитель 5 частоты, линию задержки 6, фазовый детектор 7, дополнительную линию задержки 8, аналого-цифровой преобразователь (АЦП) 9, формирователь 10 импульсов, блок 11 сумматора накопителя двоичного кода, элемент задержки 12, дешифратор 13, управляемый фазовращатель 14, детектор 15.

Блок 11 сумматора накопителя включает в себя m -разрядный накапливающий сумматор 16 по модулю n , логические схемы И 17, элемент задержки 18, RS-триггеры 19 и инвертор 20.

Демодулятор фазоманипулированных сигналов работает следующим образом.

Фазоманипулированный сигнал поступает на вход умножителя 1, где в процессе удвоения частоты устраняется манипуляция фазы сигнала, а в узкополосном фильтре 2 ослабляется влияние помех. При помощи делителя 3 и фазовращателя 4 получается опорное напряжение необходимой частоты и фазы, которое поступает на вход дополнительного делителя 5 непосредственно и через дополнительную линию задержки 8 на вход управляемого фазовращателя 14.

До появления скачка фазы опорного напряжения разность фаз напряжений на входах детектора 7 постоянна и определяется временем задержки линии 6. При появлении скачка фазы на выходе делителя 5 его величина $\Delta\varphi_{\text{ср}}$ уменьшается в два раза.

Такое изменение масштаба фазовой плоскости опорного напряжения позволяет измерить и идентифицировать $\Delta\varphi_{\text{ср}}$ на интервале $0-2\pi$ получая на выходе фазового детектора 7 напряжение рас-согласования, пропорциональное $\Delta\varphi_{\text{ср}}$, которая при синусоидальной рабочей характеристике детектора 7 равно

$$V_{\text{ФД}} = V_{\text{ОН}}(t) \cdot V_{\text{ОН}}(t+t_3) = \frac{V_0^2}{2} \sin \frac{\Delta\varphi_{\text{ср}}}{2},$$

Очевидно, что при $\Delta\varphi_{\text{ср}} = 0$, $V_{\text{ФД}} = 0$.

Изменившееся скачком напряжение на выходе фазового детектора 7 поступает на формирователь 10, который на выходе выдает импульс, разрешающий преобразование выходного напряжения детектора 7 в двоичный код. Эту операцию осуществляет АЦП, число выходов которого $k = \log_2 \frac{n}{2}$ зависит от требуемой точности корректировки скачка фазы.

Выходной двоичный код с АЦП 9 поступает в блок 11. Кроме того, с дополнительного выхода АЦП 9 на дополнительный вход блока 11 поступает информационный сигнал о знаке выходного напряжения детектора 7. Причем, если величина скачка фазы лежит в пределах $0-\pi$, то напряжение положительно, а если $\pi-2\pi$ - отрицательно.

АЦП 9 и блок 11 позволяет провести обратное преобразование масштаба фазовой плоскости.

Работа накапливающего сумматора 16 строится на основе таблицы истинности, в которой на пересечении значения i -й строки и значения j - столбца записан результат суммы, который в общем виде можно представить соотношением

$$\gamma_i = \alpha_i + \beta_j \pmod{n}, \quad (1)$$

где α_i, β_j - слагаемые, а γ_i - результат суммы.

Таблица истинности для $n = 16$ выглядит следующим образом (табл.1)

Так, например, для $\alpha_i = 9, \beta_j = 12$, $n=16$ тогда $\alpha_i + \beta_j = 21$, а сумма по $\text{mod } n = 9 + 12 \text{ mod } 16 = 5$, что равно остатку от деления суммы $\alpha_i + \beta_j$ на число n .

Описанный алгоритм работы реализуется сумматорным способом, так как слагаемые представляются в двоичном коде.

Основу узла, выполняющего операцию суммирования, составляет обычный двоичный сумматор, снабженный дополнительными логическими цепями, обеспечивающими выполнение операции сложения по соответствующему модулю.

Но так как сложение выполняется в двоичном коде и m - число разрядов сумматора равно целому логарифму n по основанию два

$m = \log_2 n$,
то двоичный накапливающий сумматор 16 (при $n = 2^m$) может быть реализован последовательным соединением m - числа двоичных разрядов сумматора без дополнительных логических цепей и обратной связи.

Кроме накапливающего сумматора 16 в блок 11 конструктивно входит линейка из m - числа RS-триггеров 19, образующих вторую ступень памяти, элемент задержки 18 и m логических схем И 17, которые позволяют осуществить своевременную перезапись сформированного кода из накапливающего сумматора 16 во вторую ступень памяти RS-триггеров с помощью управляющего сигнала, поступающего после окончания переходных процессов в накапливающем сумматоре 16 и обнуления RS-триггеров 19.

Двоичный код поступает на соответствующие входы дешифратора 13. Выходной сигнал с дешифратора 13 поступает на один из управляющих входов фазовращателя 14, который обеспечивает корректировку фазы опорного колебания на величину скачка фазы.

Если с течением времени возникает следующий спонтанный скачок фазы опорного напряжения, то демодулятор определяет величину этого скачка, причем соответствующие ей двоичный код суммируются с хранящимся в блоке 11 кодом первичного скачка и перезаписывается во вторую ступень памяти блока 11. Далее новый скачок фазы скорректируется, как и первый. При последующих скачках фазы сумма их величин может превысить 2π .

В этом случае накапливающий сумматор в блоке 11 позволяет учесть периодичность тригонометрических функций, описывающих опорный сигнал.

Работу демодулятора фазоманипулированных сигналов можно пояснить на конкретном примере.

Пусть интервал $0-2\pi$ разбит на 16 подинтервалов ($n=16$) по $22,5^\circ$.

Каждому значению угла соответствует 4-разрядный двоичный код (см. табл.2).

В общем случае n должно равняться целой степени числа 2 (8 по 45°); (16 по $22,5^\circ$); (32 по $11,25^\circ$); (64 по $5,6^\circ$) и т.д.

При $n=16$ АЦП 9 должен иметь восемь точек отсчета и число выходов $k-1=3$.

Четвертый (k -й) разряд, старший для блока 11, формируется с помощью инвертора 5 на основании сигнала с дополнительного выхода АЦП 9, зависящего от полярности преобразованного в двоичный код напряжения. При положительной полярности это "1", при отрицательной "0".

Тогда скачок фазы на выходе фазовращателя $4 \Delta \varphi_{сф} = 315^\circ (-45^\circ)$ на выходе делителя $5 \Delta \varphi'_{сф} = -22,5^\circ$ приведет к появлению на выходе фазового детектора 7 напряжения $V_{ФД} \sim \sin \Delta \varphi'_{сф}$ АЦП 9 k выдает код - 010.

Однако такой же код был бы сформирован на выходе АЦП и в случае скачка фазы $\Delta \varphi_{сф} = 45^\circ$. Эту неоднозначность позволяет разрешить сигнал 6 дополнительного выхода АЦП, несущий информацию о знаке выходного напряжения фазового детектора 7. Поэтому в рассматриваемом случае скачку фазы $\Delta \varphi_{сф} = -45^\circ$ соответствующий код 1010, а $\Delta \varphi_{сф} = 45^\circ$ код 0010.

На выходе блока 11 сформируется код 1010 при этом на соответствующем выходе дешифратора 13 появится сигнал, который и определит величину корректирующего сдвига фазы в управляемом фазовращателе 14 (-45°).

Таким образом, несмотря на быстрые флуктуации фазы опорного напряжения, равномерно распределенные на интервале $0-2\pi$, на втором входе детектора 15 фаза напряжения остается постоянной.

Ф о р м у л а и з о б р е т е н и я

Демодулятор фазоманипулированных сигналов, содержащий детектор и последовательно соединенные умножитель частоты, узкополосный фильтр, делитель частоты и фазовращатель, последовательно соединенные линию задержки и фазовый детектор, второй вход которого соединен с входом линии задержки, объединенные первый вход детектора и вход умножителя частоты являются входом демодулятора, а выход детектора является выходом демодулятора, о т л и ч а ю щ и й с я тем, что, с целью повышения помехоустойчивости, в него введены дополнительная линия задержки, дополнительный делитель частоты, аналого-

цифровой преобразователь (АЦП) и последовательно соединенные формирователь импульсов, элемент задержки, блок сумматора-накопителя, дешифратор и управляющий фазовращатель, выход которого подключен к второму входу детектора, а вход через дополнительную линию задержки - к объединенным выходу фазовращателя и входу дополнительного делителя частоты,

5

10

выход которого подключен к объединенным входам линии задержки и фазового детектора, выход которого подключен к объединенным сигнальным входам АЦП и формирователя импульсов, выход которого через АЦП подключен к информационным входам блока сумматора-накопителя, к сигнальному входу которого подключен дополнительный выход АЦП.

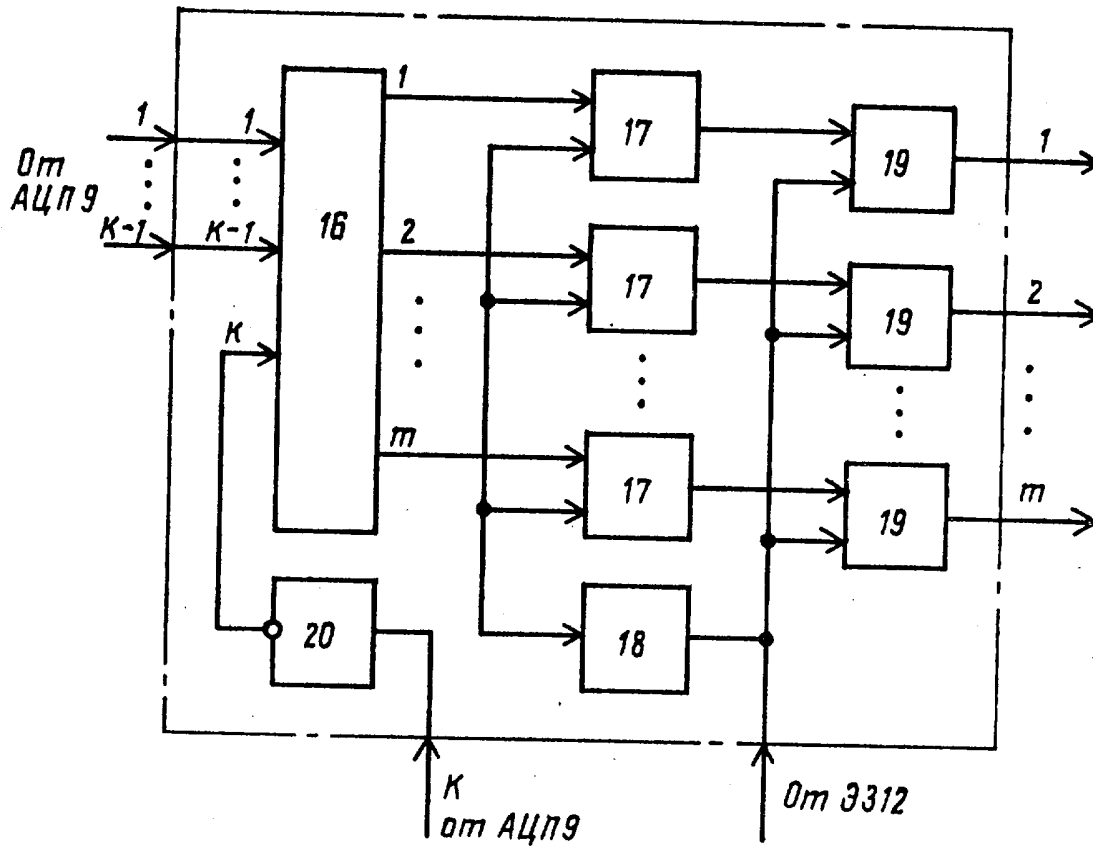
Т а б л и ц а 1

+	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
1	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	0
2	2	3	4	5	6	7	8	9	10	11	12	13	14	15	0	1
3	3	4	5	6	7	8	9	10	11	12	13	14	15	0	1	2
4	4	5	6	7	8	9	10	11	12	13	14	15	0	1	2	3
5	5	6	7	8	9	10	11	12	13	14	15	0	1	2	3	4
6	6	7	8	9	10	11	12	13	14	15	0	1	2	3	4	5
7	7	8	9	10	11	12	13	14	15	0	1	2	3	4	5	6
8	8	9	10	11	12	13	14	15	0	1	2	3	4	5	6	7
9	9	10	11	12	13	14	15	0	1	2	3	4	5	6	7	8
10	10	11	12	13	14	15	0	1	2	3	4	5	6	7	8	9
11	11	12	13	14	15	0	1	2	3	4	5	6	7	8	9	10
12	12	13	14	15	0	1	2	3	4	5	6	7	8	9	10	11
13	13	14	15	0	1	2	3	4	5	6	7	8	9	10	11	12
14	14	15	0	1	2	3	4	5	6	7	8	9	10	11	12	13
15	15	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14

П р и м е ч а н и е: 0, 1, 2, ..., 15 - возможные значения слагаемых и результаты суммы.

Т а б л и ц а 2

Номер	Нижняя	Двоичный код Д.5	На выходе	Двоичный код на выходе АЦП 9	К-й выход АЦП 9	Двоичный код на выходе блока 11
0	0	0000	0	000	+	0000
1	22,5	0001	11,2	001	+	0001
2	45	0010	22,5	010	+	0010
3	67,5	0011	33,7	011	+	0011
4	90	0100	45	100	+	0100
5	112,5	0101	56,2	101	+	0101
6	135	0110	67,5	110	+	0110
7	157,5	0111	78,7	111	+	0111
8	180	1000	90	000	-	1000
9	202,5	1001	-11,2	001	-	1001
10	225	1010	-22,5	010	-	1010
11	247,5	1011	-33,7	011	-	1011
12	270	1100	-45	110	-	1100
13	292,5	1101	-56,9	101	-	1101
14	315	1110	-67,5	110	-	1110
15	337,5	1111	-78,7	110	-	1111



Фиг. 2

Составитель О.Мелькова

Редактор М.Недолуженко

Техред Л.Сердюкова

Корректор Т.Палий

Заказ 6612/57

Тираж 626

Подписное

ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101