

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5529053号  
(P5529053)

(45) 発行日 平成26年6月25日(2014.6.25)

(24) 登録日 平成26年4月25日(2014.4.25)

(51) Int.Cl. F I  
B 8 1 C 1/00 (2006.01) B 8 1 C 1/00

請求項の数 17 外国語出願 (全 31 頁)

(21) 出願番号	特願2011-11011 (P2011-11011)	(73) 特許権者	591060898
(22) 出願日	平成23年1月21日(2011.1.21)		アイメック
(65) 公開番号	特開2011-148087 (P2011-148087A)		I MEC
(43) 公開日	平成23年8月4日(2011.8.4)		ベルギー、ペー 3001ルーヴァン、カ
審査請求日	平成25年12月16日(2013.12.16)		ペルドリーフ75番
(31) 優先権主張番号	61/297,392	(73) 特許権者	511020025
(32) 優先日	平成22年1月22日(2010.1.22)		アメリカン・ユニバーシティ・カイロ
(33) 優先権主張国	米国(US)		American University
			Cairo
早期審査対象出願			エジプト11511カイロ、カスル・エル
			・アイニ・ストリート113番
最終頁に続く			

(54) 【発明の名称】 マイクロマシンデバイスの製造方法およびマイクロマシンデバイス

(57) 【特許請求の範囲】

【請求項1】

アモルファス半導体材料を含む構造層を提供する工程と、  
構造層の第1部分の上にシールド層を形成し、構造層の第2部分を露出したままにする工程と、

第1フルエンスを用いて第2部分をアニールする工程と、

シールド層を除去する工程と、

第2フルエンスを用いて第1部分と第2部分とをアニールする工程と、を含み、

第2フルエンスは、第1フルエンスの半分より小さい方法。

【請求項2】

第1フルエンスを用いて第2部分をアニールする工程は、構造層の第2部分の電気抵抗率を変更する工程を含む請求項1に記載の方法。

【請求項3】

第1フルエンスを用いて第2部分をアニールする工程の前に、第2部分が初期電気抵抗率を有し、第2部分の電気抵抗率を変更する工程は、第2部分の電気抵抗率を初期抵抗率から所定の抵抗率に低減する工程を含む請求項2に記載の方法。

【請求項4】

初期抵抗率と所定の抵抗率との差は、少なくとも一部は第1フルエンスに基づく請求項3に記載の方法。

【請求項5】

10

20

第 2 フルエンスを用いて第 1 部分と第 2 部分とをアニールする工程は、第 1 部分の歪勾配を変更する工程を含む請求項 1 に記載の方法。

【請求項 6】

第 2 フルエンスを用いて第 1 部分と第 2 部分とをアニールする工程の前に、第 1 部分は初期歪勾配を有し、第 1 部分の歪勾配を変更する工程は、第 1 部分の歪勾配を初期歪勾配から所定の歪勾配に低減する工程を含む請求項 5 に記載の方法。

【請求項 7】

初期歪勾配と所定の歪勾配との差は、少なくとも一部は第 2 フルエンスに基づく請求項 6 に記載の方法。

【請求項 8】

第 1 フルエンスを用いて第 2 部分をアニールする工程は、第 2 部分の少なくとも一部をアモルファス半導体材料から結晶半導体材料に変える工程を含む請求項 1 に記載の方法。

【請求項 9】

第 2 部分の少なくとも一部をアモルファス半導体材料から結晶半導体材料に変える工程は、実質的に第 2 部分の全体をアモルファス半導体材料から結晶半導体材料に変える工程を含む請求項 8 に記載の方法。

【請求項 10】

第 2 フルエンスを用いて第 1 部分と第 2 部分とをアニールする工程は、第 1 部分の少なくとも一部をアモルファス半導体材料から結晶半導体材料に変える工程を含む請求項 1 に記載の方法。

【請求項 11】

第 1 部分の少なくとも一部をアモルファス半導体材料から結晶半導体材料に変える工程は、少なくとも第 1 部分の上部をアモルファス半導体材料から結晶半導体材料に変える工程を含む請求項 10 に記載の方法。

【請求項 12】

アモルファス半導体材料の構造層を提供する工程は、400 以下の温度で行われる請求項 1 に記載の方法。

【請求項 13】

シールド層は、反射材料を含む請求項 1 に記載の方法。

【請求項 14】

アモルファス半導体材料を含む構造層を提供する工程と、  
構造層の第 1 部分の上にシールド層を形成し、構造層の第 2 部分を露出したままにする工程と、

第 1 レーザパルスフルエンスを含むパラメータの第 1 セットを用いて第 2 部分をアニールし、これにより第 2 部分の電気抵抗率を低減する工程と、

シールド層を除去する工程と、

第 2 レーザパルスフルエンスを含むパラメータの第 2 セットを用いて少なくとも第 1 部分をアニールし、これにより第 1 部分の歪勾配を低減する工程と、を含む方法。

【請求項 15】

第 1 レーザパルスフルエンスは、第 2 レーザパルスフルエンスより大きい請求項 14 に記載の方法。

【請求項 16】

パラメータの第 1 セットは、更に、第 1 レーザパルス数と、第 1 パルス繰り返し数とを含み、第 2 部分の電気抵抗率を低減する工程は、第 1 レーザパルスフルエンス、第 1 レーザパルス数、および第 1 パルス繰り返し数の少なくとも 1 つに基づく量により、第 2 部分の電気抵抗率を低減する工程を含む請求項 14 に記載の方法。

【請求項 17】

パラメータの第 2 セットは、更に、第 2 レーザパルス数と、第 2 パルス繰り返し数とを含み、第 1 部分の歪勾配を低減する工程は、第 2 レーザパルスフルエンス、第 2 レーザパルス数、および第 2 パルス繰り返し数の少なくとも 1 つに基づく量により、第 1 部分の歪

10

20

30

40

50

勾配を低減する工程を含む請求項 1 4 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、マイクロマシンデバイスの製造方法に関し、特に、例えば  $3.4 \text{ m} \cdot \text{cm}$  以下の電気抵抗率のような、低い電気抵抗率を有するコンタクト領域と、例えば  $6.8 \times 10^{-6} \mu\text{m}^{-1}$  以下の歪勾配値のような低歪勾配吊り下げ領域 (low strain gradient suspended region) を有し、マイクロマシンデバイスの作製に適した構造上のシリコンゲルマニウム層の製造方法に関する。

【背景技術】

10

【0002】

過去数年間に、マイクロエレクトロメカニカルシステム (MEMS) (またはマイクロマシンデバイスとも呼ばれる) を予め作製した相補型金属酸化物半導体 (CMOS) エレクトロニクスと集積し、小型で改良されたデバイスを作製する必要性が、活性 MEMS 材料の処理温度に幾つかの制限を与えた。モノリシック集積化の後処理は、最大処理温度が  $420$  から  $520$  の範囲に押さえられた。

【0003】

多結晶シリコンゲルマニウムは、多結晶シリコン処理に必要とされる温度より低い温度で、良好な電気、機械、および温度性能が得られ、MEMS 後処理のための魅力的な材料である。

20

【0004】

例えば受動基板やフレキシブル基板のような、温度に敏感な基板上での (MEMS) 作製への新たな興味は、更に、活性層や構造層の処理温度を制限する。ベンゾシクロブテン (benzocyclobutene: BCB)、シリコン、ポリイミド (PI) またはポリエチレンテレフタレート (PET) のような基板材料の使用は、最大処理温度を  $300$  以下に制限する。

【0005】

このように、多結晶シリコンゲルマニウムの構造層の処理温度の低減について、連続した必要性がある。

【0006】

30

EP 1 801 067 A2 では、実質的に  $400$  より低い温度で、表面加工 MEMS デバイスの構造シリコンゲルマニウム層を作製する方法が記載されている。この方法は、プラズマ強化化学気相堆積 (PECVD) を用いて、 $400$  より低い温度でアモルファスシリコンゲルマニウム (a-SiGe) を堆積させる工程を含む。そのような、堆積させたままの a-SiGe は、低下した電気的および機械的特性を有し、特に、高い応力、歪勾配および電気抵抗率を有し、それらの全てが、機能的で信頼性のある構造層には受け入れられない。この方法は、更に、堆積させたままの a-SiGe の機械的特性 (応力および/または歪) の改良のために制限されたレーザーフルエンスを用いたアニール工程を含む。制限されたレーザーフルエンスを用いることにより、低い歪勾配が得られる。しかしながら、これにより得られた構造層は、高いシート抵抗を有する。堆積させたままの a-SiGe のパラメータを更に調整することにより (例えば、ゲルマニウム (Ge) の含有量を低減することにより)、より高いレーザーパルス数を用いることにより、より低い抵抗率が達成できる。しかしながら、高い Ge 含有量は、標準的な CMOS プロセスに完全に互換性があるわけではない。更に、高い Ge 含有量は、デバイスの信頼性に影響する。

40

【発明の目的】

【0007】

本発明の具体例の目的は、従来技術に関する欠点を克服することである。本発明の具体例の目的は、 $400$  より低い温度で、駆動電子作製プロセスや使用される基板の型から独立である、マイクロマシンデバイス (MEMS デバイス) を製造する方法を提供するこ

50

とである。特に、本発明の具体例は、構造層の１つの部分に対して最適化された電気的特性（例えば、 $3.4 \text{ m} \cdot \text{cm}$ より低い低抵抗率）と、構造層の他の部分に対して最適化された機械的特性（例えば、 $6.8 \times 10^{-6} \mu\text{m}^{-1}$ より低い低歪勾配）を有する最適化された構造層の形成方法を提供する。本発明の具体例は、構造層の１つの部分に対して予め決められた歪勾配を有し、構造層の他の部分に対して予め決められた抵抗率を有した最適化された構造層を形成する方法を提供する。

【発明の概要】

【０００８】

上述の目的は、本発明の具体例にかかる方法およびデバイスにより達成される。

【０００９】

本発明の特定の好ましい形態は、添付された独立請求項および従属請求項に述べられる。従属請求項の特徴は、独立請求項の特徴と組み合わせても良く、他の従属請求項の特徴と組み合わせても良く、単に請求項に明確に述べられた通りではない。

【００１０】

本発明の具体例では、マイクロマシンデバイスの製造方法が記載され、この方法は、アモルファス半導体材料の構造層を提供する工程と、構造層中に第１領域と第２領域とを規定する工程と、第１領域の上にシールド層を形成し、これにより第２領域を露出したままにする工程と

、  
その後、構造層の第２領域を、第１フルーエンスを用いてアニールする工程と、  
その後、シールド層を除去する工程と、

その後、構造層の第１領域および第２領域を、第１フルーエンスより実質的に小さい第２フルーエンスを用いてアニールする工程と、を含み、第２フルーエンスは、例えば第１フルーエンスの半分より大きくなく、例えば第２フルーエンスは第１フルーエンスの１０％から３０％の間である。

【００１１】

本発明の具体例では、マイクロマシンデバイスの製造方法が記載され、この方法は、アモルファス半導体材料の構造層を提供する工程と、構造層中に第１領域と第２領域とを規定する工程と、第１領域の上にシールド層を形成し、これにより第２領域を露出したままにする工程と

、  
その後、構造層の第２領域を、第１フルーエンスを用いてアニールし、これにより第２領域のアモルファス半導体材料の少なくとも一部を変換する工程と、

その後、シールド層を除去する工程と、

その後、構造層の第１領域および第２領域を、第１フルーエンスより実質的に小さい第２フルーエンスを用いてアニールする工程と、を含み、第２フルーエンスは、例えば第１フルーエンスの半分より大きくなく、例えば第２フルーエンスは第１フルーエンスの１０％から３０％の間である。

【００１２】

本発明の具体例の長所は、マイクロマシン応用のための最適化された構造層が形成されることである。

【００１３】

本発明の具体例の長所は、電気的特性（低い抵抗率）および／または機械的特性（低い歪勾配、歪勾配は、マイクロマシンデバイスのカンチレバーの上部と底部の間の歪の正の差異を、その膜厚で割って定義される）の双方が、マイクロマシン応用のための構造層のために最適化される。

【００１４】

本発明の具体例では、第２領域のアモルファス半導体材料の少なくとも一部を変換する工程は、第２領域のアモルファス半導体材料を完全に変換する工程を含んでも良い。

【００１５】

10

20

30

40

50

本発明の具体例では、構造層の第1領域および第2領域を、第2フルーエンスを用いてアニールする工程は、アニールして、これにより第1領域のアモルファス半導体材料の少なくとも一部を変換する工程を含む。第1領域のアモルファス半導体材料の少なくとも一部は、第1領域のアモルファス半導体材料の少なくとも上部を含んでも良い。

【0016】

具体例では、アモルファス半導体材料を変換する工程は、アモルファス半導体材料を結晶半導体材料に変換する工程を含む。アモルファス半導体材料は、例えばアモルファスシリコンゲルマニウムでも良い。

【0017】

具体例では、アモルファス半導体層の少なくとも一部、またはアモルファス半導体層の全体が、結晶半導体材料に変換される。

10

【0018】

具体例では、アモルファス半導体材料の構造層を提供する工程は、プラズマ強化化学気相堆積(P E C V D)プロセスの手段により行われる。アモルファス半導体材料の構造を提供する工程は、400より低い温度で行われる。

【0019】

具体例では、構造層中に第1領域および第2領域を規定する工程は、構造層中にコンタクト領域と吊り下げ領域を規定する工程を含んでも良い。具体例では、シールド層は、反射材料を含む、反射材料は、例えばアルミニウムでも良い。

【0020】

20

本発明の具体例の長所は、第1アニール工程後に、シールド領域(第1領域)で、劇的な変化が検出されないことである。

【0021】

具体例では、第1フルーエンス(時間で積分されたフラックス)は、 $600\text{ mJ/cm}^2$ より高い。第1フルーエンスは、 $600\sim 1000\text{ mJ/cm}^2$ の範囲でも良い。第1のレーザーパルス数は、1と1000の間、例えば1と500の間でも良い。本発明の具体例では、レーザーパルス数は、歪勾配を調整するための結晶化深を減らすように選択される。第1パルスの反復速度は、1Hzと50Hzの間の範囲でも良い。本発明の具体例では、パルスの反復速度は、歪勾配を調整するための結晶化深を減らすように選択される。特徴的には、第1アニール工程は、 $600$ と $1000\text{ mJ/cm}^2$ の間のフルーエンスを有する1つのパルス(パルスの反復速度ではない)を含む。

30

【0022】

具体例では、第2フルーエンスは、 $250\text{ mJ/cm}^2$ より小さくても良い。

【0023】

本発明の具体例では、マイクロマシンデバイスの製造方法が記載され、この方法は、アモルファス半導体材料の構造層を提供する工程であって、構造層は初期の歪勾配と初期の抵抗率とを有する工程と、

構造層中に第1領域および第2領域を規定する工程と、

第1領域についてシールド層を形成し、これにより第2領域を露出したままにする工程と、

40

その後、構造層の第2領域を、第1フルーエンスを用いてアニールし、これにより第2領域の初期の抵抗率を所定の抵抗率まで低減する工程と、

その後、シールド層を除去する工程と、

その後、構造層の第1領域および第2領域を、第1フルーエンスより実質的に小さい第2フルーエンスを用いてアニールし、これにより第1領域の初期の歪勾配を所定の歪勾配まで低減する工程と、を含む。

【0024】

本発明の他の具体例では、半導体デバイスが記載され、この半導体デバイスは、SiGe層を含み、このSiGe層は所定の歪勾配を有する第1領域と、所定の抵抗率を有する第2領域とを含む。半導体デバイスは、MEMSデバイスでも良い。

50

## 【 0 0 2 5 】

本発明と、従来技術を越えて達成される長所を要約する目的で、本発明の所定の目的と長所が上述された。もちろん、そのような目的や長所の全てが、本発明の特定の具体例によって達成される必要がないことが理解される。このように、例えば、当業者は、ここで教示または示唆された他の目的や長所を必ずしも達成することなく、ここで教示される１の長所や長所のグループの達成や最適化を行う手段により、本発明が具体化または実行できることを当業者は認識するであろう。

## 【図面の簡単な説明】

## 【 0 0 2 6 】

【図１】本発明の具体例にかかる方法からの異なる工程にかかる模式的なフローダイアグラムを示す。 10

【図２】本発明の具体例にかかる方法からの異なる工程にかかる模式的なフローダイアグラムを示す。

【図３】本発明の具体例にかかる方法からの異なる工程にかかる模式的なフローダイアグラムを示す。

【図４】本発明の具体例にかかる方法からの異なる工程にかかる模式的なフローダイアグラムを示す。

【図５】本発明の具体例にかかる方法からの異なる工程にかかる模式的なフローダイアグラムを示す。

【図６】マイクロマシンデバイスのための構造層の異なる部分の模式的な表示を示す。 20

【図７】本発明の具体例にかかる開放されたカンチレバーの２次電子顕微鏡（ＳＥＭ）像を示す。

【図８】本発明の具体例にかかる開放されたカンチレバーの２次電子顕微鏡（ＳＥＭ）像を示す。

【図９】本発明の具体例にかかる熱処理後の多結晶ＳｉＧｅを有する層のスタックの透過電子顕微鏡（ＴＥＭ）像を示す。

【図１０】本発明の具体例にかかる熱処理に対する抵抗率とシングルパルスフルーエンスプロットとの関係を示す。

【図１１】本発明の具体例にかかる熱処理後の多結晶ＳｉＧｅ層の透過電子顕微鏡（ＴＥＭ）像を示す。 30

【図１２】本発明の具体例にかかる熱処理後アモルファスＳｉＧｅ層の透過電子顕微鏡（ＴＥＭ）像を示す。

【図１３】本発明の具体例にかかる方法からの異なる工程にかかるマイクロマシンデバイスの模式的な表示を示す。

【図１４】本発明の具体例にかかる開放されたカンチレバーの２次電子顕微鏡（ＳＥＭ）像を示す。

【図１５】本発明の具体例にかかる開放されたカンチレバーの２次電子顕微鏡（ＳＥＭ）像を示す。

## 【発明を実施するための形態】

## 【 0 0 2 7 】

本発明は、特定の具体例に関して、所定の図面を参照しながら記載するが、本発明は、これに限定されるものではなく、請求の範囲によってのみ限定される。記載された図面は、模式的であり、限定的ではない。図面において、幾つかの要素の寸法は、図示目的で誇張されて、実寸通りではない。寸法と、対応する寸法とは、本発明を実施する上で、実際の縮尺通りではない。請求の範囲中の参照符号は、範囲を限定するように解釈すべきではない。異なる図面において、同一の参照符号は、同一または類似要素を示す。

## 【 0 0 2 8 】

更に、説明や請求の範囲中の、上、下、上に、下に等の用語は、記載目的のために使用され、相対的な位置を示すものではない。そのように使用される用語は、適当な状況下で入替え可能であり、ここに記載された発明は、ここに記載や図示されたものと異なる位置 50

でも操作できることを理解すべきである。

【 0 0 2 9 】

また、請求の範囲で使用される「含む (comprising)」の用語は、それ以降に並べられる要素に限定して解釈すべきではなく、他の要素や工程を排除しない。このように、言及された特徴、数字、工程、または成分は、その通りに解釈され、1またはそれ以上の他の特徴、数字、工程、または成分、またはこれらの組み合わせの存在または追加を排除してはならない。このように、「手段 A および B を含むデバイス」の表現の範囲は、構成要素 A と B のみを含むデバイスに限定されるべきではない。本発明では、単にデバイスに関連した構成要素が A と B であることを意味する。

【 0 0 3 0 】

この明細書を通じて参照される「一の具体例 (one embodiment)」または「具体例 (an embodiment)」は、この具体例に関して記載された特定の長所、構造、または特徴は、本発明の少なくとも 1 つの具体例に含まれることを意味する。このように、この明細書を通して多くの場所の「一の具体例 (one embodiment)」または「具体例 (an embodiment)」の語句の表現は、同じ具体例を表す必要はなく、表しても構わない。更に、特定の長所、構造、または特徴は、この記載から当業者に明らかなように、1またはそれ以上の具体例中で適当な方法で組み合わせることができる。

【 0 0 3 1 】

更に、ここで記載された幾つかの具体例は幾つかの特徴で、他の具体例に含まれる以外の特徴を含み、異なった具体例の長所の組み合わせは、本発明の範囲に入ることを意味し、当業者に理解されるように異なった具体例を形成する。

【 0 0 3 2 】

この記載は、マイクロマシンデバイスの製造方法に関し、特定の具体例に関してより詳しく説明されるが、本発明はこれに限定されるものではなく、請求の範囲によってのみ限定される。

【 0 0 3 3 】

本発明の具体例では、マイクロマシンデバイスの製造方法が記載され、この方法は、アモルファス半導体材料の構造層 1 0 1 を提供する工程と、構造層 1 0 1 中に、第 1 領域 1 1 1 と第 2 領域 1 1 2 を規定する工程と、第 1 領域 1 1 1 の上にシールド層 1 0 4 を形成し、これにより第 2 領域 1 1 2 を露出したままにする工程と、

その後、構造層 1 0 1 の第 2 領域 1 1 2 を、第 1 フルーエンスを用いてアニールする工程と、

その後、シールド層 1 0 4 を除去する工程と、

その後、構造層 1 0 1 の第 1 領域 1 1 1 および第 2 領域 1 1 2 を、第 1 フルーエンスより実質的に小さい第 2 フルーエンスを用いてアニールする工程と、を含む。

【 0 0 3 4 】

アモルファス半導体材料の構造層を提供する工程は、プラズマ強化化学気相堆積 (PECVD) プロセスの手段で行われても良い。

【 0 0 3 5 】

アモルファス半導体材料の構造層を提供する工程は、4 0 0 より低い温度で行われても良い。

【 0 0 3 6 】

構造層 1 0 1 中に、第 1 領域 1 1 1 と第 2 領域 1 1 2 を規定する工程は、コンタクト領域と吊り下げ領域 (suspended region) をそれぞれ規定する工程を含んでも良い。吊り下げ領域は、下層 1 0 3 とのコンタクトの無い領域を規定する。

【 0 0 3 7 】

コンタクト領域は、吊り下げ領域が、下層 1 0 3 に固定または接続された構造層 1 0 1 の領域を規定する。MEMS デバイスでは、弾力性のある梁が、構造層の一例である。MEMS 梁は、一般には、梁の自立部と梁の固定部とを含む構造層として形成され、弾力性

10

20

30

40

50

のある梁は、下層 1 0 3 に接続される。

【 0 0 3 8 】

M E M S デバイスの構造層は、一般には、少なくとも 1 つの吊り下げ部分を備える少なくとも 1 つの領域と、少なくとも 1 つのコンタクト領域とを含む。M E M S デバイスの構造層は、例えば、自立梁を含んでも良い。自立梁は、その固定部分で下層 1 0 3 に取り付けられる。構造層は、このように、吊り下げ部分（自立梁）を有する領域と、コンタクト領域（自立梁の固定点）とを含む。もし、吊り下げ部分を有する少なくとも 1 つの領域が低い歪勾配（歪勾配は、吊り下げ部分の上部と底部との間の歪の正の違いを、膜厚で割って規定される）、例えば  $6.8 \times 10^{-6} \mu\text{m}^{-1}$  のような歪勾配を有し、少なくとも 1 つのコンタクト領域が低い電気抵抗率、例えば  $3.4 \text{ m} \cdot \text{cm}$  より低い抵抗率を有する場合、有利である。

10

【 0 0 3 9 】

図 1 は、基板層 1 0 0、基板層 1 0 0 の上の下層 1 0 3、下層 1 0 3 の上の犠牲層 1 0 2、および犠牲層 1 0 2 の上の構造層 1 0 1 を含む層のスタックの模式図である。構造層 1 0 1 中に構造を形成した後、犠牲層 1 0 2 は一般に除去され、これにより構造層 1 0 1 の自立部分と、下層 1 0 3 との間に空洞を形成する。

【 0 0 4 0 】

歪勾配の計算は、構造の撓みと寸法を考慮して、式（ 1 ）で規定される。

【 0 0 4 1 】

$$(2 \times \text{撓み}) / (\text{長さ})^2 \quad (1)$$

20

【 0 0 4 2 】

ここで、撓みは、水平 0 と比較したカンチレバーの先端から撓みであり、長さは、カンチレバーの長さである。

【 0 0 4 3 】

図 6 は、M E M S デバイスの構造層の異なる部分を示す。基板層 6 0 1 は、構造材料と犠牲材料の交互の多層がその上に形成されてマイクロメカニカル構造を実現するためにパターンニングされる、サポート層として使用される。犠牲層 6 0 2 は、基板層 6 0 1 の上に形成される。犠牲層 6 0 2 はパターンニングされて下にある基板層 6 0 1 への開口部 6 0 6 を形成する。基板層 6 0 7 は、犠牲層 6 0 2 の上に堆積され、例えば自立梁のような所望の形状にパターンニングされる。犠牲材料 6 0 2 は、除去されて、構造層の 1 つの部分 6 0 5 が吊り下げられた領域において離され、一方、構造層の他に部分 6 0 4 は固定または接続領域において下の基板層 6 0 1 に接続されたままとなる。

30

【 0 0 4 4 】

図 1 に示された構造に戻ると、図 2 に示すように、シールド層 1 0 4 が第 1 領域 1 1 1 の上に形成される。シールド層 1 0 4 は第 2 領域 1 1 2 には存在しない。シールド層 1 0 4 が第 1 領域 1 1 1 の上に存在する限り、基板層 1 0 1 の上で行われる熱処理は、第 2 領域 1 1 2 のみに影響し、実質的に第 1 領域 1 1 1 には影響しない。第 1 領域 1 1 1 の上のシールド層 1 0 4 は、第 1 アニール工程中に第 1 領域 1 1 1 を被覆する。シールド層 1 0 4 が第 1 領域 1 1 1 の上に存在する場合、第 1 領域 1 1 1 は、実質的に第 1 アニール工程では影響されない。特に、第 1 領域 1 1 1 の電気的特性および / または機械的特性は、シールド層 1 0 4 が第 1 領域 1 1 1 の上に存在する限り、第 1 アニール工程によって実質的に影響されない。

40

【 0 0 4 5 】

本発明の具体例では、シールド層 1 0 4 は、 $600 \text{ mJ} / \text{cm}^2$  より高い、例えば  $960 \text{ mJ} / \text{cm}^2$  のレーザーフルーエンス  $6000$  パルスのような高温フルーエンスに、強烈な変化や劣化無しに耐えることができる材料を含んでも良い。

【 0 0 4 6 】

本発明の具体例では、シールド層 1 0 4 は、代わりにまたはその上に、例えばアルミニウムのような反射材料を含んでも良い。アルミニウムは、 $90\%$  の反射率を有する。

【 0 0 4 7 】

50



本発明の具体例の特徴は、第1アニール工程後に、シールド領域（第1領域111）で大きな変化が検出されないことである。

【0048】

シールド層104を形成した後、第1熱処理113が構造層101に行われる。第1領域111はシールド層104で保護されるため、第2領域112のみが第1熱処理113により影響される（図3）。

【0049】

本発明の具体例では、構造層101の第2領域112を、第1フルーエンスを用いてアニールする工程は、これにより第2領域112のアモルファス半導体材料の少なくとも一部を結晶材料に変える工程を含んでも良い。第2領域112中のアモルファス半導体材料は、部分的にまたは完全に換えられても良い。

10

【0050】

第1熱処理113は、第1アニール工程、特に第1レーザーアニール工程を含んでも良い。第1アニール工程のプロセスパラメータは、第1レーザーパルスフルーエンス、第1レーザーパルス数、および第1パルス繰り返し率を含んでも良い。第1アニール工程は、 $600\text{ mJ/cm}^2$ より高い第1フルーエンスにより特徴付けられる。第1フルーエンスは、 $600 \sim 1000\text{ mJ/cm}^2$ の間でも良い。第1のレーザーパルス数は、1と1000の間であり、例えば1と500の間である。レーザーパルスの数は、歪勾配を調整する結晶化深さを減らすように選択しても良い。第1パルス繰り返し率は、1Hzと50Hzの間である。パルス繰り返し率は、歪勾配を調整する結晶化深さを減らすように選択しても良い。有利には、第1アニール工程は、 $600 \sim 1000\text{ mJ/cm}^2$ の間のフルーエンスを用いた1つのパルス（パルス繰り返し率ではない）を含む。

20

【0051】

第1熱処理113の後、構造層101の第2領域112のアモルファス半導体材料が、部分的に、または完全に結晶半導体材料105に換えられても良い。例えば、a-SiGeは、第1アニール工程を行った後にpoly-SiGeに換えられても良い。第2領域112のアモルファス半導体材料は、有利には完全に結晶半導体材料に変換される。そのような第2領域112のアモルファス半導体材料の完全な変換は、より深い結晶化深さでも、電気抵抗率がより低くなるために有利である。

【0052】

30

第2領域112の結晶化深さは、構造より低い抵抗率となるために、層101の膜厚と同等またはより小さい。第2領域112の結晶化深さは、有利には、構造層101の膜厚と等しい。熱浸透深さは、有利には、第2領域112のアモルファス半導体層に限定される。

【0053】

第1フルーエンスを用いて第2領域112をアニールした後、第1領域111の初期抵抗率への実質的な影響無しに、第2領域の初期抵抗率が低減される。実質的とは、第1アニール工程の適用後（および第2アニール工程の適用前）の第1領域111の抵抗率が、第1領域111の初期抵抗率より、15パーセントより小さくはないことをいう。第1アニール工程後の第2領域112の抵抗率は、初期抵抗率より、少なくとも99%低くなっている。

40

【0054】

第1アニール工程後、シールド層104が除去される（図4）。シールド層104の除去は、例えば化学エッチング工程のような、好適な方法で行っても良い。

【0055】

シールド層104を除去した後に、第2熱処理114が構造層101に行われる（図4）。第2熱処理114は、第2アニール工程であり、特に、第2レーザーアニール工程である。第2アニール工程のプロセスパラメータは、第2レーザーパルスフルーエンス、第2レーザーパルス数、および第2パルス繰り返し率を含む。第2フルーエンスは、第1フルーエンスより小さい。第2フルーエンスは、有利には、第フルーエンスより、少なくとも

50

も 1.5 倍小さい、例えば少なくとも 2 倍小さく、例えば 2.4 倍小さい。パルス速度に依存して、即ち多重パルスが用いられた場合、第 2 フルーフーエンスは、第 1 フルーフーエンスの少なくとも 3 倍小さく、例えば少なくとも 4 倍小さく、例えば少なくとも 4.6 倍小さい。

【0056】

第 2 フルーフーエンスは、有利には、 $250 \text{ mJ} / \text{cm}^2$  より小さい。これが平坦なカンチレバーを形成するのに十分な、浅い結晶化深さを保証するからである。

【0057】

第 2 のレーザーパルス数は、1 と 1000 の間、または 1 と 500 の間である。第 2 パルス繰り返し率は 1 Hz と 50 Hz の間である。

10

【0058】

第 2 のレーザーパルスフルーフーエンスは、シングルパルスでは  $250 \text{ mJ} / \text{cm}^2$  より小さく、有利には多重パルスでは  $130 \text{ mJ} / \text{cm}^2$  より小さい。

【0059】

第 2 のレーザーパルスフルーフーエンスは、シングルパルスでは  $230 \sim 250 \text{ mJ} / \text{cm}^2$  の間であり、多重パルスでは  $80 \sim 130 \text{ mJ} / \text{cm}^2$  の間であり、例えば  $100 \sim 1000$  パルスの範囲のパルス数である。第 2 のレーザーパルス数は、1 と 1000 の間、または 1 と 500 の間である。もし、多重パルスが適用された場合、第 2 パルス繰り返し率は、1 Hz と 50 Hz の間でも良い。

20

【0060】

第 2 アニール工程は、第 1 領域 111 と第 2 領域 112 の双方に適用されても良い。第 2 フルーフーエンスは、第 1 フルーフーエンスより、例えば少なくとも 1.5 倍小さく、例えば少なくとも 2 倍小さく、例えば 2.4 倍小さいため、第 2 領域 112 は、実質的に第 2 フルーフーエンスによって影響されない。第 2 領域 112 の抵抗率は、第 2 熱処理工程 114 の後に、実質的に変化しない。

【0061】

第 2 フルーフーエンスを用いて、第 1 領域 111 および第 2 領域 112 をアニールした後、初期歪勾配は第 1 領域で減少する。それでも、第 2 アニール工程のより低いレーザーフルーフーエンスは、先に結晶化された領域 112 を変えないという事実にもかかわらず、第 2 アニール工程は第 1 領域 111 ののみ適用されても良い。これには、第 2 の被覆工程（図示せず）が必要となる。

30

【0062】

第 1 領域 111 の初期歪勾配は、このように所定の歪勾配まで低減しても良い。（パルスフルーフーエンス、パルス率、パルス数のような）第 2 アニール工程のパラメータは、第 2 アニール工程で、堆積されたアモルファス半導体層 101 からの圧縮応力が低減されるように選択されても良い。特に、初期歪、例えばアモルファス半導体層 101 の初期圧縮応力は、第 2 アニール工程により低い引っ張り応力に変わっても良い。

【0063】

第 1 熱処理 113 は、粗いレーザーアニール工程でも良く、一方、第 2 熱処理 114 は、緩やかなレーザーアニール工程である。電気的特性（低抵抗率）および機械的特性（低歪勾配）の双方が、マイクロマシン応用の構造層のために最適化されることが、本発明の具体例の優位点である。電気的特性（低抵抗率）または機械的特性（低歪勾配）が変わるか否かの事実は、フルーフーエンスのパラメータに依存する。レーザーアニールは、電気的特性と機械的特性に同時に影響する。本発明の具体例では、第 1 処理は、電気的特性を最適化するために調整されるが、もし機械的特性がチェックされた場合、過大の引っ張り応力と歪勾配が見出されるであろう。これは、例えばアルミニウムのシールド層のようなシールド層が、第 1 レーザーアニール処理中に、吊り下げ構造を保護するために使用される理由である。このように、第 1 レーザー処理は、良好な電気的特性が望まれる領域、例えば固定領域にのみ適用される。そのような位置は、吊り下げられないため、過大な歪に耐えることができる。

40

50

## 【 0 0 6 4 】

本発明の具体例では、第2処理が、機械的特性を最適化するために調整される。なぜなら、吊り下げられた構造ではそれが重要だからである。もし電気的特性がチェックされた場合、抵抗率は、例えば a - S i G e のようなアモルファス半導体材料よりは低い、第2領域 1 1 2 ほどには低くないことが見出される。レーザーフルーエンスは電気抵抗率に比例する。

## 【 0 0 6 5 】

本発明の具体例では、第2フルーエンスを用いた構造層 1 0 1 の第1領域 1 1 1 および第2領域 1 1 2 へのアニール工程は、アニールを行い、これにより第1領域 1 1 1 中のアモルファス半導体材料の少なくとも一部を変える工程を含む。第1領域 1 1 1 中のアモルファス半導体材料の少なくとも一部は、第1領域 1 1 1 中のアモルファス半導体材料の少なくとも上部を含んでも良い(図5)。

10

## 【 0 0 6 6 】

第2熱処理 1 1 4 中に、構造層 1 0 1 の第1領域 1 1 1 の上部が、結晶半導体材料 1 0 6 に変えられても良い。例えばアモルファス S i G e が構造層 1 0 1 のために使用された場合、第1熱処理中に第2領域 1 2 で a - S i G e は p o l y - S i G e に変えられても良く、第1領域 1 1 1 の上部の a - S i G e は、第1領域 1 1 1 中の p o l y - S i G e に変えられても良い。第1領域中の結晶化深さは、約 2 0 0 n m 以下である。

## 【 0 0 6 7 】

第1および第2のアニール工程は、パルス状エキシマレーザーを用いて行っても良い。

20

## 【 0 0 6 8 】

本発明の具体例にかかる異なる工程を行った後に、犠牲層 1 0 2 が除去されて、下層 1 0 3 と接続していない第1領域 1 1 1 を有する自立構造層と、構造層 1 0 1 の第2領域 1 1 2 を下層 1 0 3 に接続した固定点とを形成しても良い(図13)。

## 【 0 0 6 9 】

アモルファス半導体材料を変える工程は、アモルファス半導体材料を結晶半導体材料に変える工程を含んでも良い。アモルファス半導体材料は、例えばアモルファスシリコンゲルマニウムでも良い。例えばレーザーアニールで、アモルファスシリコンゲルマニウム ( a - S i G e ) をアニールすることにより、アモルファスシリコンゲルマニウムは結晶シリコンゲルマニウム ( p o l y - S i G e ) に変えられる。アモルファス半導体材料層 1 0 1 の膜厚に応じて、およびアニール工程の特性(即ち、例えばフルーエンス、パルスの数)に応じて、アモルファス半導体層の少なくとも一部またはアモルファス半導体層 1 0 1 の全体が、結晶半導体材料の変えても良い。

30

## 【 0 0 7 0 】

本発明の具体例の利点は、マイクロマシン応用のための構造層が、電気的特性および/または機械的特性、例えば抵抗率および/または歪勾配に関して最適化されるように形成されることである。

## 【 0 0 7 1 】

本発明の具体例では、マイクロマシンデバイスの製造方法が記載され、この方法は、アモルファス半導体材料からなり、初期歪勾配と初期抵抗率を有する構造層 1 0 1 を提供する工程と、

40

構造層 1 0 1 中に、第1領域 1 1 1 と第2領域 1 1 2 とを規定する工程と、

第1領域 1 1 1 の上にシールド層 1 0 4 を形成し、これにより第2領域を被覆しないで残す工程と、

この後に、第1フルーエンスを用いて構造層 1 0 1 の第2領域 1 1 2 をアニールし、これにより第2領域 1 1 2 中の初期抵抗率を所定の抵抗率に低減する工程と、

この後に、シールド層 1 0 4 を除去する工程と、

この後に、第2フルーエンスを用いて構造層 1 0 1 の第1領域 1 1 1 および第2領域 1 1 2 をアニールする工程であって、第2フルーエンスは第1フルーエンスより小さく、これにより第1領域 1 1 1 中の初期歪勾配を所定の歪勾配に低減する工程と、を含む。

50

## 【0072】

本発明の具体例にかかる異なる処理工程を適用した後、特に、第1および第2のアニール工程を適用した後、構造層101は所定の歪勾配を有する1つの部分105と、所定の抵抗率を有する他の部分106を含んでも良い。所定の歪勾配は、初期歪勾配より小さい。

## 【0073】

最適化された構造層を形成するために、即ち、最適化された電気的特性と最適化された機械的特性を有するように、第1および第2のアニール工程は、第2（コンタクト）領域に適用され、第2アニール工程は、構造層101の第1（吊り下げ）領域に適用されても良い。第1アニール工程を適用した後、第2領域112の電気的特性が最適化され、一方、第2アニール工程を適用した後、第1領域111の機械的特性が最適化される。

10

## 【0074】

第1アニール工程を適用した後、第2領域112は、初期抵抗率とは異なる所定の抵抗率により特徴付けられる。所定の抵抗率は、初期抵抗率より小さくても良い。第2アニール工程を適用した後、第1領域111は、初期歪勾配とは異なる所定の歪勾配により特徴付けられる。所定の歪勾配は、初期歪勾配より小さくても良い。

## 【0075】

図9は、 $2\mu\text{m SiO}_2$  903で覆われたSiウエハ905の上に210で準備されたPECVD SiGe層についての実験結果を示す。200nmのa-Si層904が、接着を改良するために、Bドーピング $\text{Si}_{72}\text{Ge}_{28}$ と2μm膜厚の犠牲酸化物903との間に使用された。異なる実験では、SiGe層が1.0μm、1.6μm、1.8μmの膜厚であった。成長したままのアモルファスとレーザーアニール層の電気的特性および機械的特性が、以下のように決定された。シート抵抗および表面粗さは、4点プローブとDekTak表面プロファイラとをそれぞれ用いて、ブランケット（blanket）の試料で測定された。歪勾配は、カンチレバーの面外偏差（out of plane deflection）から決定された。

20

## 【0076】

ブランケットとパターンされた試料上でのレーザー結晶化が、スポットサイズが $23\text{mm}^2$ でパルス持続期間が24nsのKrFエキシマレーザー（248nm）を用いて行われた。ブランケット試料は、結晶化深さを増加させ、層の抵抗率を低減するために、粗いレーザー処理が行われ、一方、レーザーフルエンスは、パターンニングされた試料の歪勾配の最適化のために、最大で $120\text{mJ}/\text{cm}^2$ に制限された。粗いレーザー処理とは、 $600\text{mJ}/\text{cm}^2$ より大きく $1000\text{mJ}/\text{cm}^2$ までのフルエンスを用いたレーザー処理を意味する。

30

## 【0077】

加えて、パターンニングされたおよびブランケットの1μmアルミニウム層が、粗いレーザーアニール（LA）条件下でのAlのシールド特性を調査するために使用された。Al層が、室温のスパッターで、a-SiGe上に直接堆積された。それらはパターンニングされ、またはブランケットのまま残され、レーザービームに露出された。処理の後、表面粗さの変化がブランケットのAl層上で測定され、粗いレーザーアニール条件に対する層の耐久性が試験された。パターンニングされたAl試料では、レーザー処理後に、希釈されたHF中でのウエットエッチングで、Alが除去された。

40

## 【0078】

下部のSiGe層は、続いてSEMで試験され、露出したSiGeと露出していないSiGeとの間の視覚的な変化が検出された。加えて、シート抵抗と表面粗さが、処理された位置と未処理の位置で測定され、成長したままのa-SiGe試料および先にレーザーアニールされたpoly-SiGe試料と比較された。

## 【0079】

成長させたままの堆積層は、高い圧縮になるように調整された。レーザーパルスは、応力をより引っ張りの値にシフトさせ、初期の高圧縮応力を有する層は、最大レーザーフル

50

ーエンスに対してより高い限界を有した。28%の低Ge濃度は、耐える粗いレーザーアニール条件で、より効果的になることが判明した。より高いGe濃度は、材料の融点を低下させ、それゆえにレーザーパルスのわずかなばらつきに、より敏感になった。

#### 【0080】

膜は、初期は $4.02 \times 10^{-3} \text{ cm}$ の最小抵抗率を有するアモルファスであった。成長したままの層の測定された表面粗さは、 $35.7 \text{ nm}$ から $69.3 \text{ nm}$ の範囲であった。成長させたままの層は、 $0.65 \text{ nm}$ 長さの梁が、基板に触れる先端を有し、 $8.9 \mu\text{m}$ と $18.9 \mu\text{m}$ の間の面外偏差を有するような初期歪勾配を有した。図7は、レーザーアニール処理前の、解放された(released)カンチレバー701の2次電子顕微鏡(SEM)像を示す。図8は、 $10 \text{ Hz}$ 、 $120 \text{ mJ/cm}^2$ で500パルスのレーザーアニール処理後の、放されたカンチレバー701の2次電子顕微鏡(SEM)像を示し、歪勾配が低減されている。

#### 【0081】

シングルまたは多重パルス技術のいずれかは、歪勾配を最小にするために使用される210で堆積された $1.8 \mu\text{m}$ 膜厚の $\text{Si}_{72}\text{Ge}_{28}$ 膜については、 $10 \text{ Hz}$ 、 $120 \text{ mJ/cm}^2$ で500パルスは、 $-1.6 \times 10^{-7} \mu\text{m}^{-1}$ まで歪勾配を低減するのに十分である。しかしながら、このレーザーフルーエンスでの処理は、並の抵抗値である $35.8 \text{ m} \cdot \text{cm}$ となる。低減された歪勾配値を確実にするための制限は、シングルパルス処理に対する全供給エネルギーを $240 \text{ mJ/cm}^2$ より低く維持することである。透過電子顕微鏡(TEM)分析は、最大結晶化深さ $0.2 \mu\text{m}$ のみが、 $10 \text{ Hz}$ 、 $120 \text{ mJ/cm}^2$ で500パルスを用いてアニールされた $1.8 \mu\text{m}$   $\text{SiGe}$ 膜について達成されることを示す。図9は、 $1.8 \mu\text{m}$ 膜厚の $\text{Si}_{72}\text{Ge}_{28}$ 層901に適用された、 $10 \text{ Hz}$ 、 $120 \text{ mJ/cm}^2$ で500パルスの多重パルス処理に対するTEM像を示す。アニール処理後、 $\text{Si}_{72}\text{Ge}_{28}$ 層901の上部のみが多結晶 $\text{SiGe}$ (poly-SiGe)902に変えられる。単に $0.2 \mu\text{m}$ の結晶化深さが達成されている。

#### 【0082】

レーザーフルーエンスの増加は、結晶化深さを増加させ、抵抗率を低下させる。図10は、 $\text{Si}_{72}\text{Ge}_{28}$ 試料の抵抗率に対するシングルパルスフルーエンスの影響の概略である。抵抗率は、シングルパルスフルーエンスの関数としてプロットされている。レーザーに供給されたエネルギーが増加すると、構造変化がより深く、より効果的になり、抵抗率が低下する。 $680 \text{ mJ/cm}^2$ のレーザーフルーエンスは、表面粗さが $125.5 \text{ nm}$ で、抵抗率が $2.83 \text{ m} \cdot \text{cm}$ の低い値まで低減するのに十分である。そのような熱処理で形成された結晶化深さは、図11に示されるように $1 \mu\text{m}$ である。図11は、 $680 \text{ mJ/cm}^2$ のシングルレーザーフルーエンスを用いて、 $1.6 \mu\text{m}$ 膜厚の $\text{Si}_{72}\text{Ge}_{28}$ 層のレーザー処理後のpoly-SiGe層1102のTEM像を示す。約 $0.6 \mu\text{m}$ から $1 \mu\text{m}$ の結晶化深さが達成される。層の深さ方向の結晶粒のサイズのばらつきは、レーザーアニール工程中の温度勾配による。約 $0.57 \mu\text{m}$ の深さのより大きな結晶粒の層1102が、約 $0.25 \mu\text{m}$ の深さのより微細な結晶粒の層1101と同様に測定される。poly-SiGe層が $200 \text{ nm}$ のa-Si層上に形成される(図11では明確には見えないが、図9では層904として見える)。a-Si層は、 $2 \mu\text{m}$   $\text{SiO}_2$  1100の上に形成される。しかしながら、吊り下げ構造への、そのような粗いレーザー処理は、過剰な歪勾配となり、材料の機械的特性を劣化させる。図11は、更にCVD酸化層1103を示し、この層は、試料の準備中に試料を保護するために、TEM分析中に追加されたものである。

#### 【0083】

良好な、(例えばコンタクト領域に対する)電気的特性(低抵抗率)と、(例えば吊り下げられた領域に対する)機械的特性(低歪勾配)の双方を有する最適化された構造層に対して、コンタクト上で結晶化深さを増加させるために、より高いレーザーフルーエンスが使用されなければならない。これは、吊り下げられた構造を高いフルーエンスレーザ

10

20

30

40

50

ービームから保護するシールド材料 104 (図3)の使用により達成できる。

【0084】

そのような保護層 104 の部分は、挑戦的である。なぜなら、この層は、大きな変化無しに高いレーザーフルエンスに耐えなければならないからである。適当なシールド材料を選択するために多くの試みが行われ ( $\text{Si}_3\text{N}_4$ 、厚いフォトレジスト、 $\text{SiO}_2$ 、および Al)、Al が、その高い反射率により最良の結果を示した。アルミニウムは、248 nm において、90% やそれ以上の反射率を提供できる。

【0085】

初期抵抗率が  $4.0 \pm 0.9 \times 10^3 \cdot \text{cm}$  で、表面粗さが 69.3 nm の、アモルファスの  $1.6 \mu\text{m SiGe}$  層が、パターンニングされた  $1 \mu\text{m}$  の Al 層を用いて保護された。試料は、 $680 \text{ mJ} / \text{cm}^2$  のレーザー処理に晒された。Al シールドは、希釈された HF 中のウエットエッチにより除去され、試料が試験された。レーザービームに晒された被覆されていない部分で、層の抵抗率は  $3.47 \text{ m} \cdot \text{cm}$  に低下し、一方、被覆された部分では  $3.4 \times 10^3 \cdot \text{cm}$  の高い値のままであった。図 12 は、高いレーザーフルエンスに、一部が被覆され一部が露出した、a-SiGe 層の SEM 像を示す。露出した部分 1202 と露出しない部分 1201 の間の SiGe 表面粗さの明らかな変化が、明確に見られる。露出した poly-SiGe 領域 1202 の表面粗さは 174 nm まで増加し、同じフルエンスを用いて処理した  $1.8 \mu\text{m}$  膜厚の試料で先に得られた値と類似する。

【0086】

更に、Al 層 104 へのテスト自身が、表面粗さが殆ど変わらないことを示す。ブランケットの  $1 \mu\text{m}$  の Al 層は、 $960 \text{ mJ} / \text{cm}^2$  の粗いレーザーフルエンスに晒され、より高いレーザーアニール条件についての層の耐久性が試験された。層の表面粗さは、30 nm の前処理の値から開始して、後処理で単に 31 nm まで増加した。実際、表面粗さを 72 nm まで増加させるためには、同じレーザーフルエンスで 2400 パルスが適用されなければならない。粗さが 221 nm まで増加するのは、6000 パルス後であった。

【0087】

図 14 は、本発明の具体例で製造された一連のカンチレバーの 2 次電子顕微鏡 (SEM) 像を示す。一連のカンチレバーのコンタクト領域 1400 に第 1 アニールを適用する場合に、吊り下げられた領域 1401 は、Al 層で被覆された。100 mJ のレーザーエネルギーが適用され、放されたカンチレバーが歪により影響されることがわかる (曲がったカンチレバー)。

【0088】

図 15 は、本発明の具体例で製造された一連のカンチレバーの 2 次電子顕微鏡 (SEM) 像を示す。一連のカンチレバーのコンタクト領域 1500 に第 1 アニールを適用する場合に、吊り下げられた領域 1501 は、Al 層で被覆された。100 mJ のレーザーエネルギーが適用された。その後、アルミニウム層が除去され、第 2 レーザーアニールは、一連のカンチレバーのコンタクト領域 1500 と吊り下げられた領域 1501 の双方に適用された。第 1 アニールは 100 mJ のシングルパルスアニールであり、一方、第 2 アニールは 20 mJ で 20 Hz、1000 パルスのパルスアニールであった。解放されたカンチレバーは、歪により影響されず、曲がることなく良好に解放された。

【0089】

本発明の具体例は、1 つの工程がパターンニングされたシールド層、例えば Al シールド層を用いる、2 工程のレーザーアニールプロセスを用いて、コンタクト領域で ( $3.47 \text{ m} \cdot \text{cm}$  まで下げた) 低抵抗率と、自由構造で  $-1.6 \times 10^{-7} \mu\text{m}^{-1}$  の低歪勾配を有する、210 で堆積させた、半導体膜、特に SiGe 膜を実現する可能性について示す。Al シールド層は、UV 照射を高度に反射し、レーザーアニール後に大きな変化がシールド中で検出されない。

【0090】

材料とともに、好適な具体例、特定の構造および形態について、本発明のデバイスのためにここで検討したが、形態や細部における様々な変化や変形が、本発明の範囲や精神から離れることなく行えることは、理解すべきである。機能が、ブロックダイアグラムに追加されまたは削除されても良く、操作は機能ブロック間で入れ替えても良い。工程が、本発明の範囲内で、記載された方法に追加または削除されても良い。

【図 1】

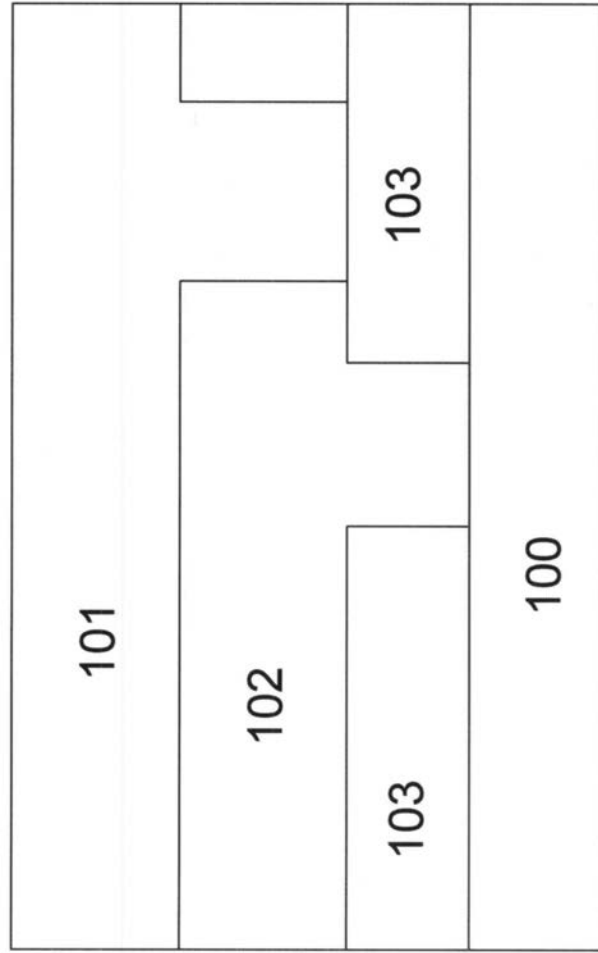
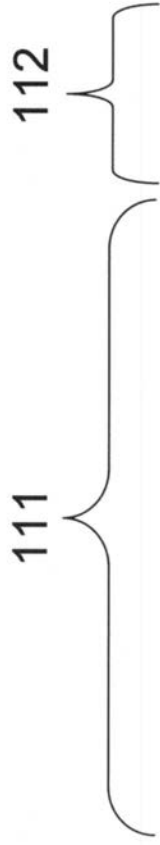


FIG. 1



【図 2】

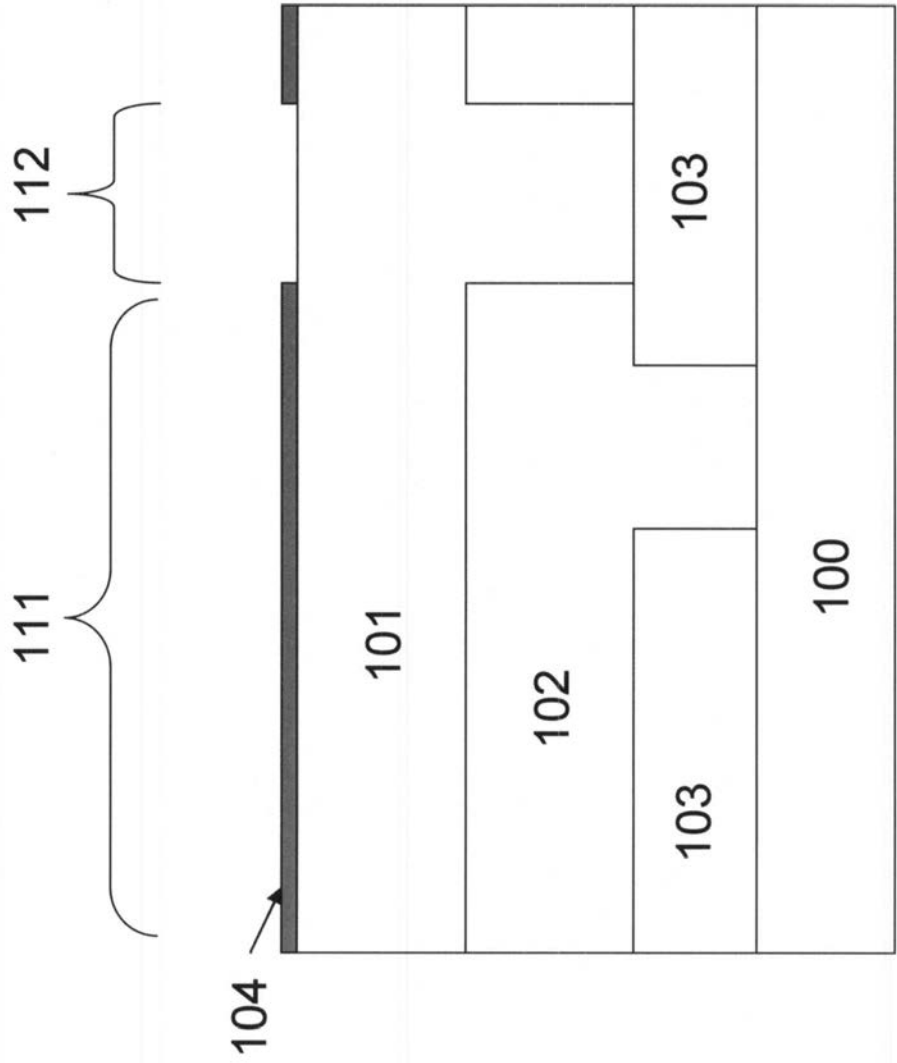


FIG. 2

【図 3】

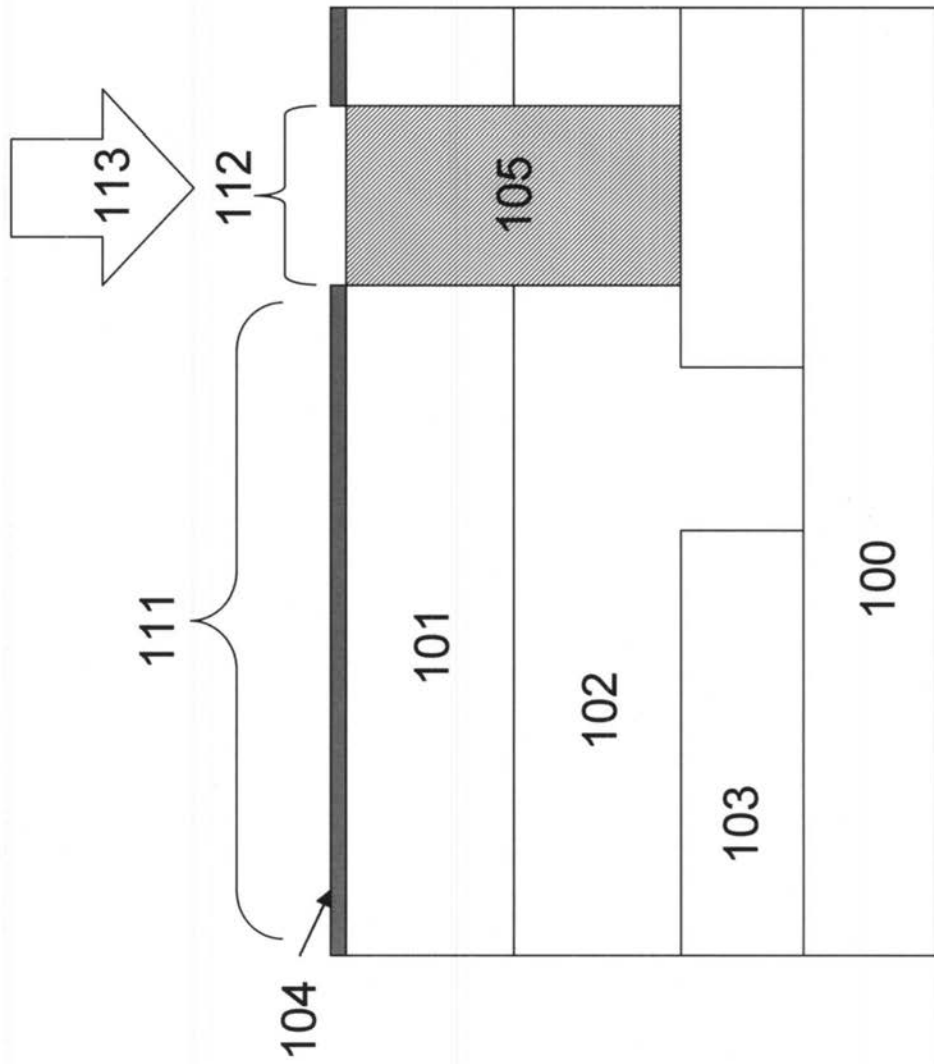


FIG. 3

【図 4】

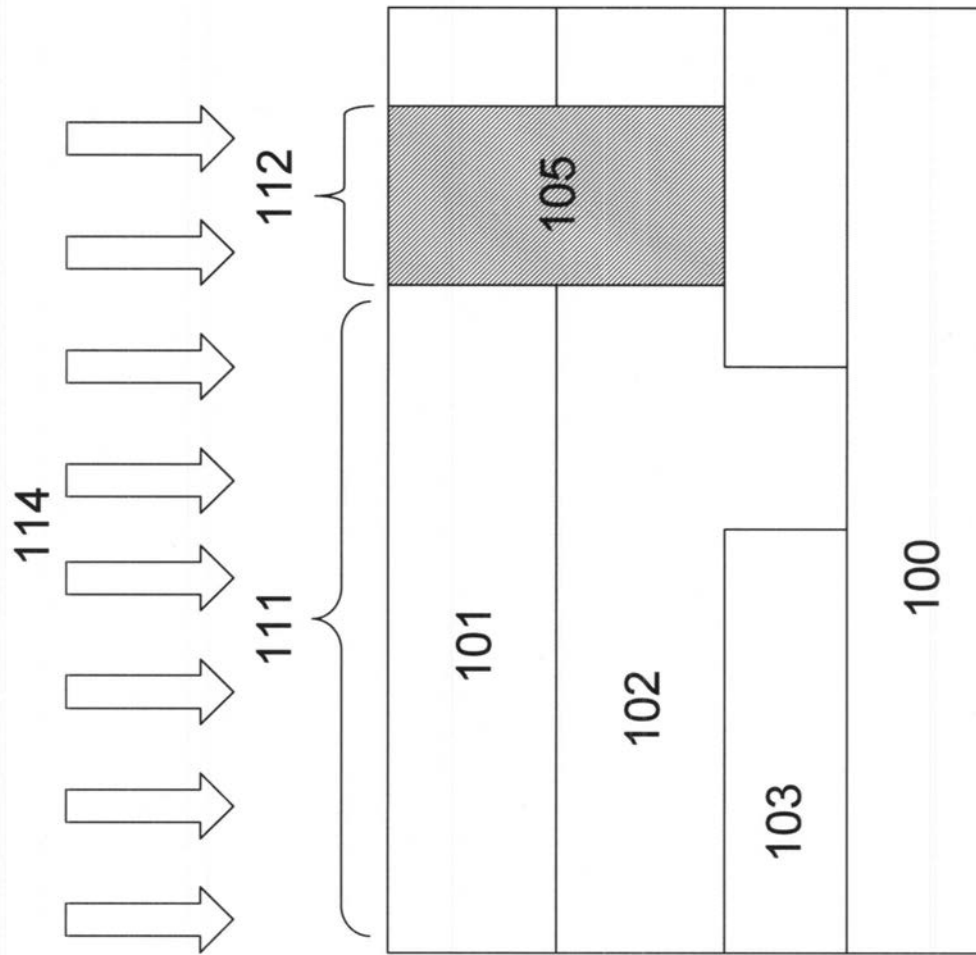


FIG. 4

【図 5】

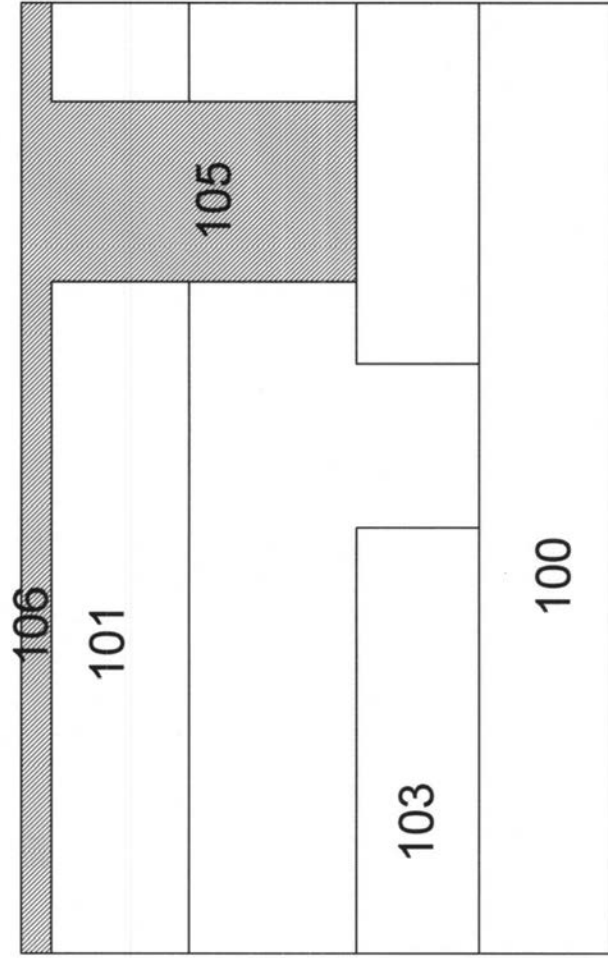


FIG. 5

【図 6】

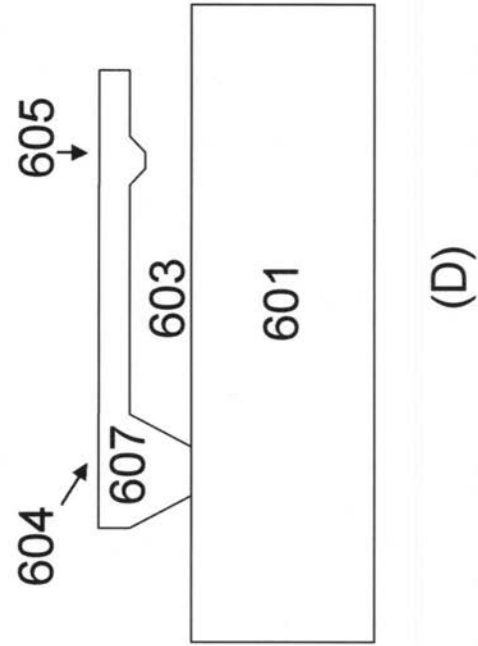
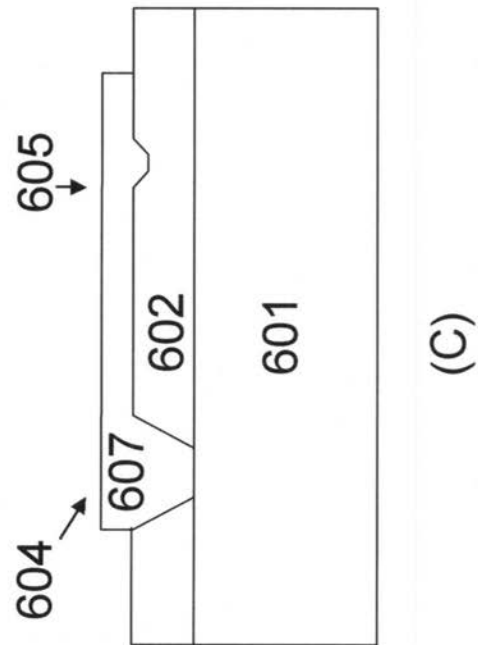
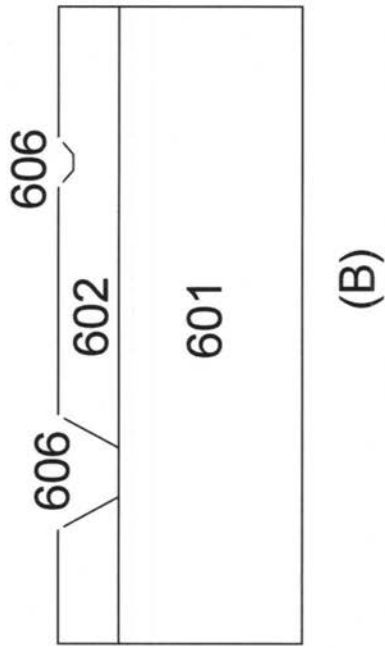
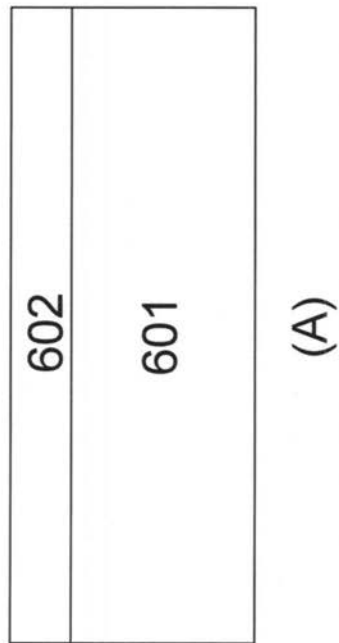


FIG. 6

【 図 7 】

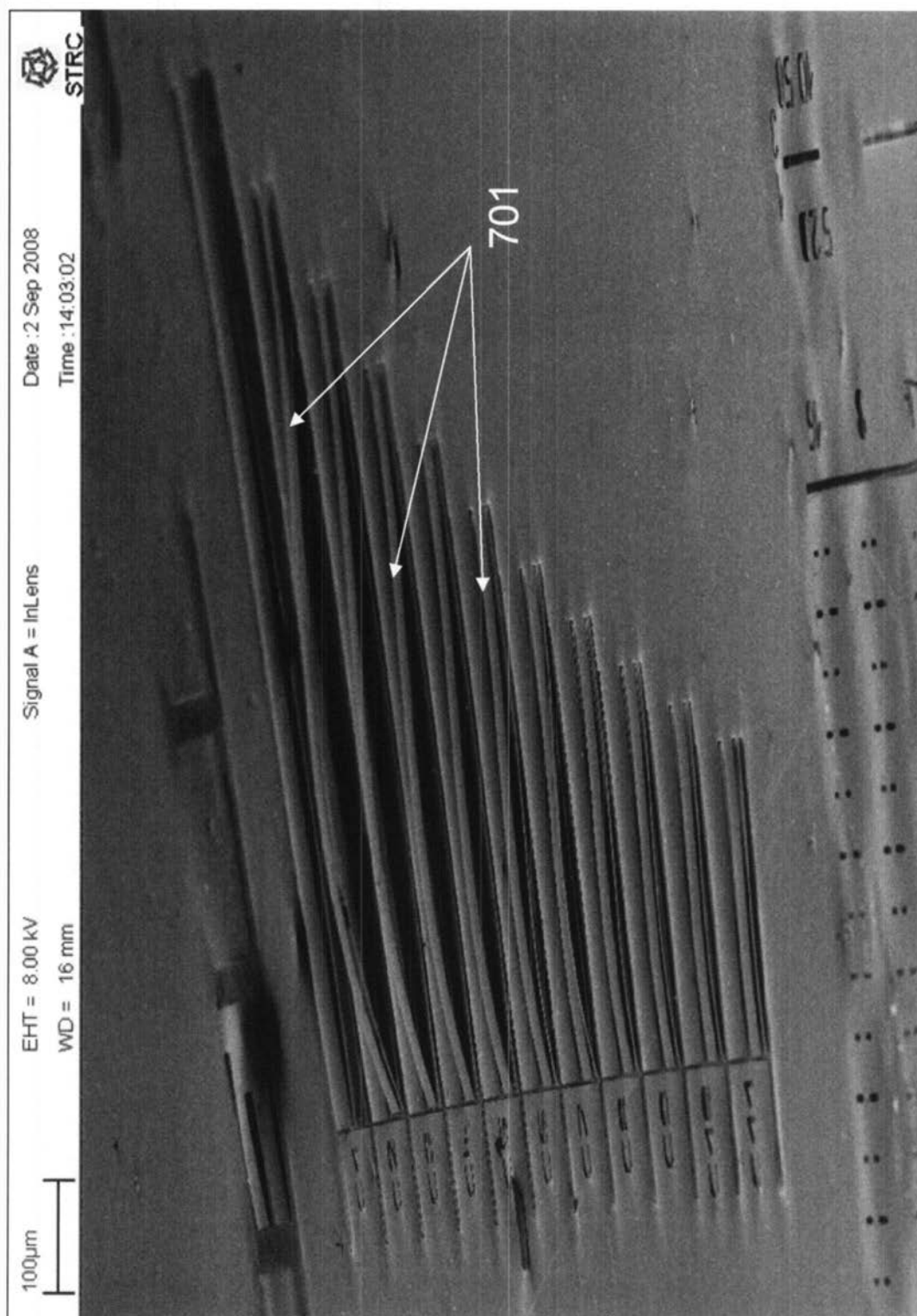


FIG. 7

【図 8】

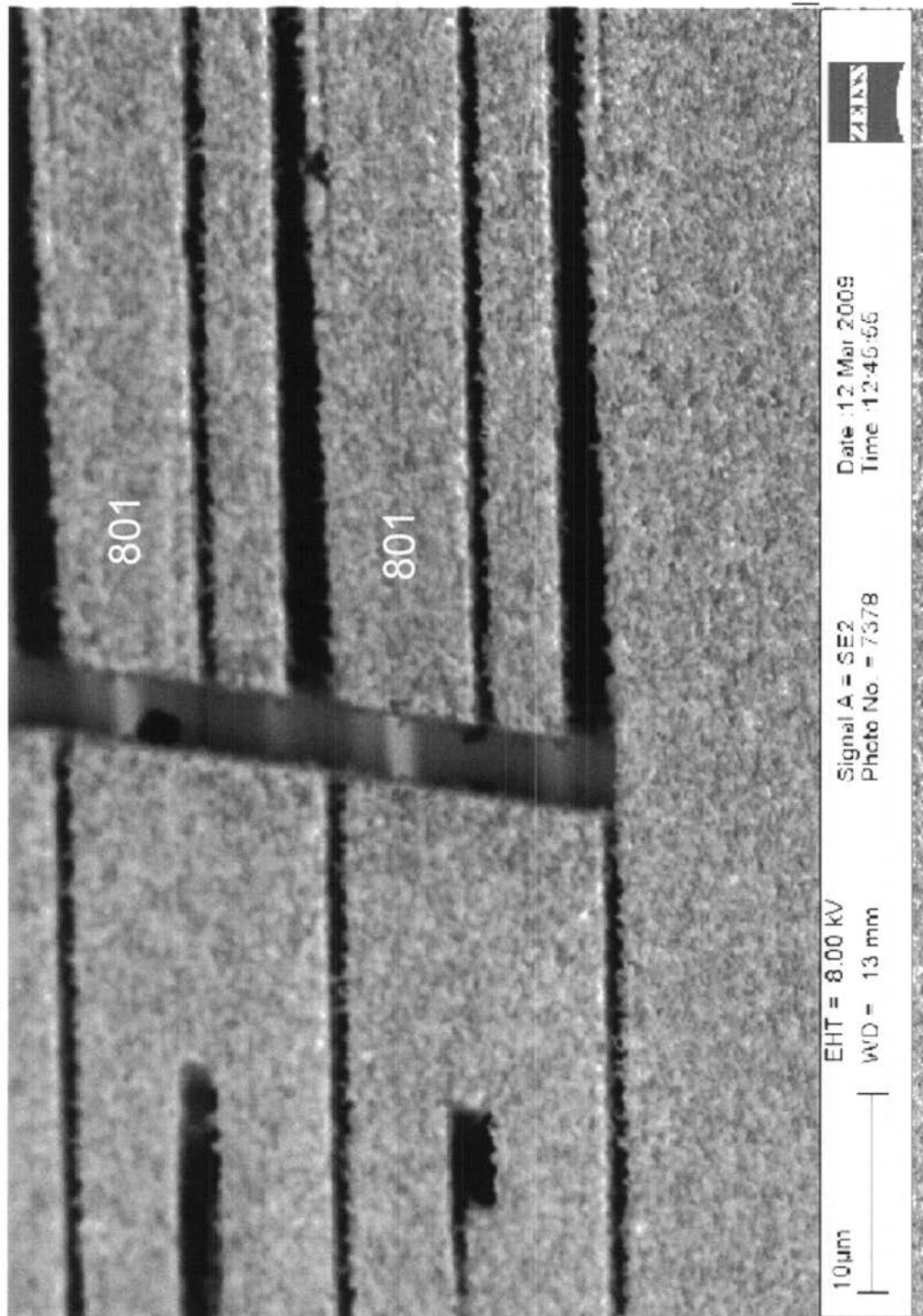


FIG. 8

【図 9】

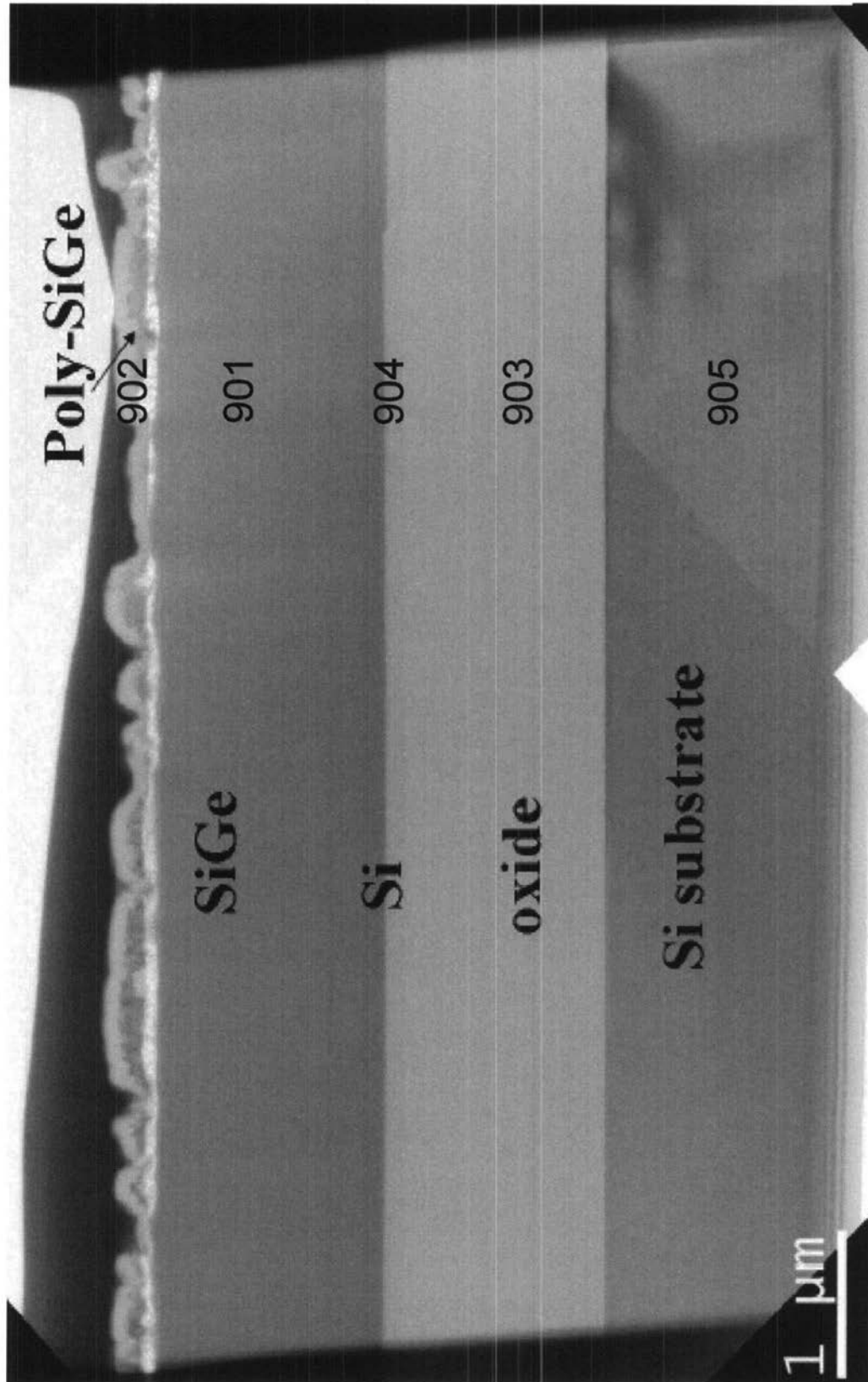


FIG. 9



【図 10】

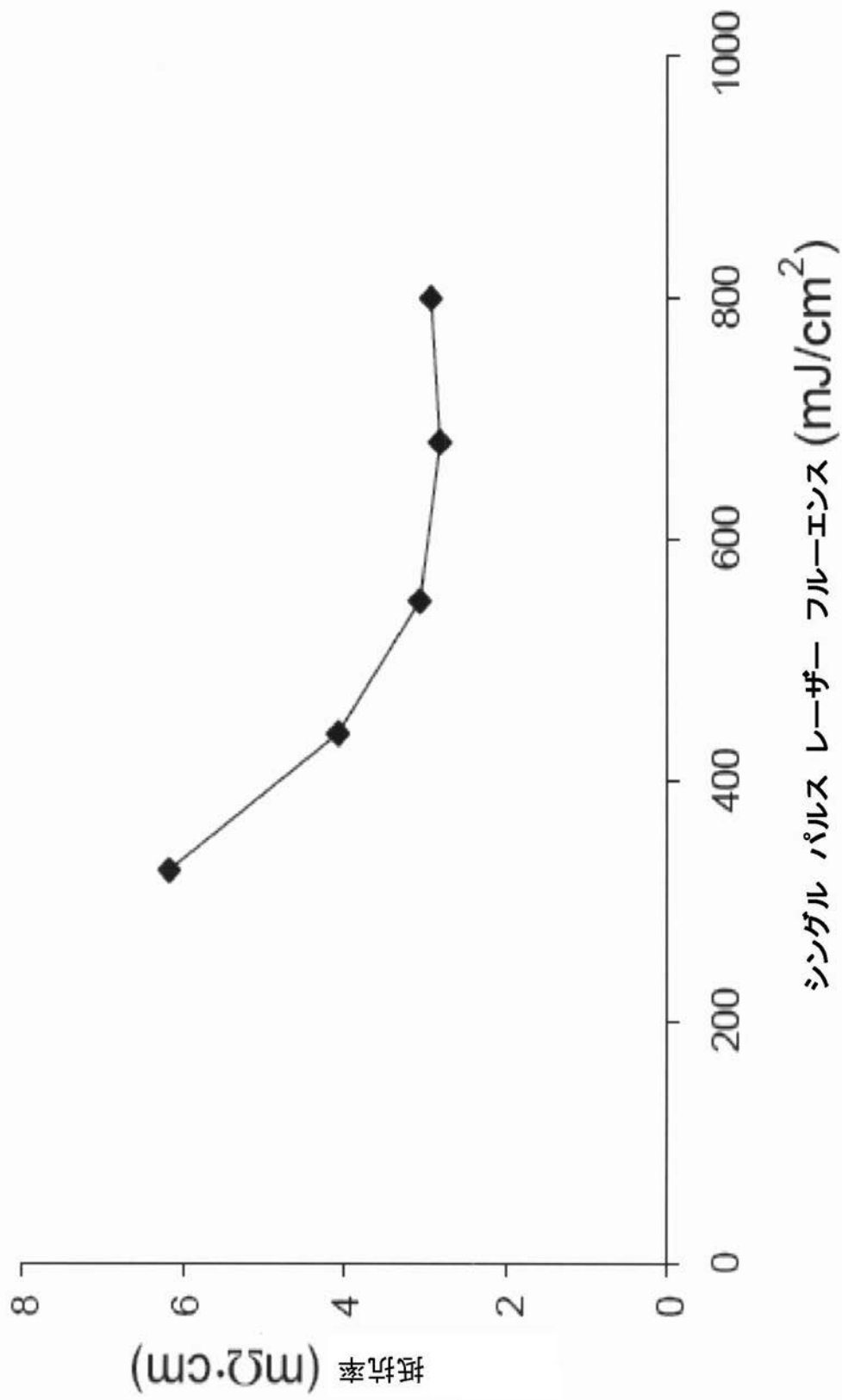


FIG. 10

【図 11】

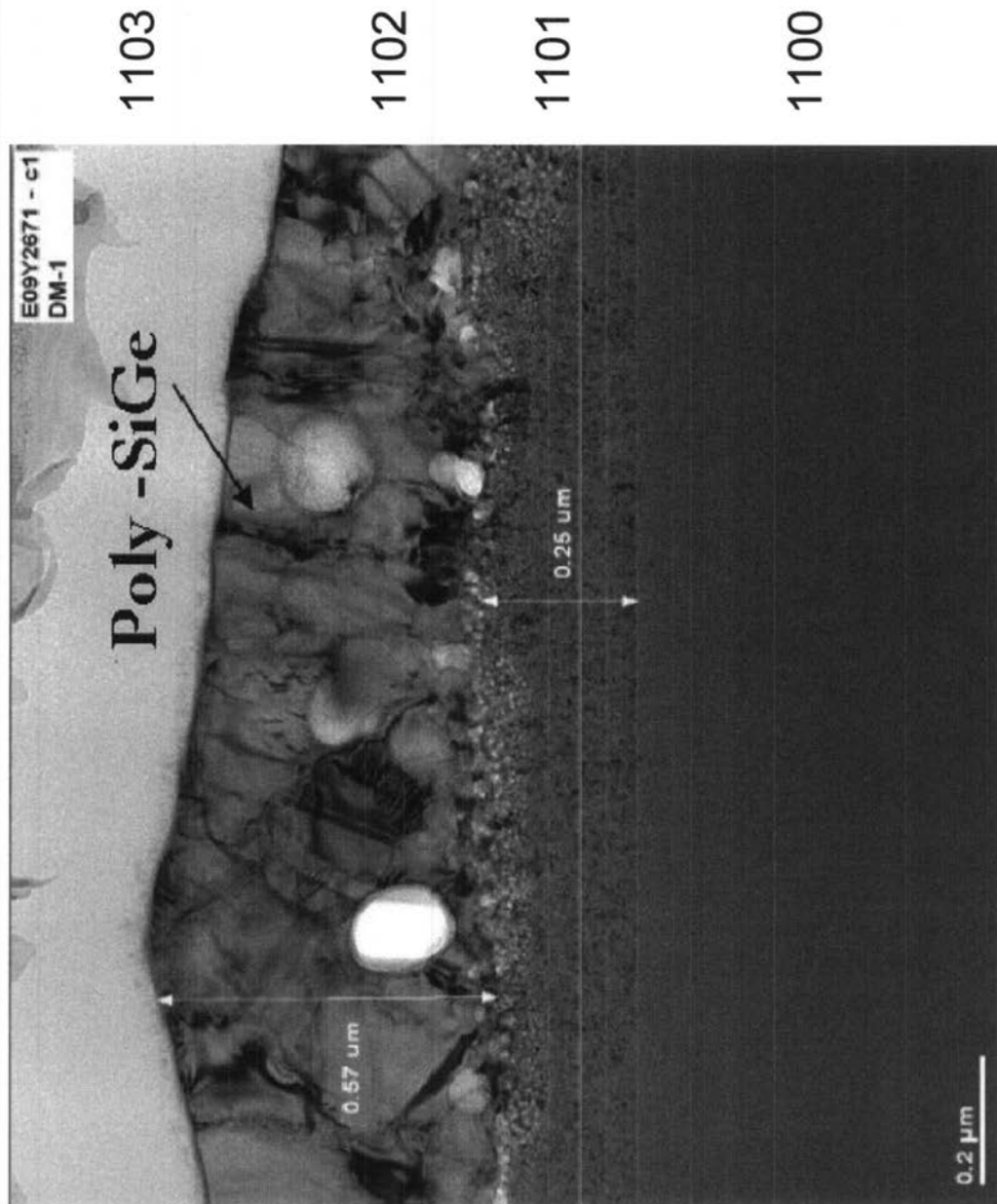


FIG. 11

【 図 1 2 】

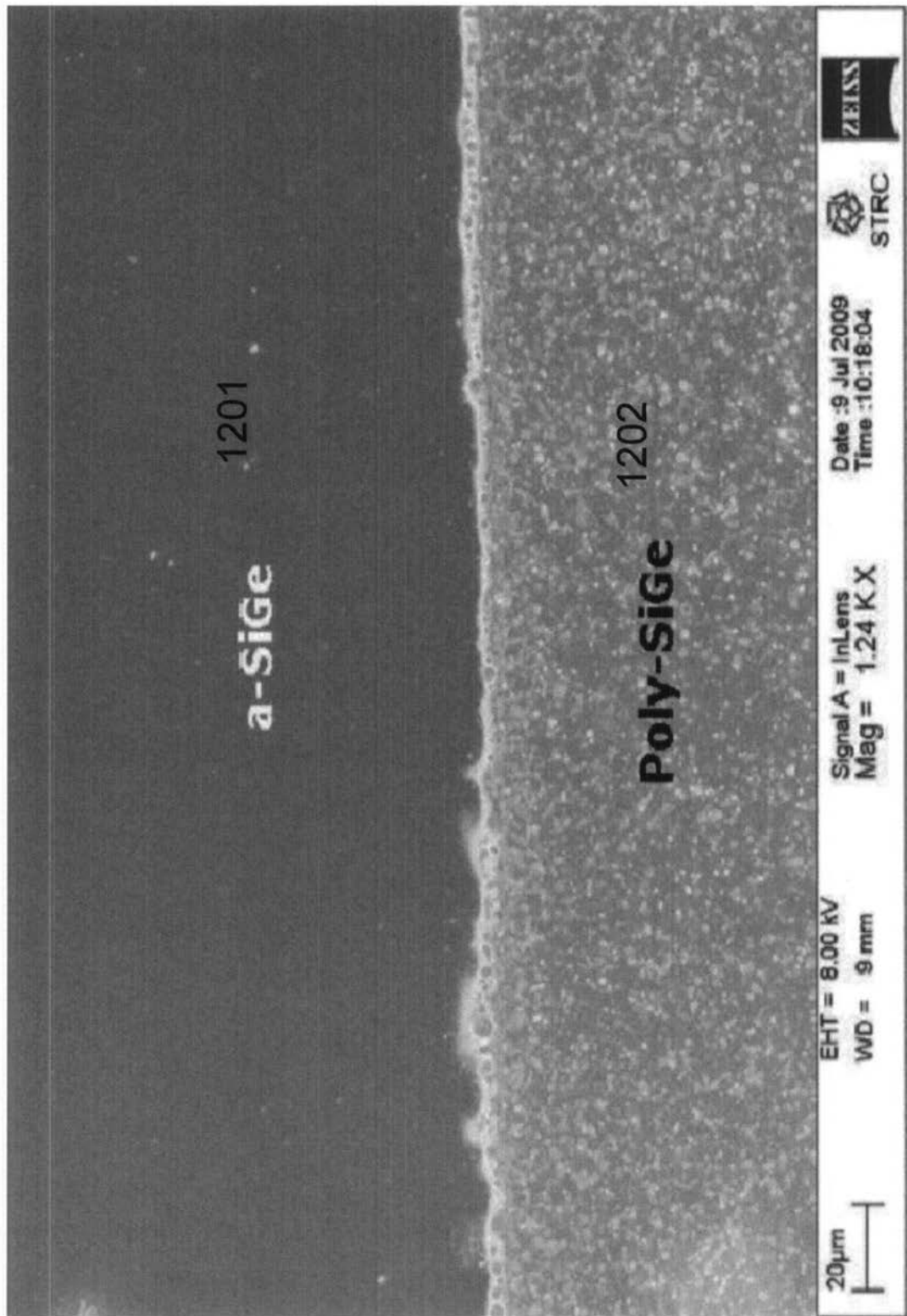


FIG. 12

【図 13】

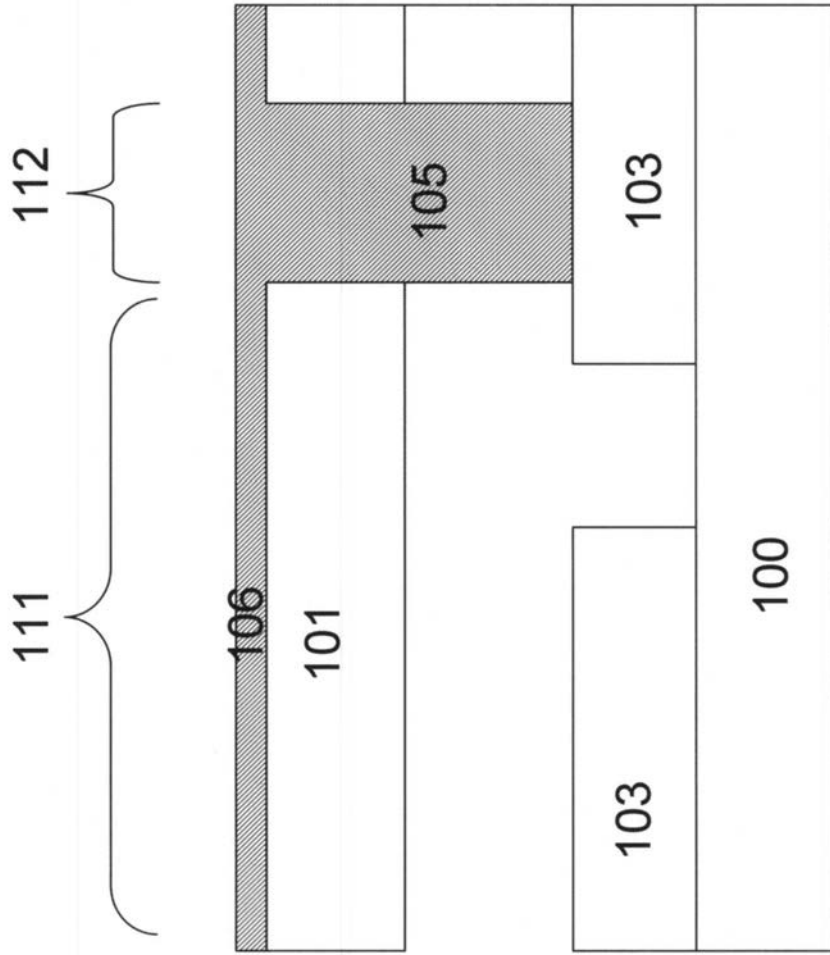


FIG. 13

【 図 1 4 】

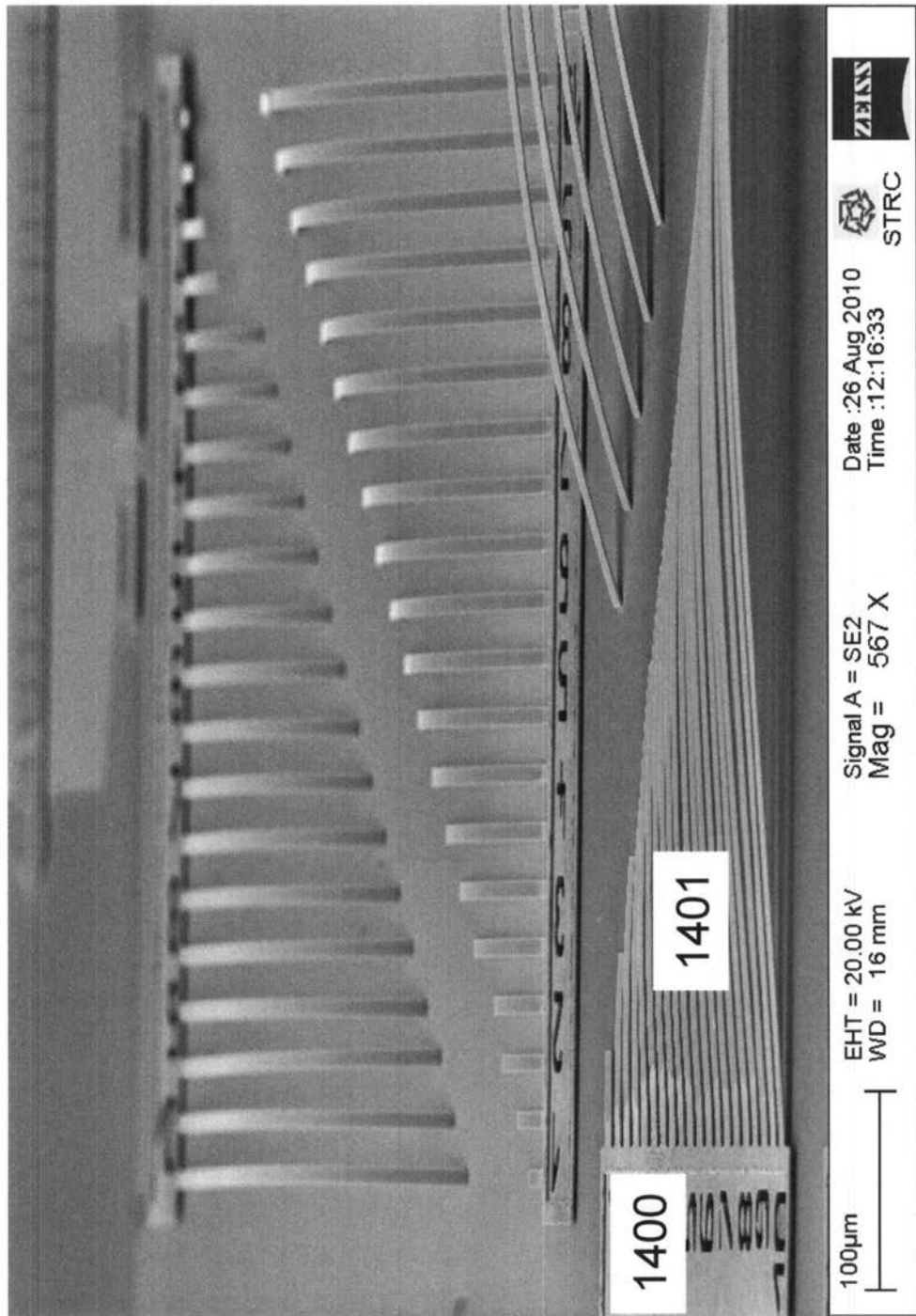


FIG. 14

【図 15】

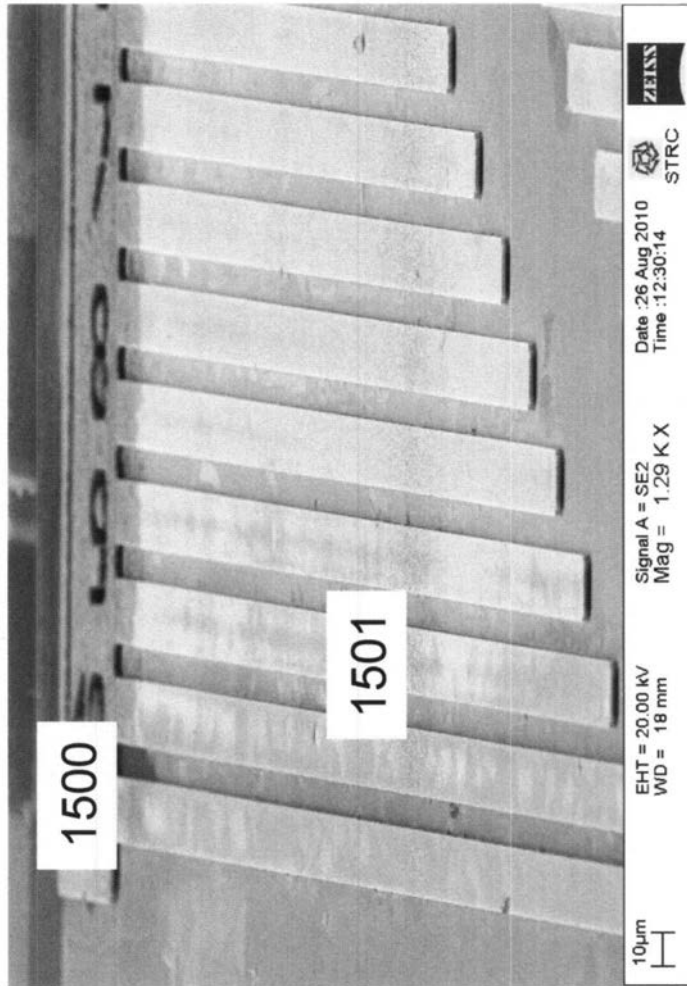


FIG. 15

## フロントページの続き

(73)特許権者 599098493

カトリック・ユニフェルシテイト・ルーヴァン

Katholieke Universiteit Leuven

ベルギー、ペー - 3000ルーヴァン、ワイストラート6番、ボックス5105、カーユー・ルーヴァン・アール・アンド・ディ

(74)代理人 100101454

弁理士 山田 卓二

(74)代理人 100081422

弁理士 田中 光雄

(74)代理人 100100479

弁理士 竹内 三喜夫

(74)代理人 100112911

弁理士 中野 晴夫

(72)発明者 ジョウマナ・エル・リファイ

エジプト11511カイロ、ナスル・シティ、アッバス・エル・アッカド・ストリート9番

(72)発明者 アン・ウィットフラウ

ベルギー3020ヘレント、フルールストラート48番

(72)発明者 アフメド・カマル・サイド・アブデル・アジズ

エジプト11571カイロ、アル・モカッタム、トゥエンティサード・アル・アフラム・ストリート

(72)発明者 シェリフ・セドキー

エジプト、シェイク・ザイド・シティ、グリーン・コンパウンド・ナンバー1080エイ

審査官 馬場 進吾

(56)参考文献 特開平9 - 63984 (JP, A)

特開平10 - 150202 (JP, A)

特開2002 - 158172 (JP, A)

特開2003 - 158271 (JP, A)

特開2002 - 76004 (JP, A)

(58)調査した分野(Int.Cl., DB名)

B81C 1/00