



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVEDČENIU

223 122

(11)

(B1)

(61)

(23) Výstavná priorita

(22) Prihlásené 13 10 81

(21) PV 7472-81

(51) Int. Cl.³ H 04 B 3/00

(40) Zverejnené 28 05 82

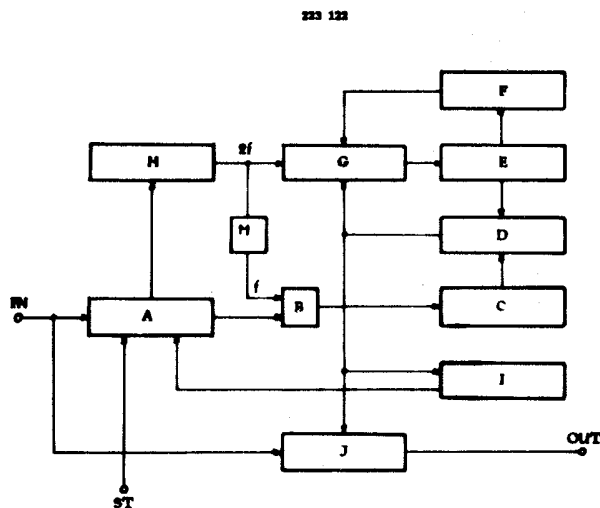
(45) Vydané 01 04 84

(75)

Autor vynálezu TOMEK STANISLAV ing., STUPAVA

(54) Zapojenie asynchrónneho prijímača, vysielача v sériovom prenose údajov

Vynález patrí do odboru elektroniky a rieši zapojenie asynchrónneho prijímača, vysielача v sériovom prenose údajov, ktorého podstata je, že pozostáva z kalibračného obvodu, hradla, registra referenčnej hodnoty, dvoch komparátorov, čítača, demultiplexera, oscilátora, programátora, posuvného registra a frekvenčného deliča. Je určený na príjem údajov sériového formátu a ich premenu na paralelný formát a jednak pre premenu údajov z paralelného formátu na údaje sériového formátu, ktorá sa vykonáva v posuvnom registri príslušnými strebovacími impulzmi a aj na ich vysielanie.



Obr. 1

Vynález sa týka zapojenia asynchrónneho prijímača, vysielača v sériovom prenose údajov, ktoré je určené jednak pre príjem údajov sériového formátu a ich premenu na paralelný formát a jednak pre premenu údajov z paralelného formátu na údaje sériového formátu a ich vysielenie.

Pri sériovom prenose údajov sa používajú elektronické zapojenia, v ktorých sa rôznym spôsobom získavajú taktovacie impulzy pre vzorkovanie bitov sériového toku údajov. Napríklad v literatúre A. Osborne: Introduction to Microcomputers nábežnou hranou impulzu START, ktorý sa vysiela vždy na začiatku údajového slova, sa synchronizuje vysoko stabilný oscilátor, ktorého frekvencia je násobkom frekvencie taktovacích impulzov. Vhodným delením frekvencie oscilátora sa dosiahne taký fázový posun taktovacích impulzov, aby vzorkovanie bitov nestálo približne v strede šírky impulzov údajového bitu. V literatúre J. Shyder: Digital phase-locked loop finds clock signal in bit stream, Electronics, 1979, No. 16 sa popisuje integrovaný obvod pre príjem sériového toku údajov, v ktorom sa korekcia na frekvenciu taktovacích impulzov odvodzuje z fázových pomerov pri každom amplitúdovom prechode v sériovom toku údajov. Nevýhodou doteraz používaných zapojení je, že vyžadujú použitie oscilátorov s vysokou stabilitou v obvodoch pre synchronizáciu frekvencie taktovacích

- 2 -

impulzov prijímača s frekvenciou toku údajov.

Uvedené nedostatky sú odstránené zapojením asynchrónneho prijímača, vysielača v sériovom prenose údajov podľa vynálezu, ktorého podstata je v tom, že prijímacia svorka je spojená jednak cez posuvný register s vysielačou svorkou, jednak s kalibračným odvodom, ktorý je spojený jednak so štartovacou svorkou, jednak s programátorom, jednak s hradlom a jednak s oscilátorom. Oscilátor je spojený jednak cez frekvenčný delič s hradlom a jednak cez demultiplexer s čítačom. Demultiplexer je spojený jednak s posuvným registrom, jednak s prvým komparátorom a jednak cez druhý komparátor, cez čítač, cez prvý komparátor, cez register referenčnej hodnoty s hradlom.

Výhodou vynálezu je, že používa kalibračnú metódu stanovovania frekvencie taktovacích impulzov prijímaného sériového toku údajov. Táto metóda sa vyznačuje dvomi významnými aspektami:

1. Nie je potrebné použiť oscilátor s dlhodobou stabilitou ako frekvenčný zdroj taktovacích impulzov.
2. Zapojenie možno použiť pre príjem sériového toku údajov z viacerých kanálov, ktoré možno realizovať cez vstupný multiplexer, ktorým sa pripájajú jednotlivé sériové kanály na vstup prijímača podľa vopred zvolenej postupnosti.

Ďalej je zapojenie po nedeštruktívnej poruche samozastaviteľné a vyznačuje sa spoľahlivou činnosťou.

Na obr. 1 je uvedená bloková schéma zapojenia asynchrónneho prijímača - vysielača sériového prenosu údajov. Na obr. 2 je nakreslená organizácia prenášaného slova cez sériový komunikačný kanál.

Zapojenie podľa obr. 1 pozostáva z kalibračného obvodu A, ktorý je cez hradlo B pripojený na register C referenčnej hodnoty "X". Výstup z registra C referenčnej hodnoty je pri-

pojený na prvý vstup číslicového prvého komparátora D. Na druhý vstup prvého komparátora D je pripojený výstup čítača E impulzov, ktorý je súčasne pripojený na vstup druhého komparátora F. Výstupy z prvého a druhého komparátora D a F sú pripojené na demultiplexer G, ktorý riadi smer počítania impulzov z oscilátora H čítačom E. Ďalej výstup prvého komparátora D je pripojený na programátor I dĺžky slova a posuvný register J, ktorého vstup je pripojený na prijímaciu svorku IN. Oscilátor H je spojený cez frekvenčný delič M spojený s hradlom B. Kalibračný obvod A je spojený so štartovacou svorkou ST a posuvný register J je spojený s vysielacou svorkou OUT. Zapojenie môže pracovať v režime PRIJÍMAČ alebo v režime VYSIELAČ, alebo v obidvoch režimoch súčasne PRIJÍMAČ-VYSIELAČ.

Činnosť zapojenia v režime PRIJÍMAČ je nasledovná: Prvý bit sériového údajového slova - kalibračný bit KB, ktorý prichádza na vstup prijímača je určený na kalibráciu generátora taktovacích impulzov. V priebehu časového intervalu prvého bitu sa načítavajú impulzy s frekvenciou f z oscilátora H do registra C referenčnej hodnoty "X". Táto hodnota zostane uložená v registri C počas celej doby príjmu sériového údajového slova a určuje frekvenciu taktovacích impulzov. Druhý bit sériového údajového slova neprenáša žiadnu informáciu - prázdny bit PB a je určený na oddelenie kalibračného bitu od údajových bitov - PB. Príchodom druhého bitu demultiplexer G uvoľní prístup impulzov z oscilátora H do vratného čítača E. Čítač E začne počítat impulzy smerom hore. Okamžitý obsah čítača E sa porovnáva s referenčnou hodnotou "X" registra C. Keďže frekvencia toku impulzov, ktoré sa načítavajú v čítači E je $2f$, rovnosť hodnôt nastáva v polovici doby trvania časového intervalu bitu sériového údajového slova a obvod generuje taktovací impulz. Tento impulz prepne demultiplexer G do stavu, ktorý zmení smer počítania impulzov čítača E smerom dolu a vyvolá posun informácie v posuvnom

registri J. V posuvnom registri J sa vykonáva prechod z paralelného formátu na sériový a opačne príslušnými strebovacími signálmi. Nulový stav čítača E zachytí druhý komparátor F, ktorý zmení stav demultiplexera G, čo vyvolá zmenu počítania vratného čítača E smerom hore. Nulový stav čítača E nastane vždy na konci doby trvania každého bitu sériového údajového slova. Podobne, zhoda obsahu vratného čítača E s referenčnou hodnotou "X" registra C nastane vždy v polovici časového intervalu každého bitu sériového údajového slova, kedy sa generuje taktovací impulz. Počet taktovacích impulzov generovaných počas doby príjmu sériového údajového slova je možné naprogramovať v programátore I dĺžky slova a závisí od dĺžky prijímaného sériového slova.

Činnosť zapojenia v režime VYSIELAČ je nasledovná: Zapojenie začne pracovať ako vysielateľ sériového údajového slova generovaním externého signálu - štart. Taktovacie impulzy pre vysielanie sériového údajového slova sa generujú rovnakým spôsobom ako v režime PRIJÍMAČ. Pred začiatkom vysielania je však treba zvoliť referenčnú hodnotu "X" v registre C, t. j. dobu trvania bitu, čiže frekvenciu taktovacích impulzov a podľa dĺžky vysielaného slova počet taktovacích impulzov.

Po skončení prijímania alebo vysielania sériového údajového slova je obvod pripravený prijímať alebo vysielateľ ďalšie údajové slovo.

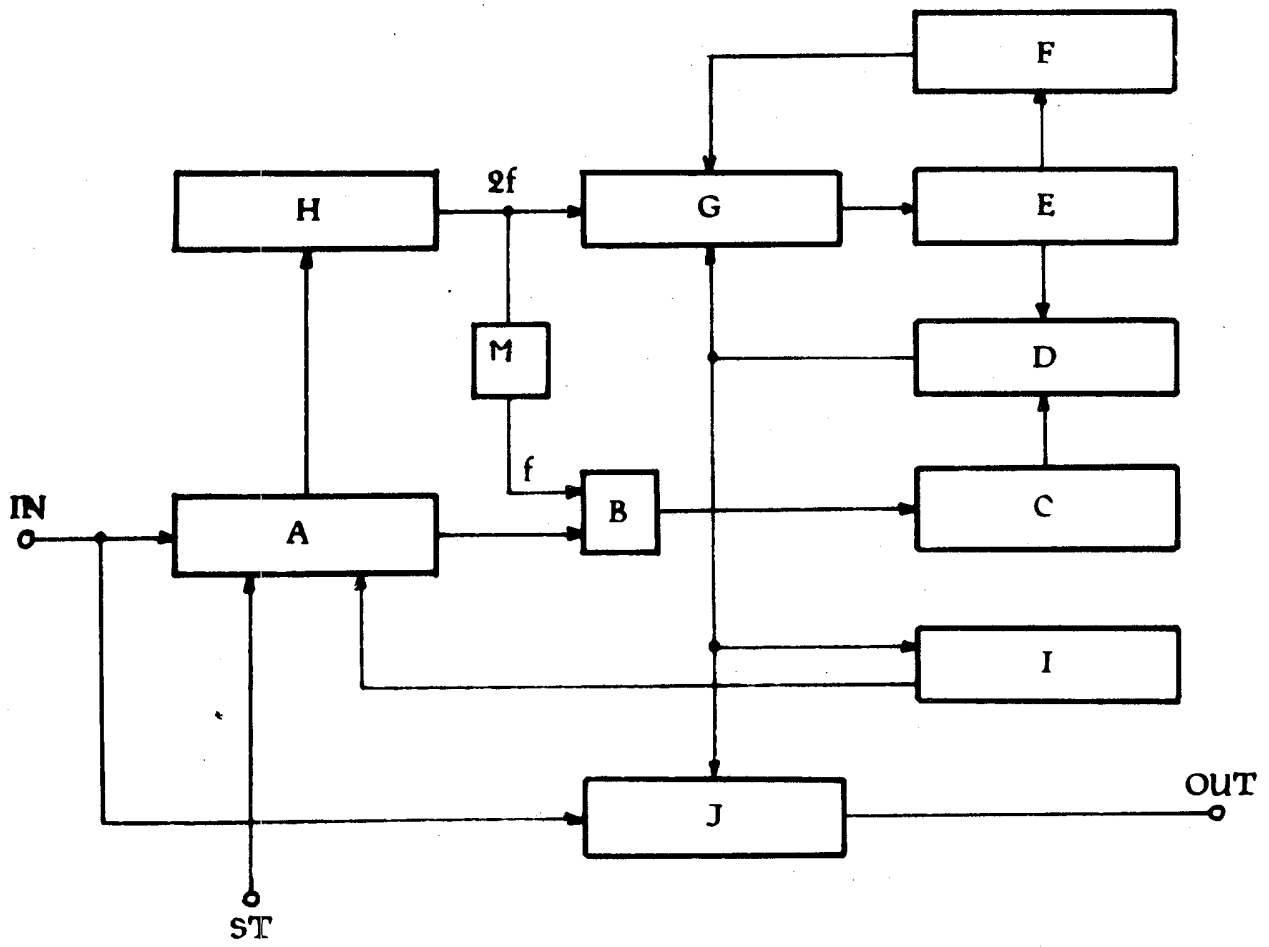
Kontrola parity sa vykonáva po transformácii informácie zo sériového formátu na paralelný formát, napríklad v IO 74 180.

V režime PRIJÍMAČ-VYSIELAČ obvod prijíma sériové údajové slovo a súčasne iné sériové údajové slovo vysielá. Činnosť obvodu začína prijatím prvého bitu prijímaného údajového slova. Obvod používa komunikačný kanál typu "plný duplex".

P R E D M E T V Y N Á L E Z U

Zapojenie asynchrónneho prijímača, vysielача v sériovom prenose údajov vyznačujúce sa tým, že prijímacia svorka /IN/ je spojená buď cez posuvný register /J/ s vysielacou svorkou /OUT/, alebo s kalibračným obvodom /A/, ktorý je spojený jednak so štartovacou svorkou /ST/, jednak s programátorom /I/, jednak s hradlom /B/ a jednak s oscilátorom /H/, ktorý je spojený buď cez frekvenčný delič /M/ s hradlom /B/, alebo cez demultiplexer /G/ s čítačom /E/, pričom demultiplexer /G/ je spojený jednak s posuvným registrom /J/, jednak s prvým komparátorom /D/ a jednak cez druhý komparátor /F/, cez čítač /E/, cez prvý komparátor /D/, cez register /C/ referenčnej hodnoty s hradlom /B/.

2 výkresy

*Obr. 1*



Obr. 2