

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-119710

(P2012-119710A)

(43) 公開日 平成24年6月21日(2012.6.21)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/8222 (2006.01)	HO 1 L 27/08 1 O 1 B	5 F 0 0 3
HO 1 L 27/082 (2006.01)	HO 1 L 29/72 P	5 F 0 8 2
HO 1 L 29/732 (2006.01)		
HO 1 L 21/331 (2006.01)		

審査請求 有 請求項の数 1 O L (全 13 頁)

(21) 出願番号 特願2012-14719 (P2012-14719)
 (22) 出願日 平成24年1月27日 (2012.1.27)
 (62) 分割の表示 特願2005-28374 (P2005-28374) の分割
 原出願日 平成17年2月4日 (2005.2.4)

(71) 出願人 000233169
 株式会社日立超エル・エス・アイ・システムズ
 東京都国分寺市東恋ヶ窪三丁目1番地1
 (71) 出願人 000005108
 株式会社日立製作所
 東京都千代田区丸の内一丁目6番6号
 (74) 代理人 100100310
 弁理士 井上 学
 (72) 発明者 新井 満
 東京都小平市上水本町五丁目22番1号
 株式会社日立超エル・エス・アイ・システムズ内

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

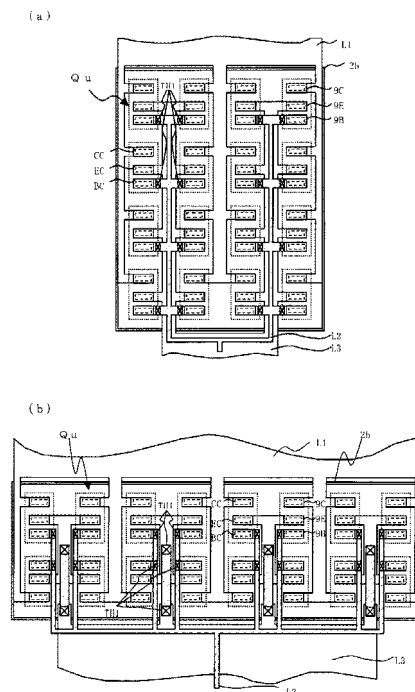
【課題】 放熱性を改善したバイポーラトランジスタを有する半導体装置を提供することにある。

【解決手段】 複数のバイポーラトランジスタ Q_u が配列される半導体装置であって、エミッタ配線 L 3 は幅広部と細長部とを有し、細長部におけるバイポーラトランジスタ素子数が、幅広部が配置された配列の外縁に沿う方向に配列されたバイポーラトランジスタ素子数よりも少なくなるように配置する。

【効果】 エミッタ配線の寄生抵抗によるエミッタ - ベース間電圧ばらつきを低減する。

【選択図】 図 1 7

図 1 7



【特許請求の範囲】

【請求項 1】

絶縁層及び該絶縁層に達するように形成され絶縁膜が埋め込まれた分離溝によって取り囲まれて支持基板上に形成された半導体層内に多数の単位バイポーラトランジスタ素子領域を行方向及び列方向に配列し、多層の配線層でコレクタ、ベース、エミッタのそれぞれを共通に接続することによってバイポーラトランジスタ素子を並列接続し全体として一つのバイポーラトランジスタを構成する高集積化半導体装置において、

前記エミッタを共通接続する配線層は、前記配列の外縁に沿って配置された幅広部と前記幅広部から前記配列上に延在する複数の細長部を含み、

前記複数のバイポーラトランジスタ素子は、前記複数の細長部に沿って配置され、前記エミッタのそれぞれは対応する前記細長部に接続されてなり、

前記細長部のそれぞれにおける前記バイポーラトランジスタ素子数が前記幅広部が配置された前記配列の外縁に沿う方向に配列された前記バイポーラトランジスタ素子数よりも少なくなるように配置したことを特徴とする高集積化半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、バイポーラトランジスタの放熱性の改善に係り、特に、絶縁素子分離型のバイポーラトランジスタに適用して有効な効果となる半導体装置の放熱性の改善に関する。

【背景技術】

【0002】

特許文献1は、SOI (Silicon On Insulator) 基板上の絶縁素子分離型のバイポーラトランジスタ技術について記載された文献である。特に図2には単位バイポーラトランジスタの平面及び断面構造の例が示されている。また、図4には単位バイポーラトランジスタを複数並列接続した場合の配置配線例が示されている。さらに、図2-1にはマルチエミッタタイプの単位バイポーラトランジスタの断面構造例が示されている。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2002-299466号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

上記従来技術においては、以下の課題があることを本願発明者等は見いだした。

【0005】

従来技術における単位バイポーラトランジスタの構造は、素子の高性能化及び高集積化の為に当該プロセスにおける最小レイアウト寸法または前記最小レイアウト寸法に近い寸法で設計されており、前記単位バイポーラトランジスタを高電圧あるいは高電流で動作させる場合、自己発熱効果の影響で特性劣化することがあることを見出した。

【0006】

また、単位バイポーラトランジスタを複数並列接続して用いた場合、周辺部に配置された単位バイポーラトランジスタよりも、中央部に配置された単位バイポーラトランジスタの方が発熱量が高くなり、各単位バイポーラトランジスタの接合部の温度バラツキがトランジスタの特性バラツキに影響を与えることを見出した。

【0007】

さらに、単位バイポーラトランジスタを複数並列接続して用いた場合において、各行方向にエミッタ配線を延在する場合、エミッタ配線抵抗の小さい個所に配置された単位バイポーラトランジスタと、エミッタ配線抵抗の大きい個所に配置された単位バイポーラトランジスタとでエミッタ配線抵抗の違いにより、単位バイポーラトランジスタを高電圧あるいは高電流で動作させる場合、エミッタ配線抵抗の小さい個所に配置された単位バイポー

10

20

30

40

50

ラトランジスタが自己発熱効果の影響で熱暴走し破壊に至る場合があることを見出した。

【0008】

本発明の目的は、絶縁素子分離型のバイポーラトランジスタの放熱性を改善することのできる技術を提供するものである。

【0009】

また、本発明の他の目的は、単位バイポーラトランジスタを複数並列接続して用いた場合に、対基板容量を低減できる技術を提供するものである。

【課題を解決するための手段】

【0010】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、次の通りである。

10

【0011】

すなわち、本発明は、絶縁層及び該絶縁層に達するように形成され絶縁膜が埋め込まれた分離溝によって取り囲まれて支持基板上に形成された半導体層内に多数の単位バイポーラトランジスタ素子領域を行方向及び列方向に配列し、多層の配線層でコレクタ、ベース、エミッタのそれぞれを共通に接続することによってバイポーラトランジスタ素子を並列接続し全体として一つのバイポーラトランジスタを構成する高集積化半導体装置において、前記エミッタを共通接続する配線層は、前記配列の外縁に沿って配置された幅広部と前記幅広部から前記配列上に延在する複数の細長部を含み、前記複数のバイポーラトランジスタ素子は、前記複数の細長部に沿って配置され、前記エミッタのそれぞれは対応する前記細長部に接続されてなり、前記細長部のそれぞれにおける前記バイポーラトランジスタ素子数が前記幅広部が配置された前記配列の外縁に沿う方向に配列された前記バイポーラトランジスタ素子数よりも少なくなるように配置したことを特徴とする高集積化半導体装置。

20

【発明の効果】

【0012】

上記手段による本発明の代表的な効果は、素子分離溝によって互いに分離された素子形成領域に形成されたバイポーラトランジスタの放熱性の改善ができるということである。

【図面の簡単な説明】

【0013】

30

【図1】(a)は本発明の一実施例の形態である半導体装置を構成するトランジスタのシンボル図、(b)は(a)のトランジスタを並列接続した場合の回路図である。

【図2】(a)は図1の従来構造の単位トランジスタの平面図、(b)は単位トランジスタをnpn型とした場合の(a)のX1-X1線の断面図である。

【図3】(a)は図1の従来構造のマルチエミッタタイプの単位トランジスタの平面図、(b)は単位トランジスタをnpn型とした場合の(a)のX1-X1線の断面図である

【図4】(a)は本発明の一実施例の形態である単位トランジスタの平面図、(b)は単位トランジスタをnpn型とした場合の(a)のX1-X1線の断面図である。

【図5】図4に示す一実施例の効果を電気的特性にて確認した結果である。(a)は、単位トランジスタの熱抵抗 R_{th} の素子分離溝面積依存性を示す。(b)は、単位トランジスタの自己発熱による素子破壊パワーの素子分離溝面積依存性を示す。(c)は、電流利得遮断周波数 f_T の素子分離溝面積依存性を示す。(d)は、最大電流利得遮断周波数 $f_T(f_{Tpeak})$ 時のコレクタ電流($I_C@f_{Tpeak}$)の素子分離溝面積依存性を示す。

40

【図6】図4(a)の他の実施例のX1-X1線の断面図である。

【図7】図4(a)の他の実施例のX1-X1線の断面図である。

【図8】(a)は図1の従来構造の単位トランジスタを複数並列接続した場合の平面図、(b)は単位トランジスタをnpn型とした場合の(a)のX1-X1線の断面図である。

【図9】単位トランジスタを複数並列接続した場合の本発明の一実施の形態である。(a)

50

)は図1の従来構造の複数並列接続された単位トランジスタの個々の素子分離溝を取り去り、並列接続された単位トランジスタ全体を1つの素子分離溝で囲った場合の平面図、(b)は単位トランジスタをnpn型とした場合の(a)のX1-X1線の断面図である。

【図10】図9(a)の他の実施例のX1-X1線の断面図である。

【図11】図9(a)の他の実施例のX1-X1線の断面図である。

【図12】図10に示す一実施例の効果を電気的特性にて確認した結果である。(a)は、図8(a)に示すような従来単位トランジスタQuが個別に素子分離溝2bを有する場合のIC-VCB特性である。(b)は、図8(a)に示すような従来単位トランジスタQuが個別に素子分離溝2bを有する構造で、各単位トランジスタのエミッタ端子にバラスト抵抗を挿入した場合のIC-VCB特性である。(c)は、各単位トランジスタQuのエミッタ端子にバラスト抵抗を挿入し、さらに、図10に示す実施例を適用した場合のIC-VCB特性である。

10

【図13】(a)は図1の単位トランジスタの平面図、(b)、(c)、(d)は本発明の一実施の形態である単位トランジスタの平面図である。

【図14】(a)は図1の単位トランジスタを複数並列接続した場合の平面図、(b)、(c)は本発明の一実施の形態である複数並列接続された単位トランジスタ全体を1つの素子分離溝で囲った平面図である。

【図15】(a)は図1の単位トランジスタを複数並列接続した場合の平面図、(b)、(c)は本発明の一実施の形態である複数並列接続された単位トランジスタ全体を1つの素子分離溝で囲った平面図である。

20

【図16】(a)、(b)は本発明の一実施の形態である複数並列接続された単位トランジスタ全体を1つの素子分離溝で囲い、周辺部を密に中央部を疎になるように単位トランジスタを配置した平面図である。

【図17】(a)は本発明の一実施の形態である複数並列接続された単位トランジスタ全体を1つの素子分離溝で囲い、各列方向にエミッタ配線を延在する場合で、各列方向の単位トランジスタ数を各行方向の単位バイポーラトランジスタ数よりも多く配置した平面図、(b)は各列方向にエミッタ配線を延在する場合で、各列方向の単位バイポーラトランジスタ数を各行方向の単位トランジスタ数よりも少なく配置した平面図である。

【図18】(a)はエミッタ・ベースを配線で接続した図1(a)の単位トランジスタを複数並列接続した場合の回路図、(b)は(a)の回路図の単位トランジスタの個々の素子分離溝を取り去り、並列接続された単位トランジスタ全体を1つの素子分離溝で囲った場合の平面図である。

30

【発明を実施するための形態】

【0014】

以下、本発明の実施例を図面を用いて詳細に説明する。また、本実施の形態では、バイポーラトランジスタをトランジスタと略す。

【実施例1】

【0015】

図1(a)は、本発明を適用した半導体装置を構成する単位トランジスタQuを示している。

40

【0016】

図1(b)は、図1(a)の単位トランジスタを複数並列接続することでトランジスタQを形成している。

【0017】

図2は、図1に示す従来技術における単位トランジスタQuのデバイス構造の一例を示している。図2(a)は単位トランジスタQuの平面図、(b)は単位トランジスタQuをnpn型とした場合の(a)のX1-X1断面図を示す。デバイス構造の例は、SOI基板を用いた絶縁素子分離型トランジスタであるが、本発明の適用範囲としては、BULK基板を用いた絶縁素子分離型トランジスタでもよい。また、トランジスタの導電形式はnpn型またはpnp型どちらでも良い。さらに、トランジスタの構造は、横型、縦型、

50

ヘテロ構造等特に問わない。

【0018】

図3は、図1に示す従来技術における単位トランジスタ Q_u がマルチエミッタタイプのデバイス構造の一例を示している。図3(a)は単位トランジスタ Q_u の平面図、(b)は単位トランジスタ Q_u をnpn型とした場合の(a)の X_1-X_1 断面図を示す。2つのエミッタ EC_1-EC_2 間、及びエミッタ-素子分離溝 $2b$ 間の寸法は、素子の高性能化及び高集積化の為に当該プロセスにおける最小レイアウト寸法または最小レイアウト寸法に近い寸法で設計されている。

【0019】

単位トランジスタ Q_u は、隣接する素子と電気的に分離するために、熱抵抗の高い素子分離溝 $2b$ に囲まれている為、放熱性が悪く熱抵抗の高い構造となっている。

10

【0020】

図4は、単位トランジスタにおける実施例を示す。単位トランジスタは、図3に示すようなマルチエミッタ構造でもよい。図4(a)及び(b)は、図2に示す単位トランジスタ Q_u の素子分離溝 $2b$ 及び埋め込みコレクタ領域 $3a$ の端をエミッタ EC から遠ざけ拡大して配置した場合の実施例である。単位トランジスタ Q_u における発熱は、熱抵抗の高い素子分離溝 $2b$ により遮断されているので、単位トランジスタ Q_u の熱抵抗 R_{th} は素子分離溝 $2b$ の内側の面積に依存する。従って、素子分離溝 $2b$ を拡大することにより単位トランジスタ Q_u の熱抵抗を低減可能な構造とすることが可能である。

【0021】

20

図5は、図4の実施例を適用した場合の単位トランジスタの一測定結果である。グラフ中の「素子分離溝標準」で示したものが図2の従来構造のトランジスタ特性であり、その他のデータが図4の実施例を適用した場合の単位トランジスタのデータである。

【0022】

図5(a)は、単位トランジスタの熱抵抗 R_{th} の素子分離溝面積(素子分離溝 $2b$ の内側の面積)依存性を示す。素子分離溝 $2b$ の拡大と共に R_{th} は低下し、放熱性が改善されている。

【0023】

図5(b)は、単位トランジスタの自己発熱による素子破壊パワーの素子分離溝面積依存性を示す。素子分離溝 $2b$ の拡大により単位トランジスタの熱抵抗が低下したことで素子が破壊にいたるパワーを増大することが可能である。実施例では、図2に示す従来構造の単位トランジスタの素子分離溝 $2b$ に対して行方向及び列方向にそれぞれ $8\mu m$ 拡大すると素子破壊は見られなかった。

30

【0024】

図5(c)は、電流利得遮断周波数 f_T の素子分離溝面積依存性を示す。素子分離溝 $2b$ の拡大と共に高 V_{CE} での電流利得遮断周波数 f_T も改善している。

【0025】

図5(d)は、最大電流利得遮断周波数(f_{Tpeak})時のコレクタ電流($I_C@f_{Tpeak}$)の素子分離溝面積依存性を示す。素子分離溝 $2b$ の拡大と共に $I_C@f_{Tpeak}$ も改善されていることを確認した。

40

【0026】

図6は、図4に示す単位トランジスタにおける他の実施例である。埋め込みコレクタ領域 $3a$ を素子分離溝 $2b$ 拡大前と同じ領域のみに形成した構造である。図4(b)に比べ埋め込みコレクタ領域 $3a$ の面積が小さいので対基板容量の底面成分を小さくできる。

【0027】

図7は、図6に示す単位トランジスタにおける他の実施例である。埋め込みコレクタ領域 $3a$ と素子分離溝 $2b$ との間に低濃度層 10 による空乏化領域を形成した構造である。図4(b)の構造では、対基板容量の周辺成分が素子分離溝 $2b$ の容量のみで決定されるのに対して、図7の構造では、素子分離溝 $2b$ の容量と低濃度層 10 による空乏化領域の容量との直列容量で決定される。また、対基板容量の底面成分についても、埋め込みコレ

50

クタ領域 3 a の端では、低濃度層 1 0 による空乏化領域の容量と S O I 基板 1 の絶縁層 1 b の容量との直列容量で決定される。従って、図 6 の構造よりもさらなる対基板容量の低減が可能な構造である。

【実施例 2】

【0028】

図 8 は、従来技術における単位トランジスタ Q_u を複数並列接続した場合のデバイス構造の一例を示す。図 8 (a) は単位トランジスタ Q_u を複数並列接続した場合の平面図、図 8 (b) は、単位トランジスタ Q_u を n p n 型とした場合の (a) の X 1 - X 1 断面図を示す。

【0029】

図 9 は、単位トランジスタ Q_u を複数並列接続した場合の実施例を示す。単位トランジスタは、図 3 に示すようなマルチエミッタ構造でもよい。図 9 (a) 及び (b) は、各単位トランジスタ Q_u の素子分離溝 2 b を取り去り、複数並列接続された単位トランジスタ Q_u 全体を 1 つの素子分離溝 2 b で囲った場合の実施例である。

図 3 に示したマルチエミッタタイプの単位トランジスタ Q_u と断面構造が酷似しているが、図 3 の単位トランジスタ Q_u は、素子の高性能化及び高集積化の為に当該プロセスにおける最小レイアウト寸法または最小レイアウト寸法に近い寸法で設計されている。これに対し、図 9 の実施例では、放熱性改善の為に、各単位トランジスタ Q_u のエミッタ (E C 1 , E C 2 , E C 3) 間、及び最外周に配置された単位トランジスタ Q_u のエミッタと素子分離溝 2 b 間の寸法は遥かに広い構造としている。

【0030】

本実施例は、図 8 に示す従来構造に比べ、隣接する単位トランジスタ Q_u のエミッタ距離が離れていることと、最外周に配置された単位トランジスタ Q_u のエミッタと素子分離溝との距離が広がっていることにより、単位トランジスタ Q_u の熱抵抗 R_{th} を低減可能な構造である。また、複数の単位トランジスタ Q_u が 1 つの素子分離溝 2 b で囲まれている為、各単位トランジスタ Q_u 間の熱抵抗 R_{th} パラツキを低減可能な構造である。さらに、各単位トランジスタ Q_u が個別に有する素子分離溝 2 b を取り去ったことにより、隣接する単位トランジスタ Q_u 間の素子分離溝 2 b で決定されていた対基板容量の周辺成分が無くなる為、図 8 に比べ対基板容量を低減できる。

【0031】

図 1 0 は、図 9 に示す単位トランジスタ Q_u を複数並列接続した場合の他の実施例である。埋め込みコレクタ領域 3 a が素子分離溝 2 b 内側全体に埋め込まれた構造である。各単位トランジスタ Q_u の埋め込みコレクタ領域 3 a が接していることで各単位トランジスタ Q_u の熱抵抗 R_{th} パラツキを低減可能な構造である。図 9 に示す構造と同様に対基板容量の周辺成分が低減可能であり、本実施例では、複数並列接続したトランジスタ全体の対基板容量は、図 8 の従来構造に比べ、およそ 2 5 % 低減した。

【0032】

図 1 1 は、図 9 に示す単位トランジスタ Q_u を複数並列接続した場合の他の実施例である。各単位トランジスタ Q_u の埋め込みコレクタ領域 3 a 間及び最外周に配置された単位トランジスタ Q_u の埋め込みコレクタ領域 3 a と素子分離溝 2 b との間に低濃度層 1 0 による空乏化領域を形成した構造である。

【0033】

各単位トランジスタ Q_u の対基板容量の周辺成分は、低濃度層 1 0 による空乏化領域の容量と S O I 基板 1 の絶縁層 1 b の容量との直列容量で決定されるため、図 9 、 図 1 0 に比べ更に対基板容量を低減可能な構造である。

【0034】

図 1 2 は、2 m A / エミッタで使用する単位トランジスタ Q_u を複数並列接続した場合のベース接地での I C - V C B 特性の一測定結果である。トランジスタは、列方向に 5 ケ、行方向に 8 ケ配置し、計 4 0 ケの単位トランジスタ Q_u を並列接続している。(a) は、図 8 (a) に示すような従来単位トランジスタ Q_u が個別に素子分離溝 2 b を有する

10

20

30

40

50

場合の IC - VCB 特性を示す。各単位トランジスタ Qu のエミッタ配線の寄生抵抗バラツキにより、エミッタ配線の寄生抵抗が小さい部分に配置された単位トランジスタ Qu において、自己発熱効果の影響による熱暴走が原因で、目標仕様 IC = 40 mA (@ VCB = 14 V) を大幅に未達の特性となっている。(b) は、図 8 (a) に示すような従来の単位トランジスタ Qu が個別に素子分離溝 2b を有する構造であって、各単位トランジスタ Qu のベース - エミッタ間電圧 VBE バラツキ低減の為に、一般的に用いられる各単位トランジスタ Qu のエミッタ端子にバラスト抵抗を挿入した場合の IC - VCB 特性を示す。(a) の特性に比べ大幅に熱暴走による素子破壊耐圧は改善されているが、各単位トランジスタ Qu の熱抵抗 Rth バラツキによるある特定単位トランジスタ Qu の自己発熱効果の影響による熱暴走が原因で目標は未達である。(c) は、各単位トランジスタ Qu のエミッタ端子にバラスト抵抗を挿入し、さらに、図 9 に示す実施例を適用した場合の IC - VCB 特性を示す。並列接続された各単位トランジスタ全体を 1 つの素子分離溝 2b で囲った構造により、各単位トランジスタ間の熱抵抗 Rth のバラツキを低減させたことにより、目標仕様を達成した一例である。

10

【実施例 3】**【0035】**

図 13 は、単位トランジスタ Qu における素子分離溝 2b の拡大方法に関する別の実施例を示した平面図である。

【0036】

図 13 (a) は、従来構造の平面図である。

20

【0037】

図 13 (b)、(c)、(d) は、素子分離溝 2b の拡大の実施例を示す。素子分離溝 2b の拡大方法は、行方向のみでも、列方向のみでも、さらにその組み合わせでもよい。また、その大きさは、図 5 を参考にすれば、必要最小限に設計可能である。

【実施例 4】**【0038】**

図 14 は、単位トランジスタ Qu を一方向にのみ複数並列接続した場合の実施例を示した平面図である。各単位トランジスタ Qu は、配線により並列接続されているものとする。

【0039】

図 14 (a) は、各単位トランジスタ Qu が素子分離溝 2b を持った従来構造の平面図である。

30

【0040】

図 14 (b)、(c) は、各単位トランジスタ Qu の素子分離溝 2b を取り去り、複数並列接続された単位トランジスタ Qu 全体を 1 つの素子分離溝 2b で囲った場合の実施例である。

【実施例 5】**【0041】**

図 15 は、単位トランジスタ Qu を行方向及び列方向に複数並列接続した場合における実施例を示した平面図である。各単位トランジスタ Qu は、配線により並列接続されているものとする。

40

【0042】

図 15 (a) は、各単位トランジスタ Qu が素子分離溝 2b を持った従来構造の平面図である。

【0043】

図 15 (b)、(c) は、各単位トランジスタ Qu の素子分離溝 2b を取り去り、複数並列接続された単位トランジスタ Qu 全体を 1 つの素子分離溝 2b で囲った場合の実施例である。

【実施例 6】**【0044】**

50

図16は、単位トランジスタ Q_u を行方向及び列方向に複数並列接続した場合における別の実施例を示した平面図である。各単位トランジスタ Q_u は、配線により並列接続されているものとする。

【0045】

熱解析の結果、周辺部に比べ中央部に位置する単位トランジスタ Q_u の発熱量が高いことが明らかとなっている。

【0046】

図16(a)、(b)は、各単位トランジスタ Q_u の素子分離溝2bを取り去り、複数並列接続された単位トランジスタ Q_u 全体を1つの素子分離溝2bで囲い、さらに、周辺部を密に中心部を疎になるように各単位トランジスタ Q_u を配置した実施例である。上記配置により、各単位トランジスタ Q_u の熱抵抗のバラツキを低減可能である。

10

【実施例7】

【0047】

図17は、単位トランジスタ Q_u を行方向及び列方向に複数並列接続した場合における別の実施例を示した平面図である。本実施例では、各列方向にエミッタ配線L3を延在する。各列方向にエミッタ配線L3を延在する場合は、図17(b)に示すように、各列方向の単位トランジスタ数を各行方向の単位トランジスタ数よりも少なく配置した構造が好適である。また、エミッタ電圧供給部からの各単位トランジスタのエミッタ電極までの配線長は等長配線となっている。

【0048】

図17(b)に示す単位トランジスタ Q_u の配置・配線構造により、図17(a)に比べ、エミッタ配線の寄生抵抗によるエミッタ-ベース間電圧 V_{BE} バラツキを低減可能となり、エミッタ配線の寄生抵抗が小さい部分に配置された単位トランジスタ Q_u の自己発熱効果の影響による熱暴走起因の素子破壊を防止可能な構造である。

20

【実施例8】

【0049】

図18は、図9に示す単位トランジスタ Q_u を複数並列接続した場合の別の実施例である。図9に示す単位トランジスタのエミッタとベースを配線L3で接続し、ダイオードとして使用した例である。図18(a)はエミッタとベースを配線で接続した単位トランジスタ Q_u を複数並列接続した回路図、(b)は平面図である。図9の実施例と同様に、並列接続した単位トランジスタ間の熱抵抗バラツキが低減可能であり、対基板容量も小さくできる。

30

【符号の説明】

【0050】

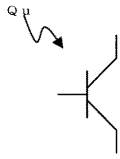
1...SOI基板、 1a...支持基板、 1b...絶縁層、 1c...半導体層、 2a...浅い分離部、 2b...深い溝型の分離部(素子分離用溝)、 3a...埋め込みコレクタ領域、 3b...コレクタ引出領域、 3c...コレクタ領域、 4...ベース領域、 5a...ベース引出電極、 6...エミッタ領域、 7...エミッタ電極、 8...絶縁膜、 9B, 9B1, 9B2, 9B3...ベース電極、 9E, 9E1, 9E2, 9E3...エミッタ電極、 10...低濃度層、 9C, 9C1, 9C2, 9C3...コレクタ電極、 Q, Q_u ...バイポーラトランジスタ、 BC, BC1, BC2, BC3, EC, EC1, EC2, EC3, CC, CC1, CC2, CC3...コンタクトホール、 L1...第一層配線、 L2...第2層配線、 L3...第一層配線、 TH1...スルーホール。

40

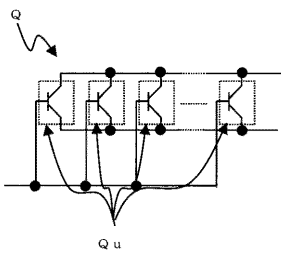
【 図 1 】

図 1

(a)



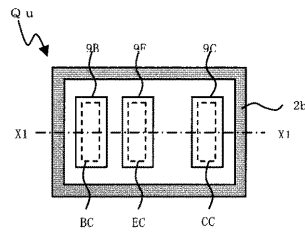
(b)



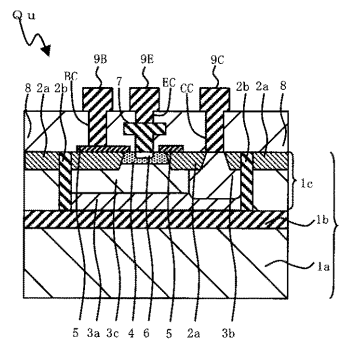
【 図 2 】

図 2

(a)



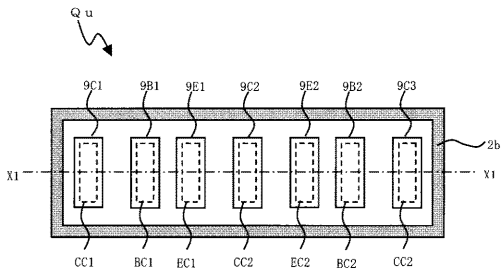
(b)



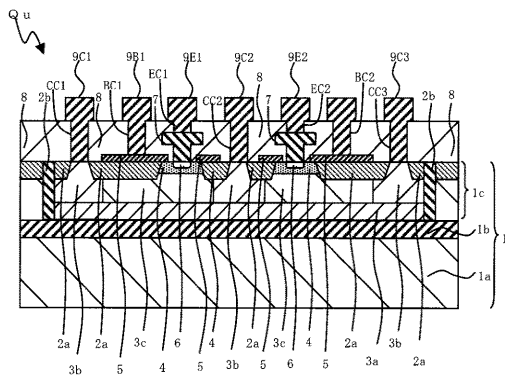
【 図 3 】

図 3

(a)



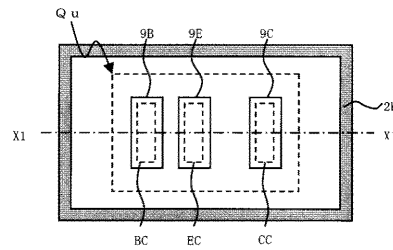
(b)



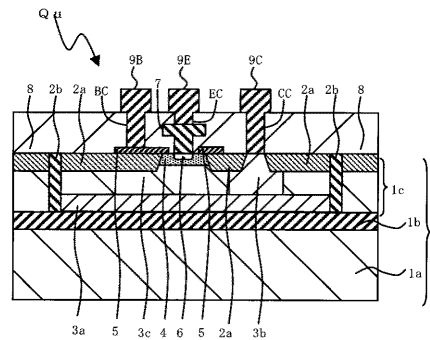
【 図 4 】

図 4

(a)

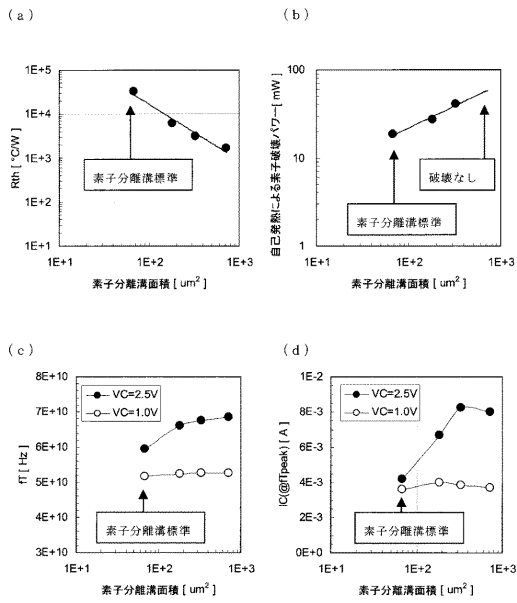


(b)



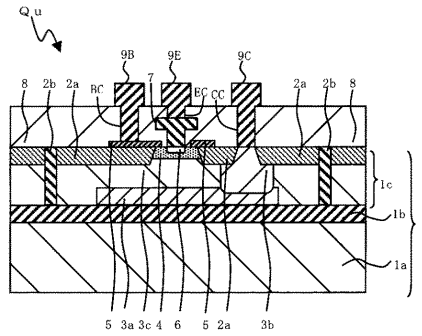
【図5】

図5



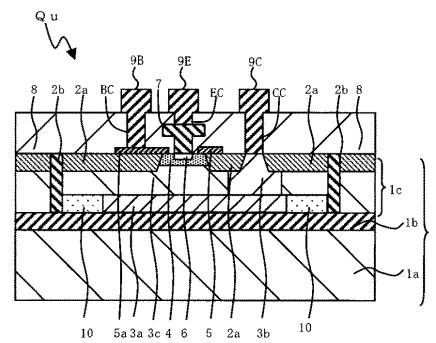
【図6】

図6



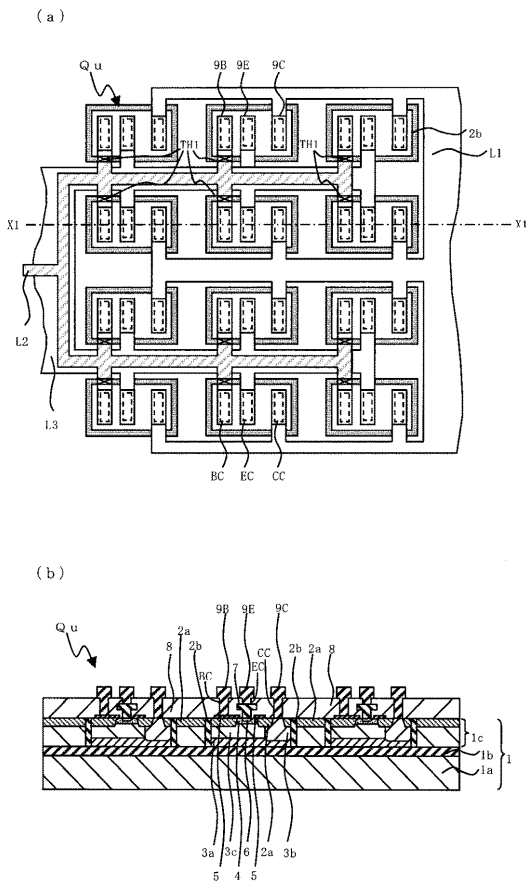
【図7】

図7



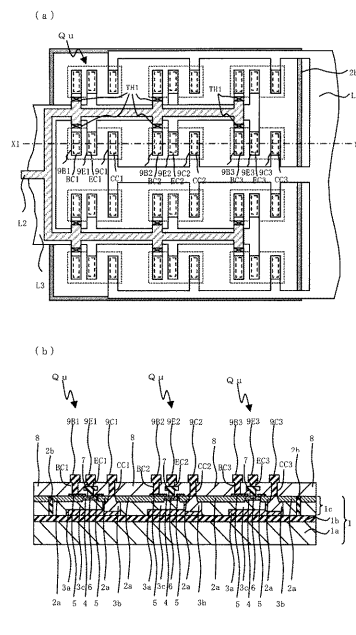
【図8】

図8



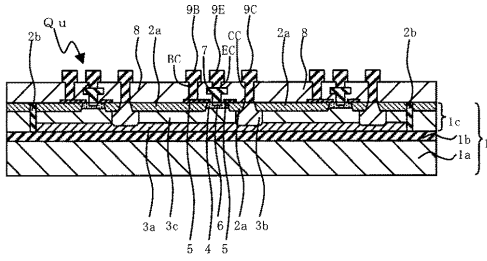
【図9】

図9



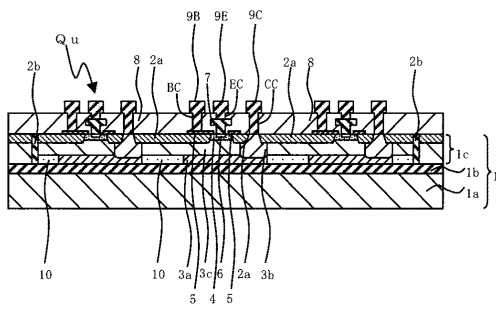
【図10】

図10



【図11】

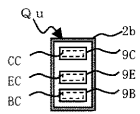
図11



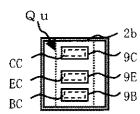
【図13】

図13

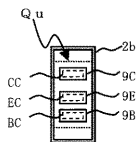
(a)



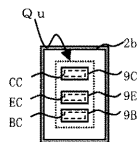
(b)



(c)



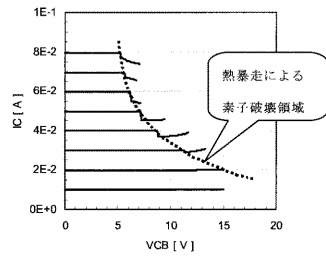
(d)



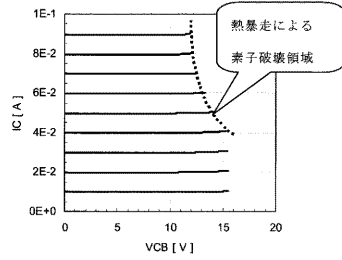
【図12】

図12

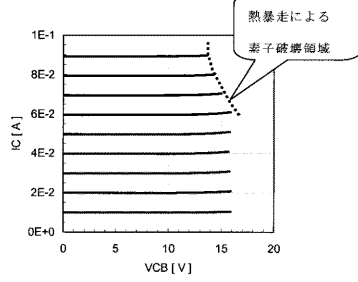
(a)



(b)



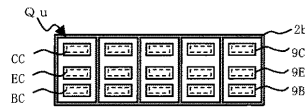
(c)



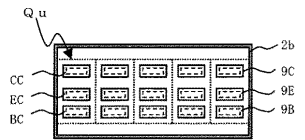
【図14】

図14

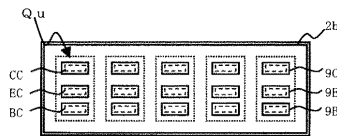
(a)



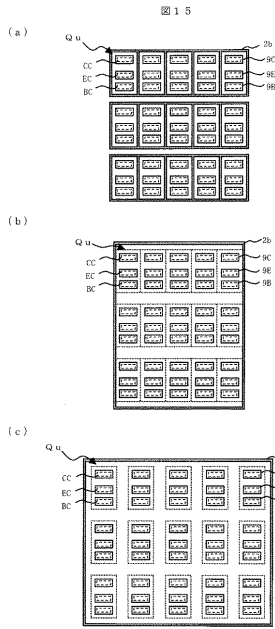
(b)



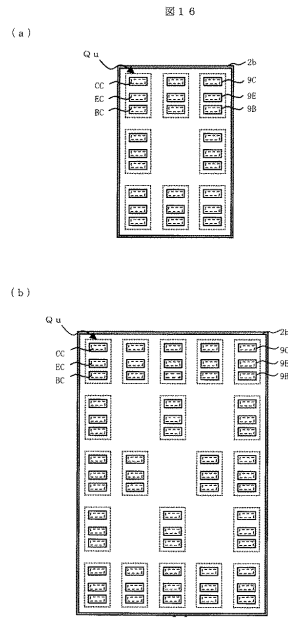
(c)



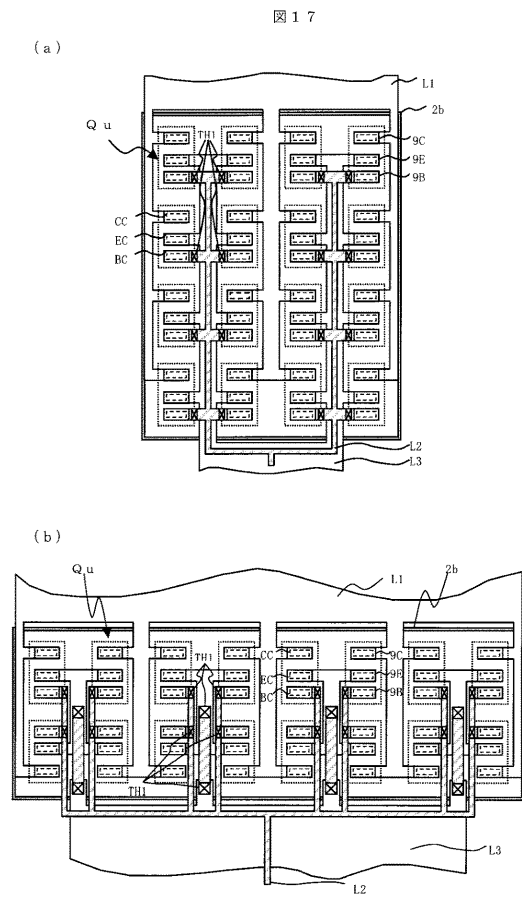
【 図 1 5 】



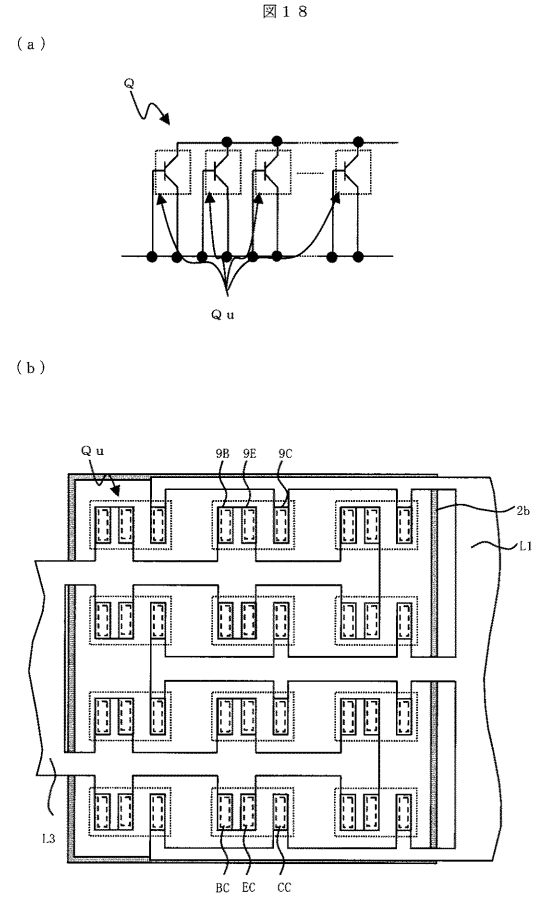
【 図 1 6 】



【 図 1 7 】



【 図 1 8 】



フロントページの続き

(72)発明者 和田 真一郎

東京都青梅市新町六丁目1番地の3 株式会社日立製作所マイクロデバイス事業部内

(72)発明者 野並 秀顕

東京都青梅市新町六丁目1番地の3 株式会社日立製作所マイクロデバイス事業部内

Fターム(参考) 5F003 AP01 AP05 AP06 AP08 AZ03 BA27 BA96 BC01 BC05 BC08
BE09 BF01 BG01 BH01 BH93 BJ06 BJ12 BN01
5F082 AA02 AA04 AA19 AA25 AA40 BA05 BA06 BA11 BA22 BA23
BA31 BA48 BC03 BC11 DA02 DA06 DA07 FA13 GA02 GA04