

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6414090号  
(P6414090)

(45) 発行日 平成30年10月31日(2018.10.31)

(24) 登録日 平成30年10月12日(2018.10.12)

|                          |        |       |         |  |  |
|--------------------------|--------|-------|---------|--|--|
| (51) Int.Cl.             | F I    |       |         |  |  |
| HO 1 L 29/739 (2006.01)  | HO 1 L | 29/78 | 6 5 5 A |  |  |
| HO 1 L 29/78 (2006.01)   | HO 1 L | 29/78 | 6 5 7 D |  |  |
| HO 1 L 29/861 (2006.01)  | HO 1 L | 29/78 | 6 5 3 C |  |  |
| HO 1 L 29/868 (2006.01)  | HO 1 L | 29/78 | 6 5 2 K |  |  |
| HO 1 L 21/8234 (2006.01) | HO 1 L | 29/78 | 6 5 2 J |  |  |
| 請求項の数 10 (全 18 頁) 最終頁に続く |        |       |         |  |  |

(21) 出願番号 特願2016-13713 (P2016-13713)  
 (22) 出願日 平成28年1月27日(2016.1.27)  
 (65) 公開番号 特開2017-135255 (P2017-135255A)  
 (43) 公開日 平成29年8月3日(2017.8.3)  
 審査請求日 平成29年12月18日(2017.12.18)

(73) 特許権者 000004260  
 株式会社デンソー  
 愛知県刈谷市昭和町1丁目1番地  
 (74) 代理人 100106149  
 弁理士 矢作 和行  
 (74) 代理人 100121991  
 弁理士 野々部 泰平  
 (74) 代理人 100145595  
 弁理士 久保 貴則  
 (72) 発明者 柿本 規行  
 愛知県刈谷市昭和町1丁目1番地 株式会  
 社デンソー内  
 審査官 恩田 和彦

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

同一の半導体基板(70, 90)にダイオード素子(11)とスイッチング素子(12)とが並列して形成された逆導通スイッチング素子(10, 20)と、

前記逆導通スイッチング素子に形成される複数のゲート電極(82)にゲート電圧を印加する駆動部(30, 40)と、

主に前記スイッチング素子に電流が流れる順導通モードと、主に前記ダイオード素子に電流が流れる逆導通モードと、のいずれのモードで駆動しているかを判定するモード判定部(50)と、を備え、

前記ダイオード素子は、

第1導電型の第1不純物領域(72a, 73a, 75a)と、

前記第1不純物領域に接合して形成された第2導電型の第2不純物領域(76a, 91)と、

前記第1不純物領域と電気的に接続される第1電極(71, 95)と、

前記第2不純物領域と電気的に接続される第2電極(78, 94)と、を有し、

前記ゲート電極に所定のゲート電圧が印加されることにより、前記第1不純物領域に反転層が生じるものであり、

前記スイッチング素子は、

前記ダイオード素子と共通した前記第1電極および前記第2電極を有するとともに、前記ゲート電極に所定のゲート電圧が印加されることによりオンの状態とされて前記第1電

極と前記第 2 電極との間に電流が流れるものであり、

前記複数のゲート電極は、

前記スイッチング素子をオンの状態とする第 1 ゲート電圧が入力される第 1 ゲート電極 ( 8 2 a ) と、

前記第 1 ゲート電圧とは独立して制御され、前記第 2 電極の電位と同一、もしくは、前記第 2 電極の電位を基準として前記第 1 ゲート電圧の極性と反対の極性となる第 2 ゲート電圧が入力される第 2 ゲート電極 ( 8 2 b ) と、を有し、

前記ダイオード素子に属する前記ゲート電極は、少なくとも前記第 2 ゲート電極を含み、前記スイッチング素子に属する前記ゲート電極は、少なくとも前記第 1 ゲート電極を含み、

前記第 1 電極と前記第 2 電極との間を流れる電流に基づいて、前記モード判定部により、前記逆導通モードと判定された際、もしくは、前記逆導通モードか前記順導通モードかを判定できない際、前記第 2 ゲート電極に、前記第 2 ゲート電圧が印加される半導体装置。

【請求項 2】

前記ダイオード素子における前記第 1 不純物領域は、前記第 2 不純物領域に隣接する位置に第 1 導電型のバリア領域 ( 7 5 a , 9 2 ) を有し、

前記ゲート電極に所定のゲート電圧が印加されることにより、前記バリア領域に反転層が生じる、請求項 1 に記載の半導体装置。

【請求項 3】

前記ダイオード素子は、

前記第 1 不純物領域にあって、前記第 2 不純物領域とは離間しつつ前記第 1 電極と前記第 2 電極との間の電流経路に形成された第 2 導通型の第 3 不純物領域 ( 7 4 a , 9 3 ) をさらに有する、請求項 1 または請求項 2 に記載の半導体装置。

【請求項 4】

前記駆動部は、前記逆導通モードと判定された際、もしくは、前記逆導通モードか前記順導通モードかを判定できない際、ハイレベルとローレベルの 2 値を少なくとも有し PWM 制御されたゲート電圧を前記第 2 ゲート電極に印加するものであり、

前記ローレベルは、前記第 2 電極の電位を基準として前記第 1 ゲート電圧の極性と反対の極性である請求項 1 ~ 3 のいずれか 1 項に記載の半導体装置。

【請求項 5】

前記駆動部は、前記逆導通モードと判定された際、もしくは、前記逆導通モードか前記順導通モードかを判定できない際、常に前記第 2 電極の電位を基準として前記第 1 ゲート電圧の極性と反対の極性であるゲート電圧を前記第 2 ゲート電極に印加する請求項 1 ~ 3 のいずれか 1 項に記載の半導体装置。

【請求項 6】

前記駆動部は、前記逆導通モードと判定された際、前記第 1 電極と前記第 2 電極との間に流れるダイオード電流の大きさが所定の閾値以上の場合に、前記第 2 電極の電位と同一のゲート電圧を前記第 2 ゲート電極に印加し、

前記ダイオード電流の大きさが所定の閾値より小さい場合に、前記第 2 電極の電位を基準として前記第 1 ゲート電圧の極性と反対の極性であるゲート電圧を前記第 2 ゲート電極に印加する請求項 1 ~ 3 のいずれか 1 項に記載の半導体装置。

【請求項 7】

前記ダイオード素子が形成される領域と、前記スイッチング素子が形成される領域との境界となる混成領域における前記ゲート電極は、前記第 2 電極の電位を基準として前記第 1 ゲート電圧の極性と反対の極性であるゲート電圧が印加可能である請求項 1 ~ 6 のいずれか 1 項に記載の半導体装置。

【請求項 8】

前記ダイオード素子が形成される領域と、前記スイッチング素子が形成される領域との境界となる混成領域における前記ゲート電極は、前記第 1 ゲート電圧が印加可能である請

10

20

30

40

50

求項 1 ~ 7 のいずれか 1 項に記載の半導体装置。

【請求項 9】

前記スイッチング素子に属する前記ゲート電極は、前記第 2 ゲート電極を含む請求項 1 ~ 8 のいずれか 1 項に記載の半導体装置。

【請求項 10】

前記駆動部は、前記逆導通モードと判定された際、前記第 1 ゲート電極に印加されるゲート電圧を前記第 2 電極の電位と同一とする請求項 1 ~ 9 のいずれか 1 項に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

10

【0001】

スイッチング素子と逆導通ダイオードとが設けられた半導体装置に関する。

【背景技術】

【0002】

特許文献 1 に記載のように、逆導通型の絶縁ゲートバイポーラトランジスタ (RC-IGBT) において、IGBT 素子領域をオフ状態に切り替えてダイオード素子領域に還流電流が流れる際に、絶縁トレンチゲート電極に負電圧を印加する半導体装置が知られている。

【0003】

これによれば、アノード領域から流出したホールが絶縁トレンチゲート電極に沿ってドリフト層に注入されやすくなり、順方向電圧降下 (以下、順電圧という) を低減できるとされている。

20

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2011-238975 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

特許文献 1 に記載の動作を実現するためには、IGBT 素子領域とダイオード素子領域のいずれがオン状態にあるかを判定し、ゲート電圧の極性を切り替える必要がある。例えば一般的なモータ駆動用のインバータ回路などでは、ゲート電圧の極性をモータ電気角周期で切り替えることになる。IGBT 素子領域およびダイオード素子領域のいずれがオン状態であるかは、例えば出力電流の正負で判定することができる。しかしながら、インバータ回路のように短い周期で出力電流の正負が切り替わる態様において、電流センサの公差によっては、出力電流の正負判定が精度よく行えない電流領域が生じてしまう。この電流領域は出力電流がゼロ近傍の低電流領域である。

30

【0006】

従来、出力電流の正負が判定不能なこのような電流領域では、システム全体の動作の安定性を考慮して IGBT 素子領域がオン状態にあると仮定している。一般的な RC-IGBT におけるダイオード素子領域はゲート電極に電圧が印加されるゲート干渉を抑制するためにゲート電極の電位がアノード電位に固定されているが、出力電流の極性によってダイオード素子領域に負電圧を印加する態様では電圧の固定はできない。よって、出力電流の正負が判定不能なこのような電流領域ではダイオード素子領域のゲート電極に正電圧が印加されることになる。このため、ダイオード素子領域の順電圧が増大してしまう虞がある。

40

【0007】

本発明は、上記問題点を鑑みてなされたものであり、あらゆる電流領域においてリカバリ特性の向上と順電圧の低減とを両立した半導体装置を提供することを目的とする。

【課題を解決するための手段】

50

## 【 0 0 0 8 】

ここに開示される発明は、上記目的を達成するために以下の技術的手段を採用する。なお、特許請求の範囲およびこの項に記載した括弧内の符号は、ひとつの態様として後述する実施形態に記載の具体的手段との対応関係を示すものであって、発明の技術的範囲を限定するものではない。

## 【 0 0 0 9 】

上記目的を達成するために、本発明は、同一の半導体基板（70，90）にダイオード素子（11）とスイッチング素子（12）とが並列して形成された逆導通スイッチング素子（10，20）と、逆導通スイッチング素子に形成される複数のゲート電極（82）にゲート電圧を印加する駆動部（30，40）と、主にスイッチング素子に電流が流れる順導通モードと、主にダイオード素子に電流が流れる逆導通モードと、のいずれのモードで駆動しているかを判定するモード判定部（50）と、を備え、

10

ダイオード素子は、第1導電型の第1不純物領域（72a，73a，75a）と、第1不純物領域に接合して形成された第2導電型の第2不純物領域（76a，91）と、第1不純物領域と電氣的に接続される第1電極（71，95）と、第2不純物領域と電氣的に接続される第2電極（78，94）と、を有し、ゲート電極に所定のゲート電圧が印加されることにより、第1不純物領域に反転層が生じるものであり、

スイッチング素子は、ダイオード素子と共通した第1電極および第2電極を有するとともに、ゲート電極に所定のゲート電圧が印加されることによりオンの状態とされて第1電極と第2電極との間に電流が流れるものであり、

20

複数のゲート電極は、スイッチング素子をオンの状態とする第1ゲート電圧が入力される第1ゲート電極（82a）と、第1ゲート電圧とは独立して制御され、第2電極の電位と同一、もしくは、第2電極の電位を基準として第1ゲート電圧の極性と反対の極性となる第2ゲート電圧が入力される第2ゲート電極（82b）と、を有し、

ダイオード素子に属するゲート電極は、少なくとも第2ゲート電極を含み、スイッチング素子に属するゲート電極は、少なくとも第1ゲート電極を含み、第1電極と第2電極との間を流れる電流に基づいて、モード判定部により、逆導通モードと判定された際、もしくは、逆導通モードか順導通モードかを判定できない際、第2ゲート電極に、第2ゲート電圧が印加されることを特徴としている。

## 【 0 0 1 0 】

30

これによれば、逆導通モードにおいて順電圧を低減できることに加えて、逆導通モードか順導通モードかを判定できない際にも、ダイオード素子の順電圧を低減することができる。なお、逆導通モードか順導通モードかを判定できない際に、万一順導通モードであったとしても、モードの判定ができない電流領域においては、IGBT素子の出力電流が十分小さいので、IGBT素子のコレクタ-エミッタ間の飽和電圧の増大は限定的である。したがって、本発明を採用することにより、従来に較べて、逆導通モードか順導通モードかを判定できない際の順電圧の増大に起因する損失を低減することができる。

## 【 図面の簡単な説明 】

## 【 0 0 1 1 】

【図1】第1実施形態に係るインバータの概略構成を示す回路図である。

40

【図2】図3に示すII-II線に沿う断面であり、第1素子あるいは第2素子の詳細の構造を示す断面図である。

【図3】第1素子あるいは第2素子の詳細の構造を示す上面図である。

【図4】駆動部が第1素子あるいは第2素子に対して印加するゲート電圧のパターンを示す表である。

【図5】ゲート電圧の印加タイミングを示すタイミングチャートである。

【図6】ゲート電圧の印加タイミングを示すタイミングチャートである。

【図7】ゲート電圧の印加タイミングを示すタイミングチャートである。

【図8】第2実施形態に係る第1素子あるいは第2素子の詳細の構造を示す断面図である。

50

【図9】第3実施形態に係る第1素子あるいは第2素子の詳細の構造を示す断面図である。

【図10】横型ダイオードの構造を示す断面図である。

【発明を実施するための形態】

【0012】

以下、本発明の実施の形態を図面に基づいて説明する。なお、以下の各図相互において、互いに同一もしくは均等である部分に、同一符号を付与する。

【0013】

(第1実施形態)

最初に、図1を参照して、本実施形態に係る半導体装置の概略構成について説明する。

10

【0014】

本実施形態では、ダイオード素子および絶縁ゲートバイポーラトランジスタ素子（IGBT素子）が同一の半導体基板に形成された逆導通絶縁ゲートバイポーラトランジスタ（RC-IGBT）が、半導体装置たるインバータに適用される形態について説明する。

【0015】

図1に示すように、インバータ100は、2つの逆導通絶縁ゲートバイポーラトランジスタ10、20と、各逆導通絶縁ゲートバイポーラトランジスタ10、20のゲート電極にゲート電圧を印加するための駆動部30、40と、各逆導通絶縁ゲートバイポーラトランジスタ10、20の駆動状態を判定するモード判定部50と、を備えている。

【0016】

20

図1に示すように、インバータ100は、電源電圧VCCとグランドGNDの間に2つの逆導通絶縁ゲートバイポーラトランジスタ10、20が直列に接続されて構成されている。2つの逆導通絶縁ゲートバイポーラトランジスタ10、20の接続点には負荷200が接続されている。以下の記載では、2つの逆導通絶縁ゲートバイポーラトランジスタ10、20のうち、負荷200に対して電源電圧VCC側のものを第1素子10と称し、グランドGND側のものを第2素子20と称する。つまり、第1素子10がインバータ100における上アームを構成し、第2素子20が下アームを構成している。第1素子10および第2素子20は、特許請求の範囲に記載の逆導通スイッチング素子に相当する。

【0017】

第1素子10は、スイッチング素子に相当するIGBT素子11と、ダイオード素子12とを有している。ダイオード素子12は、いわゆるフライホイールダイオードであり、IGBT素子11におけるエミッタからコレクタに向かって順方向となるように、IGBT素子11に並列に接続されている。

30

【0018】

第2素子20は第1素子10と等価であり、IGBT素子21とダイオード素子22とを有している。ダイオード素子22は、IGBT素子21におけるエミッタからコレクタに向かって順方向となるようにIGBT素子21に並列に接続されている。

【0019】

第1素子10および第2素子20はダブルゲート構造の逆導通スイッチング素子であり2種類のゲート電極を有している。第1素子10および第2素子20の詳しい素子構造については図2および図3とともに追って詳述する。

40

【0020】

駆動部は、第1素子10へのゲート電圧の印加を制御する第1駆動部30と、第2素子20へのゲート電圧の印加を制御する第2駆動部40とを有している。第1駆動部30および第2駆動部40の構造は互いに等価である。本実施形態における駆動部30、40は、図1に示すように、それぞれ2つのゲート配線に接続され、ダブルゲート構造を有する第1素子10および第2素子のそれぞれのゲート電極に独立したゲート電圧を印加することができるようになっている。具体的には、一方のゲート電極（後述する第1ゲート電極82a）にはエミッタ電圧V<sub>e</sub>と+V<sub>1</sub>の2値が入力でき、他方のゲート電極（後述する第2ゲート電極82b）には+V<sub>1</sub>、V<sub>e</sub>および-V<sub>2</sub>の3値が入力できる。なお、+V

50

1とは、エミッタ電圧 $V_e$ を基準として正の電圧であり、 $-V_2$ とはエミッタ電圧 $V_e$ を基準として負の電圧である。

【0021】

なお、特許請求の範囲に記載の第1ゲート電圧とは $+V_1$ に相当し、第2ゲート電圧とは、 $V_e$ もしくは $-V_2$ に相当する。

【0022】

モード判定部50は、第1素子10および第2素子20の動作モードを判定している。ここで、動作モードとは、絶縁ゲートバイポーラトランジスタにおいて、主にIGBT素子に電流が流れているか、あるいは主にダイオード素子に電流が流れているか、を区別するものである。以下の記載では、主にIGBT素子に電流が流れて動作している状態を順導通モードと称し、主にダイオード素子に電流が流れて動作している状態を逆導通モードと称する。

10

【0023】

本実施形態におけるモード判定部50は、負荷200に流れる電流の向きに基づいて第1素子10および第2素子20の動作モードを判定している。インバータ100は、負荷200と直列接続された負荷電流検出部60を備えている。負荷電流検出部60は、負荷200を流れる負荷電流 $I$ を、方向を含めて検出する電流計である。負荷電流検出部60は、負荷電流 $I$ が第1素子10と第2素子20との接続点から負荷200に向かって流れる場合を正の電流とし、その逆を負の電流としてモード判定部50に出力している。

【0024】

20

モード判定部50は、負荷電流検出部60から出力される負荷電流 $I$ の正負に基づいて動作モードを判定している。具体的には、負荷電流 $I$ が正の場合には、主に、第1素子10（上アーム）におけるIGBT素子11および第2素子20（下アーム）におけるダイオード素子22に電流が流れている状態である。よって、モード判定部50は、第1素子10の動作モードを順導通モードと判定し、第2素子20の動作モードを逆導通モードと判定する。一方、負荷電流 $I$ が負の場合には、主に、第1素子10におけるダイオード素子12および第2素子20におけるIGBT素子21に電流が流れている状態である。よって、モード判定部50は、第1素子10の動作モードを逆導通モードと判定し、第2素子20の動作モードを順導通モードと判定する。モード判定部50が動作モードを判定可能な電流レベルよりも負荷電流 $I$ が小さいと、モード判定部50は素子10あるいは素子20の動作モードを判定できないが、そのような場合にはモード判定不可である旨を駆動部30, 40に通知する。

30

【0025】

モード判定部50は、素子10, 20の動作モード、あるいはモード判定不可である旨を駆動部30, 40に通知する。そして駆動部30, 40は、動作モードも応じてゲート電極にゲート電圧を印加する。

【0026】

次に、図2を参照して、第1素子10および第2素子20の詳しい構造について説明する。なお、第1素子10と第2素子20とは互いに等価な逆導通絶縁ゲートバイポーラトランジスタであるからこれらの区別なく説明するが、図1と共通する要素については第1素子10に付した符号と相互に対応付ける。また、図2において、半導体基板70のうちp導電型となる不純物拡散層にハッチングを付しているが、n導電型となる不純物拡散層のハッチングを省略している。

40

【0027】

本実施形態における逆導通スイッチング素子たる逆導通絶縁ゲートバイポーラトランジスタは、図2に示すように、第1主面70aとその裏面である第2主面70bを有する半導体基板70に形成されている。スイッチング素子としての機能を奏するIGBT素子11とダイオードとしての機能を奏するダイオード素子12は同一の半導体基板70にそれぞれ形成されている。

【0028】

50

第1主面70aには、例えばアルミニウムから成るカソード電極71が形成されている。カソード電極71は、ダイオード素子12におけるカソード端子あるいはIGBT素子11におけるコレクタ端子に相当し、カソード電極71がこれらを互いに兼用している。また、カソード電極71は、特許請求の範囲における第1電極に相当している。

【0029】

また、図2に示すように、半導体基板70における第1主面70aの表層においてカソード電極71に接触するようにn導電型のカソード領域72aが形成されている。また、カソード領域72aと同一層にp導電型のコレクタ領域72bが形成されている。コレクタ領域72bはカソード電極71に接触しつつカソード領域72aに隣接している。IGBT素子11とダイオード素子12との境界近傍では、ダイオード素子12がIGBT11として作用し得る。また、IGBT素子11がダイオード素子12として作用し得る。本実施形態では、機能としてIGBT素子11とダイオード素子12が混在する領域を混成領域と称し、カソード領域72aとコレクタ領域72bの界面をダイオード部12とIGBT部11の境界と称する。カソード領域72aは、特許請求の範囲における第1不純物領域の一部に相当している。

10

【0030】

カソード領域72a上にn導電型の第1ドリフト領域73aが積層され、コレクタ領域72b上にn導電型の第2ドリフト領域73bが積層されている。第1ドリフト領域73aおよび第2ドリフト領域73bの名称を便宜的に別にしているが、これらの領域73a、73bは実質同一の不純物拡散層からなる連続した領域である。第1ドリフト領域73aは、特許請求の範囲における第1不純物領域の一部に相当している。

20

【0031】

第1ドリフト領域73a上にp導電型の第1サブアノード74aが積層され、第2ドリフト領域73b上にp導電型の第2サブアノード74bが積層されている。第1サブアノード74aおよび第2サブアノード74bの名称を便宜的に別にしているが、これらのサブアノード74a、74bは実質同一の不純物拡散層からなる連続した領域である。なお、第1サブアノード領域74aおよび第2サブアノード領域74bは、特許請求の範囲に記載の第3不純物領域に相当している。

【0032】

第1サブアノード74a上にn導電型の第1バリア領域75aが積層され、第2サブアノード74b上にn導電型の第2バリア領域75bが積層されている。第1バリア領域75aおよび第2バリア領域75bの名称を便宜的に別にしているが、これらのバリア領域75a、75bは実質同一の不純物拡散層からなる連続した領域である。第1バリア領域75aは、特許請求の範囲における第1不純物領域の一部に相当している。

30

【0033】

第1バリア領域75a上にp導電型のアノード領域76aが積層され、第2バリア領域75b上にp導電型のボディ領域76bが積層されている。アノード領域76aおよびボディ領域76bの名称を便宜的に別にしているが、本実施形態におけるこれらの領域76a、76bは実質同一の不純物拡散層からなる連続した領域である。なお、アノード領域76aは、特許請求の範囲における第2不純物領域に相当する。

40

【0034】

なお、特許請求の範囲に記載の第1不純物領域とは、カソード領域72a、第1ドリフト領域73a、第1バリア領域75aを含むn導電型の領域である。そして、ダイオード素子12は、第1サブアノード74aが第2不純物領域たるアノード領域76aから離間しつつ第1不純物領域内に埋め込まれた構造となっている。第1サブアノード74aは、第1ドリフト領域73aとアノード領域76aとの間を流れる電流の電流経路に形成されている。

【0035】

ダイオード素子12において、上記した第1サブアノード74aおよび第1バリア領域75aが形成されていることにより、アノード領域76aから第1ドリフト領域73aへ

50

のホールの注入が抑制され、ダイオード素子 1 2 に印加される電圧が順バイアスから逆バイアスに切り替わった際における逆電流が制限される。このため、第 1 サブアノード 7 4 a および第 1 バリア領域 7 5 a が形成されていないダイオードに較べて逆回復電流を小さくできるのでリカバリ特性を向上させることができる。ただし、第 1 サブアノード 7 4 a および第 1 バリア領域 7 5 a により形成される p n 接合がダイオード素子 1 2 の順方向電流の流れを阻害するため順電圧  $V_F$  は大きくなる。

【 0 0 3 6 】

また、第 2 主面 7 0 b の表層には、ボディ領域 7 6 b に囲まれるように n 導電型のエミッタ領域 7 7 が形成されている。そして、エミッタ領域 7 7、ボディ領域 7 6 b、およびアノード領域 7 6 a に接触するようにして第 2 主面 7 0 b 上にアノード電極 7 8 が形成されている。アノード電極 7 8 は、ダイオード素子 1 2 におけるアノード端子あるいは I G B T 素子 1 1 におけるエミッタ端子に相当している。また、アノード電極 7 8 は、特許請求の範囲における第 2 電極に相当する。

10

【 0 0 3 7 】

図 2 に示すように、I G B T 素子 1 1 は、不純物拡散層として、コレクタ領域 7 2 b、第 2 ドリフト領域 7 3 b、第 2 サブアノード 7 4 b、第 2 バリア領域 7 5 b、ボディ領域 7 6 b およびエミッタ領域 7 7 を有している。一方、ダイオード素子 1 2 は、不純物拡散層として、カソード領域 7 2 a、第 1 ドリフト領域 7 3 a、第 1 サブアノード 7 4 a、第 1 バリア領域 7 5 a およびアノード領域 7 6 a を有している。

【 0 0 3 8 】

実質同一の層に位置する各不純物拡散層は、I G B T 素子 1 1 およびダイオード素子 1 2 の電気的特性の要求に応じて、対応する領域の不純物濃度を互いに異なる濃度とすることを妨げるものではなく、これらの領域の不純物濃度は適宜設定されるべきである。

20

【 0 0 3 9 】

さらに、この逆導通絶縁ゲートバイポーラトランジスタは、第 2 主面 7 0 b から半導体基板 7 0 の厚さ方向に形成されてドリフト領域 7 3 a、7 3 b に達するトレンチゲート 8 0 を有している。トレンチゲート 8 0 は、I G B T 素子 1 1 にあってはボディ領域 7 6 b、第 2 バリア領域 7 5 b、第 2 サブアノード 7 4 b を貫通して第 2 ドリフト領域 7 3 b に達し、ダイオード素子 1 2 にあってはアノード領域 7 6 a、第 1 バリア領域 7 5 a、第 1 サブアノード 7 4 a を貫通して第 1 ドリフト領域 7 3 a に達している。

30

【 0 0 4 0 】

トレンチゲート 8 0 は、第 2 主面 7 0 b から半導体基板 7 0 の厚さ方向に延びてドリフト領域 7 3 a、7 3 b に達するまで掘られたトレンチの内面に成膜された絶縁膜 8 1 と、トレンチを埋めるように形成された導電性のゲート電極 8 2 から成る。ゲート電極 8 2 とエミッタ電極 7 8 は絶縁膜 8 1 を介しているため互いに絶縁されている。また、I G B T 素子 1 1 に形成されたエミッタ領域 7 7 はトレンチゲート 8 0 に接するように形成され、ゲート電極 8 2 にアノード電極 7 8 よりも高い電圧が印加されるとボディ領域 7 6 b および第 2 サブアノード 7 4 b にチャネルが形成されてアノード電極 7 8 とカソード電極 7 1 の間に I G B T 動作による出力電流が流れる。

【 0 0 4 1 】

本実施形態における複数のゲート電極 8 2 は、第 1 ゲート電極 8 2 a と第 2 ゲート電極 8 2 b の 2 つのゲート電極とに分類される。第 1 ゲート電極 8 2 a は第 1 ゲートパッド G 1 に接続されている。第 2 ゲート電極 8 2 b は第 2 ゲートパッド G 2 に接続されている。第 1 ゲート電極 8 2 a と第 2 ゲート電極 8 2 b にはそれぞれ独立した電圧が印加される。図 1 に示すように、第 1 駆動部 3 0 は、第 1 素子 1 1 における第 1 ゲート電極 8 2 a および第 2 ゲート電極 8 2 b に電圧を供給している。同様に、第 2 駆動部 4 0 は、第 2 素子 2 1 における第 1 ゲート電極 8 2 a および第 2 ゲート電極 8 2 b に電圧を供給している。

40

【 0 0 4 2 】

ところで、p 導電型のアノード領域 7 6 a およびボディ領域 7 6 b と、n 導電型の第 1、第 2 バリア領域 7 5 a、7 5 b と、p 導電型の第 1、第 2 サブアノード 7 4 a、7 4 b

50

は、pnp型の寄生トランジスタを形成している。n導電型のバリア領域75a, 75bは、ホールにとってはp導電型の領域に対してポテンシャル障壁となるが、ゲート電極82に印加される電圧(ゲート電圧)によってその障壁高さを制御することができるようになっている。

#### 【0043】

すでに説明したように、第2ゲート電極82bには特に、アノード電極78(特許請求の範囲に記載の第2電極に相当し、IGBTではエミッタ電極と称される)の電圧よりもV2だけ低い電圧を印加できるようになっている。すなわち、第2ゲート電極82bの電位を、アノード電極78に対して負電位にすることができるようになっている。これにより、バリア領域75a, 75bのポテンシャル障壁を消失するように障壁高さを変動させることができる。これにより、ダイオード素子11は、第1バリア領域75aが反転してアノード領域76a、第1バリア領域75aおよび第1サブアノード74aが一体的なp導電型の領域と見なせる。つまり、ダイオード素子12は単純なpn接合ダイオードとなり、第1サブアノード74aが形成されたダイオードに較べて順電圧VFを低減することができる。

10

#### 【0044】

本実施形態において、ゲート電圧V2は、少なくとも第1バリア領域75aにチャネルを生じさせることができる値に設定されている。換言すれば、電圧V2は、ダイオード素子12において、アノード領域76aと、第1バリア領域75aと、第1サブアノード74aとにより形成される寄生トランジスタの閾値電圧Vth以上となるように設定されている。一方、ゲート電圧V1は、IGBT素子11において、ボディ領域76bにチャネルを生じさせることのできる値に設定されている。換言すれば、ゲート電圧V1はスイッチング素子たるIGBTをオンの状態にすることのできる電圧に設定されている。

20

#### 【0045】

なお、本実施形態におけるn導電型は、特許請求の範囲に記載の第1導電型に相当し、p導電型は第2導電型に相当する。導電型の関係性は互いに逆であっても良い。この場合、アノードとカソードの関係も逆になる。

#### 【0046】

次に、図3を参照して、本実施形態における第1素子10および第2素子20の平面レイアウトについて説明する。なお、第1素子10と第2素子20とは互いに等価な逆導通絶縁ゲートバイポーラトランジスタであるからこれらの区別なく説明する。また、符号について、図1および図2と共通する要素は第1素子10に付した符号と相互に対応付ける。図3におけるII-II線に沿う断面が図2に相当する。

30

#### 【0047】

図3に示すように、本実施形態における絶縁ゲートバイポーラトランジスタは、ゲート電極82がストライプ状に形成されている。ゲートパッドG1, G2とゲート電極82とを互いに電氣的に接続するゲート配線83は、IGBT素子11あるいはダイオード素子12が形成された素子領域上において、ゲート電極82の延設方向に沿って形成されている。ゲート配線83は、第1ゲートパッドG1と第1ゲート電極82aとを接続する第1ゲート配線83aと、第2ゲートパッドG2と第2ゲート電極82bとを接続する第2ゲート配線83bとを含む。

40

#### 【0048】

上記したように、第1ゲート電極82aには、アノード電極78(すなわち、エミッタ電極)の電位Ve、および、Veを基準にして正の電圧+V1が印加可能とされている。また、第2ゲート電極82bには、Ve、+V1、そしてVeを基準にして負の電圧-V2が印加可能とされている。

#### 【0049】

この絶縁ゲートバイポーラトランジスタにおいて、IGBT素子11のゲート電極82には第1ゲート電極82aと第2ゲート電極82bの両方が含まれる。そして、ダイオード素子12のゲート電極82には第2ゲート電極82bのみが割り当てられている。つま

50

り、IGBT素子11は、IGBTをオンの状態にするゲート電圧 $V_1$ が少なくとも印加可能にされているとともに、ゲート電圧 $V_1$ の印加とは独立してゲート電圧 $-V_2$ が印加可能にされている。また、ダイオード素子12は、ゲート電圧 $-V_2$ が少なくとも印加可能にされている。

【0050】

また、図3に示すように、IGBT素子11とダイオード素子12との境界近傍の領域、すなわち混成領域には、第2ゲート電極82bが割り当てられている。つまり、混成領域には、 $+V_1$ と $-V_2$ の両方が印加可能になっている。

【0051】

なお、IGBT素子11が形成された領域では、図3に示すように、ゲート配線83の延設方向に直交する方向において、第1ゲート電極82aと第2ゲート電極82bとが交互に配置されていることが好ましい。もちろん、同種のゲート電極82が互いに隣り合うように配置しても構わないが、第1ゲート電極82aと第2ゲート電極82bとが交互に配置されていることによって、後に詳述するターンオフに係るスイッチング速度を速くする効果をより大きくすることができる。また、発熱源を分散させることができるので、熱的に有利である。

【0052】

また、ゲート電極82は、必ずしも全てのゲート電極82が第1ゲート電極82aあるいは第2ゲート電極82bに属する必要はなく、いくつかのゲート電極82がアノード電極78に短絡された間引き構造としても良い。アノード電極78に短絡されたゲート電極82の電位はアノード電圧（エミッタ電圧に相当）に固定されるので、素子10, 20全体としてゲート容量を小さくすることができる。これにより、素子10, 20を駆動するために必要な駆動部30, 40のドライブ能力を抑制することができる。

【0053】

次に、図4を参照して、本実施形態における半導体装置、とくに第1素子10および第2素子20の動作とともに、作用効果について説明する。図4は、第1ゲート電極82aおよび第2ゲート電極82bに印加されるゲート電圧を、第1素子10あるいは第2素子20の動作モードに対応して図示したものである。第1素子10と第2素子20とは互いに等価であるから、とくに断らない限り第1素子10について説明する。

【0054】

素子10の状態には、図4に示すA～Dの状態がある。状態Aは、負荷電流 $I$ が十分大きく、順導通モードで動作中であることが判定可能な状態である。状態Bは、実際は順導通モードであるものの、負荷電流 $I$ が動作モードを判定可能なレベルに比べて小さく、モード判定部50が順導通モードか逆導通モードかを判定できない状態である。状態Cは、状態Bは、実際は逆導通モードであるものの、負荷電流 $I$ が動作モードを判定可能なレベルに比べて小さく、順導通モードか逆導通モードかを判定できない状態である。状態Dは、負荷電流 $I$ が十分大きく、逆導通モードで動作中であることが判定可能な状態である。

【0055】

状態Aにおいて、駆動部30は、第1ゲート電極82aと第2ゲート電極82bの両方に電圧 $+V_1$ を印加する。状態Aは素子10が順導通モードで駆動中であり、IGBTとしての機能が期待される。よって、IGBT素子11が形成された領域に属する第1ゲート電極82aと第2ゲート電極82bの両方に電圧 $+V_1$ を印加することによりIGBTとして動作させることができる。一方、ダイオード素子12が形成された領域に属する第2ゲート電極82bにも $+V_1$ が印加される。本実施形態においては、ダイオード素子12の属するゲート電極82はすべて第2ゲート電極82bであり、IGBT素子11との境界近傍である混成領域にも $+V_1$ が印加される。よって、混成領域をIGBTとして機能させることができる。

【0056】

状態Bおよび状態Cにおいて、駆動部30は、第1ゲート電極82bに電圧 $+V_1$ を印加するとともに、第2ゲート電極82bに電圧 $-V_2$ を印加する。状態Bおよび状態Cは

10

20

30

40

50

、モード判定部50では素子10がいずれの動作モードで動作中かを判定できない電流領域である。仮に、素子10が順導通モードであった(状態B)とすれば、IGBT素子11に属する第1ゲート電極82aには電圧+V1が印加されているので、IGBTとして正しく動作させることができる。また、IGBT素子11に属する第2ゲート電極82bに電圧-V2が印加されているので、IGBT素子11のターンオフ時において、ボディ領域76bにホールが流入しやすい状態となる。すなわち、第2ドリフト領域73bの存在するホールがボディ領域76bに移動しやすくなり、ターンオフに係るスイッチング速度を速くすることができる。

#### 【0057】

一方、仮に素子10が逆導通モードであった(状態C)としても、ダイオード素子12の属する第2ゲート電極82bには電圧-V2が印加されているので、順電圧VFを低減する効果を奏することができる。また、上記のとおり、IGBT素子11をIGBTとして動作させるために第1ゲート電極82aには電圧+V1が印加されているが、IGBT素子11とダイオード素子12との境界近傍である混成領域にも第2ゲート電極82bによって電圧-V2が印加されているので、第1ゲート電極82aに電圧+V1が印加されることによるゲート干渉を抑制することができる。すなわち、ダイオード素子12をダイオードとして確実に機能させることができる。

#### 【0058】

状態Dにおいて、駆動部30は、第1ゲート電極82bにエミッタ電圧Veを印加するとともに、第2ゲート電極82bに電圧-V2を印加する。状態Dは素子10が逆導通モードで駆動中であり、ダイオードとしての機能が期待される。よって、ダイオード素子12が形成された領域に属する第2ゲート電極82bに電圧-V2を印加することにより順電圧VFを低減する効果を奏することができる。一方、第1ゲート電極82aにはエミッタ電圧Veが印加されている。このため、第1ゲート電極82aはエミッタ電圧Veを基準に負電圧が印加される場合に較べて、負電圧を印加する機能は第2ゲート電極82b側だけでよく、回路規模を小さくできる。

#### 【0059】

次に、図5～図7を参照して、第2ゲート電極82bにゲート電圧-V2を印加する具体的なタイミングについて、3通りの例で説明する。なお、図5～7における負荷電流Iは図1に示す負荷電流Iと同義であり、負荷電流Iは第1素子10と第2素子20との接続点から負荷200に向かって流れる場合を正の電流としている。また、第1ゲート電極82aに印加されるゲート電圧はIGBT素子11をIGBTとしてスイッチング動作させるためのものであり、PWM基準信号に同期してハイレベルとローレベルとを繰り返しているとする。

#### 【0060】

< PWM基準信号に同期する実施例 >

図5に示すように、この例では、第2ゲート電極82bに印加されるゲート電圧も、第1ゲート電極82aと同様にPWM基準信号に同期して印加される。PWM基準信号のHigh/Lowは、上アームを構成する第1素子10に対応するものと、下アームを構成する第2素子20に対応するものとで互いに反転した関係になっている。PWM基準信号がHighの期間において、図4に示すゲート電圧が有効となり、PWM基準信号がLowの期間はエミッタ電圧Veがゲート電圧として各ゲート電極82に入力される。

#### 【0061】

時刻t1～時刻t2において、モード判定部50は、第1素子10が順導通モードであり、第2素子20が逆導通モードであると判定する。したがって、第1素子10は状態Aで動作する。つまり、PWM基準信号に同期してハイレベルが+V1とされ、ローレベルがVeとされるPWM制御されたゲート電圧が第1ゲート電極82aと第2ゲート電極82bの両方に印加される。一方、第2素子20は状態Dで動作する。つまり、第1ゲート電極82aには、常にエミッタ電圧Veが印加され、第2ゲート電極82bには、ハイレベルがVeとされローレベルが-V2とされるPWM制御されたゲート電圧が印加される

10

20

30

40

50

## 【 0 0 6 2 】

時刻  $t_2$  ~ 時刻  $t_3$  において、モード判定部 50 は、第 1 素子 10 および第 2 素子 20 の動作モードを判定することができない。したがって、第 1 素子 10 および第 2 素子 20 は、状態 B または状態 C で動作する。つまり、第 1 ゲート電極 82a には、ハイレベルが  $+V_1$  とされローレベルが  $V_e$  とされる PWM 制御されたゲート電圧が印加される。第 2 ゲート電極 82b には、ハイレベルが  $V_e$  とされローレベルが  $-V_2$  とされる PWM 制御されたゲート電圧が印加される。

## 【 0 0 6 3 】

時刻  $t_3$  ~ 時刻  $t_4$  において、モード判定部 50 は、第 1 素子 10 が逆導通モードであり、第 2 素子 20 が順導通モードであると判定する。したがって、第 1 素子 10 は状態 D で動作し、第 2 素子 20 が状態 A で動作する。ゲート電圧は、時刻  $t_1$  ~ 時刻  $t_2$  における第 1 素子 10 と第 2 素子 20 との関係と逆の関係にある。

## 【 0 0 6 4 】

時刻  $t_4$  ~ 時刻  $t_5$  において、モード判定部 50 は、第 1 素子 10 および第 2 素子 20 の動作モードを判定することができない。したがって、第 1 素子 10 および第 2 素子 20 は、状態 B または状態 C で動作する。つまり、ゲート電圧は、時刻  $t_2$  ~ 時刻  $t_3$  と同様に変化する。

## 【 0 0 6 5 】

この例では、状態 C あるいは状態 D の逆導通モードにおいて、ダイオード素子 12 にエミッタ電圧  $V_e$  に対して負の電圧  $-V_2$  を印加するので順電圧  $V_F$  を低減することができる。これに加えて、一般的な駆動回路にて実施される通り、第 1 素子 10 に入力される PWM 基準信号と、第 2 素子 20 に入力される PWM 基準信号が、同時に High にならないように、双方が Low となるデットタイムが一定時間設定されていることより、逆導通絶縁ゲートバイポーラトランジスタのリカバリ期間にダイオード素子 12 に印加するゲート電圧を  $V_e$  にしておくことができるため、常に  $-V_2$  が印加された状態に比べてリカバリ損失を低減することができる。

## 【 0 0 6 6 】

< 常に負電圧が印加される実施例 >

図 6 に示すように、この例では、状態 B ~ D において第 2 ゲート電極 82b に印加されるゲート電圧が  $-V_2$  であるとき、PWM 基準信号に依らず常に電圧  $-V_2$  が印加される。この例でも、ダイオード素子 12 にエミッタ電圧  $V_e$  に対して負の電圧  $-V_2$  を印加するので順電圧  $V_F$  を低減することができる。また、IGBT 素子 11 においてボディ領域 76b へホールが流入しやすい状況をつくることができ、ターンオフに係るスイッチング速度を速くすることができる。ただし、上述した PWM 基準信号に同期する動作に比べて、 $V_2$  の大きさを小さく設定することが好ましい。これは、 $V_2$  の大きさを過剰に設定すると逆導通によるダイオード電流が大きい状態では、ダイオード素子 12 におけるリカバリ損失が大きくなるためである。この例のように、PWM 基準信号に依らず常に電圧  $-V_2$  が印加されるような態様は、順電圧  $V_F$  による損失の低減効果が高いが、リカバリ損失も増大する虞があるため、システム全体の駆動損失に占める順電圧  $V_F$  による損失の割合

## 【 0 0 6 7 】

< ダイオード電流の大きさに依存して負電圧が印加される例 >

PWM 基準信号に依らず常に電圧  $-V_2$  が印加される態様では、上記したように、ダイオード電流が大きい場合にリカバリ損失が増大してしまう虞がある。これを解決するため、この例では、図 7 に示すように、ダイオード電流、ひいては負荷電流  $I$  に閾値を設ける。負荷電流  $I$  の大きさが閾値より小さい場合には第 2 ゲート電極 82b に電圧  $-V_2$  が印加され、負荷電流  $I$  の大きさが閾値以上の場合は、第 2 ゲート電極 82b に電圧  $V_e$  が印加される。これにより、ダイオード電流が大きい場合のリカバリ損失を低減することができる。

10

20

30

40

50

## 【 0 0 6 8 】

## ( 第 2 実施形態 )

第 1 実施形態において説明した第 1 素子 1 0、第 2 素子 2 0 たる逆導通絶縁ゲートバイポーラトランジスタに加えて、図 8 に示すように、n 導電型のピラー領域 7 9 を有していることが好ましい。ピラー領域 7 9 は、半導体基板 7 0 の第 2 主面 7 0 b から厚さ方向に延び、アノード領域 7 6 a あるいはボディ領域 7 6 b を貫通して第 1 バリア領域 7 5 a、第 2 バリア領域 7 5 b に至るように形成されている。ピラー領域 7 9 は、第 1、第 2 バリア領域 7 5 a、7 5 b と同一の導電型の不純物がドーブされた拡散層であり、ピラー領域 7 9 とバリア領域 7 5 a、7 5 b とは略同電位である。

## 【 0 0 6 9 】

ピラー領域 7 9 を有することにより、アノード電極 7 8 とカソード電極 7 1 の間に順バイアスが印加されると、アノード電極 7 8 とピラー領域 7 9 は金属 - 半導体接合面を介して短絡する。ピラー領域 7 9 と第 1 バリア領域 7 5 a はほぼ同電位であるため、第 1 バリア領域 7 5 a とアノード電極 7 8 の電位差は金属 - 半導体接合面での電圧降下とほぼ等しくなる。金属 - 半導体接合面での電圧降下は、アノード領域 7 6 a と第 1 バリア領域 7 5 a の間の p n 接合のビルトイン電圧よりも小さいので、アノード領域 7 6 a から第 1 ドリフト領域 7 3 a へのホールの注入が抑制される。

## 【 0 0 7 0 】

アノード電極 7 8 とカソード電極 7 1 の間の電圧が順バイアスから逆バイアスに切り替わると、ダイオード素子 1 2 では、順バイアスの印加時においてアノード領域 7 6 a から第 1 ドリフト領域 7 3 a へのホールの注入が抑制されているから、リカバリ電流が小さく、リカバリ時間が短い。

## 【 0 0 7 1 】

また、このダイオード素子 1 2 では、アノード電極 7 8 とカソード電極 7 1 の間に逆バイアスが印加されると、第 1 サブアノード 7 4 a と第 1 ドリフト領域 7 3 a の間の p n 接合の界面から伸びる空乏層によって耐圧が確保される。すなわち、このダイオード素子 1 2 によれば、逆バイアスに対する耐圧を向上することができる。

## 【 0 0 7 2 】

なお、本実施形態ではピラー領域 7 9 が I G B T 素子 1 1 にも形成される例を示したが、少なくともダイオード素子 1 2 に形成されていればホール注入抑制効果を奏することができる。このため、必ずしも I G B T 素子 1 1 にピラー領域 7 9 が形成されている必要はない。

## 【 0 0 7 3 】

## ( 第 3 実施形態 )

第 1 実施形態において図 3 を参照して平面レイアウトについて説明した間引き構造について、本実施形態において具体的に説明する。本実施形態では、第 2 実施形態において説明したように、ピラー領域 7 9 を備える態様であって、図 9 に示すように、ダイオード素子 1 2 において、互いに隣り合うゲート電極 8 2 をアノード電極 7 8 と短絡させないようにしている。換言すれば、アノード電極 7 8 と短絡したゲート電極 8 2 に隣接するゲート電極 8 2 は、第 2 ゲート電極 8 2 b に割り当てられている。これによれば、ダイオード素子 1 2 に形成された第 1 バリア領域 7 5 a は、少なくとも一つの第 2 ゲート電極 8 2 b に、絶縁膜 8 1 を介して接しているため、ダイオード素子 1 2 は、第 2 ゲート電極 8 2 b に負電圧 - V 2 が印加されることによる順電圧 V F の低減効果を奏することができる。また、間引き構造によるゲート容量の低減効果を奏することもできる。

## 【 0 0 7 4 】

なお、本実施形態では、逆導通絶縁ゲートバイポーラトランジスタがピラー領域 7 9 を有する構成について説明したが、第 1 実施形態のようにピラー領域 7 9 を有さない構成についても同様である。

## 【 0 0 7 5 】

## ( その他の実施形態 )

以上、本発明の好ましい実施形態について説明したが、本発明は上記した実施形態になんら制限されることなく、本発明の主旨を逸脱しない範囲において、種々変形して実施することが可能である。

**【0076】**

上記した各実施形態では、トレンチゲート80を有する縦型の絶縁ゲートバイポーラトランジスタを例に説明したが、必ずしもトレンチ型のゲート電極82を有する構造である必要はないし縦型である必要もない。図10に示すように、横型素子についても本発明を適用可能である。バリア領域とゲート電極とを有するダイオードは、図10に示すように、n導電型の半導体基板90における一面90aの表層に、p導電型のアノード領域91が形成されている。そして、アノード領域91を取り囲むように、n導電型のバリア領域92が一面90aの一部が露出しつつ形成されている。さらに、バリア領域92を挟んでアノード領域91の反対側にサブアノード93が形成されている。アノード領域91には金属製のアノード電極94が一面90aにおいて接合されている。また、アノード領域91、バリア領域92およびサブアノード93が形成されていない半導体基板90の一面90aにカソード電極95が接合されている。

10

**【0077】**

ダイオード電流はアノード電極94とカソード電極95の間を流れる。この例では、カソード電極95が接合されたn導電型の半導体基板が特許請求の範囲に記載の第1不純物領域に相当し、アノード電極94が接合されたアノード領域91が特許請求の範囲に記載の第2不純物領域に相当する。つまり、ダイオード電流はカソード電極95近傍の半導体基板とアノード領域91の間を流れ、その電流経路にサブアノード93とバリア領域92が位置している。この横型のダイオードは、さらに、バリア領域92が露出した一面90a上に、絶縁膜96を介してゲート電極97が形成されている。第1実施形態において説明した縦型のダイオード素子12と同様に、横型のダイオードでも、バリア領域92を有することによりリカバリ特性を向上させることができ、ゲート電極97にアノード領域91の電位に対して負の電圧を印加することにより順電圧VFを低減することができる。よって、第1実施形態と同様に、モード判定部50が順導通モードか逆導通モードかを判定できない場合には、ゲート電極97に負の電圧を印加することにより第1実施形態と同様の効果を奏することができる。

20

**【0078】**

また、上記した各実施形態において、負電圧-V2を入力するタイミングでエミッタ電圧Veを印加するに留めることもできる。この場合は、負電圧印加による順電圧VFの低減効果は小さいものの、ダイオード素子12に電圧+V1が印加されることはないので、+V1が印加されることに起因するダイオード特性の悪化、とくに順電圧VFの増加を抑制することができる。

30

**【0079】**

また、上記した各実施形態において、ダイオード素子12に並列するスイッチング素子としてIGBT素子11を採用する例について説明したが、スイッチング素子は例えばMOSFETであっても良い。MOSFETの場合、図2、図8および図9に示すスイッチング素子領域(上記した各実施形態ではIGBT素子11)のコレクタ領域72bがn導電型のドレイン領域となり、スイッチング素子とダイオード素子を兼ねた領域となる。つまり、スイッチング素子領域とダイオード素子12とを作り分けることはしなくともよい。なお、図2、図8および図9に示したエミッタ領域77はソース領域となる。このような態様では、実質的にスイッチング素子として機能する領域と、ダイオードとして機能する領域とが並列に形成された状態にある。

40

**【0080】**

また、上記した各実施形態では、ゲート電極82がストライプ状に形成された例について説明したが、少なくとも第1ゲート電極82aと第2ゲート電極82bとに分けられていれば任意形状で良く、例えば格子状に形成されていても良い。

**【0081】**

50

また、逆導通スイッチング素子における IGBT 素子 11, 21 側には必ずしもバリア領域 92 およびサブアノード 93 を形成する必要はなく、ダイオード素子 12, 22 側においてもサブアノード 93 は全面ではなく部分的に形成されていても良い。

【0082】

また、上記した各実施形態では、IGBT 素子 11, 21 における第 1 電極および第 2 電極と、ダイオード素子 21, 22 における第 1 電極および第 2 電極とが、素子内においてそれぞれ共通のゲートパッド G1, G2 に接続される例について説明した。しかしながら、互いの電極は素子外において接続されても良く、特許請求の範囲に記載の、ダイオード素子と共通した第 1 電極および第 2 電極、との表現は、第 1 素子 10 あるいは第 2 素子 20 外部での接続も含むものである。

10

【0083】

さらに、上記した各実施形態では、スイッチング素子領域とダイオード素子において第 1 電極 71 が共通して形成される例について説明したが、IGBT 素子 11, 21 におけるコレクタ電極と、ダイオード素子 21, 22 におけるカソード電極とをそれぞれ別体として形成してもよく、互いの電極が第 1 素子 10 あるいは第 2 素子 20 外部で接続される場合も含むものである。

【0084】

また、上記した各実施形態では、スイッチング素子領域とダイオード素子において第 2 電極 78 が共通して形成される例について説明したが、IGBT 素子 11, 21 におけるエミッタ電極と、ダイオード素子 21, 22 におけるアノード電極とをそれぞれ別体として形成してもよく、互いの電極が第 1 素子 10 あるいは第 2 素子 20 外部で接続される場合も含むものである。

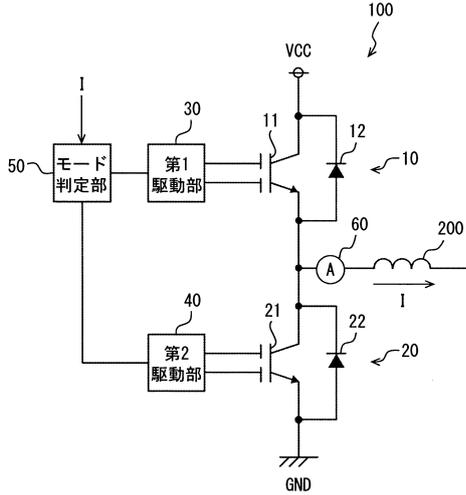
20

【符号の説明】

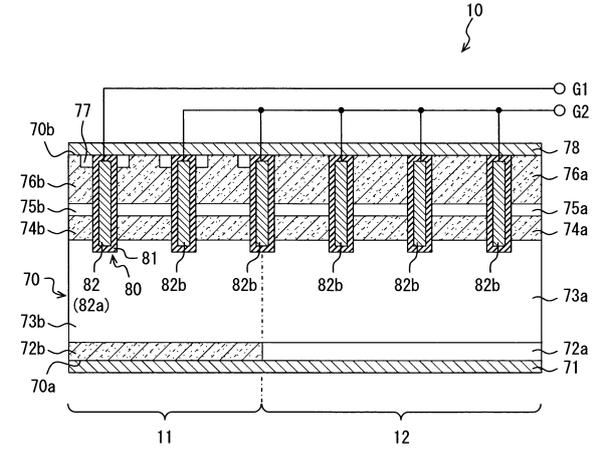
【0085】

10 ... 第 1 素子, 11 ... IGBT 素子, 12 ... ダイオード素子, 20 ... 第 2 素子, 21 ... IGBT 素子, 22 ... ダイオード素子, 30 ... 第 1 駆動部, 40 ... 第 2 駆動部, 50 ... モード判定部, 100 ... インバータ (半導体装置), 200 ... 負荷

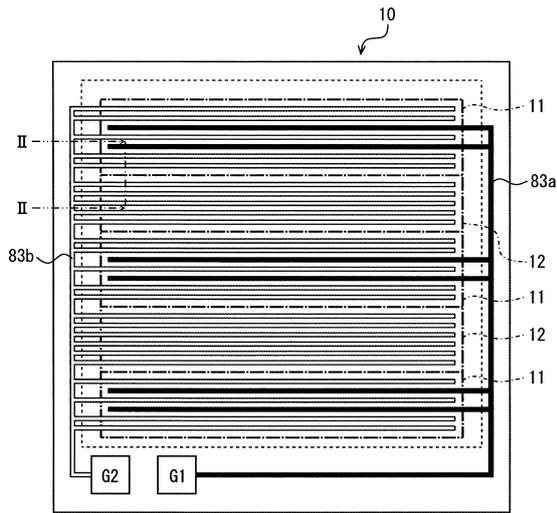
【図1】



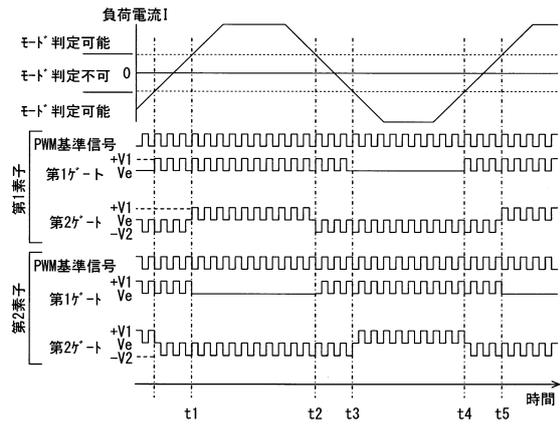
【図2】



【図3】



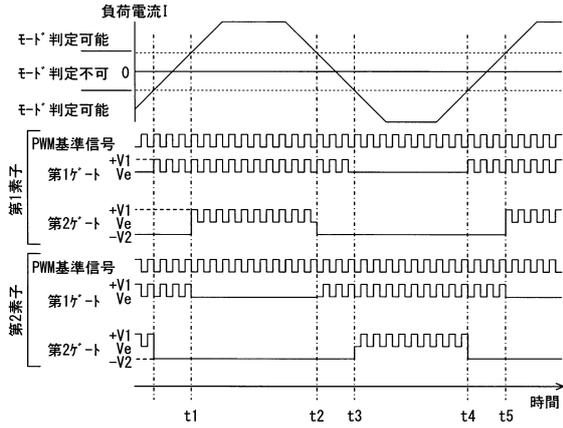
【図5】



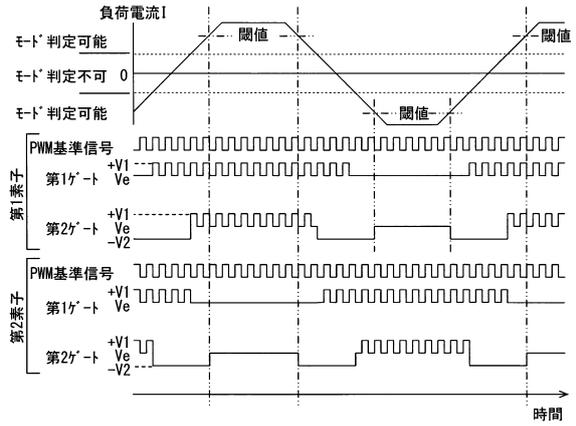
【図4】

|   | 実際の動作モード | モード判定部が判定する動作モード  | 第1ゲート電極 | 第2ゲート電極 |
|---|----------|-------------------|---------|---------|
| A | 順導通モード   | 順導通モード            | +V1     | +V1     |
| B | 逆導通モード   | 動作モードが判定できない小電流領域 | +V1     | -V2     |
| C | 逆導通モード   | 逆導通モード            | Ve      | -V2     |
| D |          |                   |         |         |

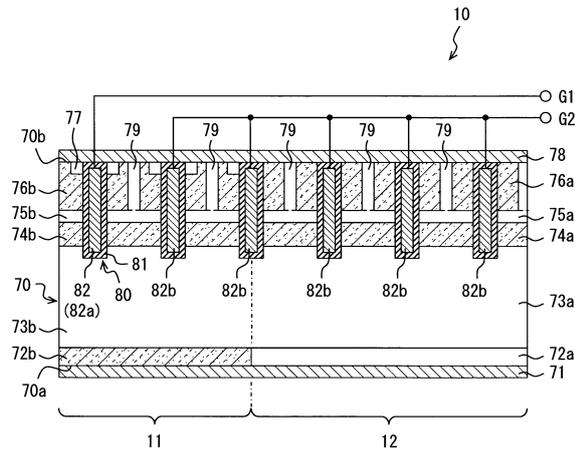
【図6】



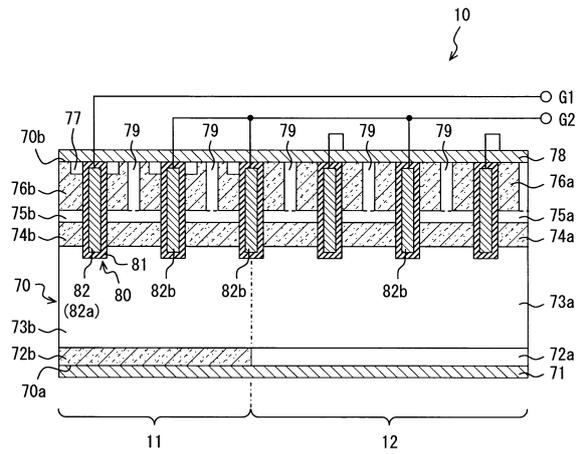
【図7】



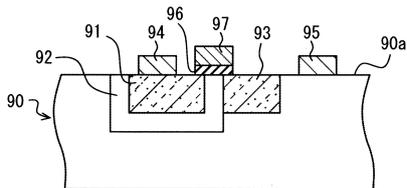
【図8】



【図9】



【図10】



## フロントページの続き

|               |           |         |       |         |
|---------------|-----------|---------|-------|---------|
| (51)Int.Cl.   |           | F I     |       |         |
| H 0 1 L 27/06 | (2006.01) | H 0 1 L | 29/78 | 6 5 5 G |
| H 0 1 L 27/08 | (2006.01) | H 0 1 L | 29/91 | L       |
|               |           | H 0 1 L | 29/91 | C       |
|               |           | H 0 1 L | 29/78 | 6 5 2 C |
|               |           | H 0 1 L | 27/06 | 1 0 2 A |
|               |           | H 0 1 L | 27/08 |         |

- (56)参考文献 特開2009 - 253004 (JP, A)  
 特開2014 - 063960 (JP, A)  
 特開2008 - 072848 (JP, A)  
 特開2009 - 065105 (JP, A)  
 特開2008 - 278552 (JP, A)  
 特開2011 - 238975 (JP, A)

## (58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 9 / 7 3 9  
 H 0 1 L 2 1 / 8 2 3 4  
 H 0 1 L 2 7 / 0 6  
 H 0 1 L 2 7 / 0 8  
 H 0 1 L 2 9 / 7 8  
 H 0 1 L 2 9 / 8 6 1  
 H 0 1 L 2 9 / 8 6 8