(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013 年 8 月 1 日(01.08.2013)

WIPO | PCT

(10) 国際公開番号
WO 2013/111194 A1

(51) 国際特許分類:
H01L 23/12 (2006.01) *H05K 3/46* (2006.01)
H01L 23/32 (2006.01)

(21) 国際出願番号: PCT/JP2012/000522

(22) 国際出願日: 2012 年 1 月 27 日(27.01.2012)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): パナソニック株式会社(PANASONIC CORPORATION) [JP/JP]; 〒5718501 大阪府門真市大字門真１００６番地 Osaka (JP).

(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 伊藤　嘉信(ITO, Yoshinobu). 大住　秀夫(OOSUMI, Hideo).

(74) 代理人: 鮫島　睦, 外(SAMEJIMA, Mutsumi et al.); 〒5400001 大阪府大阪市中央区城見１丁目３番７号ＩＭＰビル青山特許事務所 Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

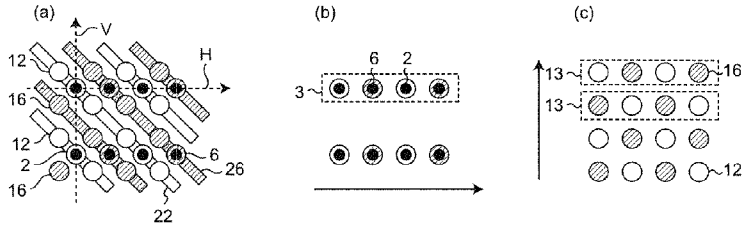
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告（条約第 21 条(3)）

(54) **Title**: MULTILAYER PRINTED BOARD

(54) 発明の名称 : 多層プリント基板

[図1]



(57) **Abstract**: This multilayer printed board has an integrated circuit mounted thereon with ball pads therebetween, said ball pads being provided on a surface of the multilayer printed board. The multilayer printed board is provided with: a plurality of power supply vias, which are electrically connected to power supply wiring; a plurality of grounding vias, which are electrically connected to grounding wiring; a plurality of power supply ball pads, which are connected to the power supply balls that are electrically connected to the power supply wiring of the integrated circuit; and a plurality of grounding ball pads, which are connected to the grounding balls that are electrically connected to the grounding wiring of the integrated circuit. Though the power supply vias and the grounding vias are alternately disposed in the first direction, the power supply vias and the grounding vias are not alternately disposed in the second direction that orthogonally intersects the first direction. The power supply ball pads and the grounding ball pads are alternately disposed in the first direction and/or the second direction, and regions, which are respectively provided with the power supply ball pads and the grounding ball pads, are disposed in the second direction on both the sides of a region having the power supply vias and the grounding vias provided therein.

(57) 要約:

[続葉有]

WO 2013/111194 A1

本発明は、表面のボールパッドを介して集積回路を実装する多層プリント基板であって、電源配線と電気的に接続する複数の電源用ビアと、グランド配線と電気的に接続する複数のグランド用ビアと、集積回路の電源配線と電気的に接続する電源用ボールと接続する複数の電源用ボールパッドと、及び、集積回路のグランド配線と電気的に接続するグランド用ボールと接続する複数のグランド用ボールパッドとを備え、電源用ビアとグランド用ビアは第１の方向にて交互に配置されるが、第１の方向と直交する第２の方向においては交互に配置されず、電源用ボールパッドとグランド用ボールパッドは第１の方向と第２の方向の内の少なくとも一の方向にて交互に配置され、電源用ボールパッドとグランド用ボールパッドを設ける領域は電源用ビアとグランド用ビアを設ける領域に対して第２の方向にて両隣に配置される。

明　細　書

発明の名称 ： 多層プリント基板

技術分野

[0001] 本発明は、集積回路（ＩＣ）を実装する多層プリント基板に関する。

背景技術

[0002] ＢＧＡ（Ｂａｌｌ　Ｇｒｉｄ　Ａｒｒａｙ）タイプの集積回路（ＩＣ）を実装するプリント基板には、導体層と層間絶縁層とが交互に多層で形成されるものがある。そのような多層プリント基板には、電源用ビア及びグランド用ビアのためのビアが多数配置される。

[0003] また、そのような多層プリント基板の表面には、集積回路（ＩＣ）におけるアレイ状のボールと接続するためのボール用パッドも多数配置される。多層プリント基板に集積回路（ＩＣ）を実装する際には、多数のボール用パッドと、集積回路（ＩＣ）の多数のボールとが接続される。図６（１）は、ＩＣチップ４０、パッケージ基板３０及び、ボール２０から構成される集積回路（ＩＣ）５０を実装した多層プリント基板１０の側面図を示している。図６（１）において、多層プリント基板１０の表面は、パッド及びボール２０を介して、パッケージ基板３０の下面と接続している。

[0004] ＢＧＡタイプの集積回路（ＩＣ）における集積化が益々進められていることから、多層プリント基板一枚当たりの電源用ビア及びグランド用ビアの数も益々増加している。そうすると、多層プリント基板において、望ましくない誘導起電力が発生しやすくなり、このことは集積回路（ＩＣ）及び多層プリント基板の信頼性及び電気特性を低下させる、という問題が生じている。

[0005] 上述の問題を解決するため、引用文献１に開示される多層プリント基板では、図６（２）に示すように、電源用ビア２とグランド用ビア６とが格子状に配置されている。図６（２）に示すような格子状の配置によって、ビアにより多層プリント基板１０に発生する誘導起電力が相互に打ち消され、また、個々のビア間の相互インダクタンスが小さくなり、多層プリント基板１０

全体の信頼性及び電気特性が改善される。

先行技術文献

特許文献

[0006] 特許文献1：特開２０１０－２８３３９６号公報

特許文献2：特開２００６－１１４７７７号公報

特許文献3：米国特許公開２００７／００３４４０５Ａ１

発明の概要

発明が解決しようとする課題

[0007] 引用文献１に開示される多層プリント基板において、誘導起電力の打ち消し効果をより高めるためには、電源用ビアとグランド用ビアとをできるだけ近づけて配置することが不可欠となる。しかしながら、電源用ビアとグランド用ビアとを近接して配置するならば、ビア間の導体面積が小さくなり、電源やグランド、その他異電位の電源などの配線インダクタンスが上昇し、信頼性及び電気特性を低下させる、という問題が生じる。更には、多層プリント基板の下面にバイパスコンデンサ等の部品が必要なケースにおいて、部品を配置することが非常に困難となる。

[0008] 本発明は、集積回路（ＩＣ）を実装する多層プリント基板にて、多層プリント基板における誘導起電力の発生を抑え、バイパスコンデンサなどのノイズ対策用部品を削除できる構成としつつ、多層プリント基板の下面にバイパスコンデンサ等の部品が必要なケースが生じても、部品を下面に配置することを可能とすることを目的とする。

課題を解決するための手段

[0009] 本発明は、上記の目的を達成するために為されたものである。本発明に係る多層プリント基板は、集積回路を実装する多層プリント基板であって、

電源配線と電気的に接続する複数の電源用ビアと、

グランド配線と電気的に接続する複数のグランド用ビアと、

前記集積回路の電源配線と電気的に接続する複数の電源用ボールと、接続

する、複数の電源用ボールパッドと、及び、

前記集積回路のグランド配線と電気的に接続する複数のグランド用ボールと、接続する、複数のグランド用ボールパッドとを備え、

前記電源用ビアと前記グランド用ビアは、第１の方向において交互に配置されるが、前記第１の方向と直交する第２の方向においては交互に配置されず、

前記電源用ボールパッドと前記グランド用ボールパッドは、前記第１の方向と前記２の方向のうちの少なくとも一つの方向において、交互に配置され、

前記電源用ボールパッドと前記グランド用ボールパッドを設ける領域は、前記電源用ビアと前記グランド用ビアを設ける領域に対して、前記第２の方向において両隣に配置される。

発明の効果

[0010] 本発明の多層プリント基板では、電源用ビアとグランド用ビアが第１の方向において交互に配置されるので、多層プリント基板における誘導起電力の発生が抑えられる。また、電源用ボールパッドとグランド用ボールパッドを設ける領域が、電源用ビアとグランド用ビアを設ける領域に対して、電源用ビアとグランド用ビアが交互に配置される第１の方向に直交する第２の方向における両隣に配置されるので、多層プリント基板の下面において、バイパスコンデンサ等の部品を配置する程度の領域を設けることが可能となる。

図面の簡単な説明

[0011] [図1]本発明の第１の実施形態に係る多層プリント基板の表面の一部の平面図である。

[図2]本発明の第１の実施形態に係る多層プリント基板に実装される集積回路（ＩＣ）の下面のボールの配置を示す図である。

[図3]本発明の第１の実施形態に係る多層プリント基板と集積回路（ＩＣ）の一部断面を模式的に表した図である。

[図4]本発明の第１の実施形態における種々の配置を示す平面図である。

[図5]本発明の第１の実施形態における種々の配置を示す平面図である。

[図6]図６（１）は、集積回路（ＩＣ）を実装した、一般的な多層プリント基板の側面図である。図６（２）は、従来の多層プリント基板の表面におけるビアの配置を示す平面図である。

発明を実施するための形態

[0012] 以下、図面を参照して、本発明に係る好適な実施形態を説明する。

[0013] ［第１の実施形態］

１．構成

１．１．多層プリント基板の構成

図１（ａ）は、本発明の第１の実施形態に係る多層プリント基板の表面でのビア及び配線の配置を示した図である。図１（ａ）に示す多層プリント基板１０の表面は、図６（１）に示すような、パッケージ基板３０の下面のボール２０と接する面である。

[0014] 図１（ａ）に示す多層プリント基板１０には、電源用ビア２とグランド用ビア６が多数配置される。特に、電源用ビア２とグランド用ビア６とは、図１の横方向（Ｈの方向）において交互に配置されている。しかし、縦方向（Ｖの方向）には交互に配置されていない。

[0015] 更に、図１（ａ）に示す多層プリント基板１０の表面には、電源用ボールパッド１２とグランド用ボールパッド１６が多数配置される。特に、電源用ボールパッド１２とグランド用ボールパッド１６とは、図１の縦方向において交互に配置されている。なお、図１（ａ）に示すように、多層プリント基板１０の表面において、電源用ビア２と電源用ボールパッド１２とは、電源配線２２によって接続される。同様に、多層プリント基板１０の表面において、グランド用ビア６とグランド用ボールパッド１６とは、グランド配線２６によって接続される。電源配線２２とグランド配線２６とは交互に配置されている。ボールパッド１２、１６上には、パッケージ基板３０のボール２０が接続される

[0016] 図１（ｂ）は、図１（ａ）における、電源用ビア２とグランド用ビア６と

の配置のみを説明する平面図である。図１（ｂ）からも明らかなように、電源用ビア２とグランド用ビア６とが、横方向には交互に配置されているが、縦方向には交互に配置されていない。また、図１（ｃ）は、図１（ａ）における、電源用ボールパッド１２とグランド用ボールパッド１６との配置のみを示した図である。図１（ｃ）からも明らかなように、電源用ボールパッド１２とグランド用ボールパッド１６とが、縦方向及び横方向において、交互に配置されている。

[0017] 図１に示す多層プリント基板１０において、電源用ビア２とグランド用ビア６とが横方向に交互に配置されているので、ビアを流れる電流により多層プリント基板１０に発生する誘導起電力が相互に打ち消される。

[0018] １．２．集積回路（ＩＣ）の構成

多層プリント基板１０上にパッケージ基板３０を実装する場合、多層プリント基板１０の電源用ボールパッド１２は、パッケージ基板３０の電源用ボール２０ａに直接接続し、多層プリント基板１０のグランド用ボールパッド１６は、パッケージ基板３０のグランド用ボール２０ｂに直接接続する。つまり、多層プリント基板１０とパッケージ基板３０との間において、多層プリント基板１０の電源用ボールパッド１２の位置は、パッケージ基板３０の電源用ボール２０ａの位置に対応し、多層プリント基板１０のグランド用ボールパッド１６の位置は、パッケージ基板３０のグランド用ボール２０ｂの位置に対応する。

[0019] 図２は、本発明の第１の実施形態に係る多層プリント基板１０に実装される集積回路（ＩＣ）５０の下面におけるボール（電源用ボール２０ａ、グランド用ボール２０ｂ）の配置を示した図である。多層プリント基板１０に接続するパッケージ基板３０の下面において、電源用ボールパッド１２に接続する電源用ボール２０ａと、グランド用ボールパッド１６に接続するグランド用ボール２０ｂとが、交互に配置されている。このようなボール２０の配置により、パッケージ基板３０においてもボールに流れる電流に起因して発生し得る誘導起電力が相互に打ち消されることになる。

[0020] ２．多層プリント基板及びパッケージ基板の動作

図３は、本発明の第１の実施形態に係る多層プリント基板１０とパッケージ基板３０の一部断面を模式的に表した図である。図３に示す多層プリント基板１０は、複数の導体層Ｌ１、Ｌ２、Ｌ３、Ｌ４により構成される。各導体層Ｌ１、Ｌ２、Ｌ３、Ｌ４の間には樹脂層５２が形成されている。ここで、２番目の導体層Ｌ２は、グランドに接続する導体層（グランド層）であり、グランド用ビア６と電気的に接続する。３番目の導体層Ｌ３は、電源に接続する導体層(電源層)であり、電源用ビア２と電気的に接続する。よって、グランド用ビア６と電源用ビア２とを所定の方向に関して交互に配置することで、夫々のビアを流れる電流により発生する誘導起電力が、相互に打ち消される。なお、図３は４層貫通基板の一例であり、グランド層や電源層も一例である。よって多層プリント基板１０の層構成は４層以外のものでも構わず、グランド層と電源層もどの層で構成をしても構わないし、単なるパターンとして配線しても構わない。

[0021] 更に、多層プリント基板１０のグランド用ビア６は、グランド配線２６及びグランド用ボールパッド１６を介して、パッケージ基板３０におけるグランド用ボール２０ｂ及びパッケージ基板内グランド用ビア３６に接続する。同様に、多層プリント基板１０の電源用ビア２は、電源配線２２及び電源用ボールパッド１２を介して、パッケージ基板３０における電源用ボール２０ａ及びパッケージ基板内電源用ビア３２に接続する。前述のように、電源用ボールパッド１２とグランド用ボールパッド１６とは、所定の方向に関して交互に配置される。これに対応して、パッケージ基板３０においては、電源用ボールパッド１２に接続する電源用ボール２０ａ及びこのボールに繋がるＬＳＩ内電源用ビア３２と、グランド用ボールパッド１２に接続するグランド用ボール２０ｂ及びこのボールに繋がるＬＳＩ内グランド用ビア３６とは、所定の方向に関して交互に配置されている。このような交互の配置により、パッケージ基板３０における夫々のボール及びビアを流れる電流により発生する誘導起電力が、相互に打ち消される。なお、図３のパッケージ基板３

０のグランド用ビア３６と電源用ビア３２は、貫通ビアのとして示されているが、これらはビルドアップのものであっても構わない。

[0022] 以上のように、多層プリント基板１０におけるビアの配置及びパッケージ基板３０におけるボールの配置により、多層プリント基板１０及びパッケージ基板３０に発生する誘導起電力が相互に打ち消され、相互インダクタンスを小さくすることができる。これにより、パッケージ基板３０と多層プリント基板１０を含めたシステム全体の信頼性及び電気特性が向上することになる。

[0023] また、図１において、電源用ボールパッド１２とグランド用ボールパッドを設ける領域１３は、電源用ビア２とグランド用ビア６を設ける領域３に対して、縦方向の両隣に配置される。すなわち、図１における縦方向に着目すると、隣り合うビア２、６は、少なくとも、２行分のボールパッド１２、１６を配置できる程度に、離れて配置される。よって、図１の横方向に直交する縦方向では、多層プリント基板１０の下面において、バイパスコンデンサ等の部品を配置する程度の領域が設けられることになる。なお、多層プリント基板１０の下面における部品の配置のしやすさを考慮すると、図１に示すように、電源用ビア２とグランド用ビア６とが交互に配置される方向に直交する方向（図１では、縦方向）では、電源用ビア２とグランド用ビア６とが交互に配置されないことが好ましい。

[0024] ３．第１の実施形態におけるその他の配置

図１及び図２にて、本発明の第１の実施形態に係る多層プリント基板１０における電源用ビア２、グランド用ビア６、電源用ボールパッド１２、及びグランド用ボールパッド１６の配置、並びに、パッケージ基板３０のボール２０の配置を示した。第１の実施形態に係る多層プリント基板１０及びパッケージ基板３０における配置は、図１及び図２に示すものに限定されない。その他の配置の例を、図４及び図５を用いて説明する。

[0025] 参考のため、図４（ａ－１）にて、図１（ａ）に示した配置と同一のものを示している。この配置は、図４（ｂ）に示す電源用ビア２とグランド用ビ

ア６の配置と、図４（ｃ－１）に示す電源用ボールパッド１２とグランド用ボールパッド１６の配置との組み合わせにより実現できる。図４（ｄ－１）は、このとき多層プリント基板１０に実装されるパッケージ基板３０の下面における電源用ボール２０ａ及びグランド用ボール２０ｂの配置を示した図である。

[0026] （１）その他の配置の第１の例

図４（ａ－２）にその他の配置の第１の例を示す。図４（ａ－２）に示す配置は、図４（ｂ）に示す電源用ビア２とグランド用ビア６の配置と、図４（ｃ－２）に示す電源用ボールパッド１２とグランド用ボールパッド１６の配置との組み合わせにより実現できる。すなわち、ボールパッドの配置に関して、図４（ｃ－２）に示すように、横方向に同じ種類のボールパッド１２、１６を配置し、縦方向においては、電源用ボールパッド１２とグランド用ボールパッド１６とを交互に配置している。図４（ｄ－２）は、このとき多層プリント基板１０に実装されるパッケージ基板３０の下面における電源用ボール２０ａ及びグランド用ボール２０ｂの配置を示した図である。

[0027] （２）その他の配置の第２の例

図４（ａ－３）にその他の配置の第２の例を示す。図４（ａ－３）に示す配置は、図４（ｂ）に示す電源用ビア２とグランド用ビア６の配置と、図４（ｃ－３）に示す電源用ボールパッド１２とグランド用ボールパッド１６の配置との組み合わせにより実現できる。すなわち、ボールパッドの配置に関して、図４（ｃ－３）に示すように、横方向に２つずつ同じ種類のボールパッド１２、１６を配置し、縦方向においては、電源用ボールパッド１２とグランド用ボールパッド１６とを交互に配置している。図４（ｄ－３）は、このとき多層プリント基板１０に実装されるパッケージ基板３０の下面における電源用ボール２０ａ及びグランド用ボール２０ｂの配置を示した図である。

[0028] （３）その他の配置の第３の例

図５（ａ－４）にその他の配置の第３の例を示す。図５（ａ－４）に示す

配置は、図５（ｂ）に示す電源用ビア２とグランド用ビア６の配置と、図５（ｃ－４）に示す電源用ボールパッド１２とグランド用ボールパッド１６の配置との組み合わせにより実現できる。図５（ｂ）に示す電源用ビア２とグランド用ビア６の配置は、図４（ｂ）に示す電源用ビア２とグランド用ビア６の配置と同一のものである。

[0029] ボールパッドの配置に関しては、図５（ｃ－４）に示すように、縦方向ではなく横方向において、電源用ボールパッド１２とグランド用ボールパッド１６とを交互に配置している。なお、図５（ｃ－４）に示す配置では、縦方向に同じ種類のボールパッド１２、１６を配置している。図５（ｄ－４）は、このとき多層プリント基板１０に実装されるパッケージ基板３０の下面における電源用ボール２０ａ及びグランド用ボール２０ｂの配置を示した図である。

[0030] （４）その他の配置の第４の例

図５（ａ－５）にその他の配置の第４の例を示す。図５（ａ－５）に示す配置は、図５（ｂ）に示す電源用ビア２とグランド用ビア６の配置と、図５（ｃ－５）に示す電源用ボールパッド１２とグランド用ボールパッド１６の配置との組み合わせにより実現できる。

[0031] ボールパッドの配置に関しては、図５（ｃ－５）に示すように、縦方向ではなく横方向において、電源用ボールパッド１２とグランド用ボールパッド１６とを交互に配置している。なお、図５（ｃ－５）に示す配置では、縦方向に２つずつ同じ種類のボールパッド１２、１６を配置している。図５（ｄ－５）は、このとき多層プリント基板１０に実装されるパッケージ基板３０の下面における電源用ボール２０ａ及びグランド用ボール２０ｂの配置を示した図である。

[0032] 図４、図５に示す配置において、電源用ビア２とグランド用ビア６とが交互に配置される方向（即ち、図５における横方向）に直交する縦方向に着目すると、隣り合うビア２、６は、少なくとも、２行分のボールパッド１２、１６を配置できる程度に、離れて配置されるから、図５の横方向に直交する

縦方向では、多層プリント基板１０の下面において、バイパスコンデンサ等の部品を配置する程度の領域が設けられ得ることになる。また、図４、図５に示す配置のいずれを用いた場合にも、ビアにより多層プリント基板１０に発生する誘導起電力が相互に打ち消され、及び、ボール配置によりパッケージ基板３０に発生する誘導起電力が相互に打ち消される。よって、パッケージ基板３０と多層プリント基板１０を含めたシステム全体の信頼性及び電気特性が向上することになる。

[0033] ３．まとめ

第１の実施形態に係る多層プリント基板は、表面に配置されたボールパッドを介して、集積回路（ＩＣ）５０を実装する多層プリント基板１０である。多層プリント基板１０は、電源配線と電気的に接続する複数の電源用ビア２と、グランド配線と電気的に接続する複数のグランド用ビア６と、パッケージ基板３０の電源配線と電気的に接続する電源用ボール２０ａと接続する、複数の電源用ボールパッド１２と、及び、パッケージ基板３０のグランド配線と電気的に接続するグランド用ボール２０ｂと接続する、複数のグランド用ボールパッド１６とを備える。ここで、電源用ビア２とグランド用ビア６は、第１の方向（Ｈの方向）において交互に配置されるが、第１の方向と直交する第２の方向（Ｖの方向）においては交互に配置されない。電源用ボールパッド１２とグランド用ボールパッド１６は、第１の方向と第２の方向のうちの少なくとも一つの方向において、交互に配置される。更に、電源用ボールパッドとグランド用ボールパッドを設ける領域１３は、電源用ビア２とグランド用ビア６を設ける領域３に対して、第２の方向の両隣に配置される。

[0034] このとき、多層プリント基板１０上に実装される集積回路（ＩＣ）５０は、多層プリント基板１０の複数の電源用ボールパッド１２を介して、多層プリント基板１０と電気的に接続する複数の電源用ボール２０ａと、多層プリント基板１０の複数のグランド用ボールパッド１６を介して、多層プリント基板１０と電気的に接続する複数のグランド用ボール２０ｂとを備える。こ

のような集積回路（ＩＣ）５０において、電源用ボール２０ａとグランド用ボール２０ｂは、多層プリント基板１０における電源用ボールパッド１２とグランド用ボールパッド１６が交互に配置される方向において、交互に配置される。

[0035] このような多層プリント基板１０では、第２の方向（Ｖの方向）に着目すると、隣接するビア２、６は少なくとも２行分のボールパッド１２、１６を配置できる程度に離れて配置され、且つ、電源用ビア２とグランド用ビア６とが交互に配置されないので、多層プリント基板１０の下面において、バイパスコンデンサ等の部品を配置する程度の領域を設けることが可能となる。また、このような多層プリント基板１０では、第１の方向（Ｈの方向）に電源用ビア２とグランド用ビア６とが交互に配置されるので、多層プリント基板１０における誘導起電力の発生が抑えられる。よって、パッケージ基板３０の信頼性及び電気特性が向上する。

[0036] 更に、このような多層プリント基板１０及びパッケージ基板３０では、第１の方向と第２の方向のうちの少なくとも一つの方向において、電源用ボールパッド１２及び電源用ボール２０ａと、グランド用ボールパッド１６及びグランド用ボール２０ｂとが交互に配置されるので、多層プリント基板１０における誘導起電力の発生だけでなく、パッケージ基板３０における誘導起電力の発生が抑えられる。よって、パッケージ基板３０と多層プリント基板１０を含めたシステム全体の信頼性及び電気特性が向上する。

産業上の利用可能性

[0037] 本発明は、ＢＧＡ（Ｂａｌｌ　Ｇｒｉｄ　Ａｒｒａｙ）タイプの集積回路（ＩＣ）を実装する多層プリント基板において利用され得る。

符号の説明

[0038] ２・・・電源用ビア、６・・・グランド用ビア、１０・・・多層プリント基板、１２・・・電源用ボールパッド、１６・・・グランド用ボールパッド、２０・・・ボール、２０ａ・・・電源用ボール、２０ｂ・・・グランド用ボール、２２・・・電源配線、２６・・・グランド配線、３２・・・パッケー

ジ基板内電源用ビア、３６・・・パッケージ基板内グランド用ビア、４０・・・ＩＣチップ、５０・・・集積回路（ＩＣ）。

請求の範囲

［請求項1］ 集積回路を実装する多層プリント基板であって、

電源配線と電気的に接続する複数の電源用ビアと、

グランド配線と電気的に接続する複数のグランド用ビアと、

前記集積回路の電源配線と電気的に接続する電源用ボールと接続する、複数の電源用ボールパッドと、及び、

前記集積回路のグランド配線と電気的に接続するグランド用ボールと接続する、複数のグランド用ボールパッドとを備え、

前記電源用ビアと前記グランド用ビアは、第１の方向において交互に配置されるが、前記第１の方向と直交する第２の方向においては交互に配置されず、

前記電源用ボールパッドと前記グランド用ボールパッドは、前記第１の方向と前記第２の方向のうちの少なくとも一つの方向において、交互に配置され、

前記電源用ボールパッドと前記グランド用ボールパッドを設ける領域は、前記電源用ビアと前記グランド用ビアを設ける領域に対して、前記第２の方向において両隣に配置されることを特徴とする

多層プリント基板。

［請求項2］ 請求項１に記載の多層プリント基板上に実装される集積回路であって、

前記多層プリント基板の複数の前記電源用ボールパッドと電気的に接続する複数の電源用ボールと、

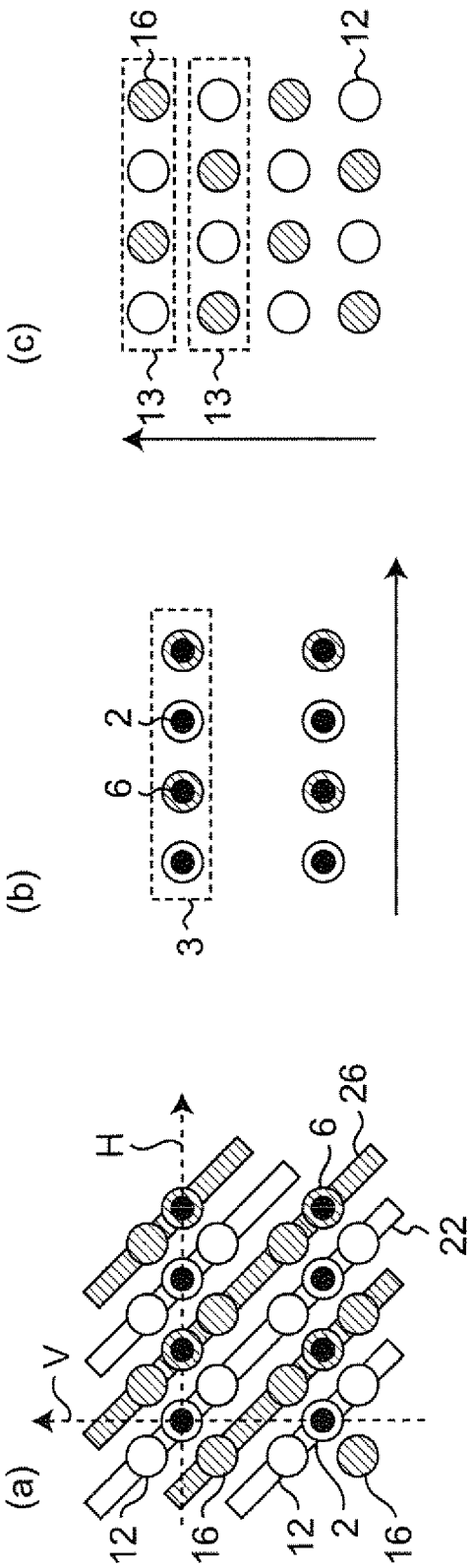
前記多層プリント基板の複数の前記グランド用ボールパッドと電気的に接続する複数のグランド用ボールとを備え、

前記電源用ボールと前記グランド用ボールは、前記多層プリント基板における前記電源用ボールパッドと前記グランド用ボールパッドが交互に配置される前記少なくとも一つの方向において、交互に配置されることを特徴とする

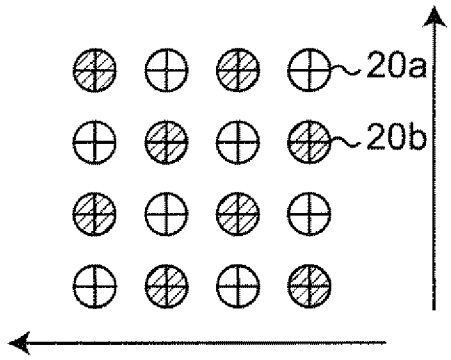
集積回路。

［請求項3］ 請求項２に記載の集積回路を実装した請求項１に記載の多層プリント基板。

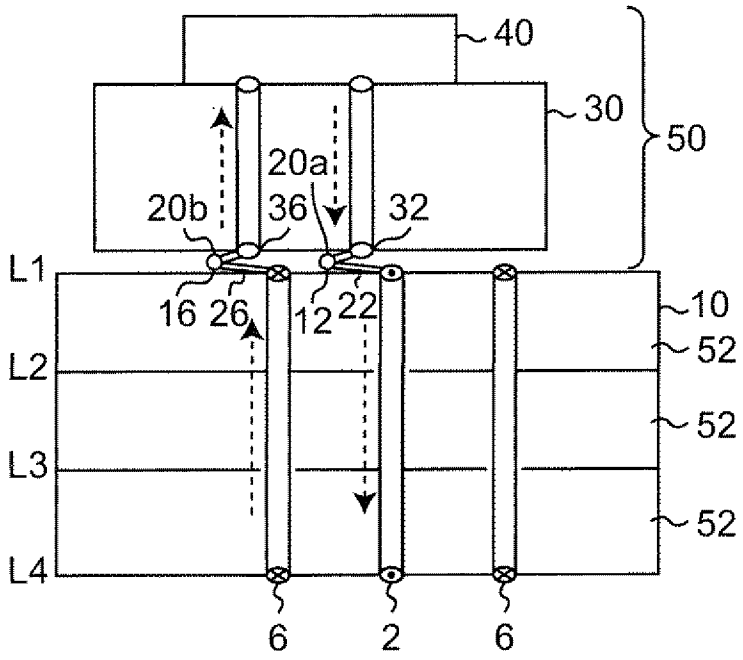
[図1]



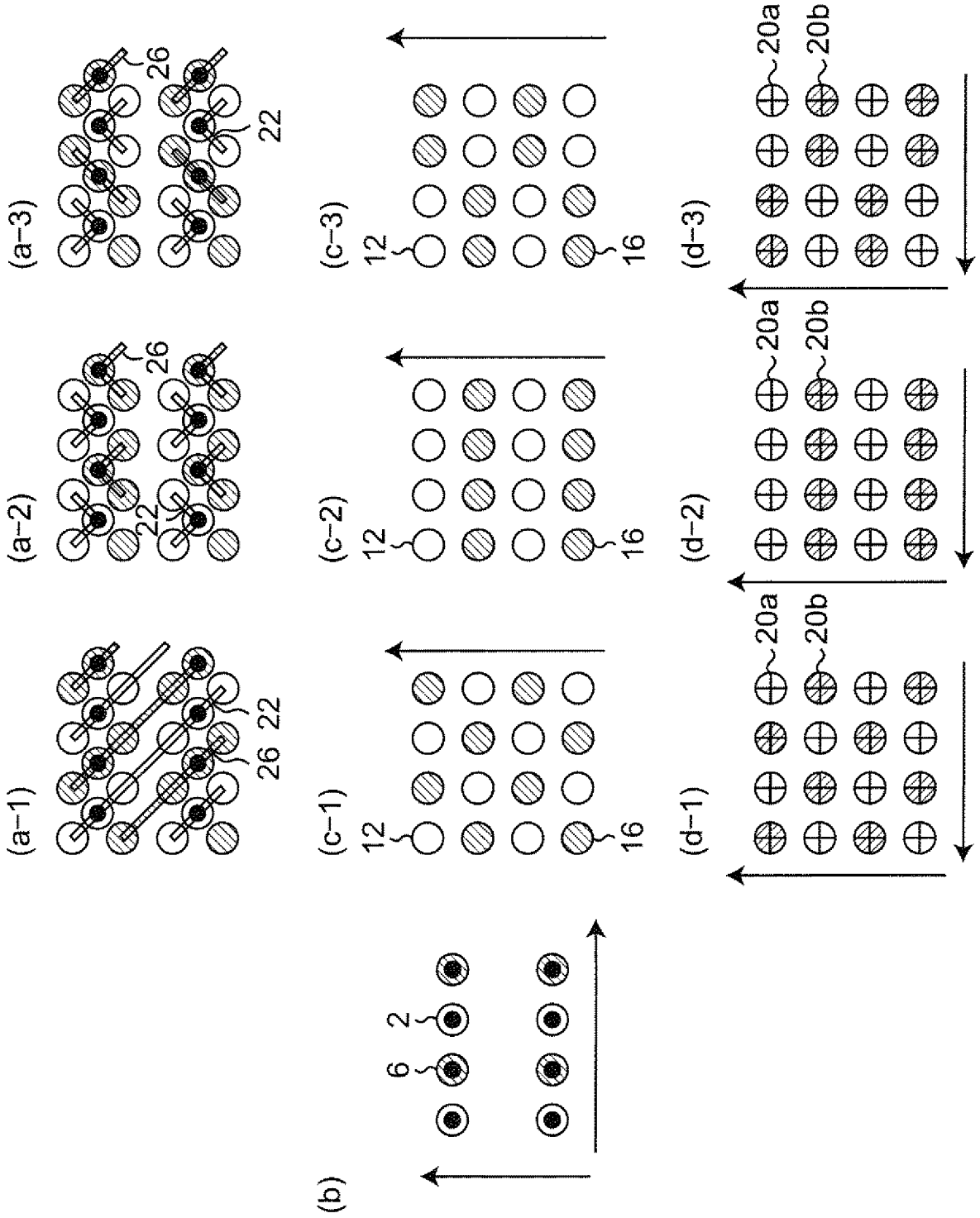
[図2]



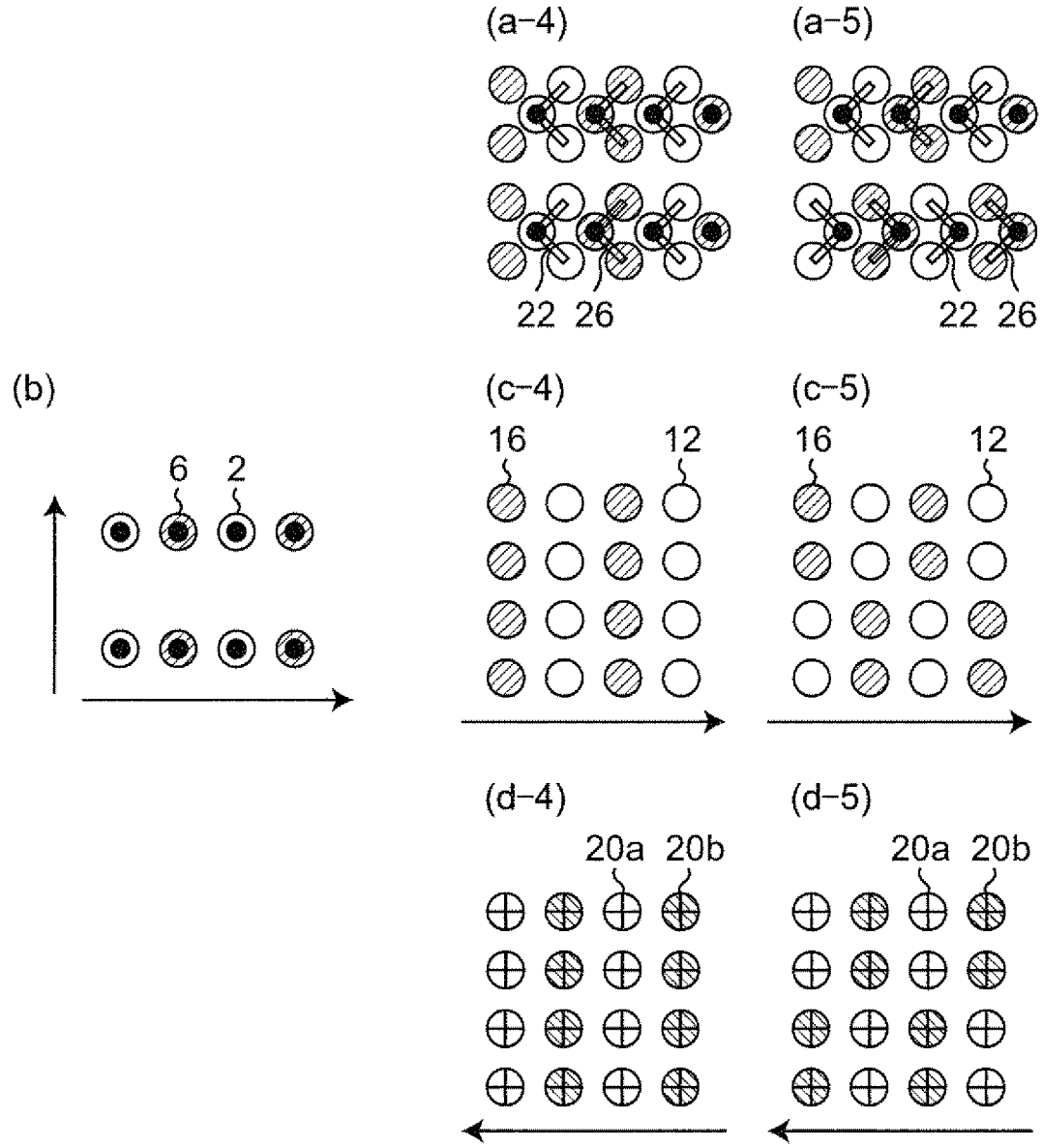
[図3]



[図4]

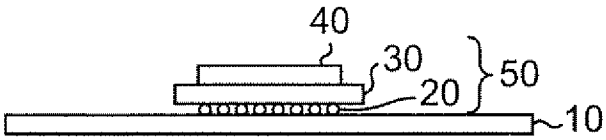

(a-3)
26
22
(a-2)
26
22
(a-1)
26 22
(c-3)
12
16
(c-2)
12
16
(c-1)
12
16
(d-3)
20a
20b
(d-2)
20a
20b
(d-1)
20a
20b
(b)
6
2

[図5]

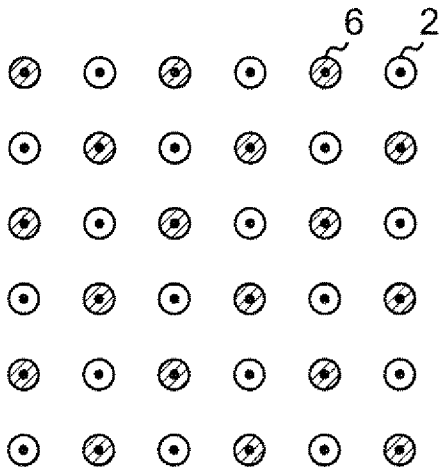


[図6]

(1)



(2)



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2012/000522

A. CLASSIFICATION OF SUBJECT MATTER
H01L23/12(2006.01)i, *H01L23/32*(2006.01)i, *H05K3/46*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L23/12, H01L23/32, H05K3/46

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-332377 A (Toshiba Corp.), 21 November 2003 (21.11.2003), paragraphs [0031] to [0043]; fig. 9 to 10 & US 2003/0209807 A1 & EP 1361612 A2 & DE 60323003 D	1-3
A	JP 10-303562 A (Toshiba Corp.), 13 November 1998 (13.11.1998), paragraphs [0015] to [0036]; fig. 1 to 5 & US 6121554 A	1-3
A	JP 2001-148448 A (Kyocera Corp.), 29 May 2001 (29.05.2001), paragraphs [0005] to [0053]; fig. 1 to 6 (Family: none)	1-3

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
09 March, 2012 (09.03.12)	19 March, 2012 (19.03.12)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2012/000522

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-128687 A (Toshiba Corp.), 18 May 2006 (18.05.2006), paragraphs [0015] to [0113]; fig. 1 to 22 & US 2006/0087028 A1	1-3

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１２／０００５２２

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L23/12(2006.01)i, H01L23/32(2006.01)i, H05K3/46(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L23/12, H01L23/32, H05K3/46

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１２年
日本国実用新案登録公報	１９９６－２０１２年
日本国登録実用新案公報	１９９４－２０１２年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2003-332377 A (株式会社東芝) 2003.11.21, 段落【0031】-【0043】, 図 9-図 10 & US 2003/0209807 A1 & EP 1361612 A2 & DE 60323003 D	1-3
A	JP 10-303562 A (株式会社東芝) 1998.11.13, 段落【0015】-【0036】, 図 1-図 5 & US 6121554 A	1-3
A	JP 2001-148448 A (京セラ株式会社) 2001.05.29, 段落【0005】-【0053】, 図 1-図 6 (ファミリーなし)	1-3

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 ０９．０３．２０１２	国際調査報告の発送日 １９．０３．２０１２
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　４Ｒ　３１２３ 山本　雄一 電話番号　０３－３５８１－１１０１　内線　３４７１

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2006-128687 A (株式会社東芝) 2006.05.18, 段落【0015】-【0113】, 図 1-図 22 & US 2006/0087028 A1	1-3