(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 104335283 A
(43)申请公布日 2015.02.04

(21)申请号 201380026853.6
(22)申请日 2013.04.11
(30)优先权数据
13/445,577 2012.04.12 US
(85)PCT国际申请进入国家阶段日
2014.11.21
(86)PCT国际申请的申请数据
PCT/US2013/036209 2013.04.11
(87)PCT国际申请的公布数据
WO2013/155326 EN 2013.10.17
(71)申请人 美光科技公司
地址 美国爱达荷州
(72)发明人 马尔科－多梅尼科·蒂布尔齐
朱利奥－朱塞佩·马罗塔
(74)专利代理机构 北京律盟知识产权代理有限责任公司 11287
代理人 宋献涛
(51)Int.Cl.
G11C 13/00(2006.01)
G11C 5/14(2006.01)
G11C 7/20(2006.01)

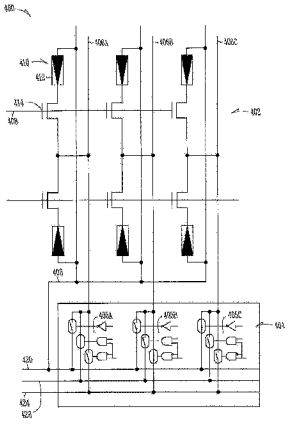
权利要求书3页 说明书5页 附图5页

(54)发明名称

用于同时提供设置及复位电压的设备及方法

(57)摘要

本发明描述设备及方法，例如涉及经配置以同时将复位电压及设置电压提供到阵列中的不同可变状态材料存储器单元的驱动器电路的那些设备及方法。本发明描述额外的设备及方法。



CN 104335283 A

1. 一种存储器装置，其包括：

存储器单元阵列，所述单元中的每一者包含可变状态材料；及

驱动器，其耦合到所述存储器单元阵列，以同时将设置电压及复位电压提供到所述阵列中的不同存储器单元。

2. 根据权利要求 1 所述的存储器装置，其中所述可变状态材料包含电阻切换材料。

3. 根据权利要求 1 所述的存储器装置，其中所述驱动器经配置以同时将三个不同电压提供到所述阵列中的不同存储器单元。

4. 根据权利要求 3 所述的存储器装置，其中所述三个不同电压包含所述设置电压、所述复位电压及抑制电压。

5. 根据权利要求 1 所述的存储器装置，其中所述阵列进一步包含选择器装置以存取存储器单元。

6. 根据权利要求 5 所述的存储器装置，其中所述选择器装置包含 N 沟道晶体管。

7. 根据权利要求 5 所述的存储器装置，其中所述选择器装置包含 P 沟道晶体管。

8. 一种驱动器电路，其包括：

多个电压输入节点，其包含复位电压输入节点及设置电压输入节点；

选择器电路，用以选择性地将所述复位电压输入节点及所述设置电压输入节点同时耦合到存储器单元阵列中的不同存储器单元。

9. 根据权利要求 8 所述的驱动器电路，其中所述选择器电路耦合到数条数据线，其中所述选择器电路经由所述数条数据线选择性地将所述电压输入节点耦合到所述阵列中的所述不同存储器单元。

10. 根据权利要求 8 所述的驱动器电路，其中所述多个电压输入节点包含三个不同电压输入节点。

11. 根据权利要求 10 所述的驱动器电路，其中所述三个不同电压输入节点包含所述设置电压节点、所述复位电压节点及抑制电压节点。

12. 根据权利要求 8 所述的驱动器电路，其中所述存储器单元中的每一者包含可变状态材料。

13. 根据权利要求 12 所述的驱动器电路，其中所述多个电压输入节点包含大致等于 4 伏特的设置电压节点。

14. 根据权利要求 12 所述的驱动器电路，其中所述多个电压输入节点包含大致等于 2 伏特的复位电压节点。

15. 根据权利要求 12 所述的驱动器电路，其中所述多个电压输入节点包含大致等于 3 伏特的抑制电压节点。

16. 一种设备，其包括：

存储器单元阵列，所述单元中的每一者包含电阻切换材料；

驱动器电路，其耦合到所述阵列的数据线，以同时将设置电压及复位电压提供到所述阵列中的所述存储器单元中的选定者。

17. 根据权利要求 16 所述的设备，其中所述单元中的每一者进一步包含第一电极及第二电极，其中所述切换材料在所述第一电极与所述第二电极之间。

18. 根据权利要求 16 所述的设备，其进一步包含耦合到所述驱动器电路的主机处理

器。

19. 根据权利要求 18 所述的设备，其中所述主机处理器及所述存储器单元阵列位于单芯片组合件中。

20. 一种方法，其包括：

选择多个电阻性随机存取存储器单元；

同时将复位电压及设置电压驱动到所述选定多个存储器单元中的所述存储器单元中的不同者。

21. 根据权利要求 20 所述的方法，其中同时将复位电压及设置电压驱动到所述选定多个存储器单元中的所述存储器单元中的不同者包含同时将复位电压、设置电压及抑制电压驱动到所述选定多个存储器单元中的所述存储器单元中的不同者。

22. 根据权利要求 20 所述的方法，其中同时将复位电压及设置电压驱动到所述选定多个存储器单元中的所述存储器单元中的不同者包括使用驱动器电路来驱动所述复位电压及所述设置电压。

23. 根据权利要求 22 所述的方法，其中列解码器包括所述驱动器电路，且其中选择多个电阻性随机存取存储器单元包括使用行选择电路来选择多个电阻性随机存取存储器单元。

24. 根据权利要求 20 所述的方法，其中同时将复位电压及设置电压驱动到所述选定多个存储器单元中的所述存储器单元中的不同者包含驱动实质上离散的复位电压及设置电压。

25. 根据权利要求 24 所述的方法，其中同时将实质上离散的复位电压及设置电压驱动到所述选定多个存储器单元中的所述存储器单元中的不同者包括同时将实质上离散的抑制电压、复位电压及设置电压驱动到所述选定多个存储器单元中的所述存储器单元中的不同者。

26. 根据权利要求 21 所述的方法，其中所述设置电压实质上等于所述抑制电压加上电压偏移，且其中所述复位电压实质上等于所述抑制电压减去所述电压偏移。

27. 根据权利要求 26 所述的方法，其中所述抑制电压为大约 3 伏特，且所述电压偏移为大约一伏特。

28. 根据权利要求 21 所述的方法，其中所述复位电压小于所述抑制电压，且所述抑制电压小于所述设置电压。

29. 一种方法，其包括：

将可变状态材料耦合到选择器装置以形成存储器单元；

将多个存储器单元耦合到多条传输线；

将驱动器耦合到所述多条传输线；及

在所述驱动器中形成能够同时将两个或两个以上不同电压提供到不同传输线的电路。

30. 根据权利要求 29 所述的方法，其中在所述驱动器中形成电路包含形成能够提供具有相同极性的三个不同电压的电路，其中抑制电压小于设置电压，且所述设置电压小于复位电压。

31. 根据权利要求 29 所述的方法，其中在所述驱动器中形成电路包含形成能够提供具有相同极性的三个不同电压的电路，其中抑制电压小于所述复位电压，且所述复位电压小

于所述设置电压。

32. 根据权利要求 29 所述的方法，其中在所述驱动器中形成电路包含形成能够提供具有相同极性的三个不同电压的电路，其中抑制电压大于所述设置电压，且所述设置电压大于所述复位电压。

33. 根据权利要求 29 所述的方法，其中在所述驱动器中形成电路包含形成能够提供具有相同极性的三个不同电压的电路，其中抑制电压大于所述复位电压，且所述复位电压大于所述设置电压。

用于同时提供设置及复位电压的设备及方法

[0001] 优先权申请

[0002] 本申请案主张 2012 年 4 月 12 日申请的第 13/445,577 号美国申请案的优先权的权益，所述申请案以引用的方式全文并入本文中。

背景技术

[0003] 一些半导体装置包含可变状态材料。举例来说，例如电阻性随机存取存储器 (RRAM) 单元的存储器单元包含可变状态材料，其状态可从高电阻状态改变为低电阻状态且可再次变回原状态。可变状态材料通常为非易失性的且可配置于具有小外观尺寸的存储器单元中。然而，在一些配置中，可变状态材料可展现长于例如快闪存储器的其它存储技术的编程时间。需要提供例如速度及可靠性的性能的改进的半导体装置设计。

附图说明

[0004] 图 1 展示根据本发明的实施例的设置存储器单元组件的第一状态的框图。

[0005] 图 2 展示根据本发明的实施例的设置图 1 的存储器单元组件的第二状态的框图。

[0006] 图 3 展示根据本发明的实施例的可变电阻性材料的电压 - 电流图。

[0007] 图 4 展示根据本发明的实施例的存储器装置的电路图。

[0008] 图 5 展示根据本发明的实施例的电压表。

[0009] 图 6 展示根据本发明的实施例的存储器装置的框图。

[0010] 图 7 展示根据本发明的实施例的包含存储器装置的信息处置系统。

具体实施方式

[0011] 在本发明的各种实施例的以下详细描述中，参看形成本发明的一部分且通过说明来展示可实践本发明的特定实施例的随附图式。充分详细地描述这些实施例以使得所属领域的技术人员能够实践本发明。可利用其它实施例，且可作出结构、逻辑及电改变。

[0012] 图 1 展示根据本发明的实施例的存储器单元的实例组件 100。可变状态材料 102 展示为位于第一电极 104 与第二电极 106 之间。尽管仅展示可变状态材料 102，但在选定实例中，可连同位于第一电极 104 与第二电极 106 之间的可变状态材料来包含例如介入材料层的其它结构。在一个实例中，可变状态材料 102 为电阻切换材料。可变状态材料 102 的其它实例可包含磁性切换材料或具有可检测电子态的其它切换材料。

[0013] 在一个实例中，当在方向 110 上横跨可变状态材料 102 施加电压时，可变状态材料 102 的状态从高电阻状态 103 改变为低电阻状态 105。在包含例如组件 100 的组件的存储器单元的阵列中，高电阻状态可表示数字数据位，例如逻辑 1 值或逻辑 0 值。例如行选择电路及列选择电路的选择电路可用以从单元阵列选择所要存储器单元（包含可变状态材料 102），以查询及 / 或更改电阻状态，因此提供数据唤回与存储能力。

[0014] 数种机制可用以改变可变状态材料 102 的物理状态（且因此改变其电阻）。在一个实例中，可变状态材料 102 从实质上非晶状态改变为实质上结晶状态。在另一实例中，在

施加电压后，一或多个导电丝即形成于可变状态材料 102 内，所述一或多个导电丝桥接第一电极 104 与第二电极 106 之间的距离。在各种机制中，状态改变是可逆的。

[0015] 图 2 展示图 1 的处于低电阻状态 105 下的实例组件 100。通过在与图 1 中所展示的方向相反的方向上施加第二电压 112，可变状态材料 102 从低电阻状态 105 反转回到高电阻状态 103。以此方式，可变状态材料 102 的物理状态（且因此，电阻）可根据需要而改变以占用至少两个可能状态中的选定者。

[0016] 图 3 展示双极可变状态材料的示范性电压 / 电流图 300。所述图在 X 轴 302 上展示电压，且在 Y 轴 304 上展示电流。在操作中，可变状态材料沿所说明曲线 301 的高电阻部分 306 展现高电阻行为。如果所施加电压相对于参考电压电平 318 处于第一电压范围 310 或第二电压范围 312 内，那么可变状态材料保持在曲线 301 的高电阻部分 306 内。如果所施加电压相对于参考电压电平 318 大于或等于第三电压 314（其又大于电压范围 310 的上限），那么可变状态材料展现低电阻（如通过曲线 301 上的点 303 所说明）且移到曲线 301 的低电阻部分 308。可变状态材料将保持在曲线 301 的低电阻部分 308 中，直到所施加电压量值相对于参考电压电平 318 大于或等于第四电压 316（其又大于电压范围 312 的量值）为止。接着，可变状态材料将再次返回到曲线 301 的高电阻部分 306。

[0017] 尽管图 3 说明双极可变状态材料行为，但本文所描述的一些装置可使用单极可变状态材料。在单极可变状态材料中，可通过在同一方向上施加不同量值的所施加电压来改变状态。在一个双极实例中，参考电压 318 为大约零伏特，其中第三电压 314 与第四电压 316 在量值上实质上相等且在极性上相反。举例来说，第三电压 314 可为大约 1 伏特，且第四电压 316 可为大约 -1 伏特。

[0018] 在仅正电压范围实例中，参考电压 318 可为大约 3 伏特，其中第三电压 314 与第四电压 316 具有相同量值，如由电压偏移所界定。举例来说，第三电压 314 可为大约 4 伏特（参考电压 318 加上约 1 伏特的电压偏移），且第四电压 316 可为大约 2 伏特（参考电压 318 减去约 1 伏特的电压偏移）。

[0019] 可变状态材料可形成为相对小的非易失性存储器单元。在一个实例中，与使用六个晶体管的基于晶体管的静态随机存取存储器 (SRAM) 单元相比，一个晶体管搭配一个电阻器 (1T1R) 的配置是可能的。

[0020] 图 4 展示根据本发明的实施例的包含可变状态材料的设备 400 的实例电路图。在一个实例中，设备 400 包括存储器装置。如本文中所使用，“设备”广泛地用以指代数个不同结构中的任一者，包含（但不限于）系统、装置、电路、芯片组合件等。在图 4 的实例中，设备 400 包含存储器单元 410 的阵列 402，及驱动器电路 404。在一个实例中，驱动器电路 404 经配置以同时将不同电压提供到阵列 402 中的不同存储器单元 410。

[0021] 阵列 402 中的单元 410 中的至少一些包含可变状态材料组件 412。在一个实例中，与图 1 及图 2 中所描述的实例类似或相同，可变状态材料组件 412 包含耦合于第一电极与第二电极之间的可变状态材料。阵列 402 中的存储器单元 410 可进一步包含选择器装置 414。在选定实例（例如，交叉点架构）中，可能不包含选择器装置。在一个实例中，选择器装置 414 包含 n 型金属氧化物 (NMOS) 晶体管。在一个实例中，选择器装置 414 包含 p 型金属氧化物 (PMOS) 晶体管。选择器装置 414 的其它实例可包含额外电路、二极管及其它电子装置。

[0022] 图 4 进一步展示耦合到阵列 402 中的选择器装置 414 的数条存取线 408。在一个实例中，所述数条存取线 408 包含数条字线。源极线 403 及数条数据线 406a-406c 展示为耦合到阵列 402 中的存储器单元 410。在一个实例中，所述数条数据线 406 包含数条位线。在图 4 的实例中，驱动器电路 404 经配置为列驱动器。

[0023] 在一个实例中，驱动器电路 404 经配置以同时将多个不同电压提供到不同存储器单元的数据线 406a-406c。驱动器电路 404 展示为包含第一电压输入节点 420、第二电压输入节点 422 及第三电压输入节点 424。尽管展示三个不同电压输入节点，但包含两个电压输入节点或三个以上电压输入节点的其它配置在各种实施例的范围内。

[0024] 驱动器电路还可包含选择电路 404 以选择性地将电压输入节点 420、422 及 424 同时耦合到不同存储器单元。选择电路 404 可包含数个选择器电路 405a-405c，所述数个选择器电路 405a-405c 可各自选择电压输入节点 420、422 及 424 中的任一者且因此将选定电压施加到阵列 402 中的一或多个选定存储器单元 410。在所展示的实例中，选择器电路 405a-405c 为可个别选择的以将不同电压施加到阵列 402 中的不同存储器单元 410。在一个实例中，不同电压为随施加电压的时间而实质上恒定的离散电压。在一个实例中，电压输入节点 420、422 及 424 上的不同电压可随着选定时间长度而变化。

[0025] 在一个实例中，电压输入节点 420、422 及 424 经配置为设置电压节点、复位电压节点及抑制电压节点。使用图 3 作为实例，参考电压 318 包括抑制电压。阵列 402 中的接收抑制电压的存储器单元 410 将不会编程为高电阻状态或从高电阻状态反转到低电阻状态。

[0026] 设置电压可包含抑制电压加上偏移电压，例如第三电压 314。复位电压可包含抑制电压减去偏移电压，例如第四电压 316。

[0027] 举例来说，第一选择器电路 405a 展示为选择性地将第二电压输入节点 422 耦合到数据线 406a。在一个实例中，第二电压输入节点 422 包含设置电压。在一个实例中，设置电压大致等于 4 伏特。

[0028] 第二选择器电路 405b 展示为选择性地将第三电压输入节点 424 耦合到数据线 406b。在一个实例中，第三电压输入节点 424 包含复位电压。在一个实例中，复位电压大致等于 2 伏特。

[0029] 第三选择器电路 405c 展示为选择性地将第一电压输入节点 420 耦合到数据线 406c。在一个实例中，第一电压输入节点 420 包含抑制电压。在一个实例中，抑制电压大致等于 3 伏特。

[0030] 在操作中，选择器电路 405a-405c 中的每一者为可个别选择的且可同时将任何所要电压从电压输入线 420、422、424 提供到任何所要数据线 406a-406c。可使用图 4 中所展示的驱动器电路 404 来增强设备 400 的性能。举例来说，虽然将阵列 402 的给定列中的选定单元设置为低电阻状态，但可同时复位阵列 402 的不同给定列中的其它选定单元。另外，同时，阵列 402 中的其它单元可能由于所施加的抑制电压而不具有对其执行的操作。当与一次仅能够将一个电压驱动到阵列的装置相比，数据编程操作时间可减少到二分之一以下。

[0031] 图 5 图示展示选定数据线 502、未选定数据线 504、选定存取线 506 及未选定存取线 508 的操作的实例电压表。在一个实例中，图 4 的驱动器电路 404 驱动图 5 的表中所展示的电压。在实例读取操作中，将选定数据线 502 驱动到读取电压。在一个实例中，读取电压与图 3 的第一电压范围 310 相同。此外，在实例读取操作中，将选定存取线 506 驱动到逻

辑高电压，且将未选定存取线 508 驱动到大约接地。在一个实例中，将未选定数据线 504 驱动到待机电压。

[0032] 在实例设置操作中，将选定数据线 502 驱动到抑制电压加上电压偏移。在一个实例中，设置电压与图 3 的第三电压 314 相同。此外，在实例设置操作中，将选定存取线 506 驱动到逻辑高电压，且将未选定存取线 508 驱动到大约接地。在一个实例中，将未选定数据线 504 驱动到抑制电压。在一个实例中，抑制电压与图 3 的参考电压 318 相同。

[0033] 在实例复位操作中，将选定数据线 502 驱动到抑制电压减去电压偏移。在一个实例中，复位电压包含图 3 的第四电压 316。此外，在实例复位操作中，将选定存取线 506 驱动到逻辑高电压，且将未选定存取线 508 驱动到大约接地。在一个实例中，将未选定数据线 504 驱动到抑制电压。在一个实例中，抑制电压包含图 3 的参考电压 318。

[0034] 图 6 说明呈存储器系统 600 形式的设备的一部分，所述存储器系统 600 并有与图 4 的驱动器电路 404 类似或相同的驱动器电路。存储器系统 600 包含存储器单元阵列 602，其可包括（例如）RRAM 或并入有可变状态材料的其它存储器单元，所述可变状态材料如以上各种实施例中所描述般起作用。存储器系统 600 包含命令解码器 606，所述命令解码器 606 经由命令总线 608 接收存储器命令且在存储器系统 600 内产生对应控制信号以进行各种存储器操作。行地址信号与列地址信号是经由地址总线 620 而施加到存储器系统 600，且提供到地址锁存器 610。地址锁存器接着输出单独列地址及单独行地址。

[0035] 通过地址锁存器 610 将行地址及列地址分别提供到选择电路，例如行地址解码器 622 及列地址解码器 628。列地址解码器 628 选择对应于相应列地址的延伸穿过阵列 602 的数据线。在一个实例中，列地址解码器 628 包含与图 4 的驱动器电路 404 类似的驱动器电路。行地址解码器 622 连接到存取线驱动器 624，所述存取线驱动器 624 启动阵列 602 中的对应于所接收行地址的存储器单元的相应行。在一个实例中，阵列 602 中的存储器单元的所述行对应于图 4 的数据线 408。命令解码器 606 对施加到命令总线 608 的存储器命令作出回应，以对存储器阵列 602 执行各种操作。具体来说，命令解码器 606 用以产生内部控制信号以从存储器阵列 602 读取数据及将数据写入到存储器阵列 602。

[0036] 图 7 中包含呈信息处置系统（例如，计算机）的形式的设备的实施例以展示高级装置应用的实施例。图 7 为根据本发明的实施例的信息处置系统 700 的框图，所述信息处置系统 700 并有包含存储器装置 707（例如，与图 4 中所展示的设备 400 及 / 或图 6 中所展示的设备 600 类似或相同的装置）的至少一个芯片或芯片组合件 704。组合件 704 还可包含处理器 706 及其它逻辑 708。

[0037] 在一个实例中，存储器装置 707 包含例如 RRAM 的可变状态材料存储器装置。图 7 中所展示的信息处置系统 700 仅为可使用本发明的系统的一个实例。其它实例包含（但不限于）个人数据助理 (PDA)、平板计算机、摄像机、蜂窝式电话、MP3 播放器、航空器、卫星、军车等。

[0038] 在此实例中，信息处置系统 700 包括数据处理系统，所述数据处理系统包含用以耦合系统的各种组件的系统总线 702。系统总线 702 提供信息处置系统 700 的各种组件间的通信链路且可实施为单个总线、实施为总线的组合或以任何其它合适的方式实施。

[0039] 芯片组合件 704 耦合到系统总线 702。芯片组合件 704 可包含任何电路或电路的可操作兼容组合。在一个实施例中，芯片组合件 704 包含可为任何类型的处理器 706。如本

文中所使用，“处理器”意味任何类型的计算电路，例如（但不限于）微处理器、微控制器、图形处理器、数字信号处理器 (DSP) 或任何其它类型的处理器或处理电路。例如“多核心”装置的多个处理器也在本发明的范围内。

[0040] 在一个实施例中，芯片组合件 704 中包含存储器装置 707，例如以上实施例中所描述的存储器装置。所属领域的技术人员将认识到，广泛多种存储器装置配置可用于芯片组合件 704 中。如以上所论述，在选定实施例中，存储器配置包含 RRAM。在选定实施例中，存储器单元以不同逻辑配置（例如，NAND 存储器或 NOR 存储器）来布置。

[0041] 在一个实施例中，芯片组合件 704 中包含除处理器芯片之外的额外逻辑芯片 708。除处理器之外的逻辑芯片 708 的实例包含模拟转数字转换器。本发明的一个实施例中还包含逻辑芯片 708 上的其它电路，例如定制电路、专用集成电路 (ASIC) 等。

[0042] 信息处置系统 700 还可包含外部存储器 711，其又可包含适用于特定应用的一或多个存储器元件，例如一或多个硬盘驱动器 712 及 / 或处置可移除媒体 713（例如，闪存盘、紧密光盘 (CD)、数字视频光盘 (DVD) 及其类似者）的一或多个驱动器。

[0043] 信息处置系统 700 还可包含显示装置 709（例如，监视器）、额外外围组件 710（例如，扬声器等）及键盘及 / 或控制器 714，键盘及 / 或控制器 714 可包含鼠标、触摸屏幕接口或准许系统用户将信息输入到信息处置系统 700 中及从信息处置系统 700 接收信息的任何其它装置。

[0044] 尽管描述了本发明的数个实施例，但以上列表并不既定为详尽的。虽然本文中已说明且描述了特定实施例，但一般所属领域的技术人员将了解，经计算以达成相同目的的任何布置可替代所展示的特定实施例。本申请案既定涵盖本发明的任何调适或变化。应了解，以上描述既定为说明性而非限制的。在研究以上描述后，以上实施例与其它实施例的组合对于所属领域的技术人员而言将变得显而易见。

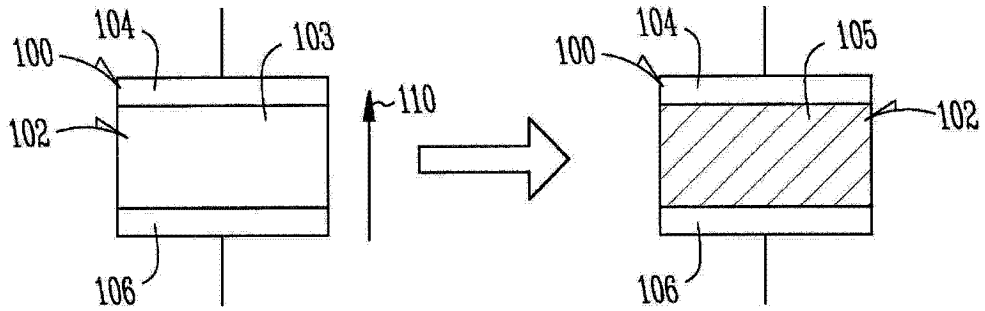

104
103
100
102
110
106
104
105
100
102
106

图 1

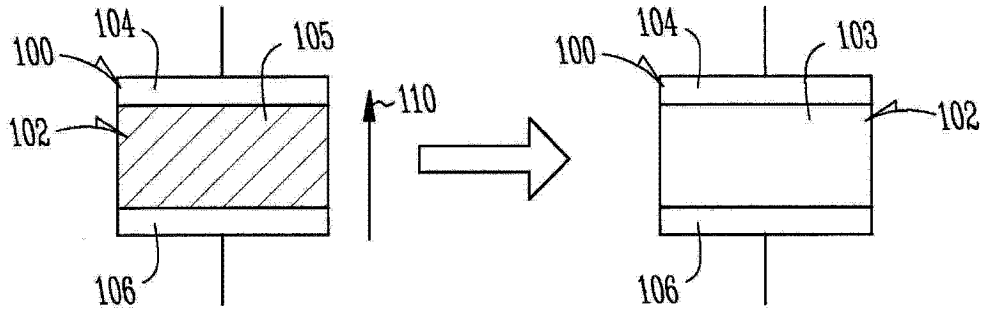

104
105
100
102
110
106
104
103
100
102
106

图 2

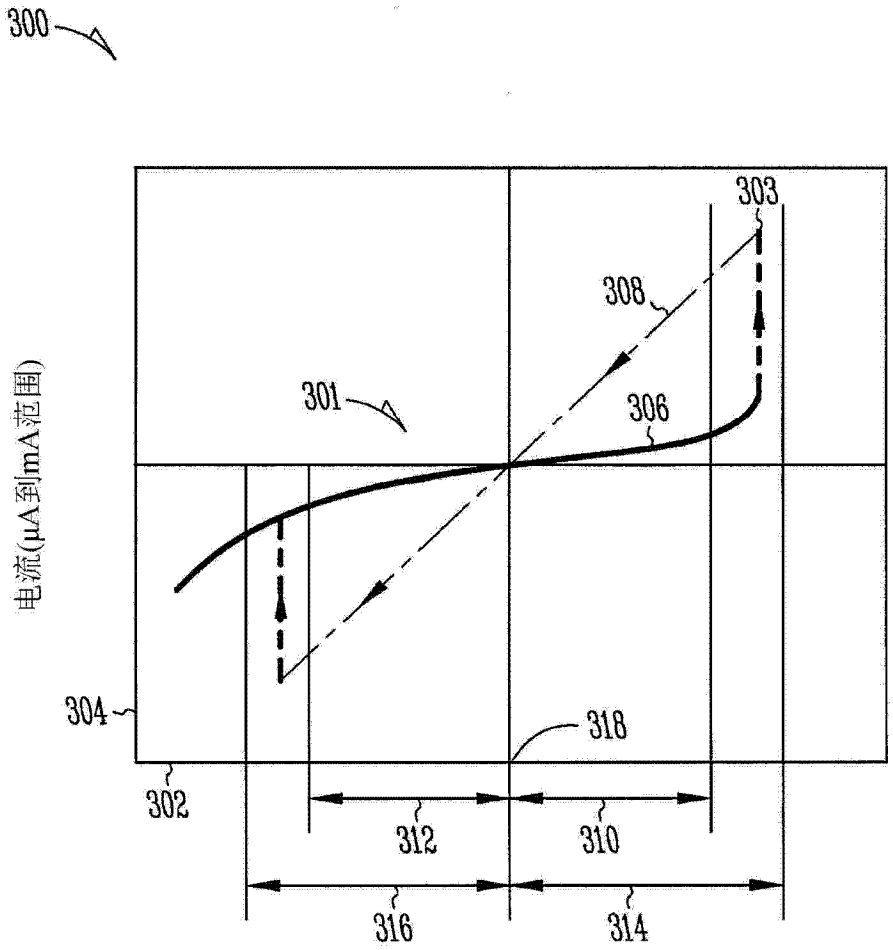


图 3

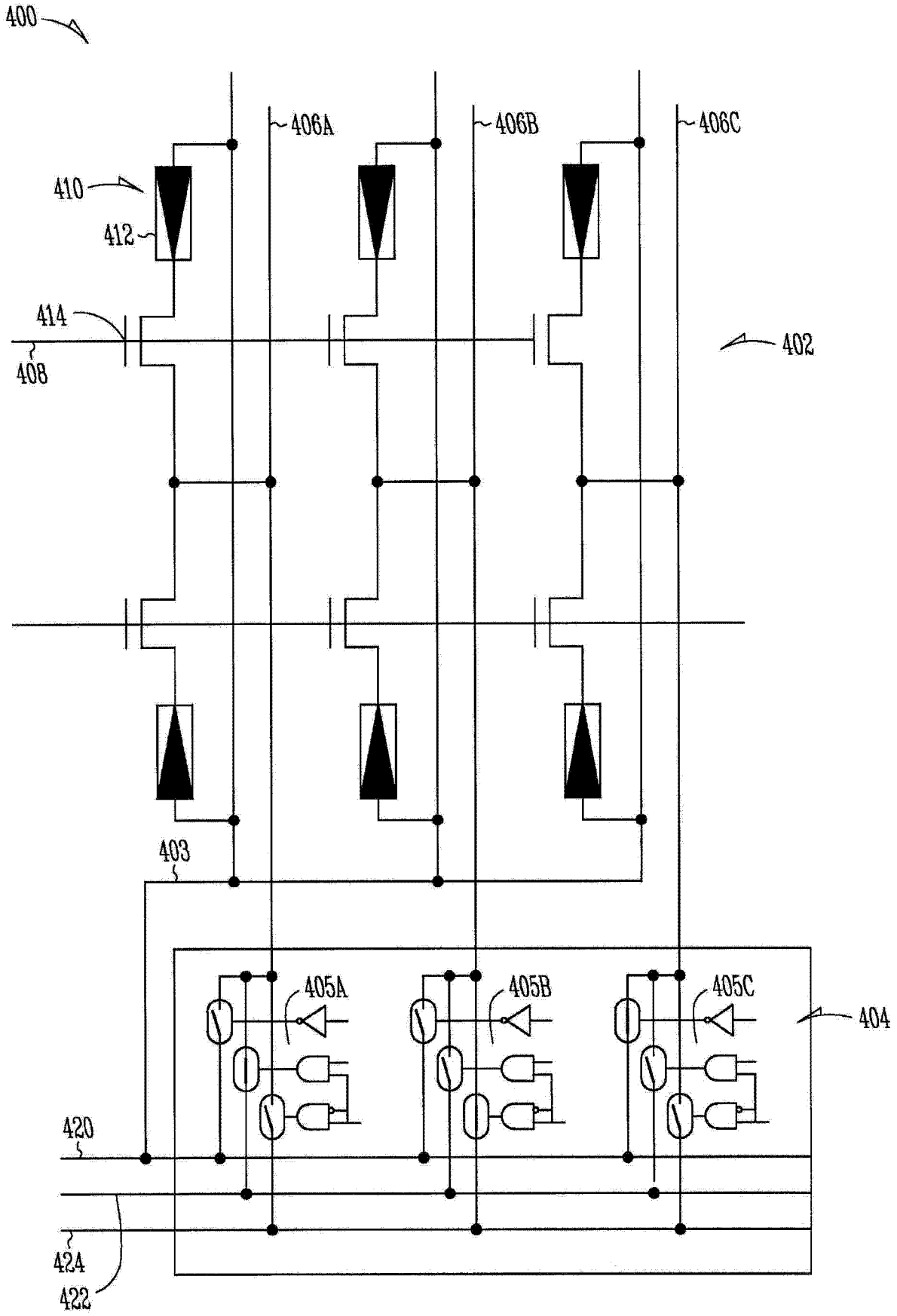

400
406A
406B
406C
410
412
414
408
402
403
405A
405B
405C
404
420
424
422

图 4

		读取	设置	复位
502	sdl	Vread	Vinhibit + DV	Vinhibit - DV
504	udl	待机	Vinhibit	Vinhibit
506	swl	HV	HV	HV
508	uwl	GND	GND	GND

图 5

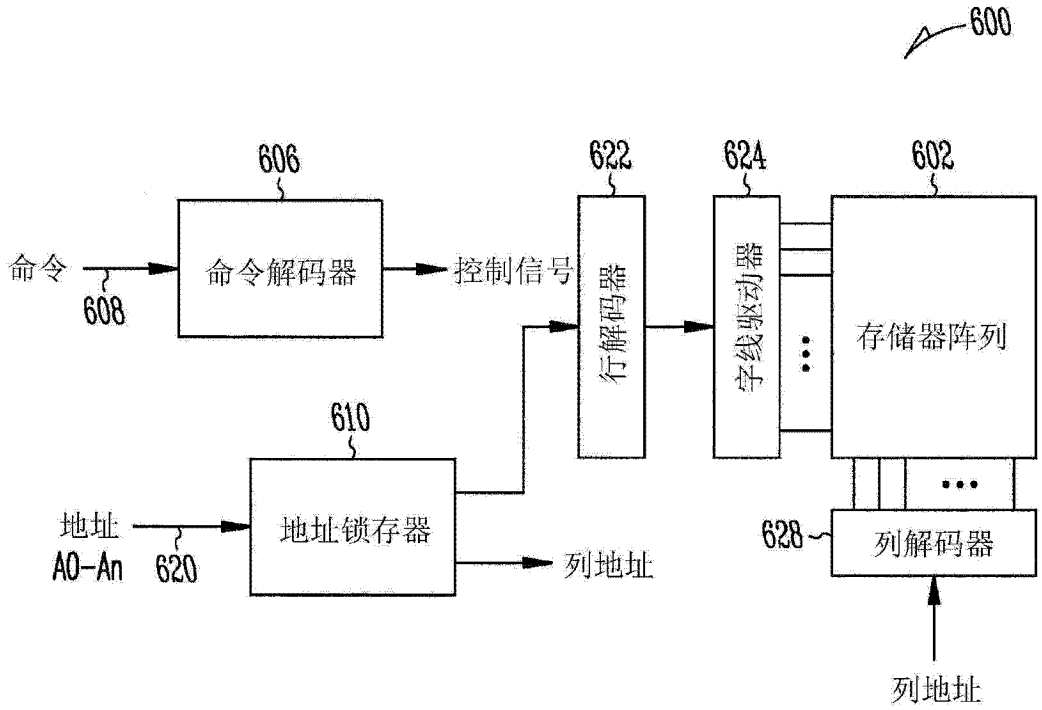


图 6

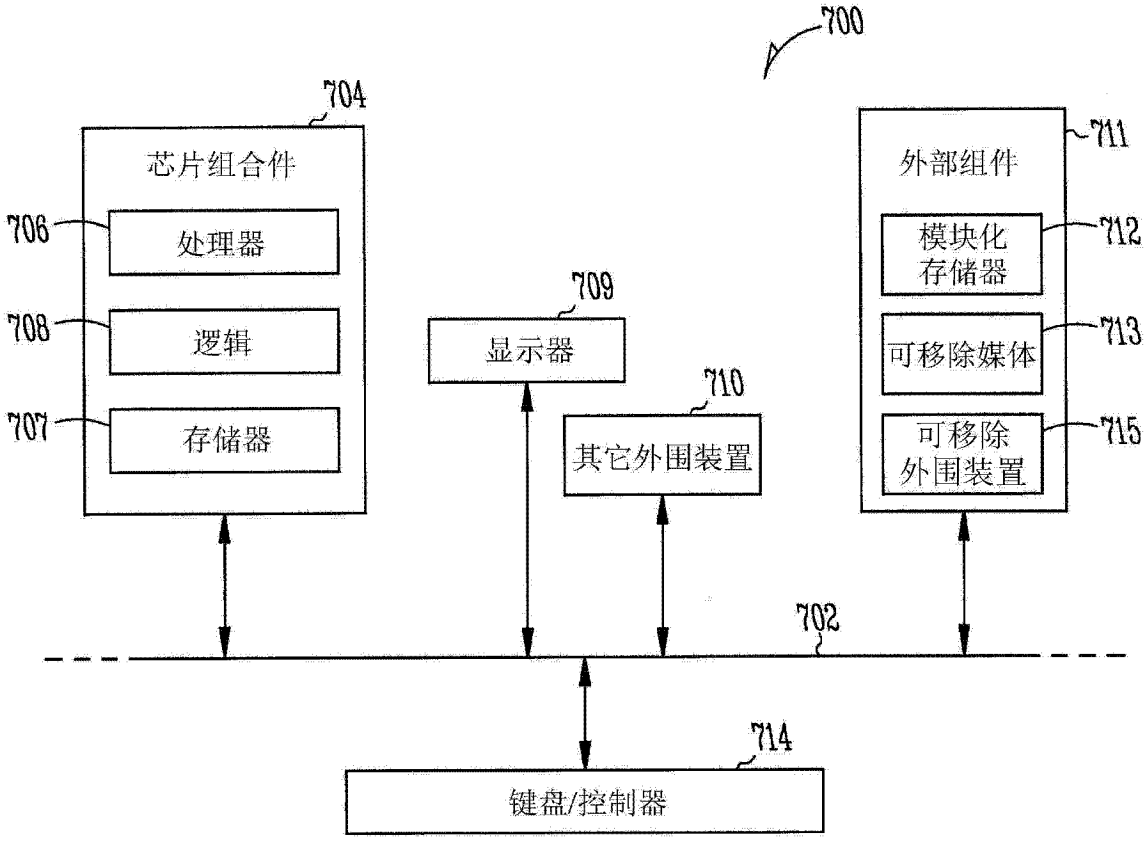

700
704
芯片组合件
706
处理器
708
逻辑
707
存储器
709
显示器
710
其它外围装置
711
外部组件
712
模块化存储器
713
可移除媒体
715
可移除外围装置
702
714
键盘/控制器

图 7