



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년05월19일
(11) 등록번호 10-0829052
(24) 등록일자 2008년05월06일

(51) Int. Cl.

H01L 29/78 (2006.01)

(21) 출원번호 10-2007-7005532(분할)
(22) 출원일자 2007년03월08일
심사청구일자 2007년03월08일
번역문제출일자 2007년03월08일
(65) 공개번호 10-2007-0044487
(43) 공개일자 2007년04월27일
(62) 원출원 특허 10-2001-7015455
원출원일자 2001년11월30일
심사청구일자 2005년06월01일
(86) 국제출원번호 PCT/US2000/015189
국제출원일자 2000년06월02일
(87) 국제공개번호 WO 2000/75965
국제공개일자 2000년12월14일

(30) 우선권주장
09/586,407 2000년06월02일 미국(US)
60/137,408 1999년06월03일 미국(US)

(56) 선행기술조사문헌
US04819052A1
(뒷면에 계속)

전체 청구항 수 : 총 23 항

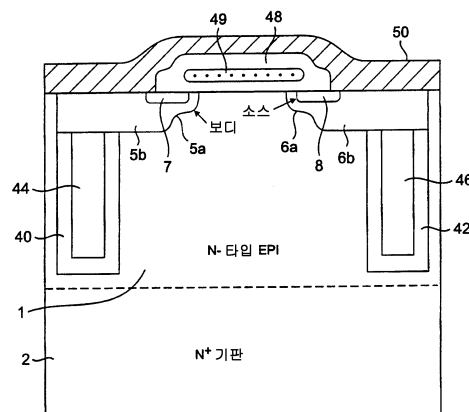
심사관 : 박정식

(54) 전력 MOSFET, 이를 형성하는 방법, 및 이 방법의에해 형성되는 다른 전력 MOSFET

(57) 요약

제 1 도전성 타입의 기판을 포함하는 전력 MOSFET이 제공된다. 상기 기판 상에는 역시 제 1 도전성 타입의 에피택셜 층(epitaxial layer)이 증착된다. 제 1 및 제 2 보디(body) 영역은 에피택셜 층에 위치되고, 상기 제 1 및 제 2 보디 영역 사이의 드리프트 영역을 한정한다. 상기 보디 영역은 제 2 도전성 타입을 갖는다. 제 1 도전성 타입의 제 1 및 제 2 소스 영역은 제 1 및 제 2 보디 영역에 각각 위치된다. 복수의 트랜치(trench)가 에피택셜 층의 드리프트 영역에서 보디 영역 아래에 위치된다. 제 1 및 제 2 보디 영역으로부터 기판 쪽으로 연장하는 트랜치는 제 2 도전성 타입의 불순물을 포함하는 물질로 채워진다. 불순물은 트랜치로부터 상기 트랜치에 인접한 에피택셜 층의 일부분으로 확산된다.

대표도 - 도7



(56) 선행기술조사문헌

US05895951A1
US 05216275 A
DE 198 00 647 C
DE 197 48 523 A

(81) 지정국

국내특허 : 알바니아, 아르메니아, 오스트리아, 오스트레일리아, 아제르바이잔, 보스니아 헤르체고비나, 바베이도스, 불가리아, 브라질, 벨라루스, 캐나다, 스위스, 리히텐슈타인, 중국, 쿠바, 체코, 독일, 덴마크, 에스토니아, 스페인, 핀란드, 영국, 그루지야, 헝가리, 이스라엘, 아이슬랜드, 일본, 케냐, 키르기즈스탄, 북한, 대한민국, 카자흐스탄, 세인트루시아, 스리랑카, 리베이라, 레소토, 리투아니아, 룩셈부르크, 라트비아, 몰도바, 마다가스카르, 마케도니아공화국, 몽고, 말라위, 멕시코, 노르웨이, 뉴질랜드, 슬로베니아, 슬로바키아, 타지키스탄, 투르크멘, 터키, 트리니다드토바고, 우크라이나, 우간다, 우즈베키스탄, 베트남, 폴란드, 포르투갈, 루마니아, 러시아, 수단, 스웨덴, 싱가포르, 아랍에미리트, 안티구와바부다, 코스타리카, 도미니카, 알제리, 모로코, 탄자니아, 남아프리카, 벨리즈, 모잠비크, 에콰도르, 필리핀

AP ARIPO특허 : 케냐, 레소토, 말라위, 수단, 스와질랜드, 우간다, 시에라리온, 가나, 감비아, 짐바브웨

EA 유라시아특허 : 아르메니아, 아제르바이잔, 벨라루스, 키르기즈스탄, 카자흐스탄, 몰도바, 러시아, 타지키스탄, 투르크멘

EP 유럽특허 : 오스트리아, 벨기에, 스위스, 리히텐슈타인, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투갈, 스웨덴, 핀란드, 사이프러스

특허청구의 범위

청구항 1

제 1 도전성 타입의 기판과,

상기 기판 상에 위치하고, 제 1 도전성 타입을 갖는 에피텍셜 층(epitaxial layer)과,

제 2 도전성 타입을 갖는 제 1 및 제 2 보디(body) 영역 사이의 드리프트 영역(drift region)을 한정하는 상기 에피텍셜 층에 위치한 상기 제 1 및 제 2 보디 영역과,

상기 제 1 및 제 2 보디 영역에 각각 위치하는 상기 제 1 도전성 타입의 제 1 및 제 2 소스 영역과,

상기 에피텍셜 층의 상기 드리프트 영역에서 상기 보디 영역의 아래에 위치하는 재충전된(refilled) 복수의 트렌치(trench)로서, 상기 트렌치는 상기 제 2 도전성 타입의 불순물(dopant)을 갖는 물질로 채워지고, 상기 제 1 및 제 2 보디 영역으로부터 상기 기판 쪽으로 연장하며, 상기 불순물은 상기 트렌치로부터 상기 트렌치에 인접한 상기 에피텍셜 층의 일부분으로 확산되고, 상기 트렌치의 각각에 인접한 상기 도핑된 영역은 도핑된 영역 위의 보디 영역과 전기적으로 연속되는, 복수의 트렌치를

포함하는, 전력 MOSFET.

청구항 2

제 1항에 있어서, 상기 트렌치를 채우는 상기 물질은 폴리실리콘인, 전력 MOSFET.

청구항 3

제 1항에 있어서, 상기 트렌치를 채우는 상기 물질은 유전체인, 전력 MOSFET.

청구항 4

제 3항에 있어서, 상기 유전체는 실리콘 이산화물인, 전력 MOSFET.

청구항 5

제 1항에 있어서, 상기 불순물은 붕소인, 전력 MOSFET.

청구항 6

제 2항에 있어서, 상기 폴리실리콘은 적어도 부분적으로 산화되는, 전력 MOSFET.

청구항 7

제 2항에 있어서, 상기 폴리실리콘은 단결정 실리콘을 형성하기 위해서 후속적으로 재결정화되는(recrystallized), 전력 MOSFET.

청구항 8

제 1항에 있어서, 상기 트렌치를 채우는 상기 물질은 폴리실리콘 및 유전체인, 전력 MOSFET.

청구항 9

제 1항에 있어서, 상기 보디 영역은 깊은 보디 영역을 포함하는, 전력 MOSFET.

청구항 10

제 1 도전성 타입의 기판을 제공하는 단계와,

제 1 도전성 타입을 갖는 에피텍셜 층을 상기 기판 상에 증착시키는 단계와,

제 2 도전성 타입을 갖는 제 1 및 제 2 보디 영역 사이의 드리프트 영역을 한정하기 위해서 상기 에피텍셜 층에 상기 제 1 및 제 2 보디 영역을 형성하는 단계와,

상기 제 1 및 제 2 보디 영역에 상기 제 1 도전성 타입의 제 1 및 제 2 소스 영역을 각각 형성하는 단계와,

상기 에피텍셀 층의 상기 드리프트 영역에 재충전된 복수의 트랜치를 형성하는 단계와,

상기 제 2 도전성 타입의 불순물을 갖는 물질로, 상기 제 1 및 제 2 보디 영역으로부터 상기 기판 쪽으로 연장하는 트랜치를 채우는 단계와,

상기 트랜치로부터 상기 트랜치에 인접한 상기 에피텍셀 층의 일부분으로 상기 불순물의 적어도 일부를 확산하는 단계이되, 상기 트랜치의 각각에 인접한 상기 도핑된 영역은 도핑된 영역 위의 보디 영역과 전기적으로 연속되는, 확산 단계를 포함하는, 전력 MOSFET를 형성하는 방법.

청구항 11

제 10항에 있어서, 상기 트랜치를 채우는 상기 물질은 폴리실리콘인, 전력 MOSFET를 형성하는 방법.

청구항 12

제 10항에 있어서, 상기 트랜치를 채우는 상기 물질은 유전체인, 전력 MOSFET를 형성하는 방법.

청구항 13

제 12항에 있어서, 상기 유전체는 실리콘 이산화물인, 전력 MOSFET를 형성하는 방법.

청구항 14

제 10항에 있어서, 상기 불순물은 붕소인, 전력 MOSFET를 형성하는 방법.

청구항 15

제 11항에 있어서, 상기 폴리실리콘을 적어도 부분적으로 산화시키는 단계를 더 포함하는, 전력 MOSFET를 형성하는 방법.

청구항 16

제 11항에 있어서, 단결정 실리콘을 형성하기 위해서 상기 폴리실리콘을 재결정화하는 단계를 더 포함하는, 전력 MOSFET를 형성하는 방법.

청구항 17

제 10항에 있어서, 상기 트랜치를 채우는 상기 물질은 폴리실리콘 및 유전체인, 전력 MOSFET를 형성하는 방법.

청구항 18

제 10항에 있어서, 상기 보디 영역은 깊은 보디 영역을 포함하는, 전력 MOSFET를 형성하는 방법.

청구항 19

제 10항에 있어서, 상기 트랜치는 적어도 하나의 트랜치를 한정하는 마스크 층을 제공하고, 상기 마스크 층에 의해 한정된 상기 트랜치를 에칭함으로써 형성되는, 전력 MOSFET를 형성하는 방법.

청구항 20

제 10항에 있어서, 상기 보디 영역은 불순물을 주입하여 상기 기판으로 확산시킴으로써 형성되는, 전력 MOSFET를 형성하는 방법.

청구항 21

제 10항의 방법에 따라 제작되는, 전력 MOSFET.

청구항 22

제 6항에 있어서, 상기 폴리실리콘은 단결정 실리콘을 형성하기 위해서 후속적으로 재결정화되는, 전력 MOSFET.

청구항 23

제 15항에 있어서, 단결정 실리콘을 형성하기 위해서 상기 폴리실리콘을 재결정화하는 단계를 더 포함하는, 전력 MOSFET를 형성하는 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <6> 본 출원은 1999년 6월 3일에 "비교적 낮은 온-저항을 갖는 고전압 MOS-게이트형성 구조(A High Voltage MOS-Gated Structure with a Relatively Low On-Resistance)"라는 명칭으로 가출원된 미국 특허 출원(제 60/137,408호)과 관련된다.
- <7> 본 발명은 일반적으로 반도체 디바이스에 관한 것으로서, 더 상세하게는, 전력 MOSFET 디바이스에 관한 것이다.
- <8> 전력 MOSFET 디바이스는 자동차의 전기 시스템, 전원, 및 전력 관리 애플리케이션과 같은 애플리케이션에 사용된다. 그러한 디바이스는 오프-상태에서는 고전압을 유지하여야 하고, 온-상태에서는 저전압과 높은 포화 전류 밀도를 생성하여야 한다.
- <9> 도 1은 N-채널 전력 MOSFET에 대한 전형적인 구조를 도시하고 있다. N^+ 실리콘 기판(2) 위에 형성된 N-에피택셀(epitaxial) 실리콘 층(1)은 상기 디바이스의 두 MOSFET 셀을 위한 N^+ 소스 영역(7 및 8)과 p-보디(body) 영역(5a 및 6a)을 포함한다. p-보디 영역(5 및 6)은 깊은 p-보디 영역(5b 및 6b)을 또한 포함할 수 있다. 소스-보디 전극(12)은 소스 및 보디 영역에 접촉하기 위해서 에피택셀 층(1)의 특정 표면의 일부분을 가로질러 연장한다. 두 셀에 대한 N-타입 드레인도 도 1에서 상부 반도체 표면으로 연장하는 N-에피택셀 층(1) 부분에 의해 형성된다. 드레인 전극(별도로 도시되지 않음)이 N^+ 기판(2)의 하단에 제공된다. 산화물 및 폴리실리콘 층을 포함하는 절연된 게이트 전극(18)이 보디의 채널 및 드레인 부분 위에 위치된다.
- <10> 도 1에 도시된 종래 MOSFET의 온-저항은 에피택셀 층(1)에서의 드리프트 구역 저항(drift zone resistance)에 의해서 대부분 결정된다. 다음으로, 드리프트 구역 저항은 에피택셀 층(1)의 도핑 및 층 두께에 의해 결정된다. 그러나, 디바이스의 브레이크다운 전압(breakdown voltage)을 증가시키기 위해서, 에피택셀 층(1)의 도핑 농도는 감소되어야 하는 반면에, 층 두께는 증가되어야 한다. 도 2의 곡선(20)은 종래 MOSFET에 대한 브레이크다운 전압의 함수로서 단위 영역마다의 온-저항을 나타내고 있다. 유감스럽게도, 커브(20)가 나타내고 있는 바와 같이, 디바이스의 온-저항은 브레이크다운 전압이 증가함에 따라 급격하게 증가한다. 저항의 이런 급격한 증가는, MOSFET가 더욱 높은 전압에서 동작되어야 할 때, 특히 수 백 볼트보다 더 큰 전압에서 동작되어야 할 때 문제를 발생시킨다.
- <11> 도 3은 감소된 온-저항을 통해 더 높은 전압에서 동작하도록 설계된 MOSFET를 나타내고 있다. 이러한 MOSFET는 1998년의 IEDM 회보(문서 번호. 26.2, 683쪽)에 개시되어 있다. 이러한 MOSFET는, 보디 영역(5 및 6)의 바로 밑에서부터 디바이스의 드리프트 영역 내로 연장하는 p-타입의 도핑된 영역(40 및 42)을 포함하는 것을 제외하고는, 도 1에 도시된 종래 MOSFET와 유사하다. p-타입의 도핑된 영역(40 및 42)은 종래 MOSFET에서와 같이 수직 방향뿐만 아니라 수평 방향으로도 역전압이 발생하도록 야기한다. 그 결과, 상기 디바이스는 에피택셀 층(1)의 감소된 층 두께 및 드리프트 구역의 증가된 도핑 농도를 통해 종래 디바이스에서와 동일한 역전압을 달성할 수 있다. 도 2에서 커브(25)는 도 3에 도시된 MOSFET의 브레이크다운 전압의 함수로서 단위 영역마다의 온-저항을 나타내고 있다. 명확하게, 더 높은 동작 전압에서, 상기 디바이스의 온-저항은 도 1에 도시된 디바이스에 비해 상당히 감소되고, 본질적으로 브레이크다운 전압에 따라 선형적으로 증가한다.
- <12> 도 3에 도시된 구조는 여러 에피택셀 증착 단계를 포함하는 공정 시퀀스를 통해 제작될 수 있고, 상기 각각의 에피택셀 증착 단계 이후에는 적절한 불순물(dopant)의 도입이 후속한다. 유감스럽게도, 에피택셀 증착 단계는 수행하기에 비용이 많이 들기 때문에, 이러한 구조는 제작하는데 비용이 많이 든다.

발명이 이루고자 하는 기술적 과제

- <13> 따라서, 더 적은 비용으로 생산될 수 있도록 최소한의 증착 단계 횟수를 요구하는, 도 3에 도시된 MOSFET 구조를 제작하는 방법을 제공하는 것이 바람직할 것이다.
- <14> 본 발명에 따라, 제 1 도전성 타입의 기판을 포함하는 전력 MOSFET가 제공된다. 제 1 도전성 타입의 에피텍셀 층이 또한 상기 기판 상에 증착된다. 제 1 및 제 2 보디 영역이 에피텍셀 층에 위치되고, 그것들 사이의 드리프트 영역을 한정한다. 보디 영역은 제 2 도전성 타입을 갖는다. 제 1 도전성 타입의 제 1 및 제 2 소스 영역은 제 1 및 제 2 보디 영역에 각각 위치된다. 복수의 트렌치(trench)가 에피텍셀 층의 드리프트 영역의 보디 영역 아래에 위치한다. 제 1 및 제 2 보디 영역으로부터 기판 쪽으로 연장하는 트렌치는 제 2 도전성 타입의 불순물(dopant)을 포함하는 물질로 채워진다. 불순물은 트렌치로부터 상기 트렌치에 인접한 에피텍셀 층의 일부로 확산됨으로써, 수직 방향뿐만 아니라 수평 방향으로 역전압이 발생되도록 야기하는 p-타입의 도핑된 영역을 형성한다.
- <15> 본 발명의 한 양상에 따라, 트렌치를 채우는 물질은 폴리실리콘이다.
- <16> *본 발명의 또 다른 양상에 따라, 트렌치를 채우는 폴리실리콘은 적어도 부분적으로는 산화된다. 대안적으로, 폴리실리콘은 단결정 실리콘을 형성하기 위해서 후속적으로 재결정화될 수 있다.
- <17> 본 발명의 또 다른 양상에 따라, 트렌치를 채우는 물질은 예를 들어 실리콘 이산화물과 같은 유전체일 수 있다.
- <18> 본 발명의 또 다른 양상에 따라, 트렌치를 채우는 물질은 폴리실리콘 및 유전체 둘 모두를 포함할 수 있다.
- <19> 본 발명의 또 다른 양상에 따라, 전력 MOSFET를 형성하기 위한 방법이 제공된다. 상기 방법은 제 1 도전성 타입의 기판을 제공하고, 그 기판 상에 에피텍셀 층을 증착시키는 것으로부터 시작한다. 에피텍셀 층은 제 1 도전성 타입을 갖는다. 제 1 및 제 2 보디 영역은 그 사이에 드리프트 영역을 한정하기 위해 에피텍셀 층에 형성된다. 보디 영역은 제 2 도전성 타입을 갖는다. 제 1 도전성 타입의 제 1 및 제 2 소스 영역은 각각 제 1 및 제 2 보디 영역에 형성된다. 복수의 트렌치는 에피텍셀 층의 드리프트 영역에 형성된다. 트렌치는 제 2 도전성 타입의 불순물을 갖는 물질로 채워진다. 그 트렌치는 제 1 및 제 2 보디 영역으로부터 기판 쪽으로 연장한다. 불순물의 적어도 일부는 트렌치로부터 상기 트렌치에 인접한 에피텍셀 층의 일부로 확산된다.

발명의 구성 및 작용

- <20> 본 발명에 따라, 도 3에 도시된 P-타입의 영역(40 및 42)은, 상기 p-타입 영역(40 및 42)이 위치하게 될 곳의 중심부에 있는 트렌치(trench) 쌍을 먼저 에칭함으로써 형성된다. 그런 후에 트렌치는 불순물(dopant)이 풍부한 물질로 채워진다. 그 물질 내의 불순물은 트렌치로부터 디바이스의 드리프트 영역을 형성하는 인접한 에피텍셀 층(epitaxial layer)으로 확산된다. 그 결과로 인한 에피텍셀 층의 도핑된 부분은 p-타입의 영역을 형성한다. 트렌치를 채우는 물질은, 트렌치로부터 확산되지 않은 불순물과 함께, 최종 디바이스에 남는다. 따라서, 그 물질은 디바이스의 특성에 악영향을 주지 않도록 선택되어야 한다. 트렌치를 채우는 물질에 사용될 수 있는 전형적인 물질은 실리콘 이산화물과 같은 유전체나 폴리실리콘을 포함한다.
- <21> 도 4 내지 도 6은 에피텍셀 실리콘 층(1)에 형성되는 트렌치(44 및 46)를 채우는데 사용될 수 있는 물질에 대한 수 개의 다른 결합을 나타내고 있다. 도 4 내지 도 6은 트렌치(44 및 46), 에피텍셀 층(1), 및 기판(2)을 나타내고 있지만, 명확성을 위해서, p-보디 영역 및 소스를 포함하는 전력 MOSFET 구조의 상부 부분을 나타내지 않고 있다.
- <22> 도 4에서, 트렌치(44, 46)는 붕소-도핑된 실리콘 이산화물과 같은 도핑된 유전체로 채워진다. 트렌치가 채워진 후에, 붕소는 p-타입의 영역(40 및 42)을 형성하기 위해서 인접한 에피텍셀 층(1)으로 확산된다. 트렌치를 채우는 붕소-도핑된 실리콘 이산화물은 최종 MOSFET 디바이스에 남는다.
- <23> 도 5에서, 트렌치는 붕소가 도핑된 다결정 실리콘, 즉 폴리실리콘에 의해 적어도 부분적으로 채워진다. 트렌치가 채워진 후에, 붕소는 p-타입의 영역(40 및 42)을 형성하기 위해서 인접한 에피텍셀 층(1)으로 확산된다. 트렌치를 채우고 있는 남아 있는 붕소-도핑된 폴리실리콘은 최종 MOSFET 디바이스에 남는다. 대안적으로, 폴리실리콘은, 확산 단계가 실리콘 이산화물을 형성하기 위해서 수행된 후에, 전체적으로 또는 부분적으로 산화될 수 있다. 따라서, 최종 MOSFET 디바이스에 존재하는 트렌치는 유전체, 즉 실리콘 이산화물 및 임의의 잔여 폴리실리콘으로 채워진다. 또 다른 대안으로, 트렌치 내의 임의의 붕소-도핑된 폴리실리콘은 단결정 실리콘을 형성하기 위해 높은 온도에서 재결정화된다. 이 경우에, 최종 MOSFET 디바이스에 존재하는 트렌치는 단결정 실리콘이나, 또는 실리콘 이산화물이나 다른 유전체와 결합된 단결정 실리콘으로 채워진다.

- <24> 도 6에서, 트렌치(44 및 46)는 먼저 도핑된 폴리실리콘으로 부분적으로 채워진 후에 상기 트렌치를 완전하게 채우기 위해서 유전체가 증착된다.
- <25> 트렌치가 채워진 후에, 봉소는 p-타입의 영역(40 및 42)을 형성하기 위해서 인접한 에피텍셀 층(1)으로 확산된다. 트렌치를 채우고 있는 남아 있는 봉소-도핑된 폴리실리콘 및 유전체는 최종 MOSFET 디바이스에 남는다. 어떤 경우에는, 봉소-도핑된 폴리실리콘이 단결정 실리콘을 형성하기 위해 높은 온도에서 재결정화된다. 따라서, 최종 MOSFET에 존재하는 트렌치는 단결정 실리콘 및 유전체 둘 모두로 채워진다.
- <26> 도 7은 본 발명에 따라 구성된 최종적인 전력 MOSFET를 나타내고 있다. 상기 MOSFET는 기판(2), 에피텍셀 층(1), p-보디 영역(5a 및 6a), 깊은 p-보디 영역(5b 및 6b), 소스 영역(7 및 8), 및 트렌치(44 및 46)가 각각 위치되는 p-타입의 영역(40 및 42)을 포함한다. 또한, 산화물 층(48) 및 폴리실리콘 층(49)을 포함하는 게이트 전극과, 금속 층(50)을 포함하는 소스-보디 전극이 도시되어 있다.
- <27> 도 7에 도시된 본 발명의 전력 MOSFET는 임의의 종래 처리 기술에 따라 제작될 수 있다. 예를 들어, 다음과 같은 일련의 예시적인 단계가 도 7에 도시된 전력 MOSFET를 형성하기 위해서 수행될 수 있다.
- <28> 제일 먼저, 에피텍셀 층(1)의 표면을 산화물 층으로 덮음으로써 산화물 마스크 층이 형성되고, 다음으로 상기 표면은 트렌치(44 및 46)의 위치를 한정하는 마스크 부분을 남겨 놓도록 종래 방식으로 노출되어 패터닝된다. 트렌치는 민감한(reactive) 이온 에칭에 의해 마스크 개구부(opening)를 통해 일반적으로 10 내지 40 미크론의 범위에 걸친 깊이까지 드라이 에칭된다. 각 트렌치의 측벽은 평탄(smooth)해질 수 있다. 먼저, 드라이 화학 에칭(dry chemical etch)이 민감한 이온 에칭 공정에 의해서 야기되는 손상을 제거하기 위해서 트렌치 측벽으로부터 얇은 산화물 층(일반적으로 대략 500 내지 1000Å)을 제거하는데 사용될 수 있다. 다음으로, 손실성(sacrificial) 실리콘 이산화물 층이 트렌치(44 및 46)와 마스크 부분 위에서 성장된다. 손실성 층 및 마스크 부분은 버퍼 산화 에칭이나 HF 에칭 중 어느 하나에 의해 제거되고, 그로 인해 트렌치 측벽은 될 수 있는 한 평탄해진다.
- <29> 트렌치(44 및 46)는 폴리실리콘, 실리콘 이산화물, 또는 그것들의 결합물과 같은 앞서 언급된 물질들 중 임의의 물질로 채워진다. 증착 동안에, 폴리실리콘이나 산화물은 일반적으로 봉소와 같은 불순물로 도핑된다. 트렌치로부터 주위의 에피텍셀 층으로 불순물을 확산시키기 위해서 그 다음의 확산 단계가 수행된다. 만약 트렌치에 남아 있는 물질이 폴리실리콘이라면, 그것은 산화되거나 재결정화될 수 있다.
- <30> 다음으로, N^- 도핑된 에피텍셀 층(1)이 종래의 N^+ 도핑된 기판(2) 상에서 성장된다. 에피텍셀 층(1)은 일반적으로 15 내지 60 Ω -cm의 저항을 갖는 400 내지 800 V 디바이스에 대해서 15 내지 50 미크론의 두께를 갖는다. 게이트 산화물이 활성 영역 마스크에 뒤이어 다음으로 성장되고, 단결정 실리콘 층이 증착되고, 도핑되며, 산화된다. 만약 필요하다면, 깊은 p-보디 영역(5b 및 6b)이 종래의 마스크, 이온 주입 및 확산 공정을 사용하여 형성된다. 깊은 p-보디 영역에 대한 투여량(dose)은 일반적으로 대략 1×10^{14} 내지 $5 \times 10^{15}/\text{cm}^2$ 까지의 범위에 있을 것이다. 다음으로, p-보디 영역(5a 및 6a)이 종래의 마스크, 주입 및 확산 단계에서 형성된다. p-보디 영역에는 40 내지 60 KeV에서 대략 1×10^{13} 에서 $5 \times 10^{14}/\text{cm}^2$ 까지의 봉소 투여량(dosage)이 주입된다.
- <31> 다음으로, 포토레지스트 마스크 공정 소스 영역(7 및 8)을 한정하는 패터닝된 마스크 층을 형성하는데 사용된다. 그런 후에, 소스 영역(7 및 8)이 주입 및 확산 공정에 의해 형성된다. 예를 들어, 소스 영역에는 일반적으로 2×10^{15} 으로부터 $1.2 \times 10^{16}/\text{cm}^2$ 범위의 농도까지 80 KeV에서 비소가 주입될 수 있다. 주입 후에, 비소는 거의 0.5 내지 2.0 미크론의 깊이까지 확산된다. 깊은 p-보디 영역의 깊이는 일반적으로 2.5 내지 5 미크론에 이르는 반면, 보디 영역의 깊이는 대략 1 내지 3 미크론의 깊이에 이른다. 마지막으로, 마스크 층은 도 7에 도시된 구조를 형성하기 위해서 종래의 방식으로 제거된다.
- <32> DMOS 트랜지스터가 접촉 개구부를 형성하기 위해 산화물 층을 형성하여 패터닝함으로써 종래의 방식으로 완성된다. 소스-보디 및 게이트 전극을 한정하기 위해서 금속 층(50)이 또한 증착되고 마스크된다. 또한, 패드(pad) 마스크가 패드 접촉을 한정하기 위해서 사용된다. 마지막으로, 드레인 접촉 층(미도시)이 기판의 하단 표면 상에 형성된다.
- <33> 비록 앞서 설명된 공정에서는 트렌치가 p-보디 및 깊은 p-보디 영역을 형성하기에 앞서 형성되지만, 본 발명은 트렌치가 남아 있는 도핑된 영역들 중 임의의 영역이나 모든 영역에 앞서거나 또는 그에 후속하여 형성되는 공정을 더욱 일반적으로 포함한다는 것이 주시되어야 한다. 또한, 전력 MOSFET를 제작하는 특정 공정 시퀀스가 개

시되어 있지만, 다른 공정 시퀀스가 본 발명의 범위 내에 존재하는 동시에 사용될 수 있다.

- <34> 본 발명에 따라 구성된 전력 MOSFET 디바이스는 종래 기술에 의해 구성된 종래 디바이스에 비해 많은 장점을 제공한다. 예를 들어, p-타입 영역의 수직 불순물 경사도가 거의 "0"이다. 수평 불순물 경사도는 주입되는 불순물의 양과 확산 단계에서 사용되는 가열 주기의 횟수 및 지속시간을 변경함으로써 정확하게 제어될 수 있다. 또한, 주입되는 불순물의 양과 측면 불순물 경사도는 디바이스의 온-레지스턴스 및 브레이크다운 전압 둘 모두를 최적화하도록 변경될 수 있다.
- <35> 도7에 도시된 본 발명의 실시예에 있어서, p-타입의 트랜치는 보디 영역 아래에 형성된다. 그러나, 모든 p-타입의 트랜치가, 특히 패드나 상호연결을 포함하는 영역에서나 다이(die)의 경계에서, 그것과 관련된 보디 영역을 가질 필요는 없다.
- <36> 비록 다양한 실시예가 본 명세서에서 상세하게 예시되고 설명되었지만, 본 발명에 대한 변형 및 변동은 위의 가르침에 포함되고, 본 발명의 사상과 의도된 범위에서 벗어나지 않는 한 첨부된 청구항의 범위 내에 존재한다는 것이 자명해질 것이다. 예를 들어, 다양한 반도체 영역의 도전성이 본 명세서에서 설명된 것들과 반대로 되는, 본 발명에 따른 전력 MOSFET가 제공될 수 있다.

발명의 효과

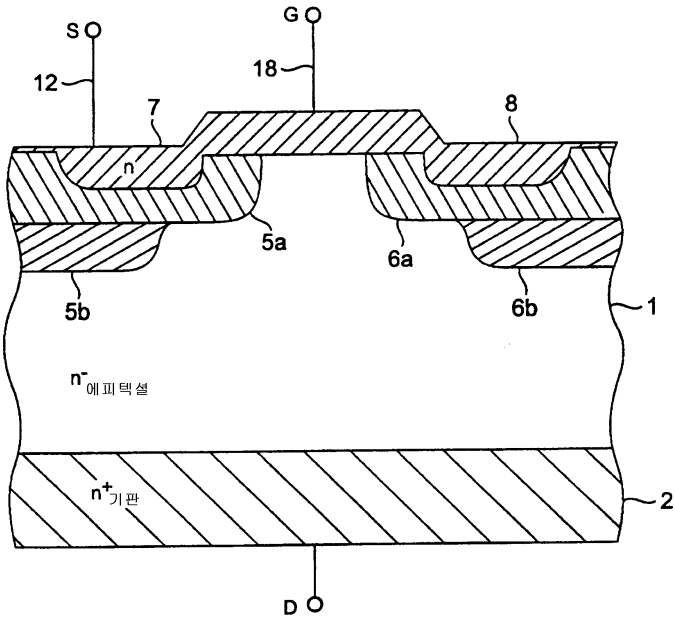
- <37> 상술한 바와 같이, 본 발명은 반도체 디바이스, 특히 전력 MOSFET 디바이스에 이용가능하다.

도면의 간단한 설명

- <1> 도 1은 종래의 전력 MOSFET 구조에 대한 횡단면도.
- <2> 도 2는 종래의 전력 MOSFET 및 본 발명에 따라 구성된 MOSFET에 대한 브레이크다운 전압의 함수로서 단위 영역마다의 온-저항을 나타내는 도면.
- <3> 도 3은 동일한 전압에서 도 1에 도시된 구조 보다 단위 영역마다 더 낮은 온-저항으로 동작하도록 설계된 MOSFET 구조를 나타내는 도면.
- <4> 도 4 내지 도 6은 본 발명에 따라 구성된 전력 MOSFET에 대한 여러 실시예의 관련 부분을 나타내는 도면.
- <5> 도 7은 본 발명에 따라 구성된 완전한 전력 MOSFET를 나타내는 도면.

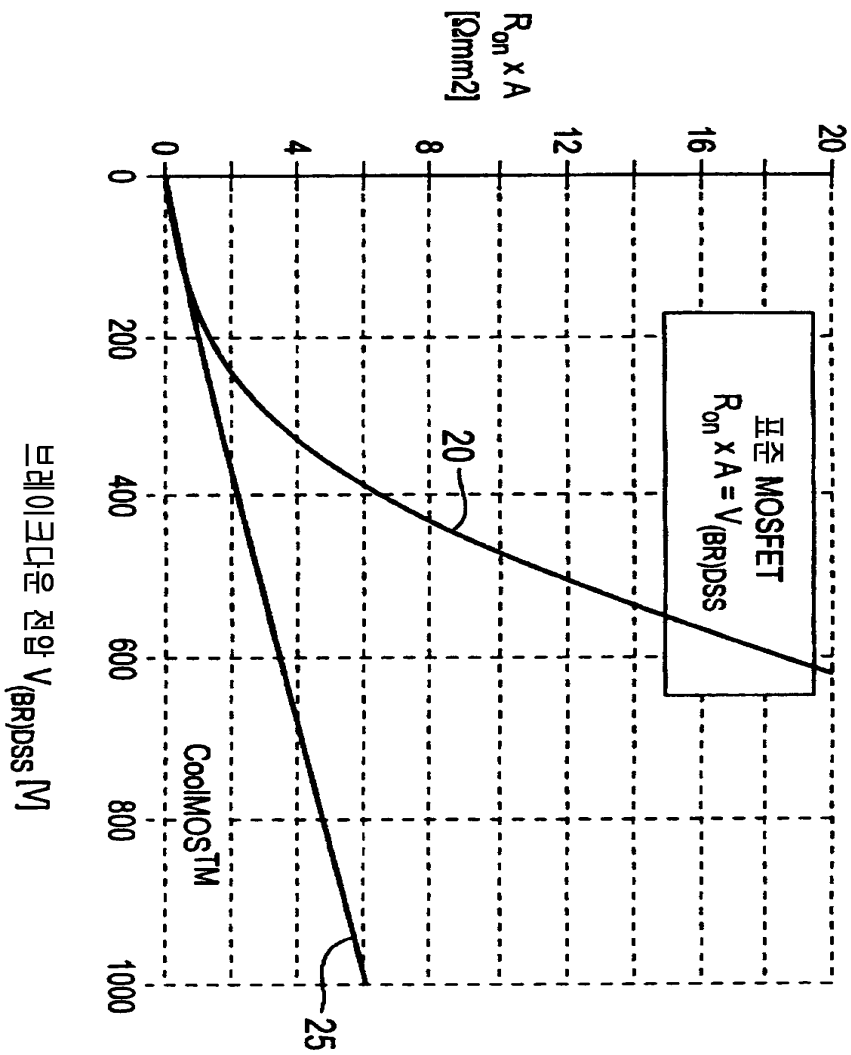
도면

도면1



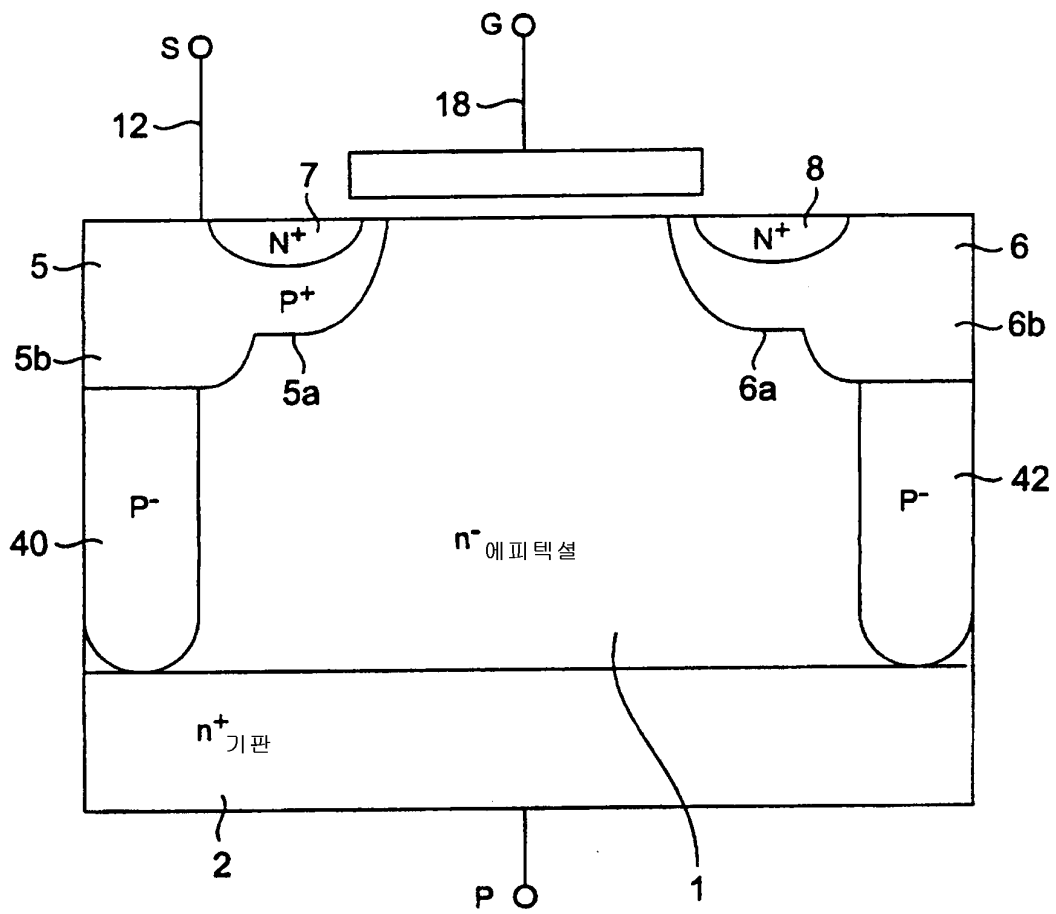
종래의 MOSFET

도면2



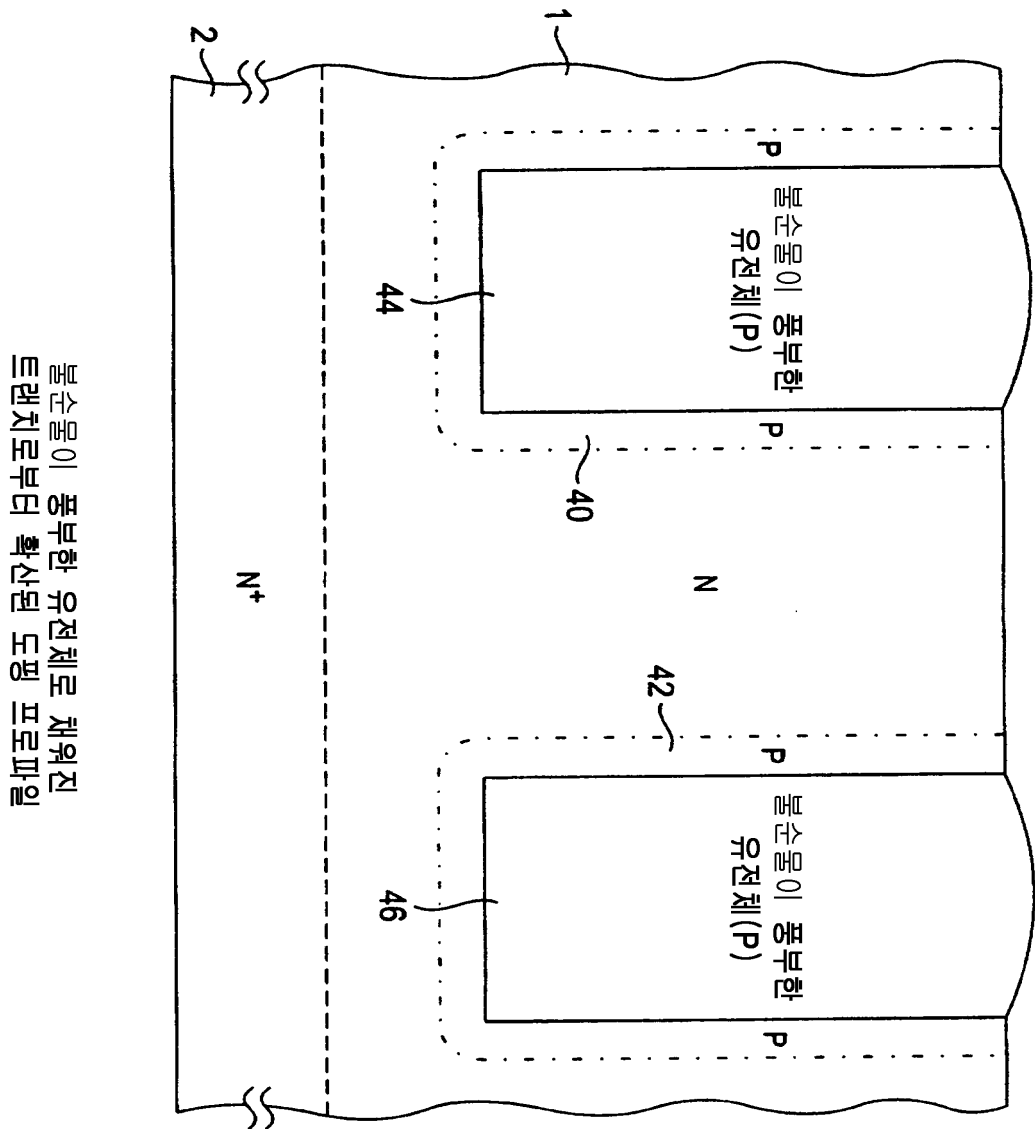
도1의 물스물 분포를 갖는 수직적인
DMOS 트랜지스터의 특정 온-저항

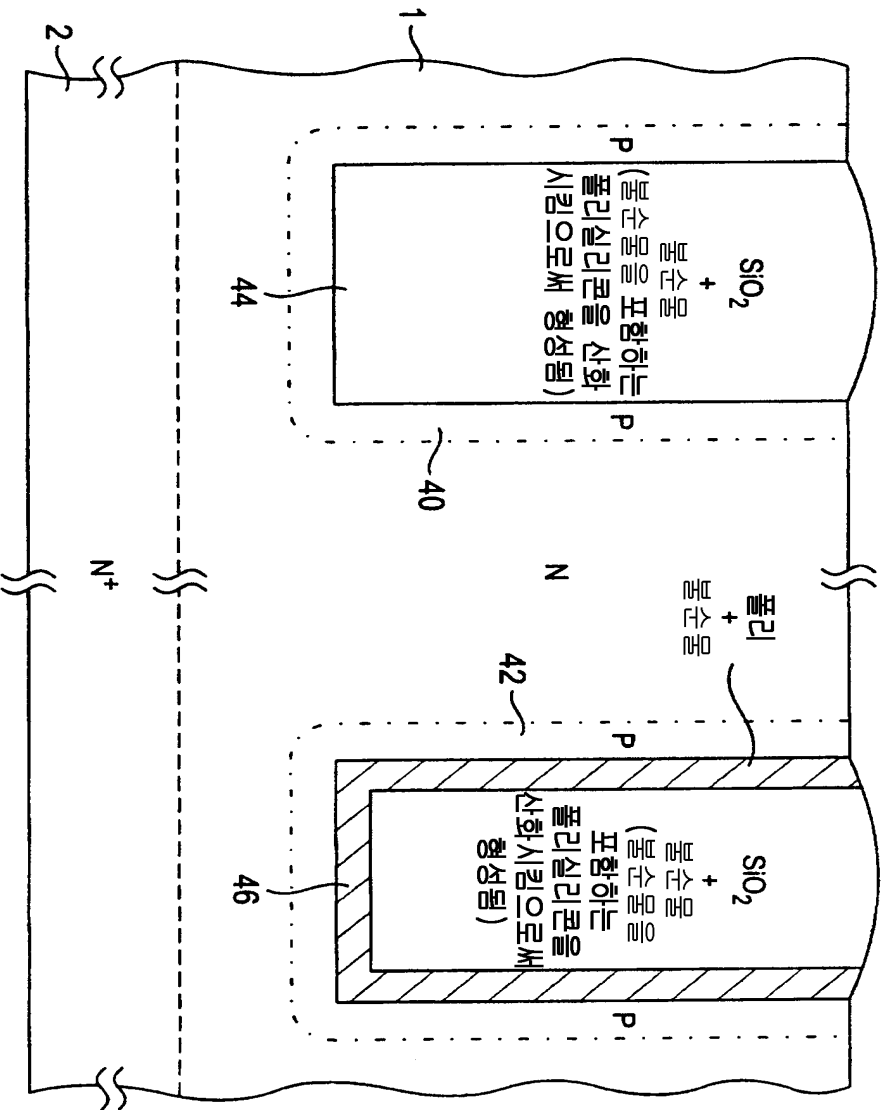
도면3



비교적 낮은 온-저항을 갖는 고전압 수직 DMOS 트랜지스터의 불순물 분포

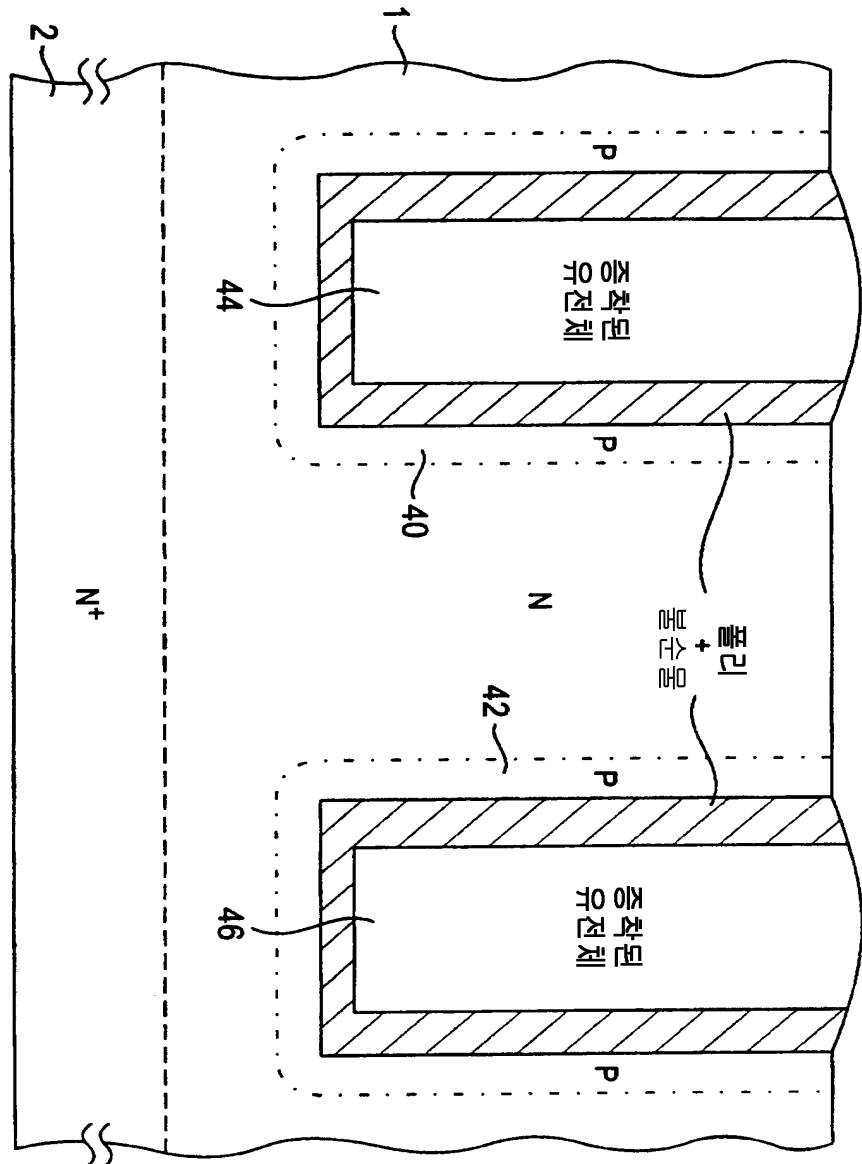
도면4





도면5

후속적으로 산화된 도핑된 다결정 실리콘을 포함하는
트렌치로부터 확산되어진 도핑 프로파일



주요한 것은 우선 체질만 아니라 도평면 다결정 실리콘을 포함하는 트랜치로부터 확산된 도핑 프로파일

도면7

