

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁵
G11C 11/40

(45) 공고일자 1990년11월26일

(11) 공고번호 90-008613

(21) 출원번호	특1985-0003292	(65) 공개번호	특1986-0002098
(22) 출원일자	1985년05월14일	(43) 공개일자	1986년03월26일
(30) 우선권 주장	172005 1984년08월17일 일본(JP)		
(71) 출원인	미쓰비시 덴기 가부시끼가이샤 가다야미 정 하찌로오 일본국 도오교오도 지요다구 마루노우찌 2쥬메 2-3		
(72) 발명자	구마노 야마사기 일본국 효고켄 이다미시 미즈하라 4쥬메 1반쥬 미쓰비시 덴기 가부시끼 가이샤 후지시마 가즈야스 일본국 효고켄 이다미시 미즈하라 4쥬메 1반쥬 미쓰비시 덴기 가부시끼 가이샤 도오사가 가쓰미 일본국 효고켄 이다미시 미즈하라 4쥬메 1반쥬 미쓰비시 덴기 가부시끼 가이샤 히다까 히데도 일본국 효고켄 이다미시 미즈하라 4쥬메 1반쥬 미쓰비시 덴기 가부시끼 가이샤 미야다께 히데시 일본국 효고켄 이다미시 미즈하라 4쥬메 1반쥬 미쓰비시 덴기 가부시끼 가이샤 요시하라 쓰도무 일본국 효고켄 이다미시 미즈하라 4쥬메 1반쥬 미쓰비시 덴기 가부시끼 가이샤		
(74) 대리인	김영길		

심사관 : 연길웅 (책자공보 제2114호)

(54) 셰어드 센스앰프(Shared sense amplifier)회로의 구동방법

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

셰어드 센스앰프(Shared sense amplifier)회로의 구동방법

[도면의 간단한 설명]

제1도는 본 발명의 배경이 되는 셰어드 센스앰프 회로의 구성을 표현한 회로도.

제2도는 제1도에 표현한 셰어드 센스앰프 회로의 종래의 클록타이밍차트.

제3도는 본 발명의 일 실시예의 셰어드 센스앰프 회로에 있어서의 클록타이밍차트.

제4도는 제3도의 클록 $\phi_{2L}(\phi_{2R})$ 을 발생하기 위한 일구성예시도.

제5도는 제4도 회로의 클록타이밍차트.

제6도 및 제8도는 제5도의 크래프클록 $\phi_{5L}(\phi_{5R})$ 을 발생하기 위한 회로구성의 예시도.

제7도 및 제9도는 각기 제6도 및 제8도의 클록타이밍차트.

제10도는 제5도의 클럭 ϕ_{6L} (ϕ_{6R})을 발생하기 위한 회로구성의 예시도.

제11도는 제 10도의 회로의 클럭타이밍차트.

* 도면의 주요부분에 대한 부호의 설명

1, 2 : 플립플롭 센스앰프를 구성하는 트랜지스터

3_R , 4_R , 3_L , 4_L : 각기 절환형 비트라인

$5_R(5_L)$ 및 $6_R(6_L)$: 비트라인을 프리차아지 하기 위한 트랜지스터

$7_R(7_L)$ 및 $8_R(8_L)$: 트랜스퍼 트랜지스터

9, 10 : 센스노오드

$MC_{NR}(MC_{NL})$ 및 $MC_{1R}(MC_{1L})$: 메모리셀

$DC_{1R}(DC_{1L})$ 및 $DC_{2R}(DC_{2L})$: 더미 메모리셀

[발명의 상세한 설명]

본 발명은 1트랜지스터 메모리셀형의 MOS 다이내믹(dynamic memory)에 관하여 특히 1개의 센스앰프를 2쌍의 절환형 비트라인(bit line) 또는 2쌍의 오픈형 비트라인으로 공유하는 소위 쉐어드 센스앰프 회로의 고속화에 관한 것이다.

여기서는 주로 2쌍의 절환형 비트라인을 공유하는 쉐어드 센스앰프 회로에 대하여 설명한다.

제1도는 본 발명의 배경이 되는 쉐어드 센스앰프 회로의 구성을 표시한 도면이다.

도면에 있어서 (1) 및 (2)는 플립플롭(flip flop) 센스앰프를 구성하는 트랜지스터 3_R , 4_R 및 3_L , 4_L 은 각기 인접되고 평행하게 연장된 2쌍의 절환형 비트라인이다.

이하 R 및 L은 각기 바른편 및 왼편을 표시한 첨자(添字)이다.

$MC_{1R}(MC_{1L})$ 는 워드라인 $WL_{1R}(WL_{1L})$ 이 선택된 경우에 절환형 비트라인 $3_R(3_L)$ 에 정보가 판독되는 메모리셀이고, $MC_{NR}(MC_{NL})$ 은 워드라인 $WL_{NR}(WL_{NL})$ 이 선택된경우에 절환형 비트라인 $4_R(4_L)$ 에 정보가 판독되는 메모리셀이다.

$DC_{1R}(DC_{1L})$ 는 더미 워드라인 $DWL_{1R}(DWL_{1L})$ 에 의하여 $DC_{2R}(DC_{2L})$ 는 더미 워드라인(dummy word line) $DWL_{2R}(DWL_{2L})$ 에 의하여 각기 절환형 비트라인 $3_R(3_L)$ 및 $4_R(4_L)$ 에 정보 「0」의 판독전위와 정보 「1」의 판독전위의 중간전위가 판독되는 더미 메모리셀이다.

$5_R(5_L)$ 및 $6_R(6_L)$ 는 트랜지스터로서 각기 소오스(source)가 절환형 비트라인 $3_R(3_L)$ 및 $4_R(4_L)$ 에 접속되어 게이트가 프리차아지 클럭 (precharge clock) $\phi_{1R}(\phi_{1L})$ 에 접속되어 드레인을 프리차아지 전위 $V_{REFR}(V_{REFL})$ 에 접속되며 절환형 비트라인 $3_R(3_L)$ 및 $4_R(4_L)$ 를 프리차아지 전위 V_{REF} 에 충전하는 것이다.

센스 노오드 9는 플립플롭을 구성하는 트랜지스터 1의 드레인 및 플립플롭을 구성하는 트랜지스터 2의 게이트에 접속되어 트랜스퍼(transfer) 트랜지스터 $7_R(7_L)$ 를 통하여 절환형 비트라인 $3_R(3_L)$ 에 접속되어 있다.

센스 노오드 10은 트랜지스터 2의 드레인 및 트랜지스터 1의 게이트에 접속되며 트랜스퍼 트랜지스터 $7_R(7_L)$ 및 $8_R(8_L)$ 는 각기 게이트가 클럭 $\phi_{2R}(\phi_{2L})$ 에 접속되어 있다.

클럭 ϕ_3 은 트랜지스터 1 및 2의 소오스에 접속되어 있다.

또한 절환형 비트라인 3_L 및 4_L 은 트랜스퍼 트랜지스터 11 및 12를 통하여 판독기입선 $1/0_1$ 및 $1/0_2$ 에 접속되어 있다.

트랜스퍼 트랜지스터 11 및 12는 각기 게이트가 클럭 ϕ_4 에 접속되어 있다.

더우기 도면에는 WL_{1R} , WL_{NR} 및 WL_{1L} , WL_{NL} 의 4본 워드라인만이 표시되어 있지만 실제로는 각 N본(N은 임의의 우수)의 워드라인이 존재하고 그것에 부수된 $MC_{1R}(MC_{1L})$ 에서 $MC_{NR}(MC_{NL})$ 까지의 각 N개의 메모리셀이 N/2개씩 절환형 비트라인 $3_R(3_L)$ 및 $4_R(4_L)$ 에 접속되어 배런스되어 있다.

더우기 제1도에서는 1개의 플립플롭 센스앰프만이 표시되어 있지만 실제로는 복수개의 센스앰프가 종으로 병설 메모리셀의 어레이를 구성하는 것이 통상의 메모리셀이다.

이후 설명의 간단화를 위하여 1개의 센스앰프, 2본의 워드라인만으로서 동작설명으로 하기로 한다.

또한 첨자 R 또는 L의 어느 한쪽만이 선택되어서 선택된 쪽의 워드라인 WL_1 과 WL_N 의 1본과 더미 워드라인 DWL_1 이나 DWL_N 의 전위만이 상승된다.

선택되지 않은 쪽의 워드라인 WL_1 , WL_N 및 더미 워드라인 DWL_1 , DWL_N 는 로우레벨상태이다.

다음은 제2도의 클럭타이밍차트에 따라 NMOS를 가정하여 동작을 간단하게 설명한다.

시각 T_1 까지의 대기상태에서는 클록 ϕ_{1L} 가 하이레벨이고 트랜지스터 5_L 및 6_L 를 개재하여 비트라인 3_L 및 4_L 은 프리차아지 전위 V_{REFL} 에 충전되어 또한 클록 ϕ_{1R} 도 하이레벨이기 때문에 트랜지스터 5_R 및 6_R 을 개재하여 절전형 비트라인 3_R 및 4_R 도 프리차아지 전위 V_{REFR} 에 충전된다.

이 기간에 클록 ϕ_3 은 하이레벨이기 때문에 센스앰프는 대기상태가 유지된다.

이때 첨자 R측이 선택되었다고 가정한다.

첨자 L측의 워드라인 WL_{1L} 에서 워드라인 WL_{NL} 까지와 더미 워드라인 DWL_{1L} , DWL_{2L} 의 2분의 시각 T_3 가 되어 로우레벨을 유지한다.

한편 첨자 R측에 있어서는 워드라인 WL_{1R} 에서 워드라인 WL_{NR} 의 N분의 워드라인의 1본과 더미 워드라인 DWL_{1R} , DWL_{2R} 의 2본중 1본이 선택되어 전위는 상승한다.

일례로서 워드라인 WL_{1R} 과 더미 워드라인 DWL_{2R} 이 선택된 경우를 설명한다.

시각 T_2 에 클록 ϕ_{2L} 가 로우레벨이 되고 트랜스퍼 트랜지스터 7_L , 8_L 는 비도통이 되고 센스 노오스 9, 10은 절전형 비트라인 3_L , 4_L 과 전기적으로 단절된다.

시각 T_3 에 제2도의 워드라인 WL, 더미 워드라인 DWL의 파형으로 워드라인 WL_{1R} 과 더미 워드라인 DWL_{2R} 의 전위가 상승하고 메모리셀 MC_{1R} 에 축적되어있던 정보가 절전형 비트라인 3_R 에 더미 메모리셀 DC_{2R} 에 축적되었던 전하가 절전형 비트라인 4_R 에 각각 판독된다.

판독된 정보는 클록 ϕ_{2R} 이 하이레벨인 시각 T_4 까지의 기간에 트랜스퍼 트랜지스터 7_R , 8_R 을 개재하여 센스 노오드 9, 10에 전하여 진다.

시각 T_4 로 클록 ϕ_{2R} 의 레벨이 약간 하강되어 트랜스퍼 트랜지스터 7_R , 8_R 의 임피던스가 높아진다.

시각 T_5 로 클록 ϕ_3 이 로우레벨이 되어 센스앰프가 활성화되어 센스 노오드 9, 10에 전달된 정보는 증폭된다.

증폭된 정보는 트랜스퍼 트랜지스터 7_R , 8_R 을 통하여 절전형 비트라인 3_R , 4_R 에 복귀되고 선택이 계속되고 있는 메모리셀 MC_{1R} 에 증폭된 정보가 재가입된다.

시각 T_6 으로 클록 ϕ_{2R} 이 재차 하이레벨이 되어 증폭된 정보가 트랜스퍼 트랜지스터 7_L , 8_L 을 통하여 절전형 비트라인 3_L , 4_L 에 전달된다.

시각 T_7 으로 클록 ϕ_4 가 하이레벨이 되어 증폭된 정보가 트랜스퍼 트랜지스터 11, 12를 개재하여 판독 기입선 I/O_1 , I/O_2 에 전달된다.

시각 T_8 로 선택된 워드라인 및 더미 워드라인 및 클록 ϕ_4 가 로우레벨로 복귀하고 시각 T_9 로 클록 ϕ_{1R} , ϕ_{1L} , ϕ_3 , ϕ_{2R} 이 하이레벨이 되어 절전형 비트라인 V_{REFR} , V_{REFL} 에 충전되어 센스앰프는 대기상태로 복귀한다.

이상이 일련의 판독, 재가입동작인 것이다.

더우기 트랜스퍼 트랜지스터 7_R , 8_R 과 임피던스를 센스앰프 증폭시에 높게 하려면 센스 노오드 9, 10의 용량부하를 저감시켜서 증폭감도를 증대시키는 것이 목적이다.

또한 첨자 L측이 선택된 때에는 클록 ϕ_{2L} 과 ϕ_{2R} 의 파형이 교체한다.

이와같이 쉐어드 센스앰프를 사용하면 워드라인이 선택되기 이전에 선택되지 않은 측의 절전형 비트라인이 센스앰프와 전기적으로 단절되어 선택된 메모리셀의 정보가 센스앰프에 의하여 증폭된 후에 재차 접속되므로 1개의 센스앰프를 2쌍의 절전형 비트라인을 공유할 수 있게 된다.

이상의 설명으로 명확한 바와같이 쉐어드 센스앰프에 있어서는 클록 ϕ_{2R} 및 ϕ_{2L} 의 파형이 중요한 역할을 하고 있다.

특히 비선택측(상기 예에서는 ϕ_{2L})은 워드라인이 상향하기전에 로우레벨이 될 필요가 있으므로 이 파형의 하향이 늦어지면 고속판독이 불가능하다.

또한 이 파형의 상향이 늦어지면 센스앰프에 의하여 증폭된 정보가 판독기입선에 전달된 것이 늦어지므로 고속판독이 불가능하다.

본 발명은 상기한 바와같은 문제를 해결하기 위하여 된 것으로서 워드라인이 선택되기 이전에 선택되지 않은 절전형 비트라인을 고속으로 컷오프(cutoff)하고, 또한 재접속을 자동적으로 고속으로 할 수 있게 되는 쉐어드 센스앰프 회로의 구동방법을 제공하는 것을 목적으로 한 것이다.

본 발명은 요약하면 제1의 비트라인 쌍이 선택된 때에는 제2의 비트라인 쌍과 센스앰프와를 결합하는 트랜스퍼 트랜지스터의 게이트전위를 제2의 비트라인 쌍의 프리차아지 전위에 같게 하므로서 제2의 비트라인 쌍을 센스앰프에서 일시적으로 단절함과 동시에 센스앰프의 증폭동작에 의하여 자동적으로 재접속하고 반대로 제2의 비트라인 쌍과 선택된 때에는 제1의 비트라인 쌍과 센스앰프와를 결합하는 트랜스퍼 트랜지스터의 게이트전위를 제1의 비트라인 쌍의 프리차아지 전위와 같게 하므로서

제1의 비트라인 쌍을 센스앰프에서 일시적으로 단절함과 동시에 센스앰프의 증폭 동작에 의하여 자동적으로 재접속되게 하여서 된 것이다.

본 발명의 상술한 바와같은 목적과 기타의 목적과 특징은 도면을 참조하면서 다음에서 상세하게 설명하므로써 더욱 명확하게 한다.

제3도는 본 발명의 일 실시예의 쉐어드 센스앰프에 있어서의 클록 타이밍 차트이다.

더우기 쉐어드 센스앰프의 기본회로 구성은 제1도의 것과 동일하여도 무방하다.

대기상태에 있어서는 클록 ϕ_1 에 의하여 비트라인 3_R , 4_R 및 3_L , 4_L 은 각기 프리차아지 전위 V_{REFR} , V_{REFL} 에 충전되지만 통상 이들의 전위는 동일하게 설정되므로 이후 V_{REF} 로 표시한다.

이때 클록 ϕ_{2L} 의 레벨을 적당하게 설명하면 센스 노오드 9, 10도 V_{REF} 에 프리차아지 된다.

이 회로의 특징은 워드라인이 선택되기 이전에 비선택측의 클록 ϕ_{2L} 의 레벨을 로우레벨하는 것이 아니고, 비트라인의 프리차아지 전위 V_{REF} 에 클램프하는 것이다.

즉 비트라인 및 센스 노오드의 전위가 V_{REF} 이므로 게이트전위를 V_{REF} 에 클램프하게 되면 트랜스퍼 트랜지스터 7_L , 8_L 은 드레인, 소오스 및 게이트가 동일 레벨이 되어 컷트오프하게 된다.

당연한 것이지만 클록 ϕ_{2L} 의 레벨을 로우레벨하는 것보다는 V_{REF} 로 하는 것이 고속으로 할 수 있는 것이다.

일례로서 메모리셀 MC_{1R} 에 로우레벨의 전하가 축적되어 있는 경우에 대하여 제3도에 따라 설명한다.

도면에 있어서 V_{3R} , V_{3L} 은 각기 비트라인 3_R , 3_L 의 전위를 표시하고 있다.

또한 V_9 는 센스 노오드 9의 전위를 표시하고 있다.

시각 T_1 에 클록 ϕ_1 이 로우레벨이 되지만 V_{3R} , V_{3L} 은 V_{REF} 인 것이다.

시각 T_2 에 클록 ϕ_{2L} 이 V_{REF} 로 하강하면 비트라인 3_L 은 센스 노오드 9와 전기적으로 단절된다.

한편 클록 ϕ_{2R} 은 고 레벨인 대로 이어서 비트라인 3_R 은 센스 노오드 9와 접속되어 있는 상태이다.

시각 T_3 에 워드라인 WL_{1R} 의 전위가 상승하여 메모리셀 MC_{1R} 의 정보가 비트라인 3_R 에 판독된다.

이때에 V_{3R} 은 MC_{1R} 과 3_R 의 용량비로 결정되는 값만큼 근소하게 저하한다.

통상으로 이 값은 트랜지스터의 최저치의 전압 V_{TH} 보다도 작기 때문에 트랜스퍼 트랜지스터는 온되지 아니한다.

시각 T_5 의 클록 ϕ_3 이 로우레벨이 되어 센스앰프가 활성화되면 센스 노오드의 전위 V_9 은 저하되기 시작한다.

한편 이 경우 클록 ϕ_{2R} 이 V_{REF} 로 저하되어 비트라인 3_R 도 일시적으로 센스 노오드 9에서 단절되므로 용량부하가 저감되어 증폭감도가 향상한다.

시각 T_5 에서 ΔT 만큼 후에 이 ($V_{REF}-V_{TH}$)까지 저하하면 트랜스퍼 트랜지스터 7_L 및 7_R 이 온되기 시작하여 비트라인 3_L 및 3_R 은 자동적으로 센스 노오드 9와 재접속된다.

그후 시각 T_6 에 클록 ϕ_3 의 반전지연신호 클록 ϕ_3 이 하이레벨되면 클록 ϕ_{2R} , ϕ_{2L} 은 이것에 의하여 승압되어 V_{REF} 보다 높은 레벨이 되고 판독시에 충분히 전달되게 할수도 있다.

그 이유는 트랜스퍼 트랜지스터 7_R 및 7_L 의 온 저항이 낮아지기 때문이다.

이와같이 상기한 실시예에서는 워드라인이 선택되기 이전에 비선택측의 트랜스퍼 트랜지스터의 게이트전위를 비트라인의 프리차아지 전압으로 클램프하므로써 고속인 컷트오프가 실현되고 또한 센스앰프의 증폭작용에 의하여 자동적으로 재접속되므로써 고속판독이 되는 효과가 있는 것이다.

또한 그때 트랜스퍼 트랜지스터 7_R 및 7_L 의 게이트전위를 비트라인의 프리차아지 전위 V_{REF} 와 트랜지스터의 최저치전압 V_{TH} 을 더한 것보다도 높게 하므로써 충분한 판독레벨을 얻을 수 있게 되는 효과가 있다.

다음에서 상기한 실시예의 쉐어드센스앰프회로를 구동하는데 필요한 회로의 구성예를 설명한다. 더우기 여기에서는 비트라인 프리차아지전위 V_{REF} 가 전원전압 V_{CC} 와 동등한 경우에 대하여 설명하기로 한다.

제4도는 제3도에 도시한 클록 ϕ_{2L} , ϕ_{2R} 의 발생회로를 도시한 것이다.

도면에 있어서 $Q_1 \sim Q_8$ 은 트랜지스터 $C_1 \sim C_5$ 는 캐패시터이다.

트랜지스터 Q_1 의 드레인인 전원라인 V_{CC} 에 저속하고 게이트는 프리차아지 클록 ϕ_1 에 또한 소오스는

내부 노오드 N_2 에 접속되어 있다.

트랜지스터 Q_2 의 드레인은 ϕ_1 의 반전신호 ϕ_1 에 게이트는 V_{cc} 에 소오스는 내부 노오드 N_1 에 접속되어 있다.

트랜지스터 Q_3 의 드레인은 V_{cc} 에 게이트는 노오드 N_1 에, 소오스는 노오드 N_2 에 접속되었다.

트랜지스터 Q_4 의 드레인은 V_{cc} 에 게이트 N_2 에 소오스는 클록의 출력노오드 $\phi_{2L}(\phi_{2R})$ 에 접속되었다.

트랜지스터 Q_5 의 드레인은 V_{cc} 에 게이트는 노오드 N_3 에 소오스는 클록의 노오드 $\phi_{2L}(\phi_{2R})$ 에 접속되어 있다.

트랜지스터 Q_6 의 드레인은 V_{cc} 에 게이트는 노오드 N_4 에 소오스는 노오드 N_3 에 접속되어 있다,

트랜지스터 Q_7 의 드레인은 클록 ϕ_1 의 반전신호 ϕ_1 에 게이트는 V_{cc} 에 소오스는 노오드 N_4 에 접속되어 있다.

트랜지스터 Q_8 의 드레인은 V_{cc} 에 접속되었고 게이트는 클록 ϕ_1 에 또한 소오스는 노오드 N_3 에 접속되었다.

또한 캐패시터 C_1 의 일단은 노오드 N_1 에 타단은 클수록 ϕ_3 의 반전지연신호 ϕ_3 에 접속되었다.

캐패시터 C_2 의 일단은 노오드 N_2 에 타단은 후에 설명되는 클램프 클록 $\phi_{5L}(\phi_{5R})$ 에 접속되어 있다.

캐패시터 C_3 의 일단은 클록의 출력노오드 $\phi_{2L}(\phi_{2R})$ 에 타단은 이것도 후에 설명되는 클록 $\phi_{6L}(\phi_{6R})$ 에 접속되어 있다.

캐패시터 C_4 의 일단은 노오드 N_3 에 타단은 클록 ϕ_3 의 반전신호 ϕ_3 에 접속되어 있다.

캐패시터 C_5 의 일단은 노오드 N_4 에 타단은 클록 ϕ_3 의 반전지연신호 ϕ_3 에 접속되었다.

여기서 ϕ_{2L} 발생회로와 ϕ_{2R} 발생회로는 동일한 구성이고 R측이 선택된 경우와 L측이 선택된 경우에서 각기 상호파형이 교체되게 되어있다.

다음은 편의상 R측이 선택되어 ϕ_{2L} 의 클램프 클록 ϕ_R 이 하이레벨이 되고 ϕ_{2R} 의 클램프 클록 ϕ_{5R} 이 로우레벨이 되었을 경우에 대하여 제5도의 클록타이밍차트를 사용하여 제4도의 회로동작을 설명한다.

시각 T_1 까지의 대기상태에서는 클록 ϕ_1 및 ϕ_3 이 하이레벨이고 출력노오드 ϕ_{2L} 은 후술하는 바와같이 캐패시터 C_3 의 용량결합에 의하여 전원전압 V_{cc} 이상의 하이레벨에 프리차아지 되어있다.

노오드 N_2 , N_3 는 Q_1 , Q_8 에 의하여 하이레벨에 프리차아지 되었으나 Q_4 , Q_5 는 소오스의 전위가 게이트의 전위보다도 높으므로 오프하고 있다.

또한 ϕ_1 이 로우레벨이므로 노오드 N_1 및 N_4 는 각기 트랜지스터 Q_2 , Q_7 을 통하여 로우레벨로 되어있다. 그 때문에 트랜지스터 Q_3 , Q_6 는 오프하고 있다.

다음에서는 시각 T_1 에 ϕ 이 로우레벨로 되고 ϕ_1 가 하아레벨로 되면 트랜지스터 Q_2 , Q_7 을 통하여 N_1 , N_4 는 하이레벨이 된다.

다음에 시각 T_2 에 ϕ_{5L} 이 하이레벨이 되면 캐패시터 C_2 의 용량결합에 의하여 노오드 N_2 가 V_{cc} 보다 충분히 높은 레벨로 펌프(pump)된다.

이 때문에 트랜지스터 Q_4 가 강하게 온되고 출력 노오드 ϕ_{2L} 를 V_{cc} 이상의 하이레벨에서 V_{cc} 레벨로 클램프한다.

한편 ϕ_L 도 로우레벨이 되므로 캐패시터 C_3 의 용량결합에 의하여서도 ϕ_{2L} 의 레벨은 로우에 끌려서 보다 한층 고속으로 V_{cc} 레벨에 클램프되게 된다.

다음은 시각 T_5 에 클록 ϕ_3 가 로우레벨이 되고 $\overline{\phi_3}$ 가 하이레벨이 되면 캐패시터 C_4 의 용량 결합에 의하여 노오드 N_3 가 V_{cc} 보다 충분히 높은 레벨로 펌프된다.

그 때문에 트랜지스터 Q_5 가 강하게 온 하지만 이 경우 기히 ϕ_{2L} 은 V_{cc} 레벨에 클램프 되어 있으므로 변화는 없다.

다음은 시각 T_5' 에 ϕ_3 의 반전지연신호 $\overline{\phi_3'}$ 가 하이레벨이 되면 캐패시터 C_1 및 C_5 의 용량 결합에 의하여 노오드 N_1 , N_4 가 V_{cc} 보다 충분히 높은 레벨로 펌프된다.

그 때문에 트랜지스터 Q_3 , Q_6 이 강하게 온 되고 노오드 N_2 및 N_3 가 V_{cc} 레벨로 클램프 되며 그것에 의하여 트랜지스터 Q_4 , Q_5 는 오프된다.

다음에서 시각 T_6 이 되어 ϕ_{6L} 가 재차 하이레벨이 되면 ϕ_{2L} 은 캐패시터 C_3 의 용량결합에 의하여 V_{cc} 이상의 하이레벨이 된다.

한편 ϕ_{2R} 발생회로의 쪽은 시각 T_2 가 되어도 ϕ_{5R} 이 로우레벨인 대로 ϕ_{6R} 이 하이레벨로 되어 있어서 노오드 N_2 는 V_{cc} 레벨대로 이고 ϕ_{2R} 은 V_{cc} 이상의 하이레벨대로 이다.

그리고 시각 T_5 로 되어 $\overline{\phi_3}$ 이 하이레벨로 되어 ϕ_{6R} 이 로우레벨이 되면 캐패시터 C_4 에 의하여 트랜지스터 Q_5 가 강하게 온 되고 출력노오드 ϕ_{2R} 을 V_{cc} 레벨로 클램프한다.

이때 캐패시터 C_3 에 의하여 보다 한층 고속으로 클램프 된다.

그 후의 동작은 ϕ_{2L} 의 경우와 완전동일하다.

이와같이 제4도의 회로에 의하면 본 발명의 채어드센스앰프회로를 실현하기 위한 클록 ϕ_{2L} , ϕ_{2R} 을 얻을 수 있게 된다.

다음은 제4도에서 클램프 클록 ϕ_{5L} (ϕ_{5R})발생회로의 구성예에 대하여 설명한다.

다음에서 설명되는 클램프 클록 발생회로는 R측 L측 어느것이 선택된다 하여도 워드라인 선택신호(일반적으로 어드레스신호)가 입력되면 즉시 출력을 발생하는 고속인 발생회로와 그 신호를 선택된 어드레스에 상응하여 ϕ_{5L} 또는 ϕ_{5R} 의 어느 한쪽만을 발생시키는 데코오드 회로의 2개부분으로 구성 되어 있다.

제6도는 상기 ϕ_{5L} (ϕ_{5R}) 발생회로의 구체적인 구성예를 도시한 것이다.

도면에 있어서 $M_1 \sim M_{11}$ 은 트랜지스터, C_6 은 부우스트 캐패시터, $N_5 \sim N_7$ 은 내부 노오드이다.

또한 ϕ_1 및 $\overline{\phi_1}$ 은 프리차아지 클록 및 그 반전신호이다.

이 예에서는 설명을 간단하게 하기 위하여 ϕ_1 을 사용하고 있지만 일반적으로는 어드레스 스트로부 신호를 사용할 수 있다.

ϕ_A 및 $\overline{\phi_A}$ 는 워드라인 선택신호(어드레스 신호) 및 그 보수신호(이 경우 ϕ_A 가 하이레벨인 때는 $\overline{\phi_A}$ 는 로우레벨을 유지)이다.

그리고 $\overline{\phi_3}$ 는 센스개시신호 ϕ_3 의 반전지연신호이다.

트랜지스터 M_1 의 드레인은 전원라인 V_{cc} 에 게이트는 클록 ϕ_1 에 소오스는 노오드 N_5 에 접속되어 있다.

트랜지스터 M_2 의 드레인은 노오드 N_5 에 게이트는 클록 ϕ_A 에 접속되어 소오스에 접지되어 있다.

트랜지스터 M_3 의 드레인은 노오드 N_5 에 게이트는 클록 $\overline{\phi_A}$ 에 접속되며 소오스는 접지되어 있다.

트랜지스터 M_4 의 드레인은 클록 $\overline{\phi_1}$ 에, 게이트는 노오드 N_5 에, 소오스는 노오드 N_6 에 접속되어 있다.

트랜지스터 M_5 의 드레인은 노오드 N_6 에 게이트는 클록 $\overline{\phi_3}$ 에 접속되며 소오스는 접지되어 있다.

트랜지스터 M_6 의 드레인은 V_{cc} 에, 게이트는 노오드 N_6 에, 소오스는 노오드 N_7 에 접속되어 있다.

트랜지스터 M_7 의 드레인은 노오드 N_7 에 클록 $\overline{\phi_3}$ 에 접속되며 소오스는 접지되어 있다.

트랜지스터 M_8 의 드레인은 노오드 N_7 에 게이트 N_5 에 접속되며 소오스는 접지되어 있다.

트랜지스터 M_9 의 드레인은 V_{cc} 에, 게이트는 노오드 N_7 에, 소오스는 ϕ_5 의 출력노오드에 접속되어 있다.

트랜지스터 M_{10} 의 드레인은 ϕ_5 의 출력노오드에 게이트는 노오드 N_5 에 접지되어 있다.

트랜지스터 M_{11} 의 드레인은 ϕ_5 에 출력노오드에 게이트는 클록 $\overline{\phi_3}$

캐패시터 C_6 의 일단은 노오드 N_6 에 접속되며 다른 단은 노오드 N_7 에 접속되어 있다.

다음에서는 제7도의 클록타이밍차트를 사용하여 제6도의 회로의 동작을 설명한다.

시각 T_1 까지의 대기상태에서는 클록 ϕ_1 이 하이레벨이고 트랜지스터 M_1 을 개재하여 노오드 N_5 는 하이레벨로 프리차아지 된다.

이 때문에 트랜지스터 M_4 , M_8 , M_{10} 은 온 되어있고 노오드 N_6 , N_7 및 ϕ_5 의 출력노오드는 로우레벨이다.

다음에는 시각 T_1 에 클록 ϕ_1 이 로우레벨이 되고 그 반전신호 $\bar{\phi}_1$ 이 하이레벨이 되면 트랜지스터 M_1 은 오프되지만 노오드 N_5 는 하이레벨을 유지한 대로 이어서(즉 노오드 N_5 의 하이레벨은 제7도에 표시된 시간 T_2 에 의하여 로우레벨로 변환된다) 트랜지스터 M_4 를 개재하여 노오드 N_6 이 하이레벨이 된다.

이 때문에 트랜지스터 M_6 이 온 되지만 노오드 N_5 가 하이레벨을 유지하고 있어 트랜지스터 M_6 도 온을 계속유지하고 있다.

트랜지스터 M_6 과 M_8 의 사이를 적당히 선택하면 노오드 N_7 을 로우레벨을 유지할 수 있게 된다.

시각 T_2 에 ϕ_A 또는 $\bar{\phi}_A$ 의 어느 일방이 하이레벨이 되면 트랜지스터 M_2 또는 M_3 의 어느 일방이 온되어 노오드 N_5 를 로우레벨로 떨어뜨린다.

그 때문에 트랜지스터 M_4 가 오프되고 노오드 N_6 은 하이 플로팅(high floating)이 된다.

한편 트랜지스터 M_8 , M_{10} 도 오프되게 되어서 노오드 N_7 의 레벨이 상승되기 시작한다.

그러면 캐패시터 C_6 의 용량결합에 의하여 노오드 N_6 은 더 한층 하이레벨에서 부스트되고 트랜지스터 (M_6)가 강하게 온 되어 노오드 N_7 을 전원전압 V_{cc} 의 레벨까지 상승시킨다.

이에 의하여 트랜지스터 M_9 가 온되어 출력노오드 ϕ_5 를 고속으로 하이레벨 시킨다.

그후 시각 T_6 에 $\bar{\phi}_3$ 가 하이레벨이 되면 트랜지스터 M_5 , M_7 및 출력노오드 ϕ_5 를 로우레벨로 떨어뜨린다.

이 예시에서는 $\bar{\phi}_3$,

이와같이 제6도의 회로구성에 의하면 워드라인 선택신호가 발신되면 즉시 발생하는 클램프 클록을 얻을 수 있게 된다.

다음은 전기 데코오드 회로의 구성에 대하여 그 일예를 설명한다.

제8도는 데코오드 회로의 일예를 도시한 것이다.

도면에 있어서 $M_{12} \sim M_{18}$ 은 트랜지스터, 1은 프리차아지 클록, $\bar{\phi}_A(\phi_A)$ 는 워드라인 선택신호이고 ϕ_5 는 제6도의 회로에서 얻어지는 클램프 클록, $\phi_{5L}(\phi_{5R})$ 은 그 데코오드된 신호이고, N_8 , N_9 는 내부노오드이다.

트랜지스터 M_{12} 의 드레인은 전원라인 V_{cc} 에 게이트는 클록 ϕ_1 에, 소오스는 노오드 N_8 에 접속되어 있다.

트랜지스터 M_{13} 의 드레인은 노오드 N_8 에, 게이트는 클록 $\bar{\phi}_A(\phi_A)$ 에 접속되어 있고 소오스는 접지되어 있다.

트랜지스터 M_{14} 의 드레인은 클록 ϕ_5 에, 게이트는 노오드 N_8 에, 소오스 $\phi_{5L}(\phi_{5R})$ 의 출력노오드에 접속되어 있다.

트랜지스터 M_{15} 의 드레인은 $\phi_{5L}(\phi_{5R})$ 의 출력 노오드에 게이트는 노오드 N_9 에 접속되어 있고, 소오스는 접지되어 있다.

트랜지스터 M_{16} 의 드레인은 V_{cc} 에 게이트 클록 ϕ_1 에 소오스는 노오드 N_9 에 접속되어 있다.

트랜지스터 M_{17} 의 드레인은 노오드 N_9 에 게이트는 $\phi_{5L}(\phi_{5R})$ 의 출력노오드에 접속되어 있고, 소오스는 접지되어 있다.

트랜지스터 M_{18} 의 드레인은 $\phi_{5L}(\phi_{5R})$ 의 출력노오드에 접속되어있고 게이트는 반대측의 출력 $\phi_{5R}(\phi_{5L})$ 에 접속되었고 소오스는 접지되었다.

더욱 제8도에 도시된 데코오드 회로는 ϕ_{5L} 에 대응된 것과 ϕ_{5R} 에 대응하는 것의 2조가 있다.

다음에 제9도의 클록타이밍차트를 사용하여 제8도의 회로의 동작을 설명한다.

시각(T_1)까지의 대기상태에서는 클록(ϕ_1)이 하이레벨이고 트랜지스터 (M_{12}), (M_{16})를 개재하여 노오드 (N_8), (N_9)는 하이레벨에 프리차아지되어 있고 그 때문에 트랜지스터(M_{14}), (M_{15})가 온되고 $\phi_{5L}(\phi_{5R})$ 의 출력노오드는 로우레벨로 되어 있다.

다음에 시각(T_2)에 R측이 선택되어 클록(ϕ_A)이 하이레벨이 되었다고 한다면 그 보수신호($\bar{\phi}_A$)는 로우레벨상태이므로 시각(T_2)이 되어도 노오드(N_8)는 하이레벨을 유지하고 트랜지스터(M_{14})를 사이에두고 ϕ_5 의 레벨이 그대로 ϕ_{5L} 의 출력노오드에 전달된다.

이 경우 트랜지스터(M_{15})이 온되어 노오드(N_9)를 로우레벨로 떨어뜨리므로 트랜지스터(M_{15})는 오프된다.

한편 트랜지스터(M_{13})의 게이트에 ϕ_A 가 접속되어 있는 ϕ_{5R} 측에서는 시각(T_2)에 트랜지스터(M_{13})이 온되게되므로 노오드(N_8)이 로우레벨이 되어 트랜지스터(M_{14})가 컷트오프한다.

그 때문에 ϕ_5 의 레벨은 ϕ_{5R} 의 출력노오드에는 전달되지않고 트랜지스터(M_{17})이 온되지 않으므로 트랜지스터(M_{15})가 온을 계속하여 ϕ_{5R} 는 로우레벨을 유지한 대로이다.

다시 트랜지스터(M_{18})가 온되므로 확실하게 로우레벨을 한 대로이다.

이와같이 제8도의 회로를 사용하면 제6도의 회로에 의하여 발생된 고속클램프 클록을 제4도에 도시된 클록(ϕ_{2L}), (ϕ_{2R})발생회로에 확실하게 데코오드하여 전달시킬 수 있게된다.

다음은 제4도에 도시된 클록 ϕ_{6L} (ϕ_{6R})발생회로의 구성예에 대하여 설명한다.

제10도 ϕ_{6L} (ϕ_{6R})발생회로를 도시한 것이다.

도면에 있어서 $M_{19} \sim M_{27}$ 은 트랜지스터, ϕ_1 프리차아지 클록, $\bar{\phi}_{33}$, $\bar{\phi}_{3'}$, $\bar{\phi}_{3''}$

ϕ_{5L} (ϕ_{5R})는 제6도 및 제8도의 회로로 발생된 클램프 클록이다.

트랜지스터(M_{19})의 드레인은 V_{CC} 에, 게이트는 클록 ϕ_1 , 소오스는 내부노오드(N_{10})에 접속되어 있다.

트랜지스터(M_{20})의 드레인은 노오드(N_{10})에, 게이트는 클록 $\bar{\phi}_{3'}$ 에 접속되며 소오스는 접지되어 있다.

트랜지스터(M_{21})의 드레인은 클록 $\bar{\phi}_{3'}$ 에, 게이트는 노오드(N_{10})에, 소오스는 노오드(N_{11})에 접속되어 있다.

트랜지스터(M_{22})의 드레인은 노오드(N_{11})에, 게이트는 클록 $\bar{\phi}_{3'}$ 에 접속되면 소오스는 접지되어 있다.

트랜지스터(M_{23})의 드레인은 노오드(N_{11})에, 게이트는 클록 ϕ_1 접속되며 소오스는 접지되어 있다.

트랜지스터(M_{24})의 드레인은 V_{CC} 에, 게이트는 클록 ϕ_1 에 소오스는 출력노오드 ϕ_{6L} (ϕ_{6R})에 접속되어 있다.

트랜지스터(M_{25})의 드레인은 V_{CC} 에, 게이트는 클록 $\bar{\phi}_{3''}$ 에, 소오스는 출력노오드 ϕ_{6L} (ϕ_{6R})에 접속되어 있다.

트랜지스터(M_{26})의 드레인은 출력노오드 ϕ_{6L} (ϕ_{6R})에 게이트는 노오드(N_{11})에 접속되어 있고 소오스는 접지되어 있다.

트랜지스터(M_{27})의 드레인은 출력노오드 ϕ_{6L} (ϕ_{6R})에 게이트는 클록 ϕ_{5L} (ϕ_{5R})에 접속되어 있고 소오스는 접지되어 있다.

다음은 제11도의 클록타이밍차아트를 사용하여 제10도의 회로의 동작을 설명한다.

시각(T_1)까지의 지속상태에서는 프리차아지 클록 ϕ_1 하이레벨이고 트랜지스터 (M_{19}), (M_{23}), (M_{24})는 온되어 있고 내부노오드(N_{10})는 하이레벨, N_{11} 은 로우레벨이고 출력노오드 ϕ_{6L} 은 하이레벨이다.

시각(T_1)에 ϕ_1 은 로우레벨이고 트랜지스터(M_{19}), (M_{23}), (M_{24})는 오프하지만 N_{10} 및 출력노오드 ϕ_{6L} 은 하이레벨을 유지하고 N_{11} 은 로우레벨을 지속하다.

시간(T_2)에 ϕ_{5L} 가 하이레벨이 되면 트랜지스터(M_{27})이 온하고 출력노오드 ϕ_{6L} 를 로우레벨로 떨어뜨린다.

다음에 시각(T_5)에 ϕ_3 이 로우레벨이 되어 $\bar{\phi}_{3'}$ 이 하이레벨이 되면 N_{10} 이 하이레벨이므로 트랜지스터(M_{21})를 통하여 N_{11} 이 하이레벨이 된다.

그 때문에 트랜지스터(M_{26})가 온되지만 출력노오드 ϕ_{6L} 은 기히 로우레벨이 되어있으므로 변화는 없다.

시각(T_5')에 클록 $\bar{\phi}_{3'}$ 가 하이레벨($\bar{\phi}_{3'}$ 는 $\bar{\phi}_{3'}$ 의 지연신호임)이 되어 ϕ_{5L} 이 로우레벨이되면 트랜지스터(M_{20}), (M_{22})가 온되고 M_{27} 이 오프된다.

그 때문에 노오드(N_{10}) 및 (N_{11})은 로우레벨이 된다. 따라서 트랜지스터(M_{21}), (M_{26})도 오프하게 된다.

시각(T_6)에 클록 $\bar{\phi}_{3''}$ 가 하이레벨($\bar{\phi}_{3''}$ 는 $\bar{\phi}_{3'}$ 의 지연신호임)되면 트랜지스터 M_{25} 가 온되어 출력노오드 ϕ_{6L} 을 재차 하이레벨한다.

한편 출력노오드 ϕ_{6R} 측의 회로에 대하여는 시각(T_2)이 되어도 ϕ_{5R} 은 로우레벨을 유지하므로 ϕ_{6R} 은 하이레벨상태를 지속한다.

시각(T_5)에 ϕ_3 이 하이레벨이되면 트랜지스터 M_{26} 이 온되어 출력노오드 ϕ_{6R} 를 로우레벨로 떨어뜨린다. 그후의 동작은 ϕ_{6L} 와 전혀 동일하다.

상기한 바와같이 제10도의 회로를 이용하면 제4도에서의 클록 $\phi_{6L}(\phi_{6R})$ 을 얻을 수 있게된다.

이와같이 하여 제4도, 제6도, 제8도 및 제10도의 회로를 이용하게되면 본 발명의 일 실시예의 쉐어드 센스앰프회로에 필요한 클록 $\phi_{2L}(\phi_{2R})$ 발생회로를 얻을 수 있게 된다.

더우기 상기한 설명서에서는 1개의 센스앰프를 2쌍의 절환형 비트라인($3_L, 3_R$), ($4_L, 4_R$)으로 공유하는 경우에 대하여서만 설명하였으나 이것을 2쌍의 오픈형 비트라인으로 공유할 수도 있는 것이다.

이 경우는 제1도의 $3_L, 3_R$ 을 1쌍, $4_L, 4_R$ 을 다시 1쌍의 오픈형 비트라인, 또는 $3_L, 4_R$ 을 1쌍 $3_R, 4_L$ 을 다시 1쌍의 오픈형 비트라인으로 간주하고 전자의 경우는 트랜스퍼트랜지스터 7_L 및 7_R 의 게이트에 클록 ϕ_{2L} 에 해당하는 클록을 입력하고 트랜스퍼트랜지스터 8_L 및 8_R 의 게이트에 클록 ϕ_{2L} 에 해당하는 클록을 입력하면 되고 후자의 경우는 트랜스퍼트랜지스터 7_L 및 8_R 의 게이트에 클록 ϕ_{2L} 에 해당하는 클록을 입력하고 트랜스퍼트랜지스터 8_L 및 7_R 의 게이트에 클록 ϕ_{2R} 에 해당하는 클록을 입력하면 된다.

상술한 바와같이 본 발명에 의하면 워드라인이 선택되기 이전에 비선택측의 트랜스퍼트랜지스터의 게이트 전위를 비트라인의 프리차이지전위에 플럼프하도록 하였으므로 고속의 컷트오프가 실현되며 또한 센스앰프의 증폭작용에 의해 자동적으로 재접속되므로 고속판독도할 수 있는 것이다.

(57) 청구의 범위

청구항 1

센스앰프(1), (2)와 제1의 비트선(3_R)과 제2의 비트선(4_R)으로 형성된 제1비트라인쌍과, 상기 제1비트선(3_R)을 상기 센스앰프(1), (2)에 결합시키기 위한 제1트랜스퍼트랜지스터(7_R)와 상기 제2비트선(4_R)을 상기 센스앰프(1), (2)에 결합시키기 위한 제2트랜스퍼트랜지스터(8_R)와 제3비트선(3_L)과 제4비트선(4_L)으로 형성된 제2비트라인쌍과 상기 제3비트선(3_L)을 상기 센스앰프(1), (2)에 결합시키기 위한 제3트랜스퍼트랜지스터(7_L)와 상기 제4비트선(4_L)을 상기 센스앰프(1), (2)에 결합시키기 위한 제4트랜스퍼트랜지스터(8_L)와를 구비한 쉐어드센스앰프회로를 구동하는 방법으로서 상기 제1비트라인쌍이 선택된 경우에는 상기제3 및 제4트랜스퍼트랜지스터(7_L), (8_L)의 게이트전위를 상기 제2의 비트라인쌍의 프리차이지전위(V_{REF})와 동등하게하므로써 제2비트라인쌍을 상기 센스앰프(1), (2)에서 일시적으로 단절시킴과 동시에 센스앰프(1), (2)의 증폭동작에 의하여 자동적으로 재접속하고 상기 제2의 비트라인조가 선택된 경우에는 상기 제1 및 제2트랜스퍼트랜지스터(7_R), (8_R)의 게이트전위를 상기 제1의 비트라인조의 프리차이지전위(V_{REF})와 동등하게 하므로써 상기 제1비트라인조를 상기 센스앰프(1), (2)에서 일시적으로 단절함과 동시에 센스앰프(1), (2)의 증폭동작에 의하여 자동적으로 재접속하는 것을 특징으로한 쉐어드센스앰프회로의 구동방법.

청구항 2

제1항에 있어서 판독동작이전에는 상기 제1, 제2 및 제3, 제4의 트랜스퍼트랜지스터(7_R), (8_R), (7_L), (8_L)의 게이트전위를 각기 제1 및 제2의 비트라인쌍(3_R), (4_R), (3_L), (4_L)의 프리차이지전위(V_{REF})와 그들의 트랜지스터의 최저치전압(V_{TH})의 합산치보다도 높게하는 것을 특징으로 하는 쉐어드센스앰프회로의 구동방법.

청구항 3

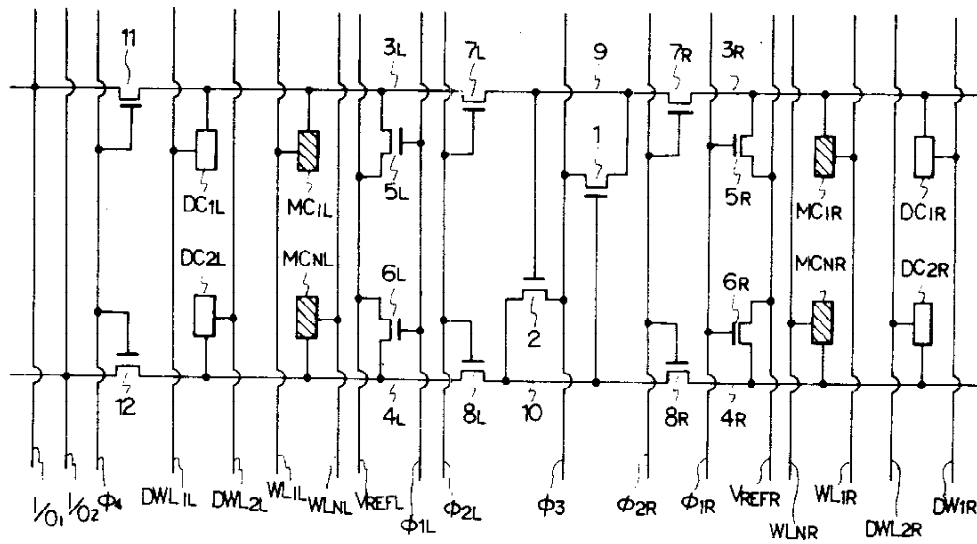
제1항 또는 제2항에 있어서 상기 제1 및 제2의 비트라인쌍(3_R), (4_R) 및 (3_L), (4_L)은 각기 절환형 비트라인으로 형성되는 쉐어드센스앰프회로의 구동방법.

청구항 4

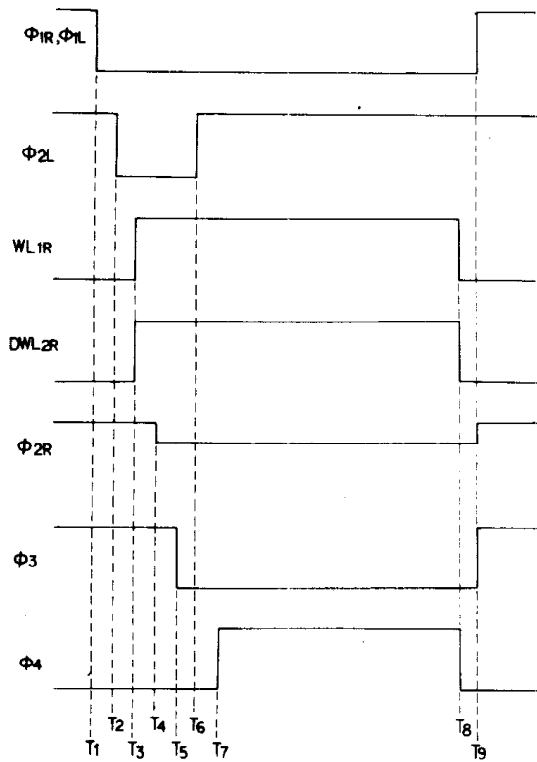
제1항 또는 제2항에 있어서 상기 제1 및 제2의 비트라인쌍(3_R), (4_R) 및 (3_L), (4_L)은 각기 오픈형 비트라인으로 형성되는 쉐어드센스앰프회로의 구동방법.

도면

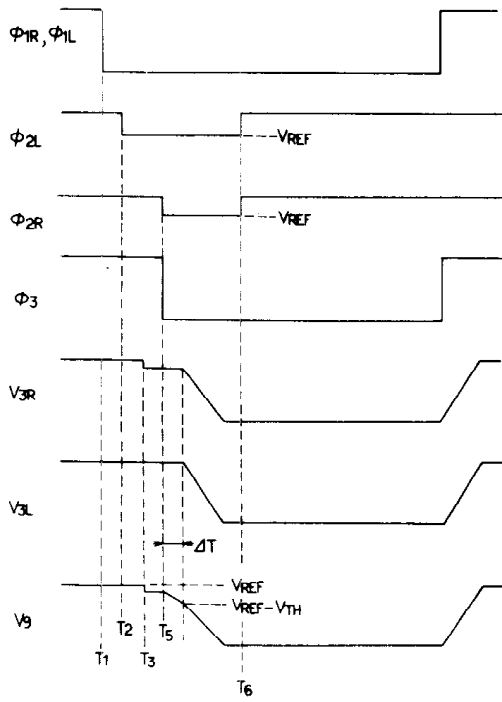
도면1



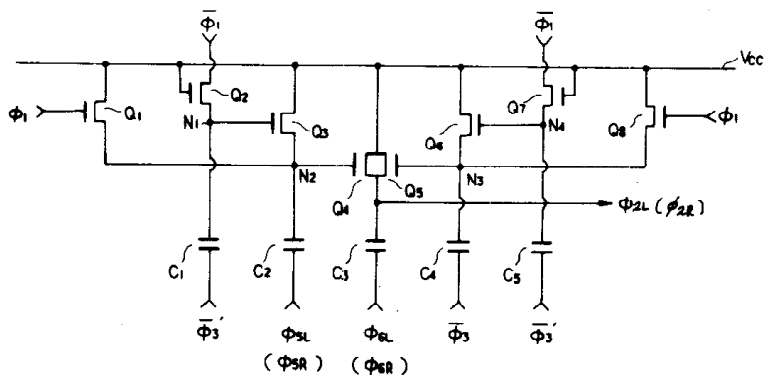
도면2



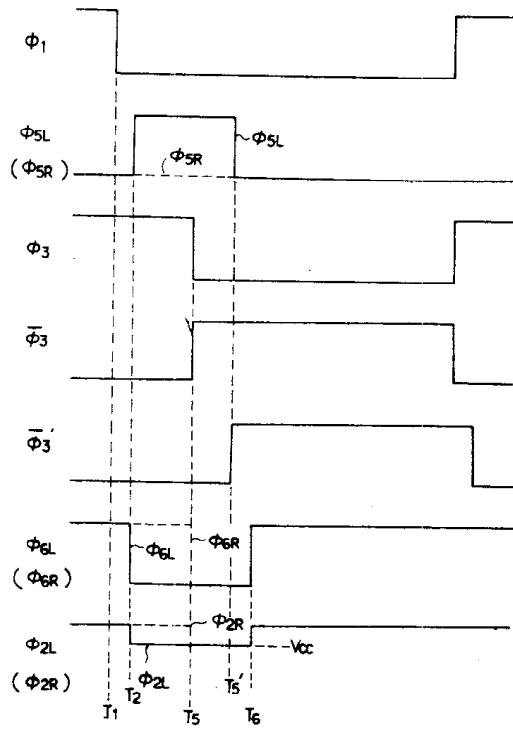
도면3



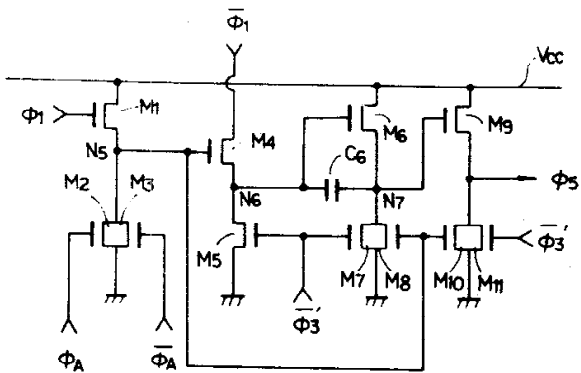
도면4



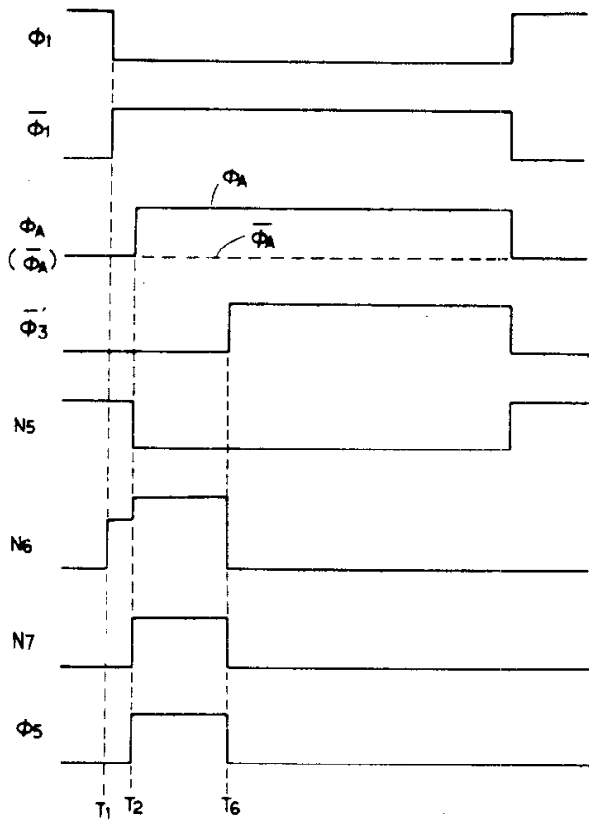
도면5



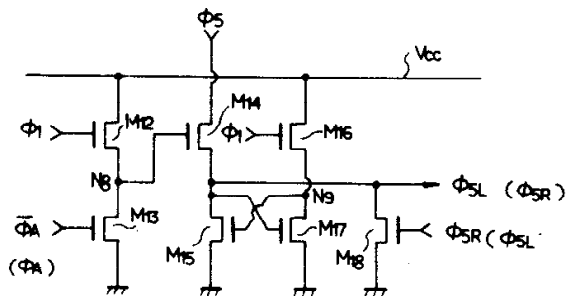
도면6



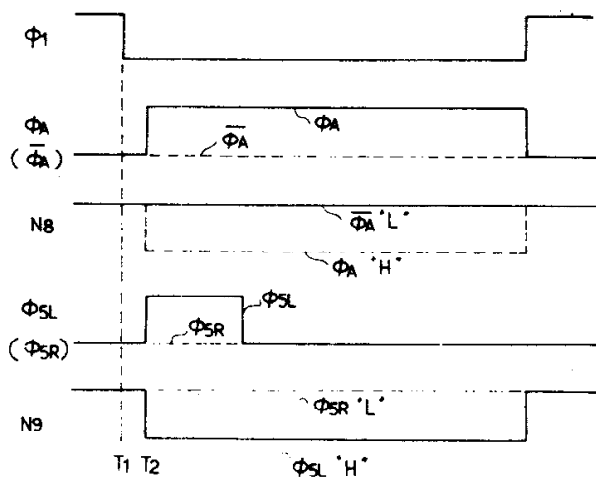
도면7



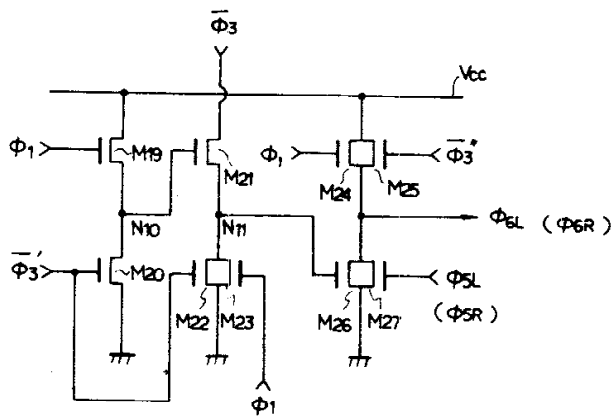
도면8



도면9



도면10



도면11

