



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0110172
(43) 공개일자 2009년10월21일

(51) Int. Cl.

H01L 21/027 (2006.01) H01L 21/28 (2006.01)

(21) 출원번호 10-2008-0035819

(22) 출원일자 2008년04월17일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

심재황

서울 강서구 등촌1동 656-38호 청기와 204호

박상용

경기 수원시 장안구 정자동 주공아파트 814-2001

이영호

서울 영등포구 당산동6가 237-25 202호

(74) 대리인

리엔목특허법인

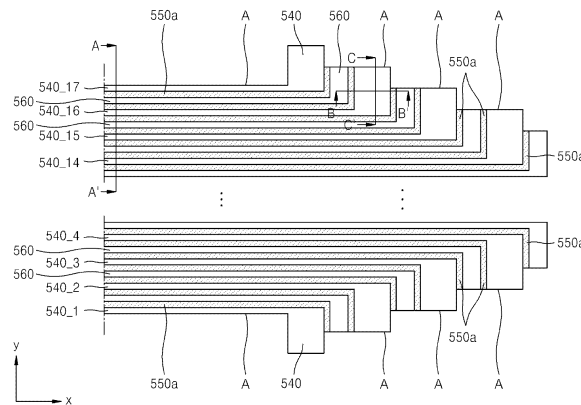
전체 청구항 수 : 총 50 항

(54) 반도체 소자의 미세 패턴 형성 방법

(57) 요약

셀 어레이 영역에 형성되는 복수의 도전 라인과 이를 주변 회로에 연결시키기 위한 콘택 패드를 일체로 형성하기 위한 반도체 소자의 미세 패턴 형성 방법에 관하여 개시한다. 피식각막을 포함하는 기관상의 셀 블록 내에 제1 방향으로 연장되는 제1 부분과, 제1 부분과 일체로 형성되고 제2 방향으로 연장되는 제2 부분을 각각 포함하는 복수의 몰드 마스크 패턴을 형성한다. 복수의 몰드 마스크 패턴 각각의 양 측벽 및 상면을 덮는 제1 마스크층을 형성한다. 제1 마스크층 중 상호 인접한 2 개의 몰드 마스크 패턴 사이에서 몰드 마스크 패턴의 측벽을 덮고 있는 제1 마스크층의 제1 영역은 남아 있고 복수의 몰드 마스크 패턴의 각 측벽 중 몰드 마스크 패턴 블록의 최외측 측벽을 덮는 제1 마스크층의 제2 영역은 제거되도록 제1 마스크층을 일부 제거하여 제1 마스크 패턴을 형성한다.

대표도



특허청구의 범위

청구항 1

피식각막을 포함하는 기판상의 셀 블록 내에 제1 방향으로 연장되는 제1 부분과, 상기 제1 부분과 일체로 형성되고 상기 제1 방향과는 다른 제2 방향으로 연장되는 제2 부분을 각각 포함하는 복수의 몰드 마스크 패턴을 상호 평행하게 배열되도록 형성하여 몰드 마스크 패턴 블록을 형성하는 단계와,

상기 기판상에 상기 복수의 몰드 마스크 패턴 각각의 양 측벽 및 상면을 덮는 제1 마스크층을 형성하는 단계와,

상기 제1 마스크층 중 상호 인접한 2 개의 몰드 마스크 패턴 사이에서 상기 몰드 마스크 패턴의 측벽을 덮고 있는 상기 제1 마스크층의 제1 영역은 남고 상기 복수의 몰드 마스크 패턴의 각 측벽 중 상기 몰드 마스크 패턴 블록의 최외측 측벽을 제공하는 부분을 덮고 있는 상기 제1 마스크층의 제2 영역은 제거되도록 상기 제1 마스크층을 일부 제거하여 제1 마스크 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성 방법.

청구항 2

제1항에 있어서,

상기 제1 마스크층은 상기 복수의 몰드 마스크 패턴 중 상호 인접한 2 개의 몰드 마스크 패턴 사이의 공간에서 상기 2 개의 몰드 마스크 패턴의 측벽을 각각 덮는 2 개의 수직 연장부와, 상기 2 개의 수직 연장부가 상호 연결되도록 이들 사이에서 상기 피식각막 위에 형성되는 수평 연장부를 포함하도록 형성되는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성 방법.

청구항 3

제2항에 있어서,

상기 제1 마스크 패턴을 형성하는 단계는

상기 제1 마스크층을 형성한 후 상기 제1 마스크층을 에치백하여 상기 수평 연장부를 제거하여 상기 복수의 몰드 마스크 패턴 각각의 측벽을 덮는 복수의 마스크 스페이서를 형성하는 단계와,

상기 상호 인접한 2 개의 몰드 마스크 패턴 사이의 공간에 있는 2 개의 마스크 스페이서 사이의 갭을 채우는 갭 필 보호막을 형성하는 단계와,

상기 복수의 마스크 스페이서 중 상기 갭 필 보호막에 의해 덮여 있지 않은 부분을 제거하는 단계와,

상기 갭 필 보호막을 제거하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성 방법.

청구항 4

제3항에 있어서,

상기 갭 필 보호막이 제거될 때 상기 복수의 몰드 마스크 패턴이 상기 갭 필 보호막과 함께 제거되는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성 방법.

청구항 5

제4항에 있어서,

상기 제1 마스크층은 질화막으로 이루어지고,

상기 갭 필 보호막 및 상기 몰드 마스크 패턴은 산화막으로 이루어지는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성 방법.

청구항 6

제3항에 있어서,

상기 복수의 마스크 스페이서를 식각 마스크로 이용하여 상기 피식각막을 식각하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성 방법.

청구항 7

제2항에 있어서,

상기 제1 마스크층이 형성된 후, 상호 인접한 2 개의 몰드 마스크 패턴 사이의 공간에서 상기 제1 마스크층의 수평 연장부 위에는 상기 수평 연장부에 각각 연결되어 있는 2 개의 수직 연장부에 의해 그 폭이 한정되는 리세스 공간이 형성되고,

상기 제1 마스크 패턴을 형성하는 단계는

상기 제1 마스크층이 형성된 후 상기 상호 인접한 2 개의 몰드 마스크 패턴 사이의 공간에서 상기 리세스 공간을 채우는 겹필 보호막을 형성하는 단계와,

상기 제1 마스크층 중 상기 겹필 보호막에 의해 덮여 있지 않은 부분을 제거하는 단계와,

상기 겹필 보호막을 제거하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성 방법.

청구항 8

제7항에 있어서,

상기 겹필 보호막이 제거될 때 상기 복수의 몰드 마스크 패턴이 상기 겹필 보호막과 함께 제거되는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성 방법.

청구항 9

제7항에 있어서,

상기 겹필 보호막이 제거된 후, 상기 수평 연장부에 각각 연결되어 있는 2 개의 수직 연장부 사이에서 상기 피식각막이 노출되도록 상기 제1 마스크층의 수평 연장부를 제거하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성 방법.

청구항 10

제9항에 있어서,

상기 제1 마스크층의 수직 연장부를 식각 마스크로 이용하여 상기 피식각막을 식각하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성 방법.

청구항 11

제2항에 있어서,

상기 제1 마스크층이 형성된 후, 상호 인접한 2 개의 몰드 마스크 패턴 사이의 공간에서 상기 제1 마스크층의 수평 연장부 위에는 상기 수평 연장부에 각각 연결되어 있는 2 개의 수직 연장부에 의해 그 폭이 한정되는 리세스 공간이 형성되고,

상기 제1 마스크 패턴을 형성하는 단계는

상기 제1 마스크층이 형성된 후 상기 상호 인접한 2 개의 몰드 마스크 패턴 사이의 공간에서 상기 리세스 공간을 채우는 겹필 보호막을 형성하는 단계와,

상기 제1 마스크층 중 상기 겹필 보호막에 의해 덮여 있지 않은 부분을 제거하는 단계와,

상기 리세스 공간에 상기 겹필 보호막이 남아 있는 상태에서 상기 제1 마스크층의 수직 연장부를 그 상면으로부터 일부 제거하여 상기 몰드 마스크 패턴과 상기 겹필 보호막과의 사이에 제1 깊이의 마스크 공간을 형성하는 단계와,

상기 마스크 공간 내에 상부 마스크 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성 방법.

청구항 12

제11항에 있어서,

상기 마스크 공간을 형성하는 단계에서는 상기 기관으로부터 상기 마스크 공간의 저면까지의 거리가 상기 기관으로부터 상기 캡필 보호막의 저면까지의 거리보다 더 크게 되도록 상기 제1 마스크층의 수직 연장부를 제거하는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성 방법.

청구항 13

제11항에 있어서,

상기 상부 마스크 패턴은 상기 몰드 마스크 패턴, 상기 캡필 보호막 및 상기 제1 마스크층 각각의 구성 물질과 다른 물질로 이루어지는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성 방법.

청구항 14

제11항에 있어서,

상기 상부 마스크 패턴을 식각 마스크로 하여 상기 몰드 마스크 패턴, 상기 캡필 보호막, 및 상기 제1 마스크층의 수평 연장부를 식각하여 제거하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성 방법.

청구항 15

제14항에 있어서,

상기 상부 마스크 패턴을 식각 마스크로 하여 상기 피식각막을 식각하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성 방법.

청구항 16

제1항에 있어서,

상기 제1 마스크 패턴이 형성된 후, 상기 기관상에 상기 제1 마스크 패턴을 덮지 않는 제1 국부 패턴과, 상기 제1 마스크 패턴을 덮는 제2 국부 패턴을 포함하는 제2 마스크 패턴을 동시에 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성 방법.

청구항 17

제16항에 있어서,

상기 기관은 메모리 셀 영역과, 주변회로 영역과, 이들 사이에 위치되는 접속 영역을 포함하고,
 상기 제2 마스크 패턴의 제1 국부 패턴은 상기 메모리 셀 영역 및 상기 주변회로 영역에 형성되고,
 상기 제2 마스크 패턴의 제2 국부 패턴은 상기 접속 영역에 형성되는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성 방법.

청구항 18

제16항에 있어서,

상기 제1 마스크 패턴을 형성한 후, 상기 제2 마스크 패턴을 형성하기 전에, 상기 복수의 몰드 마스크 패턴을 완전히 제거하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성 방법.

청구항 19

제16항에 있어서,

상기 제2 마스크 패턴을 형성하는 단계는
 상기 제1 마스크 패턴 위에 포토레지스트 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의

미세 패턴 형성 방법.

청구항 20

제16항에 있어서,

상기 제2 마스크 패턴을 형성하는 단계는

상기 제1 마스크 패턴 위에 스핀 코팅 공정에 의해 탄소 함유막을 형성하는 단계와,

상기 탄소함유막을 베이킹(bake) 공정에 의해 경화시키는 단계와,

상기 경화된 탄소함유막 위에 포토레지스트 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성 방법.

청구항 21

제20항에 있어서,

상기 경화된 탄소함유막 위에 포토레지스트 패턴을 형성하기 전에, 상기 경화된 탄소함유막 위에 반사방지막을 형성하는 단계를 더 포함하고,

상기 포토레지스트 패턴은 상기 반사방지막 위에 형성되는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성 방법.

청구항 22

제16항에 있어서,

상기 제1 마스크 패턴 및 제2 마스크 패턴을 식각 마스크로 하여 상기 피식각막을 식각하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성 방법.

청구항 23

제1항에 있어서,

상기 피식각막은 상기 기판상에 형성된 도전층을 포함하는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성 방법.

청구항 24

제1항에 있어서,

상기 피식각막은 상기 기판상에 차례로 형성된 도전층 및 하드마스크층을 포함하는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성 방법.

청구항 25

제24항에 있어서,

상기 하드마스크층은 산화막, 질화막 및 폴리실리콘막으로 이루어지는 군에서 선택되는 어느 하나의 막을 포함하는 단일막으로 이루어지는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성 방법.

청구항 26

제24항에 있어서,

상기 하드마스크층은 산화막, 질화막 및 폴리실리콘막으로 이루어지는 군에서 선택되는 서로 다른 2 개의 막을 포함하는 이중막으로 이루어지는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성 방법.

청구항 27

제16항에 있어서,

상기 제2 마스크 패턴을 형성하는 단계는 포토리소그래피 공정을 이용하는 것을 특징으로 하는 반도체 소자의

미세 패턴 형성 방법.

청구항 28

제1항에 있어서,

상기 제1 마스크층이 형성된 이후 상기 제1 마스크 패턴이 형성되기까지 포토리소그래피 공정을 이용하지 않는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성 방법.

청구항 29

제1항에 있어서,

상기 제1 마스크 패턴을 형성하는 단계에서는 상기 제1 마스크층의 제1 영역은 껍질 보호막으로 덮은 상태에서 상기 제2 영역을 식각하는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성 방법.

청구항 30

제29항에 있어서,

상기 제1 마스크 패턴을 형성하기 위한 식각 공정은 건식으로 행해지는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성 방법.

청구항 31

제29항에 있어서,

상기 제1 마스크 패턴을 형성하기 위한 식각 공정은 습식으로 행해지는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성 방법.

청구항 32

제16항에 있어서,

상기 제1 마스크 패턴은 상기 복수의 몰드 마스크 패턴 중 상호 인접한 2 개의 몰드 마스크 패턴 사이의 공간에서 상기 2 개의 몰드 마스크 패턴의 측벽을 각각 덮는 복수의 마스크 스페이서로 이루어지고,

상기 상호 인접한 2 개의 몰드 마스크 패턴 사이의 공간에 있는 상호 인접한 2 개의 마스크 스페이서는 상기 피식각막을 노출시키는 공간을 사이에 두고 상호 이격되어 있는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성 방법.

청구항 33

제32항에 있어서,

상기 제1 마스크 패턴을 형성하는 단계에서 상기 셀 블록 내에 N 개의 마스크 스페이서를 형성하기 위하여, 상기 몰드 마스크 패턴 블록을 형성하는 단계에서는 상기 셀 블록 내에 $\{(N + 2)/2\}$ 개의 몰드 마스크 패턴을 포함하는 몰드 마스크 패턴 블록을 형성하는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성 방법.

청구항 34

제16항에 있어서,

상기 제1 마스크 패턴은 상기 복수의 몰드 마스크 패턴 중 상호 인접한 2 개의 몰드 마스크 패턴 사이의 공간에서 상기 2 개의 몰드 마스크 패턴의 측벽을 각각 덮는 2 개의 수직 연장부와, 상기 2 개의 수직 연장부가 상호 연결되도록 이들 사이에서 상기 피식각막 위에 형성되는 수평 연장부를 포함하는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성 방법.

청구항 35

제34항에 있어서,

상기 제2 마스크 패턴을 형성하기 전에, 상기 제1 마스크 패턴의 수직 연장부를 그 상면으로부터 일부 제거하여

상기 몰드 마스크 패턴의 측벽을 노출시키는 마스크 공간을 형성하는 단계와,

상기 마스크 공간 내에 상부 마스크 패턴을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성 방법.

청구항 36

제35항에 있어서,

상기 복수의 몰드 마스크 패턴, 상기 제1 마스크 패턴, 상기 상부 마스크 패턴, 및 상기 제2 마스크 패턴은 각각 서로 다른 물질로 이루어지는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성 방법.

청구항 37

제35항에 있어서,

상기 상부 마스크 패턴 및 제2 마스크 패턴을 식각 마스크로 하여 상기 피식각막을 식각하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성 방법.

청구항 38

제1항에 있어서,

상기 복수의 몰드 마스크 패턴에서, 상기 제2 방향과 직교하는 방향을 따르는 상기 제2 부분의 폭은 상기 제1 방향과 직교하는 방향을 따르는 상기 제1 부분의 폭보다 더 큰 것을 특징으로 하는 반도체 소자의 미세 패턴 형성 방법.

청구항 39

제1항에 있어서,

상기 제2 방향은 상기 제1 방향과 직교하는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성 방법.

청구항 40

피식각막을 포함하는 기관상에 제1 방향으로 연장되는 제1 부분과, 상기 제1 부분과 일체로 형성되고 상기 제1 방향과는 다른 제2 방향으로 연장되는 제2 부분을 각각 포함하는 복수의 몰드 마스크 패턴을 상호 평행하게 배열되도록 형성하는 단계와,

상기 복수의 몰드 마스크 패턴 각각의 측벽을 덮는 루프(loop) 형상의 복수의 마스크 스페이서를 이들 사이에 각각 공간을 두고 상호 이격되도록 형성하는 단계와,

상기 복수의 몰드 마스크 패턴 중 선택되는 어느 하나의 몰드 마스크 패턴에서 그에 이웃하는 다른 몰드 마스크 패턴과 대향하지 않는 부분의 측벽이 노출되도록 상기 복수의 마스크 스페이서의 일부를 제거하여 제1 마스크 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성 방법.

청구항 41

제40항에 있어서,

상기 제1 마스크 패턴을 형성하는 단계는

상기 복수의 몰드 마스크 패턴 중 선택되는 어느 하나의 몰드 마스크 패턴에서 그에 이웃하는 다른 몰드 마스크 패턴과 대향하는 부분의 측벽 위에만 상기 마스크 스페이서를 덮는 깎필 보호막을 형성하는 단계와,

상기 복수의 마스크 스페이서 중 상기 깎필 보호막에 의해 덮여있지 않은 부분을 제거하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성 방법.

청구항 42

제41항에 있어서,

상기 깎필 보호막을 형성하는 단계는

상기 복수의 몰드 마스크 패턴 중 상호 인접한 2 개의 몰드 마스크 패턴 사이의 공간에 있는 2 개의 마스크 스페이서 사이의 갭을 채우면서 상기 복수의 몰드 마스크 패턴 각각의 상면 및 양 측벽을 덮는 보호막을 형성하는 단계와,

상기 상호 인접한 2 개의 몰드 마스크 패턴 사이의 공간에 있는 2 개의 마스크 스페이서 사이에만 상기 보호막이 남도록 상기 보호막의 상면이 완전히 노출된 상태에서 상기 보호막을 식각하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성 방법.

청구항 43

제40항에 있어서,

상기 제1 마스크 패턴을 덮지 않는 복수의 제1 국부 패턴과, 상기 제1 마스크 패턴을 덮는 복수의 제2 국부 패턴을 포함하는 제2 마스크 패턴을 상기 기판상에 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성 방법.

청구항 44

제43항에 있어서,

상기 기판은 메모리 셀 영역과, 주변회로 영역과, 이들 사이에 위치되는 접속 영역을 포함하고,

상기 제1 국부 패턴은 상기 메모리 셀 영역 및 주변회로 영역에 형성되고,

상기 제2 국부 패턴은 상기 접속 영역에 형성되는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성 방법.

청구항 45

제43항에 있어서,

상기 제1 마스크 패턴을 형성한 후, 상기 제2 마스크 패턴을 형성하기 전에, 상기 복수의 몰드 마스크 패턴을 완전히 제거하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성 방법.

청구항 46

제45항에 있어서,

상기 복수의 몰드 마스크 패턴이 완전히 제거된 후, 상기 제1 마스크 패턴 및 제2 마스크 패턴을 식각 마스크로 이용하여 상기 피식각막을 식각하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성 방법.

청구항 47

제46항에 있어서,

상기 피식각막은 도전층을 포함하는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성 방법.

청구항 48

제44항에 있어서,

상기 피식각막은 도전층을 포함하고,

상기 제1 마스크 패턴 및 제2 마스크 패턴을 식각 마스크로 이용하여 상기 피식각막을 식각하여 상기 메모리 셀 영역에는 상기 제1 마스크 패턴이 전사된 복수의 제1 도전 라인 및 상기 제2 마스크 패턴의 제1 국부 패턴이 전사된 복수의 제2 도전 라인을 형성하고, 상기 접속 영역에는 상기 제1 마스크 패턴과 상기 제2 마스크 패턴의 제2 국부 패턴의 결합된 형상이 전사된 복수의 콘택 패드를 형성하고, 상기 주변회로 영역에는 상기 제2 마스크 패턴의 제1 국부 패턴이 전사된 복수의 도전 패턴을 형성하는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성 방법.

청구항 49

제48항에 있어서,

상기 제1 도전 라인은 워드 라인인 것을 특징으로 하는 반도체 소자의 미세 패턴 형성 방법.

청구항 50

제48항에 있어서,

상기 제1 도전 라인은 비트 라인인 것을 특징으로 하는 반도체 소자의 미세 패턴 형성 방법.

명세서

발명의 상세한 설명

기술 분야

<1> 본 발명은 반도체 소자의 미세 패턴 형성 방법에 관한 것으로, 특히 셀 어레이 영역에 형성되는 복수의 도전 라인과 이를 주변 회로에 연결시키기 위한 콘택 패드를 일체로 형성하기 위한 반도체 소자의 미세 패턴 형성 방법에 관한 것이다.

배경 기술

<2> 반도체 소자의 셀 어레이 영역에는 단위 셀을 형성하는 복수의 도전 라인, 예를 들면 복수의 워드 라인 및 복수의 비트 라인이 소정 방향을 따라 반복 배치된다.

<3> 도 1은 비휘발성 메모리 장치의 한 종류인 NAND 플래시 메모리 소자의 메모리 셀 어레이(100)와, 그 주변 회로인 X-디코더(110) 및 Y-디코더(120)의 회로 블록을 예시한 블록 다이어그램이다. 도 2는 상기 메모리 셀 어레이(100)의 예시적인 구조를 설명하기 위한 회로도이다.

<4> 도 1 및 도 2를 참조하면, NAND 플래시 메모리 소자는 복수의 메모리 셀로 이루어지는 메모리 셀 블록(100A)이 복수개 포함되어 있는 메모리 셀 어레이(100)를 포함한다. 상기 메모리 셀 어레이(100)에는 상기 메모리 셀 블록(100A)의 워드 라인(WL₀, WL₁, ..., WL_{m-1}, WL_m)을 선택하기 위한 X-디코더(110)와, 상기 메모리 셀 블록(100A)의 비트 라인(BL₀, BL₁, ..., BL_{n-1}, BL_n)을 선택하기 위한 Y-디코더(120)를 포함한다. Y-게이팅(gating)(130)은 상기 Y-디코더(120)에 연결되어 상기 메모리 셀 어레이(100)에서의 비트 라인 경로를 지정하는 역할을 한다.

<5> 상기 메모리 셀 어레이(100)의 메모리 셀 블록(100A)은 비트 라인(BL₀, BL₁, ..., BL_{n-1}, BL_n)과 공통 소스 라인(CSL) 사이에 형성되는 복수의 셀 스트링(10)을 포함한다. 상기 셀 스트링(10)은 직렬로 연결된 복수의 메모리 셀(12)을 포함한다. 1 개의 셀 스트링(10)에 포함되어 있는 복수의 메모리 셀(12)의 게이트 전극은 각각 서로 다른 워드 라인(WL₀, WL₁, ..., WL_{m-1}, WL_m)에 접속된다. 상기 셀 스트링(10)의 양단에는 각각 접지 선택 라인(GSL)에 연결되어 있는 접지 선택 트랜지스터(14)와, 스트링 선택 라인(SSL)에 연결되어 있는 스트링 선택 트랜지스터(16)가 배치되어 있다. 상기 접지 선택 트랜지스터(14) 및 스트링 선택 트랜지스터(16)는 복수의 메모리 셀(12)과 비트 라인(BL₀, BL₁, ..., BL_{n-1}, BL_n) 및 공통 소스 라인(CSL)과의 사이의 전기적 연결을 제어한다. 상기 복수의 셀 스트링(10)에 걸쳐서 1 개의 워드 라인(WL₀, WL₁, ..., WL_{m-1}, WL_m)에 연결된 메모리 셀들은 페이지(page) 단위 또는 바이트(byte) 단위를 형성한다.

<6> 도 1 및 도 2에 예시된 NAND 플래시 메모리 소자에서 소정의 메모리 셀을 선택하여 읽기 동작 또는 쓰기 동작을 수행하기 위하여, 상기 X-디코더(110) 및 Y-디코더(120)를 이용하여 상기 워드 라인(WL₀, WL₁, ..., WL_{m-1}, WL_m) 및 비트 라인(BL₀, BL₁, ..., BL_{n-1}, BL_n)을 선택하여 해당 셀을 선택하게 된다.

<7> NAND 플래시 메모리 소자는 복수의 메모리 셀이 직렬 연결된 구조로 인해 비교적 높은 집적도를 갖는다. 그러나, 최근 칩 사이즈의 축소(shrink)를 위해 NAND 플래시 메모리 소자의 디자인 룰 (design rule)을 더욱 감소시키는 것이 요구되고 있다. 또한, 디자인 룰이 감소함에 따라 NAND 플래시 메모리 소자를 구성하는 데 필요한 패턴들의 최소 피치 (minimum pitch)도 크게 감소하고 있다. 이와 같이 감소된 디자인 룰에 따르는 미세 패턴을 구현하기 위하여 다양한 패턴 형성 방법이 적용되고 있다. 특히, 지금까지 개발된 리소그래피 기술에서 제

공될 수 있는 노광 장비 및 노광 기술 만으로는 구현하기 어려운 NAND 플래시 메모리 소자의 셀 어레이 구조를 구현하기 위하여, 리소그래피 기술의 한계를 초월하는 미세 피치로 반복적으로 형성되는 복수의 패턴을 형성하기 위한 더블 패턴링 (double patterning) 기술이 제안되었다.

<8> 통상의 NAND 플래시 메모리 소자에서는 상기 워드 라인(WL₀, WL₁, ..., WL_{m-1}, WL_m)에는 상기 워드 라인(WL₀, WL₁, ..., WL_{m-1}, WL_m)을 X-디코더(110)에 연결시키기 위한 콘택 패드가 연통하여 일체로 형성된다. 이와 같이 워드 라인에 연통되는 콘택 패드는 상기 워드 라인 형성과 동시에 형성된다. 따라서, 상기 워드 라인을 더블 패턴링 기술을 이용하여 형성하는 경우, 상기 주변회로 연결용 콘택 패드 주위에 형성된 불필요한 미세 패턴들 중 원하지 않는 부분을 제거하기 위한 트리밍 (trimming) 공정이 수반된다. 이와 같은 트리밍 공정은 비트 라인(BL₀, BL₁, ..., BL_{n-1}, BL_n)을 Y-디코더(120)에 연결시키기 위한 콘택 패드를 상기 비트 라인(BL₀, BL₁, ..., BL_{n-1}, BL_n)과 연통되도록 일체로 형성하는 경우에도 동일하게 적용된다.

<9> 그러나, NAND 플래시 메모리 소자에서 워드 라인 또는 비트 라인에 연결되는 주변회로 연결용 콘택 패드의 배치 구조가 미세하고 복잡하여 트리밍 공정을 위한 마스크 패턴의 레이아웃이 복잡하게 된다. 특히, 최근 시장의 요구에 따라 NAND 플래시 메모리 소자의 디자인룰 (design rule)이 급격하게 감소되고 있으며, NAND 플래시 메모리 소자를 구성하는 워드 라인 및 비트 라인의 패턴 사이즈가 미세화되고, 그에 따라 이들에 각각 연결되는 주변회로 연결용 콘택 패드의 배치 구조도 더욱 미세하고 복잡해지고 있다. 따라서, 트리밍 공정을 위한 마스크 패턴의 레이아웃도 매우 미세하고 복잡한 구조를 가지게 되었다. 또한, 더블 패턴링 공정에 의해 형성된 미세 패턴들간의 피치가 매우 작아서, 트리밍을 위한 마스크 패턴 형성시 더블 패턴링 기술에 의해 형성된 미세 패턴들과 상기 마스크 패턴과의 정렬 오차의 허용 범위가 매우 엄격하다. 따라서, 공정 진행시 발생할 수 있는 미스얼라인 가능성 및 식각 공정시의 다양한 변수들에 의해, 트리밍 공정 후 필요한 영역의 패턴까지 제거되거나 원하지 않는 패턴 형상이 얻어지는 등의 문제가 있다.

발명의 내용

해결 하고자하는 과제

<10> 본 발명의 목적은 상기한 종래 기술에서의 문제점을 해결하고자 하는 것으로, 반도체 소자의 셀 어레이 영역을 구성하는 도전 라인들과, 이들을 주변 회로에 연결시키기 위한 콘택 패드들을 이들이 상호 연통되도록 일체로 형성하는 데 있어서, 불필요한 부분들을 제거하기 위한 트리밍 공정을 단순화함으로써 축소된 디자인룰에 따라 고밀도로 설계된 미세한 도전 패턴들을 다양한 피치로 형성할 수 있는 반도체 소자의 미세 패턴 형성 방법을 제공하는 것이다.

과제 해결수단

<11> 상기 목적을 달성하기 위하여, 본 발명의 제1 양태에 따른 반도체 소자의 미세 패턴 형성 방법에서는 피식각막을 포함하는 기관상의 셀 블록 내에 제1 방향으로 연장되는 제1 부분과, 상기 제1 부분과 일체로 형성되고 상기 제1 방향과는 다른 제2 방향으로 연장되는 제2 부분을 각각 포함하는 복수의 몰드 마스크 패턴을 상호 평행하게 배열되도록 형성하여 몰드 마스크 패턴 블록을 형성한다. 상기 기관상에 상기 복수의 몰드 마스크 패턴 각각의 양 측벽 및 상면을 덮는 제1 마스크층을 형성한다. 상기 제1 마스크층 중 상호 인접한 2 개의 몰드 마스크 패턴 사이에서 상기 몰드 마스크 패턴의 측벽을 덮고 있는 상기 제1 마스크층의 제1 영역은 남아 있고 상기 복수의 몰드 마스크 패턴의 각 측벽 중 상기 몰드 마스크 패턴 블록의 최외측 측벽을 덮는 상기 제1 마스크층의 제2 영역은 제거되도록 상기 제1 마스크층의 일부를 제거하여 제1 마스크 패턴을 형성한다.

<12> 상기 제1 마스크층은 상기 복수의 몰드 마스크 패턴 중 상호 인접한 2 개의 몰드 마스크 패턴 사이의 공간에서 상기 2 개의 몰드 마스크 패턴의 측벽을 각각 덮는 2 개의 수직 연장부와, 상기 2 개의 수직 연장부가 상호 연결되도록 이들 사이에서 상기 피식각막 위에 형성되는 수평 연장부를 포함하도록 형성될 수 있다.

<13> 본 발명의 제1 양태에 따른 반도체 소자의 미세 패턴 형성 방법의 일 예에서, 상기 제1 마스크 패턴을 형성하는 단계는 상기 제1 마스크층을 형성한 후 상기 제1 마스크층을 에치백하여 상기 수평 연장부를 제거하여 상기 복수의 몰드 마스크 패턴 각각의 측벽을 덮는 복수의 마스크 스페이서를 형성하는 단계와, 상기 상호 인접한 2 개의 몰드 마스크 패턴 사이의 공간에 있는 2 개의 마스크 스페이서 사이의 갭을 채우는 갭필 보호막을 형성하는 단계와, 상기 복수의 마스크 스페이서 중 상기 갭필 보호막에 의해 덮여 있지 않은 부분을 제거하는 단계와, 상기 갭필 보호막을 제거하는 단계를 포함할 수 있다.

- <14> 본 발명의 제1 양태에 따른 반도체 소자의 미세 패턴 형성 방법의 다른 예에서, 상기 제1 마스크층이 형성된 후, 상호 인접한 2 개의 몰드 마스크 패턴 사이의 공간에서 상기 제1 마스크층의 수평 연장부 위에는 상기 수평 연장부에 각각 연결되어 있는 2 개의 수직 연장부에 의해 그 폭이 한정되는 리세스 공간이 형성될 수 있다. 이 경우, 상기 제1 마스크 패턴을 형성하는 단계는 상기 제1 마스크층이 형성된 후 상기 상호 인접한 2 개의 몰드 마스크 패턴 사이의 공간에서 상기 리세스 공간을 채우는 꺾필 보호막을 형성하는 단계와, 상기 제1 마스크층 중 상기 꺾필 보호막에 의해 덮여 있지 않은 부분을 제거하는 단계와, 상기 꺾필 보호막을 제거하는 단계를 포함할 수 있다. 상기 꺾필 보호막이 제거된 후, 상기 수평 연장부에 각각 연결되어 있는 2 개의 수직 연장부 사이에서 상기 피식각막이 노출되도록 상기 제1 마스크층의 수평 연장부를 제거하는 단계를 더 포함할 수 있다.
- <15> 본 발명의 제1 양태에 따른 반도체 소자의 미세 패턴 형성 방법의 또 다른 예에서, 상기 제1 마스크층이 형성된 후, 상호 인접한 2 개의 몰드 마스크 패턴 사이의 공간에서 상기 제1 마스크층의 수평 연장부 위에는 상기 수평 연장부에 각각 연결되어 있는 2 개의 수직 연장부에 의해 그 폭이 한정되는 리세스 공간이 형성될 수 있다. 이 경우, 상기 제1 마스크 패턴을 형성하는 단계는 상기 제1 마스크층이 형성된 후 상기 상호 인접한 2 개의 몰드 마스크 패턴 사이의 공간에서 상기 리세스 공간을 채우는 꺾필 보호막을 형성하는 단계와, 상기 제1 마스크층 중 상기 꺾필 보호막에 의해 덮여 있지 않은 부분을 제거하는 단계와, 상기 리세스 공간에 상기 꺾필 보호막이 남아 있는 상태에서 상기 제1 마스크층의 수직 연장부를 그 상면으로부터 일부 제거하여 상기 몰드 마스크 패턴과 상기 꺾필 보호막과의 사이에 제1 깊이의 마스크 공간을 형성하는 단계와, 상기 마스크 공간 내에 상부 마스크 패턴을 형성하는 단계를 포함할 수 있다. 또한, 상기 마스크 공간을 형성하는 단계에서는 상기 기판으로부터 상기 마스크 공간의 저면까지의 거리가 상기 기판으로부터 상기 꺾필 보호막의 저면까지의 거리보다 더 크게 되도록 상기 제1 마스크층의 수직 연장부를 제거할 수 있다. 상기 상부 마스크 패턴은 상기 몰드 마스크 패턴, 상기 꺾필 보호막 및 상기 제1 마스크층 각각의 구성 물질과는 다른 물질로 이루어질 수 있다.
- <16> 본 발명의 제1 양태에 따른 반도체 소자의 미세 패턴 형성 방법에서, 상기 제1 마스크 패턴이 형성된 후, 상기 기판상에 상기 제1 마스크 패턴을 덮지 않는 제1 국부 패턴과, 상기 제1 마스크 패턴을 덮는 제2 국부 패턴을 포함하는 제2 마스크 패턴을 동시에 형성하는 단계를 더 포함할 수 있다.
- <17> 상기 기판은 메모리 셀 영역과, 주변회로 영역과, 이들 사이에 위치되는 접속 영역을 포함할 수 있으며, 상기 제2 마스크 패턴의 제1 국부 패턴은 상기 메모리 셀 영역 및 상기 주변회로 영역에 형성되고, 상기 제2 마스크 패턴의 제2 국부 패턴은 상기 접속 영역에 형성될 수 있다.
- <18> 상기 제1 마스크 패턴을 형성한 후, 상기 제2 마스크 패턴을 형성하기 전에, 상기 복수의 몰드 마스크 패턴을 완전히 제거하는 단계를 더 포함할 수 있다.
- <19> 본 발명의 제1 양태에 따른 반도체 소자의 미세 패턴 형성 방법에서는, 상기 제1 마스크 패턴 및 제2 마스크 패턴을 식각 마스크로 하여 상기 피식각막을 식각하는 단계를 더 포함할 수 있다.
- <20> 본 발명의 제1 양태에 따른 반도체 소자의 미세 패턴 형성 방법에서, 상기 제1 마스크 패턴은 상기 복수의 몰드 마스크 패턴 중 상호 인접한 2 개의 몰드 마스크 패턴 사이의 공간에서 상기 2 개의 몰드 마스크 패턴의 측벽을 각각 덮는 복수의 마스크 스페이서로 이루어지고, 상기 상호 인접한 2 개의 몰드 마스크 패턴 사이의 공간에 있는 상호 인접한 2 개의 마스크 스페이서는 상기 피식각막을 노출시키는 공간을 사이에 두고 상호 이격될 수 있다. 이 경우, 상기 제1 마스크 패턴을 형성하는 단계에서 상기 셀 블록 내에 N 개의 마스크 스페이서를 형성하기 위하여, 상기 몰드 마스크 패턴 블록을 형성하는 단계에서는 상기 셀 블록 내에 $\{(N + 2)/2\}$ 개의 몰드 마스크 패턴을 포함하는 몰드 마스크 패턴 블록을 형성할 수 있다.
- <21> 또한, 상기 목적을 달성하기 위하여, 본 발명의 제2 양태에 따른 반도체 소자의 미세 패턴 형성 방법에서는, 피식각막을 포함하는 기판상에 제1 방향으로 연장되는 제1 부분과, 상기 제1 부분과 일체로 형성되고 상기 제1 방향과는 다른 제2 방향으로 연장되는 제2 부분을 각각 포함하는 복수의 몰드 마스크 패턴을 상호 평행하게 배열되도록 형성한다. 상기 복수의 몰드 마스크 패턴 각각의 측벽을 덮는 루프(loop) 형상의 복수의 마스크 스페이서를 이들 사이에 각각 공간을 두고 상호 이격되도록 형성한다. 상기 복수의 몰드 마스크 패턴 중 선택되는 어느 하나의 몰드 마스크 패턴에서 그에 이웃하는 다른 몰드 마스크 패턴과 대향하지 않는 부분의 측벽이 노출되도록 상기 복수의 마스크 스페이서의 일부를 제거하여 제1 마스크 패턴을 형성한다.

효 과

- <22> 본 발명에 따른 반도체 소자의 미세 패턴 형성 방법에서는, 고집적 반도체 소자의 셀 어레이를 형성하기 위하여 상호 평행하게 연장되어 있는 복수의 도전 라인과, 상기 도전 라인들을 디코더와 같은 외부 회로에 연결시키기

위하여 접속 영역에서 상기 복수의 도전 라인의 일단에 각각 일체로 형성되는 복수의 콘택 패드를 형성하는 데 있어서, 몰드 마스크 패턴 주위에 형성되는 마스크 스페이서를 식각 마스크로 이용하여 하부의 도전층을 식각한다. 이 때, 상기 마스크 스페이서의 불필요한 부분을 제거하기 위한 트리밍 공정시, 고가의 설비 및 복잡한 레이아웃을 가지는 마스크 패턴을 필요로 하는 포토리소그래피 공정을 행할 필요가 없으며, 마스크 스페이서의 트리밍 공정을 단순하고 저렴한 공정에 의해 행할 수 있다.

<23> 또한, 본 발명에 따른 반도체 소자의 미세 패턴 형성 방법에서는 셀 스트링을 구성하는 도전 라인의 끝 부분에 위치되는 주변회로 연결용 콘택 패드를 상기 도전 라인과 동시에 형성하기 위하여, 기판상의 도전층을 식각하는 데 필요한 식각 마스크 패턴을 형성하기 위하여 먼저 복수의 몰드 마스크 패턴을 형성하고, 상기 몰드 마스크 패턴의 측벽에 스페이서를 형성한 후, 상기 스페이서를 식각 마스크로 이용하여 도전층을 식각하여 상기 도전 라인을 형성한다. 따라서, 도전층 식각을 위한 미세한 마스크 패턴을 형성하는 데 있어서 임계 치수 (critical dimension)를 균일하게 할 수 있다. 따라서, 상기 도전 라인이 반도체 소자의 워드 라인을 구성하는 경우, 모든 워드 라인에서 게이트 채널 길이를 일정하게 할 수 있고, 각각의 메모리 셀에서 한계 전압을 일정하게 제어하는 데 유리하다.

<24> 또한, 본 발명에 따른 반도체 소자의 미세 패턴 형성 방법에서는, 1 개의 셀 스트링을 구성하는 셀 블록 내에 상호 평행한 N 개의 도전 라인, 즉 N 개의 마스크 스페이서를 형성하기 위하여, 상기 셀 블록 내에 $\{(N + 2)/2\}$ 개의 몰드 마스크 패턴을 형성한다. 예를 들면, 기판상에 1 개의 셀 블록 내에 상호 평행한 32 개의 도전 라인을 형성하기 위하여 먼저 상기 기판상에 17 개의 몰드 마스크 패턴을 형성한다. 즉, 이와 같이, 1 개의 셀 블록 내에서 몰드 마스크 패턴의 개수가 짝수 또는 홀수인지의 여부에 상관없이 그로부터 얻어지는 도전 라인의 개수는 짝수이다. 따라서, 상기 복수의 도전 라인으로부터 메모리 셀 어레이 영역의 워드 라인을 형성하는 경우, 기판상에 불필요한 워드 라인을 남겨둘 필요 없이 모든 워드 라인으로부터 2^m 배의 셀 개수를 확보할 수 있는 레이아웃 설계가 가능하다. 따라서, 기판상에서 불필요한 워드 라인이 형성될 영역을 줄임으로써 기판상의 유효 면적을 효율적으로 활용할 수 있다.

발명의 실시를 위한 구체적인 내용

<25> 다음에, 본 발명의 바람직한 실시예들에 대하여 첨부 도면을 참조하여 상세히 설명한다. 그러나, 본 발명의 실시예들은 여러가지 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들에 한정되는 것으로 해석되어서는 안된다. 본 발명의 실시예들은 본 발명을 보다 완전하게 설명하기 위하여 제공되어지는 것이다. 도면에서, 층 및 영역들의 두께는 명세서의 명확성을 위해 과장되어진 것이다. 도면상에서 동일한 부호는 동일한 요소를 지칭한다. 또한, 도면에서의 다양한 요소와 영역은 개략적으로 도시된 것이다. 따라서, 본 발명은 첨부한 도면에 그려진 상대적인 크기나 간격에 의해 제한되지 않는다.

<26> 도 3은 본 발명에 따른 반도체 소자의 미세 패턴 형성 방법에 따라 구현될 수 있는 반도체 소자의 구성을 부분적으로 예시한 평면도이다. 도 3에는, NAND 플래시 메모리 소자의 메모리 셀 영역(300A)의 일부와, 상기 메모리 셀 영역(300A)의 셀 어레이를 구성하는 복수의 도전 라인, 예를 들면 워드 라인 또는 비트 라인을 디코더와 같은 외부 회로(도시 생략)에 연결시키기 위한 접속 영역(300B)의 일부와, 주변회로 영역(300C)의 일부의 레이아웃이 예시되어 있다.

<27> 도 3을 참조하면, 상기 메모리 셀 영역(300A)에는 복수의 메모리 셀 블록(340)이 형성되어 있다. 도 3에는 1 개의 메모리 셀 블록(340)만 도시하였다. 상기 메모리 셀 블록(340)에는 스트링 선택 라인(SSL)과 접지 선택 라인(GSL)과의 사이에 1 개의 셀 스트링(10, 도 2 참조)을 구성하는 데 필요한 복수의 도전 라인(301, 302, ..., 332)이 제1 방향 (도 3에서 "x 방향")으로 상호 평행하게 연장되어 있다. 상기 복수의 도전 라인(301, 302, ..., 332)은 각각 상기 메모리 셀 영역(300A) 및 접속 영역(300B)에 걸쳐서 연장되어 있다.

<28> 상기 복수의 도전 라인(301, 302, ..., 332)을 디코더와 같은 외부 회로(도시 생략)에 연결시키기 위하여, 상기 접속 영역(300B)에서 상기 복수의 도전 라인(301, 302, ..., 332) 각각의 일단에는 복수의 콘택 패드(352)가 상기 복수의 도전 라인(301, 302, ..., 332)과 각각 일체로 형성되어 있다.

<29> 상기 접속 영역(300B)에서, 상기 복수의 도전 라인(301, 302, ..., 332)의 말단 부분은 각각 메모리 셀 영역(300A)에서의 상기 복수의 도전 라인(301, 302, ..., 332)의 연장 방향과는 다른 방향으로 상기 복수의 콘택 패드(352)까지 연장되어 있다. 도 3에는 접속 영역(300B)에서 상기 복수의 도전 라인(301, 302, ..., 332)의 말단 부분이 상기 제1 방향에 직교하는 제2 방향 (도 3에서 "y 방향")을 따라 연장되어 있는 것으로 예시되어 있다. 그러나, 본 발명은 도 3에 예시된 구성에만 적용되는 것은 아니다. 본 발명의 사상의 범위 내에서 상기 복수의

도전 라인(301, 302, ..., 332) 및 콘택 패드(352)의 구성에 대한 다양한 변형 및 변경이 가능하다.

- <30> 주변회로 영역(300C)에는 주변회로용 도전 패턴(372)이 형성되어 있다.
- <31> 도 3에서, 상기 복수의 도전 라인(301, 302, ..., 332), 스트링 선택 라인(SSL), 접지 선택 라인(GSL), 콘택 패드(352), 및 주변회로용 도전 패턴(372)은 모두 상호 동일한 물질로 이루어진다. 상기 복수의 도전 라인(301, 302, ..., 332)은 각각 상기 메모리 셀 영역(300A)에서 복수의 메모리 셀을 구성하는 워드 라인일 수 있다. 상기 주변회로용 도전 패턴(372)은 주변회로용 트랜지스터의 게이트 전극을 구성할 수 있다. 상기 스트링 선택 라인(SSL) 및 접지 선택 라인(GSL)은 각각 상기 복수의 도전 라인(301, 302, ..., 332)의 폭(W1) 보다 더 큰 폭(W2, W3)을 가질 수 있다.
- <32> 또는, 상기 복수의 도전 라인(301, 302, ..., 332)은 메모리 셀 영역(300A)에서 메모리 셀을 구성하는 비트 라인일 수 있다. 이 경우, 상기 스트링 선택 라인(SSL) 및 접지 선택 라인(GSL)은 생략될 수도 있다.
- <33> 도 3에는 1 개의 메모리 셀 블록(340)에서 복수의 도전 라인(301, 302, ..., 332)이 32 개의 도전 라인을 포함하는 것으로 도시되어 있으나, 본 발명의 사상의 범위 내에서 1 개의 메모리 셀 블록(340)은 다양한 수의 도전 라인을 포함할 수 있다.
- <34> 다음에, 본 발명의 바람직한 실시예에 따른 반도체 소자의 미세 패턴 형성 방법에 대하여 구체적인 예를 들어 상세히 설명한다.
- <35> 도 4a 내지 도 4k는 본 발명의 제1 실시예에 따른 반도체 소자의 미세 패턴 형성 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.
- <36> 도 5a 내지 도 5f는 도 3에 예시된 반도체 소자를 제조하기 위한 예시적인 방법을 설명하기 위하여 도 4a 내지 도 4k의 각 공정에서 설명하는 주요 부분의 레이아웃을 보여주는 평면도들이다. 도 5a 내지 도 5f에는 복수의 메모리 셀 블록(340) (도 3 참조)중 1 개의 메모리 셀 블록(340) 부분만을 예시하였다.
- <37> 도 4a 내지 도 4k에는 도 3의 A - A'선 단면, B - B'선 단면, C - C'선, 및 D - D'선 단면 각각에 대응하는 부분을 공정 순서에 따라 나타내었다. 도 4a 내지 도 4k와 도 5a 내지 도 5f에 있어서, 도 3에서와 동일한 참조 부호는 동일 요소를 의미하며, 여기서는 그에 대한 상세한 설명은 생략한다. 도 4a 내지 도 4k에 있어서, 메모리 셀 영역(300A)은 "CELL"로, 접속 영역(300B)은 "CONTACT"으로, 그리고 주변회로 영역(300C)은 "PERI"로 표시하였다.
- <38> 도 4a 및 도 5a를 참조하면, 먼저 메모리 셀 영역(300A)과, 접속 영역(300B)과, 주변회로 영역(300C)을 가지는 기판(500), 예를 들면 실리콘 기판을 준비한다.
- <39> 상기 기판(500) 위에 상기 도전 라인들을 형성하는 데 필요한 도전층(530)을 형성하고, 상기 도전층(530) 위에 제1 하드마스크층(532) 및 제2 하드마스크층(534)을 차례로 형성한다. 경우에 따라, 상기 제1 하드마스크층(532) 및 제2 하드마스크층(534)중 어느 하나는 생략될 수 있다. 또는, 상기 제1 하드마스크층(532) 및 제2 하드마스크층(534) 외에 다른 막을 더 형성할 수도 있다.
- <40> 그 후, 메모리 셀 영역(300A) 및 접속 영역(300B)에서, 상기 제2 하드마스크층(534) 위에 복수의 몰드 마스크 패턴(540)을 형성한다. 도 5a에는 1 개의 메모리 셀 블록(340)(도 3 참조)을 형성하는 데 필요한 1 개의 몰드 마스크 패턴 블록(540A)이 나타나 있다.
- <41> 상기 도전층(530)으로부터 워드 라인을 형성하는 경우, 상기 도전층(530)은 상기 기판(500)상에 차례로 형성된 터널링 산화막, 전하 저장층, 블로킹 산화막, 및 게이트 전극층이 차례로 형성된 적층 구조를 가질 수 있다. 이 경우, 상기 터널링 산화막은 실리콘 산화막으로 이루어질 수 있다. 상기 전하 저장층은 실리콘 질화막, 또는 상기 실리콘 질화막 보다 더 높은 유전 상수를 가지는 고유전막 (high-k film)으로 이루어질 수 있다. 예를 들면, 상기 전하 저장층은 Si₃N₄막, 금속 산화막, 금속 질화막, 또는 이들의 조합으로 이루어질 수 있다. 상기 블로킹 산화막은 Al₂O₃, SiO₂, HfO₂, ZrO₂, LaO, LaAlO, LaHfO 및 HfAlO로 이루어지는 군에서 선택되는 적어도 하나의 물질로 이루어질 수 있다. 상기 게이트 전극층은 TaN, TiN, W, WN, HfN 및 텅스텐 실리사이드로 이루어지는 군에서 선택되는 어느 하나, 또는 이들의 조합으로 이루어질 수 있다. 다른 예로서, 상기 도전층(530)으로부터 워드 라인을 형성하는 경우, 상기 도전층(530)은 상기 기판(500)상에 차례로 형성된 터널링 산화막, 플로팅 게이트용 도전층, 게이트간 유전막, 및 콘트롤 게이트용 도전층이 차례로 형성된 적층 구조를 가질 수도 있다. 그리고, 상기 캡핑층(532)은 실리콘 질화막으로 이루어질 수 있다.

- <42> 상기 도전층(530)으로부터 비트 라인을 형성하는 경우, 상기 도전층(530)은 도핑된 폴리실리콘 또는 금속으로 이루어질 수 있다.
- <43> 상기 제1 하드마스크층(532)은 산화막으로 이루어지고, 상기 제2 하드마스크층(534)은 폴리실리콘막으로 이루어질 수 있다. 예를 들면, 상기 제1 하드마스크층(532)은 약 1000 ~ 3000 Å의 두께로 형성될 수 있다. 상기 제2 하드마스크층(534)은 약 300 ~ 1000 Å의 두께로 형성될 수 있다.
- <44> 도 5a에 도시한 바와 같이, 1 개의 몰드 마스크 패턴 블록(540A)은 복수의 몰드 마스크 패턴(540)을 포함한다. 1 개의 메모리 셀 블록(340)에서 N 개의 도전 라인을 형성하고자 하는 경우, 1 개의 몰드 마스크 패턴 블록(540A)에는 $\{(N + 2)/2\}$ 개의 몰드 마스크 패턴(540)을 형성한다. 예를 들면, 도 3에 예시된 바와 같이 1 개의 메모리 셀 블록(340)에서 32 개의 도전 라인을 형성하고자 하는 경우, 도 5a에 예시된 바와 같이 1 개의 몰드 마스크 패턴 블록(540A)을 구성하는 복수의 몰드 마스크 패턴(540)은 17 개의 몰드 마스크 패턴(540_1, 540_2, ... 540_17)이 형성될 수 있다.
- <45> 도 5a에 도시한 바와 같이, 상기 복수의 몰드 마스크 패턴(540)은 메모리 셀 영역(300A)으로부터 접속 영역(300B)까지 연장되어 있다. 상기 복수의 몰드 마스크 패턴(540)은 각각 메모리 셀 영역(300A) 및 접속 영역(300B)에 걸쳐서 제1 방향 (도 5a에서 "x" 방향)으로 연장되는 제1 부분(542)과, 접속 영역(300B)에만 형성되고 상기 제1 방향과는 다른 제2 방향, 예를 들면 상기 제1 방향과 직교하는 제2 방향 (도 5a에서 "y" 방향)으로 연장되는 제2 부분(544)을 포함한다. 상기 복수의 몰드 마스크 패턴(540)에서, 상기 제2 방향과 직교하는 방향 (도 5a에서 "x" 방향)을 따르는 상기 제2 부분(544)의 폭은 상기 제1 방향과 직교하는 방향 (도 5a에서 "y" 방향)을 따르는 상기 제1 부분(542)의 폭보다 더 크다.
- <46> 상기 제2 하드마스크층(534)이 폴리실리콘막으로 이루어진 경우, 상기 복수의 몰드 마스크 패턴(540)은 상기 제2 하드마스크층(534)에 대하여 식각 선택비를 가지는 물질, 예를 들면 산화막 또는 질화막으로 이루어질 수 있다.
- <47> 상기 복수의 몰드 마스크 패턴(540)을 형성하기 위하여 통상의 포토리소그래피 공정에 의해 형성된 포토레지스트 패턴(도시 생략)을 식각 마스크로 이용하는 식각 공정을 이용할 수 있다.
- <48> 도 4b를 참조하면, 상기 복수의 몰드 마스크 패턴(540)이 형성된 결과물상에 상기 몰드 마스크 패턴(540)의 상면 및 측벽을 덮는 마스크층(550)을 형성한다.
- <49> 상기 마스크층(550)은 상기 복수의 몰드 마스크 패턴(540) 각각의 상면 및 양 측벽을 균일한 두께로 덮도록 형성될 수 있다. 또한, 메모리 셀 영역(300A) 및 접속 영역(300B)에서, 1 개의 몰드 마스크 패턴 블록(540A)을 구성하는 복수의 몰드 마스크 패턴(540) 중 최외측 2 개의 몰드 마스크 패턴(540_1 및 540_17)의 내부에서는 상기 복수의 몰드 마스크 패턴(540) 각각의 사이의 공간에서 상기 마스크층(550)의 상면 위에 복수의 리세스 공간(552)이 형성될 수 있다. 그러나, 1 개의 몰드 마스크 패턴 블록(540A)을 구성하는 복수의 몰드 마스크 패턴(540) 중 최외측 2 개의 몰드 마스크 패턴(540_1 및 540_17)의 외부(OUT)(도 4b 참조)에서는 상기 마스크층(550)의 상면 위에 리세스 공간이 형성되지 않는다.
- <50> 상기 제2 하드마스크층(534)이 폴리실리콘막으로 이루어지고 상기 몰드 마스크 패턴(540)이 산화막으로 이루어진 경우, 상기 마스크층(550)은 질화막으로 이루어질 수 있다. 또는, 상기 제2 하드마스크층(534)이 폴리실리콘막으로 이루어지고 상기 몰드 마스크 패턴(540)이 질화막으로 이루어진 경우, 상기 마스크층(550)은 산화막으로 이루어질 수 있다.
- <51> 도 4c 및 도 5b를 참조하면, 상기 마스크층(550)을 에치백하여, 복수의 몰드 마스크 패턴(540) 각각의 측벽을 덮는 루프(loop) 형상의 복수의 마스크 스페이서(550a)를 형성한다.
- <52> 그 결과, 1 개의 몰드 마스크 패턴 블록(540A)을 구성하는 복수의 몰드 마스크 패턴(540) 중 최외측 2 개의 몰드 마스크 패턴(540_1 및 540_17)의 내부에서 상기 복수의 몰드 마스크 패턴(540) 각각의 사이의 공간에는 상기 몰드 마스크 패턴(540)의 측벽을 따라 각각 연장되고 상호 이격된 2 개의 마스크 스페이서(550a)가 존재하게 된다.
- <53> 도 4d를 참조하면, 상기 몰드 마스크 패턴(540) 및 마스크 스페이서(550a)가 형성된 결과물상에 갭필(gap-fill) 보호막(560)을 형성한다. 상기 갭필 보호막(560)은 상호 인접한 2 개의 몰드 마스크 패턴(540) 사이의 공간에서 도 4b에 나타낸 복수의 리세스 공간(552)을 포함하는 상기 마스크 스페이서(550a) 사이의 갭을 채우면서 상기 몰드 마스크 패턴(540) 및 마스크 스페이서(550a)와 상기 제2 하드마스크층(534)의 노출된 부분을 완전히 덮도

록 형성된다.

- <54> 상기 깎필 보호막(560)은 상기 몰드 마스크 패턴(540)과 동일한 물질로 이루어질 수 있다. 또는, 깎필 보호막(560)은 상기 몰드 마스크 패턴(540)과 식각 특성은 유사하나 상호 다른 물질로 이루어질 수 있다. 상기 마스크 스페이서(550a)가 질화막으로 이루어진 경우, 상기 몰드 마스크 패턴(540) 및 깎필 보호막(560)은 각각 산화막으로 이루어질 수 있다. 또는, 상기 마스크 스페이서(550a)가 산화막으로 이루어진 경우, 상기 몰드 마스크 패턴(540) 및 깎필 보호막(560)은 각각 질화막으로 이루어질 수 있다.
- <55> 도 4e 및 도 5c를 참조하면, 1 개의 메모리 셀 블록(340)(도 3 참조)을 형성하는 데 필요한 1 개의 몰드 마스크 패턴 블록(540A) (도 5a 참조)을 구성하는 복수의 몰드 마스크 패턴(540) 중 상기 몰드 마스크 패턴 블록(540A)의 최외측 측벽(A)을 제공하는 부분을 덮고 있는 마스크 스페이서(550a)의 최외측 부분(B)을 노출시킨다.
- <56> 상기 최외측 부분(B)을 노출시키기 위하여, 상기 복수의 몰드 마스크 패턴(540)중 1 개의 몰드 마스크 패턴 블록(540A)의 최외측 측벽(A)을 제공하는 부분을 덮고 있는 복수의 마스크 스페이서(550a)의 최외측 부분(B)과, 상기 몰드 마스크 패턴(540)의 상면이 노출될 때까지 상기 깎필 보호막(560)의 노출 부분을 등방성 식각한다. 이 때, 상기 깎필 보호막(560)의 노출 부분을 제거하기 위한 등방성 식각은 상기 깎필 보호막(560)이 완전히 노출된 상태에서 행하며, 별도의 식각 마스크 형성을 위한 증착 공정 또는 포토리소그래피 공정은 행하지 않는다. 상기 등방성 식각은 습식 또는 건식으로 행할 수 있다.
- <57> 그 결과, 상기 깎필 보호막(560)은 상호 인접한 2 개의 몰드 마스크 패턴(540) 사이의 공간에서 상기 마스크 스페이서(550a) 사이의 겹 내에만 남아있게 된다.
- <58> 도 4f 및 도 5d를 참조하면, 1 개의 메모리 셀 블록(340)(도 3 참조)을 형성하는 데 필요한 1 개의 몰드 마스크 패턴 블록(540A) (도 5a 참조)의 최외측 측벽을 제공하는 복수의 몰드 마스크 패턴(540)중 상기 최외측 측벽(A)을 노출시킨다.
- <59> 도 5d에는 상기 몰드 마스크 패턴(540)중 접속 영역(300B)에 위치하는 최외측 단부 (end portion)의 측벽이 외부에 노출되어 있는 것이 도시되어 있다. 도 5d에는 도시하지 않았으나, 상기 등방성 식각의 결과로서 상기 몰드 마스크 패턴(540)의 메모리 셀 영역(300A)에 위치하는 최외측 단부의 측벽도 마찬가지로 외부에 노출된다.
- <60> 상기 최외측 측벽(A)을 노출시키기 위하여, 상기 복수의 마스크 스페이서(550a)의 노출된 부분을 등방성 식각한다. 이 때, 상기 복수의 마스크 스페이서(550a)의 노출된 부분을 제거하기 위한 등방성 식각시 식각 마스크 형성을 위한 별도의 포토리소그래피 공정은 행하지 않는다. 상기 등방성 식각은 습식 또는 건식으로 행할 수 있다. 상기 등방성 식각의 결과로서, 상기 복수의 몰드 마스크 패턴(540) 각각의 모든 측벽중 다른 몰드 마스크 패턴과 대향하고 있지 않는 부분의 측벽이 노출된다.
- <61> 상기 복수의 마스크 스페이서(550a)의 노출된 부분을 식각하여 상기 복수의 몰드 마스크 패턴(540)중 상기 최외측 측벽(A)이 노출됨으로써, 상기 몰드 마스크 패턴 블록(540A) 내부에 있는 1 개의 몰드 마스크 패턴(540)을 중심으로 이를 둘러싸고 있던 1 개의 마스크 스페이서(550a)가 2 개로 분리된다. 그 결과, 접속 영역(300B) (도 3 참조)중 주변회로 연결용 콘택 패드 주위에서 상기 마스크 스페이서(550a)중 불필요한 부분이 트리밍(trimming)되는 효과가 얻어진다.
- <62> 도 4g 및 도 5e를 참조하면, 상기 제2 하드마스크층(534) 및 복수의 마스크 스페이서(550a)의 식각이 억제되는 조건하에서 상기 복수의 몰드 마스크 패턴(540) 및 깎필 보호막(560)을 에치백하여 완전히 제거한다. 상기 복수의 몰드 마스크 패턴(540) 및 깎필 보호막(560)을 제거하기 위하여 건식 또는 습식 공정을 이용할 수 있다.
- <63> 도 4h 및 도 5f를 참조하면, 메모리 셀 영역(300A), 접속 영역(300B), 및 주변회로 영역(300C)에 각각 국부 마스크 패턴(570)을 형성한다.
- <64> 상기 국부 마스크 패턴(570)은 메모리 셀 영역(300A)에서 복수의 스트링 선택 라인(SSL) 및 복수의 접지 선택 라인(GSL)을 형성하기 위한 복수의 제1 국부 마스크 패턴(570a)과, 접속 영역(300B)에서 복수의 콘택 패드(352)를 형성하기 위한 복수의 제2 국부 마스크 패턴(570b)과, 주변회로 영역(300C)에서 주변회로 구성에 필요한 단위 소자, 예를 들면 도 3에 예시된 주변회로용 도전 패턴(372)을 형성하기 위한 복수의 제3 국부 마스크 패턴(570c) (도 5f에는 도시 생략)을 포함한다. 도시하지는 않았으나, 상기 국부 마스크 패턴(570)은 상기 기판(500)상에 포토마스크 얼라인용 얼라인 키를 형성하기 위한 제4 국부 마스크 패턴(도시 생략)을 더 포함할 수 있다. 상기 제4 국부 마스크 패턴(도시 생략)은 필요에 따라 상기 기판(500)상의 원하는 위치, 예를 들면 접속

영역(300B), 주변회로 영역(300C), 또는 다른 임의의 위치에 형성될 수 있다. 필요에 따라, 상기 국부 마스크 패턴(570)은 메모리 셀 영역(300A) 및 주변회로 영역(300C)에서 상기 마스크 스페이서(550a)가 형성되어 있지 않은 영역에 형성될 수 있다. 또한, 상기 국부 마스크 패턴(570)은 접속 영역(300B)에서 상기 마스크 스페이서(550a)의 위에 형성될 수 있다.

- <65> 상기 국부 마스크 패턴(570)은 통상의 포토리소그래피 공정에 의해 형성된 포토레지스트 패턴으로 이루어질 수 있다. 또는, 상기 국부 마스크 패턴(570)은 탄소함유막 패턴, SiON 패턴, 및 포토레지스트 패턴의 적층 구조로 이루어질 수도 있다. 상기 국부 마스크 패턴(570)이 상기 적층 구조로 이루어지는 경우의 상세한 구성은 도 8h를 참조하여 후술하는 국부 마스크 패턴(870) 형성 공정을 참조한다.
- <66> 도 4i를 참조하면, 상기 기판(500)상의 메모리 셀 영역(300A), 접속 영역(300B) 및 주변회로 영역(300C)에서, 상기 마스크 스페이서(550a) 및 국부 마스크 패턴(570)을 식각 마스크로 하여 상기 제2 하드마스크층(534)을 식각하여 제2 하드마스크 패턴(534a)을 형성한다.
- <67> 도 4i에 예시한 바와 같이 상기 제2 하드마스크 패턴(534a)을 형성하기 위한 식각 공정중에 상기 기판(500)상에서 상기 국부 마스크 패턴(570)이 완전히 소모될 수 있다. 그러나, 상기 제2 하드마스크 패턴(534a) 위에 상기 국부 마스크 패턴(534a)의 일부가 남아 있는 상태에서 후속 공정을 진행할 수도 있다.
- <68> 도 4j를 참조하면, 상기 기판(500)상의 메모리 셀 영역(300A), 접속 영역(300B) 및 주변회로 영역(300C)에서, 상기 제2 하드마스크 패턴(534a)을 식각 마스크로 하여 상기 제1 하드마스크층(532)을 식각하여 제1 하드마스크 패턴(532a)을 형성한다.
- <69> 도 4k를 참조하면, 상기 기판(500)상의 메모리 셀 영역(300A), 접속 영역(300B) 및 주변회로 영역(300C)에서, 상기 제1 하드마스크 패턴(532a)을 식각 마스크로 하여 상기 도전층(530)을 식각하여, 상기 기판(500)상에서 메모리 셀 영역(300A)에는 셀 어레이 형성을 위한 복수의 제1 도전 라인(530a)과 스트링 선택 라인(SSL) 및 접지 선택 라인(GSL) 형성을 위한 복수의 제2 도전 라인(530b)을 동시에 형성한다. 상기 제1 도전 라인(530a) 및 제2 도전 라인(530b) 형성과 동시에, 접속 영역(300B)에서는 상기 복수의 제1 도전 라인(530a)과 각각 일체로 연결되는 복수의 콘택 패드(530c)가 형성되고, 주변회로 영역(300C)에서는 주변회로용 도전 패턴(530d)이 형성된다.
- <70> 도 4k에서 메모리 셀 영역(300A)에 형성되는 복수의 제1 도전 라인(530a)과 복수의 제2 도전 라인(530b)은 각각 도 3에 예시된 복수의 도전 라인((301, 302, ..., 332)과, 스트링 선택 라인(SSL) 및 접지 선택 라인(GSL)에 대응될 수 있다. 또한, 도 4k에서 접속 영역(300B)에 형성되는 복수의 제1 도전 라인(530a)과 각각 일체로 연결되는 복수의 콘택 패드(530c)는 도 3에 예시된 복수의 콘택 패드(352)에 대응될 수 있다. 그리고, 도 4k에서 주변회로 영역(300C)에 형성되는 주변회로용 도전 패턴(530d)은 도 3에 예시된 주변회로용 도전 패턴(372)에 대응될 수 있다.
- <71> 도 6a 내지 도 6f는 본 발명의 제2 실시예에 따른 반도체 소자의 미세 패턴 형성 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.
- <72> 도 6a 내지 도 6f에 있어서, 도 3, 도 4a 내지 도 4k, 및 도 5a 내지 도 5f에서와 동일한 참조 부호는 동일한 요소를 의미하며, 여기서는 그에 대한 상세한 설명은 생략한다.
- <73> 도 6a를 참조하면, 도 4a 및 도 5a와 도 4b를 참조하여 참조하여 설명한 바와 같은 방법으로 기판(500) 위에 도전층(530), 제1 하드마스크층(532) 및 제2 하드마스크층(534)을 차례로 형성한 후, 상기 제2 하드마스크층(534) 위에 복수의 몰드 마스크 패턴(540)과 마스크층(550)을 형성한다.
- <74> 그 후, 상기 마스크층(550) 위에 껍질 보호막(560)을 형성한다.
- <75> 상기 껍질 보호막(560)은 도 4d를 참조하여 설명한 바와 유사한 공정에 의해 형성될 수 있다. 즉, 상기 껍질 보호막(560)은 상호 인접한 2 개의 몰드 마스크 패턴(540) 사이의 공간에서 상기 마스크층(550)의 상면 위에 형성된 복수의 리세스 공간(552)을 완전히 채우면서 상기 마스크층(550)을 완전히 덮도록 형성된다.
- <76> 도 6b를 참조하면, 도 4e 및 도 5c를 참조하여 설명한 바와 유사한 방법으로, 1 개의 메모리 셀 블록(340)(도 3 참조)을 형성하는 데 필요한 1 개의 몰드 마스크 패턴 블록(540A)(도 5a 참조)의 최외측 측벽을 제공하는 복수의 몰드 마스크 패턴(540)중 상기 최외측 측벽(A)을 덮고 있는 상기 마스크층(550)의 최외측 부분(C)을 노출시킨다.
- <77> 상기 마스크층(550)의 최외측 부분(C)을 노출시키기 위하여, 상기 복수의 몰드 마스크 패턴(540)중 1 개의 몰드

마스크 패턴 블록(540A)의 최외측 측벽(A)을 제공하는 부분을 덮고 있는 마스크층(550)의 최외측 부분(C)과, 상기 몰드 마스크 패턴(540)의 상면이 노출될 때까지 상기 깎필 보호막(560)의 노출 부분을 등방성 식각한다. 상기 등방성 식각은 습식 또는 건식으로 행할 수 있다.

- <78> 그 결과, 상기 깎필 보호막(560)은 상호 인접한 2 개의 몰드 마스크 패턴(540) 사이의 리세스 공간(552)에만 남아있게 된다.
- <79> 도 6c를 참조하면, 도 4f 및 도 5d를 참조하여 설명한 바와 같은 방법으로, 1 개의 메모리 셀 블록(340)(도 3 참조)을 형성하는 데 필요한 1 개의 몰드 마스크 패턴 블록(540A) (도 5a 참조)의 최외측 측벽을 제공하는 복수의 몰드 마스크 패턴(540)중 상기 최외측 측벽(A)을 노출시킨다.
- <80> 상기 최외측 측벽(A)을 노출시키기 위하여, 상기 마스크층(550)의 노출된 부분을 등방성 식각한다. 상기 등방성 식각은 습식 또는 건식으로 행할 수 있다.
- <81> 상기 마스크층(550)의 노출된 부분을 식각하여 상기 복수의 몰드 마스크 패턴(540)중 상기 최외측 측벽(A)이 노출됨으로써, 상기 몰드마스크 패턴 블록(540A) 내에 있는 1 개의 몰드 마스크 패턴(540)을 중심으로 이를 둘러싸고 있던 마스크층(550)이 상기 최외측 측벽(A)에서 분단된다. 그 결과, 접속 영역(300B) (도 3 참조)중 주변회로 연결용 콘택 패드 주위에서 상기 마스크층(550)중 불필요한 부분이 트리밍 (trimming)되는 효과가 얻어진다.
- <82> 상기 복수의 몰드 마스크 패턴(540)중 상기 최외측 측벽(A)이 노출된 후, 상기 마스크층(550)중 상기 몰드 마스크 패턴 블록(540A) 내부에 남아 있는 부분에 의해 상호 인접한 2 개의 몰드 마스크 패턴(540) 사이에는 단면이 대략 "U"자형인 복수의 버티드(butted) 마스크 패턴 쌍(550b)이 형성된다. 상기 버티드 마스크 패턴 쌍(550b)은 상기 몰드 마스크 패턴 블록(540A)의 측벽을 덮는 2 개의 수직 연장부(550v)와, 상기 제2 하드마스크층(534)의 상면 위에서 상기 2 개의 수직 연장부(550v)를 상호 연결시키는 수평 연장부(550h)를 포함한다.
- <83> 도 6d를 참조하면, 도 4g 및 도 5e를 참조하여 설명한 바와 유사한 방법으로, 상기 제2 하드마스크층(534) 및 복수의 버티드 마스크 패턴 쌍(550b)의 식각이 억제되는 조건하에서 상기 복수의 몰드 마스크 패턴(540) 및 깎필 보호막(560)을 에치백하여 완전히 제거한다. 상기 복수의 몰드 마스크 패턴(540) 및 깎필 보호막(560)을 제거하기 위하여 건식 또는 습식 공정을 이용할 수 있다.
- <84> 그 결과, 상기 제2 하드마스크층(534) 위에는 상기 복수의 버티드 마스크 패턴 쌍(550b) 만 남게 된다.
- <85> 도 6e를 참조하면, 도 4h 및 도 5f를 참조하여 설명한 바와 같은 방법으로, 메모리 셀 영역(300A), 접속 영역(300B), 및 주변회로 영역(300C)에 각각 국부 마스크 패턴(570)을 형성한다.
- <86> 상기 국부 마스크 패턴(570)은 메모리 셀 영역(300A)에서 복수의 스트링 선택 라인(SSL) 및 복수의 접지 선택 라인(GSL)을 형성하기 위한 복수의 제1 국부 마스크 패턴(570a)과, 접속 영역(300B)에서 복수의 콘택 패드(352)를 형성하기 위한 복수의 제2 국부 마스크 패턴(570b)과, 주변회로 영역(300C)에서 주변회로 구성에 필요한 단위 소자, 예를 들면 도 3에 예시된 주변회로용 도전 패턴(372)을 형성하기 위한 복수의 제3 국부 마스크 패턴(570c)을 포함한다.
- <87> 도 6f를 참조하면, 도 4i를 참조하여 설명한 바와 유사한 방법으로, 상기 기판(500)상의 메모리 셀 영역(300A), 접속 영역(300B) 및 주변회로 영역(300C)에서, 복수의 버티드 마스크 패턴 쌍(550b) 및 국부 마스크 패턴(570)을 식각 마스크로 하여 상기 제2 하드마스크층(534)을 식각한다. 단, 본 예에서는 복수의 버티드 마스크 패턴 쌍(550b) 및 국부 마스크 패턴(570)을 식각 마스크로 하여 상기 제2 하드마스크층(534)을 식각하는 동안 상기 버티드 마스크 패턴 쌍(550b)의 수직 연장부(550v)의 상면으로부터 그 일부가 소모되면서 그 소모량에 비례하여 상기 버티드 마스크 패턴 쌍(550b)의 수평 연장부(550h)도 소모되어 상기 버티드 마스크 패턴 쌍(550b)의 2 개의 수직 연장부(550v) 사이에서 상기 제2 하드마스크층(534)을 노출시키게 된다. 따라서, 상기 버티드 마스크 패턴 쌍(550b)의 수직 연장부(550v)와 상기 국부 마스크 패턴(570)을 각각 식각 마스크로 하여 상기 제2 하드마스크층(534)이 식각되어, 도 4i에 예시된 바와 같은 구조를 가지는 제2 하드마스크 패턴(534a)이 형성될 수 있다.
- <88> 도 4i에 예시한 바와 마찬가지로, 상기 제2 하드마스크 패턴(534a)을 형성하기 위한 식각 공정 중에 상기 기판(500)상에서 상기 국부 마스크 패턴(570)이 완전히 소모될 수 있다. 그러나, 상기 제2 하드마스크 패턴(534a) 위에 상기 국부 마스크 패턴(570)의 일부가 남아 있는 상태에서 후속 공정을 진행할 수도 있다.
- <89> 그 후, 도 4j 및 도 4k를 참조하여 설명한 바와 같은 방법으로, 상기 기판(500)상의 메모리 셀 영역(300A), 접

속 영역(300B) 및 주변회로 영역(300C)에서, 상기 제2 하드마스크 패턴(534a)을 식각 마스크로 하여 상기 제1 하드마스크층(532)을 식각하여 제1 하드마스크 패턴(532a)을 형성하고, 상기 제1 하드마스크 패턴(532a)을 식각 마스크로 하여 상기 도전층(530)을 식각하여, 메모리 셀 영역(300A)에서는 셀 어레이 형성을 위한 복수의 제1 도전 라인(530a)과 스트링 선택 라인(SSL) 및 접지 선택 라인(GSL) 형성을 위한 복수의 제2 도전 라인(530b)을, 접속 영역(300B)에서는 상기 복수의 제1 도전 라인(530a)과 각각 일체로 연결되는 복수의 콘택 패드(530c)를, 그리고 주변회로 영역(300C)에서는 주변회로용 도전 패턴(530d)을 동시에 형성한다.

<90> 도 7a 및 도 7b는 본 발명의 제3 실시예에 따른 반도체 소자의 미세 패턴 형성 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.

<91> 도 7a 및 도 7b에 있어서, 도 3, 도 4a 내지 도 4k, 도 5a 내지 도 5f, 및 도 6a 내지 도 6f에서와 동일한 참조 부호는 동일한 요소를 의미하며, 여기서는 그에 대한 상세한 설명은 생략한다.

<92> 도 7a를 참조하면, 도 6a 내지 도 6d를 참조하여 설명한 바와 같은 방법으로, 기판(500) 위에 도전층(530), 제1 하드마스크층(532) 및 제2 하드마스크층(534)을 차례로 형성한 후, 상기 제2 하드마스크층(534) 위에 복수의 버티드 마스크 패턴 쌍(550b)을 형성한다.

<93> 그 후, 상기 버티드 마스크 패턴 쌍(550b)의 수평 연장부(550h)가 완전히 제거될 때 까지 상기 복수의 버티드 마스크 패턴 쌍(550b)을 전면적으로 에치백하여 상기 버티드 마스크 패턴 쌍(550b)의 수평 연장부(550h) 아래에 위치되는 제2 하드마스크층(534)의 상면을 노출시킨다.

<94> 상기 버티드 마스크 패턴 쌍(550b)의 수평 연장부(550h)가 제거됨에 따라 상기 버티드 마스크 패턴 쌍(550b)의 수직 연장부(550v)도 그 상면으로부터 일부가 소모되어 상기 제2 하드마스크층(534) 위에는 상기 버티드 마스크 패턴 쌍(550b)의 수직 연장부(550v)의 남은 부분으로 이루어지는 마스크 패턴(550c)이 남아 있게 된다.

<95> 도 7b를 참조하면, 도 6e 또는 도 4h 및 도 5f를 참조하여 설명한 바와 같은 방법으로, 메모리 셀 영역(300A), 접속 영역(300B), 및 주변회로 영역(300C)에 각각 국부 마스크 패턴(570)을 형성한다.

<96> 그 후, 도 6f를 참조하여 설명한 공정, 또는 도 4i, 도 4j 및 도 4k를 참조하여 설명하는 공정에서와 같이, 상기 기판(500)상의 메모리 셀 영역(300A), 접속 영역(300B) 및 주변회로 영역(300C)에서, 마스크 패턴(550c) 및 국부 마스크 패턴(570)을 식각 마스크로 하여 상기 제2 하드마스크층(534)을 식각하여 제2 하드마스크 패턴(534a)을 형성하고, 상기 제2 하드마스크 패턴(534a)을 식각 마스크로 하여 상기 제1 하드마스크층(532)을 식각하여 제1 하드마스크 패턴(532a)을 형성하고, 상기 제1 하드마스크 패턴(532a)을 식각 마스크로 하여 상기 도전층(530)을 식각하여, 메모리 셀 영역(300A)에서는 셀 어레이 형성을 위한 복수의 제1 도전 라인(530a)과 스트링 선택 라인(SSL) 및 접지 선택 라인(GSL) 형성을 위한 복수의 제2 도전 라인(530b)을, 접속 영역(300B)에서는 상기 복수의 제1 도전 라인(530a)과 각각 일체로 연결되는 복수의 콘택 패드(530c)를, 그리고 주변회로 영역(300C)에서는 주변회로용 도전 패턴(530d)을 동시에 형성한다.

<97> 도 8a 내지 도 8i는 본 발명의 제4 실시예에 따른 반도체 소자의 미세 패턴 형성 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.

<98> 도 8a 내지 도 8i에 있어서, 도 3, 도 4a 내지 도 4k, 도 5a 내지 도 5f, 및 도 6a 내지 도 6f에서와 동일한 참조 부호는 동일한 요소를 의미하며, 여기서는 그에 대한 상세한 설명은 생략한다.

<99> 도 8a를 참조하면, 도 4a 및 도 5a와 도 4b를 참조하여 설명한 바와 유사한 방법으로 기판(500) 위에 도전층(530) 및 제1 하드마스크층(532)을 차례로 형성한다. 그 후, 상기 제1 하드마스크층(532) 위에 복수의 몰드 마스크 패턴(540) 및 마스크층(550)을 형성한다.

<100> 본 예에서는 상기 제1 하드마스크층(532) 위에 제2 하드마스크층(534)을 형성하는 공정은 생략하고, 상기 제1 하드마스크층(532)의 바로 위에 복수의 몰드 마스크 패턴(540) 및 마스크층(550)을 형성한다는 점에서 도 4a 및 도 4b의 실시예와 다르다.

<101> 도 8b를 참조하면, 도 6a를 참조하여 설명한 바와 같은 방법으로, 상기 마스크층(550) 위에 껍질 보호막(560)을 형성한다.

<102> 도 8c를 참조하면, 도 6b를 참조하여 설명한 바와 같은 방법으로, 상기 마스크층(550)의 최외측 부분(C)을 노출시키기 위하여, 상기 복수의 몰드 마스크 패턴(540)중 1 개의 몰드 마스크 패턴 블록(540A)의 최외측 측벽(A)을 제공하는 부분을 덮고 있는 마스크층(550)의 최외측 부분(C)과, 상기 몰드 마스크 패턴(540)의 상면이 노출될

때까지 상기 깎필 보호막(560)의 노출 부분을 등방성 식각한다. 그 결과, 상기 깎필 보호막(560)은 상호 인접한 2 개의 몰드 마스크 패턴(540) 사이의 리세스 공간(552)에만 남아있게 된다.

- <103> 도 8d를 참조하면, 도 6c를 참조하여 설명한 바와 같은 방법으로, 복수의 몰드 마스크 패턴(540)의 최외측 측벽(A)을 노출시키기 위하여, 상기 마스크층(550)의 노출된 부분을 등방성 식각한다.
- <104> 상기 복수의 몰드 마스크 패턴(540)중 상기 최외측 측벽(A)이 노출된 후, 상기 마스크층(550)중 상기 몰드 마스크 패턴 블록(540A) 내부에 남아 있는 부분에 의해 상호 인접한 2 개의 몰드 마스크 패턴(540) 사이에는 단면이 대략 "U"자형인 복수의 버티드(butted) 마스크 패턴 쌍(550b)이 형성된다. 상기 버티드 마스크 패턴 쌍(550b)은 상기 몰드 마스크 패턴 블록(540A)의 측벽을 덮는 2 개의 수직 연장부(550v)와, 상기 제2 하드마스크층(534)의 상면 위에서 상기 2 개의 수직 연장부(550v)를 상호 연결시키는 수평 연장부(550h)를 포함한다. 상기 복수의 버티드 마스크 패턴 쌍(550b) 각각의 수직 연장부(550v) 상면은 상기 몰드 마스크 패턴(540)과 상기 깎필 보호막(560)과의 사이에서 외부로 노출되어 있다.
- <105> 도 8e를 참조하면, 상기 복수의 버티드 마스크 패턴 쌍(550b) 각각의 수직 연장부(550v)를 그 상면으로부터 제1 깊이(D1) 만큼 제거하여 상기 몰드 마스크 패턴(540)과 상기 깎필 보호막(560)과의 사이에 상기 제1 깊이(D1)의 마스크 공간(S)을 형성한다.
- <106> 상기 마스크 공간(S)의 제1 깊이(D1)는 도 8e의 결과물에서 상기 깎필 보호막(560)의 두께(D2) 보다 작게 하여, 상기 기판(500)으로부터 상기 마스크 공간(S)의 저면까지의 거리가 상기 기판(500)으로부터 상기 깎필 보호막(560)의 저면까지의 거리보다 더 크게 되도록 하는 것이 바람직하다. 그 이유는, 상기 제1 깊이(D1)가 상기 깎필 보호막(560)의 두께(D2)와 같거나 더 커지게 되면, 상기 깎필 보호막(560)이 그 형상을 유지하지 못하고 쓰러지는 경우가 발생할 수 있기 때문이다.
- <107> 상기 수직 연장부(550v)를 그 상면으로부터 제1 깊이(D1) 만큼 제거하기 위하여 습식 또는 건식 식각 공정을 이용할 수 있다. 예를 들면, 상기 버티드 마스크 패턴 쌍(550b)이 질화막으로 이루어진 경우, 인산 용액을 식각액으로 사용하는 습식 식각 공정을 이용하여 상기 수직 연장부(550v)를 그 상면으로부터 제1 깊이(D1) 만큼 제거할 수 있다.
- <108> 도 8f를 참조하면, 상기 몰드 마스크 패턴(540) 및 깎필 보호막(560)과 상기 버티드 마스크 패턴 쌍(550b) 위에 제2 하드마스크층(834)을 형성한다.
- <109> 상기 제2 하드마스크층(834)은 상기 버티드 마스크 패턴 쌍(550b)의 수직 연장부(550v) 위에서 상호 인접한 몰드 마스크 패턴(540) 및 깎필 보호막(560)과의 사이의 마스크 공간(S)을 완전히 채우면서 상기 몰드 마스크 패턴(540) 및 깎필 보호막(560)을 완전히 덮도록 형성된다.
- <110> 상기 제2 하드마스크층(834)은 상기 제1 하드마스크층(532), 몰드 마스크 패턴(540), 깎필 보호막(560), 및 버티드 마스크 패턴 쌍(550b) 각각의 구성 물질과는 서로 다른 식각 선택비를 가지는 물질로 이루어진다. 예를 들면, 상기 제1 하드마스크층(532), 몰드 마스크 패턴(540), 및 깎필 보호막(560)은 산화막으로 이루어지고, 상기 버티드 마스크 패턴 쌍(550b)은 질화막으로 이루어진 경우, 상기 제2 하드마스크층(834)은 폴리실리콘막으로 이루어질 수 있다.
- <111> 도 8g를 참조하면, 상기 제2 하드마스크층(834)을 등방성 식각하여, 1 개의 몰드 마스크 패턴 블록(540A)을 구성하는 복수의 몰드 마스크 패턴(540)의 각 측벽중 상기 몰드 마스크 패턴 블록(540A)의 최외측 측벽(A)을 제공하는 부분을 노출시키는 동시에, 상기 복수의 몰드 마스크 패턴(540) 및 깎필 보호막(560)의 상면을 노출시킨다. 상기 등방성 식각은 습식 또는 건식으로 행할 수 있다.
- <112> 그 결과, 기판(500)상의 메모리 셀 영역(300A) 및 접속 영역(300B)에서 상호 인접한 몰드 마스크 패턴(540)과 깎필 보호막(560)과의 사이의 마스크 공간(S)을 채우는 복수의 제2 하드마스크 패턴(834a)이 형성된다.
- <113> 도 8h를 참조하면, 도 6e를 참조하여 설명한 국부 마그크 패턴(570) 형성 방법과 유사한 방법으로, 메모리 셀 영역(300A), 접속 영역(300B), 및 주변회로 영역(300C)에 각각 국부 마스크 패턴(870)을 형성한다.
- <114> 상기 국부 마스크 패턴(870)은 메모리 셀 영역(300A)에서 복수의 스트링 선택 라인(SSL) 및 복수의 접지 선택 라인(GSL)을 형성하기 위한 복수의 제1 국부 마스크 패턴(870a)과, 접속 영역(300B)에서 복수의 콘택 패드(352)(도 3 참조)를 형성하기 위한 복수의 제2 국부 마스크 패턴(870b)과, 주변회로 영역(300C)에서 주변회로 구성에 필요한 단위 소자, 예를 들면 도 3에 예시된 주변회로용 도전 패턴(372)을 형성하기 위한 복수의 제3 국

부 마스크 패턴(870c)을 포함한다.

<115> 예를 들면, 상기 국부 마스크 패턴(870)은 코팅 공정에 의해 형성된 탄소함유막 패턴(872), SiON 패턴(874), 및 포토레지스트 패턴(876)의 적층 구조로 이루어질 수 있다. 이 경우, 상기 국부 마스크 패턴(870)을 형성하기 위한 예시적인 공정을 설명하면 다음과 같다. 먼저, 상기 복수의 제2 하드마스크 패턴(834a)이 형성된 도 8g의 결과물 위에 스핀 코팅 공정에 의해 탄소함유막을 형성한 후, 상기 탄소함유막 위에 SiON막을 약 100 ~ 500 Å의 두께로 형성하고, 상기 SiON막 위에 상기 포토레지스트 패턴(876)을 형성한다. 그 후, 상기 포토레지스트 패턴(876)을 식각 마스크로 하여 상기 SiON막 및 탄소함유막을 차례로 식각하여 상기 SiON 패턴(874) 및 탄소함유막 패턴(872)을 형성한다. 여기서, 상기 SiON막은 반사방지막 역할을 하는 동시에, 하부의 피식각막 식각시 하드마스크 역할을 할 수 있다.

<116> 탄소 함유막 패턴(872)은 방향족 환을 포함하는 탄화수소 화합물 또는 그 유도체로 이루어지는 유기 화합물로부터 얻어질 수 있다. 예를 들면, 상기 탄소함유막 패턴(872)은 페닐, 벤젠, 또는 나프탈렌과 같은 방향족 환을 포함하는 유기 화합물로 이루어지는 물질로서, 상기 유기 화합물의 총 중량을 기준으로 약 85 ~ 99 중량%의 비교적 높은 탄소 함량을 가지는 물질로부터 얻어질 수 있다. 상기 탄소함유막 형성을 위한 예시적인 공정에서, 상기 복수의 제2 하드마스크 패턴(834a)이 형성된 도 8g의 결과물에 위에서 설명한 바와 같은 물질로 이루어지는 유기 화합물을 약 1000 ~ 5000 Å의 두께로 스핀 코팅한 후, 얻어진 유기화합물층을 약 150 ~ 350 °C의 온도하에서 1차 베이킹(bake)하여 탄소함유막을 형성한다. 상기 1차 베이킹은 약 60 초 동안 행해질 수 있다. 그 후, 상기 탄소함유막을 약 300 ~ 550 °C의 온도하에서 2차 베이킹하여 경화시킨다. 상기 2차 베이킹은 약 30 ~ 300 초 동안 행해질 수 있다. 이와 같이, 상기 탄소함유막을 2차 베이킹 공정에 의해 경화시킴으로써 상기 탄소함유막 위에 다른 막질, 예를 들면 상기 SiON막을 형성할 때 약 400 °C 이상의 비교적 고온하에서 증착 공정을 행하여도 증착 공정 중에 상기 탄소함유막에 악영향이 미치지 않게 된다.

<117> 도 8i를 참조하면, 기관(500)상의 메모리 셀 영역(300A), 접속 영역(300B) 및 주변회로 영역(300C)에서, 상기 국부 마스크 패턴(870) 및 복수의 제2 하드마스크 패턴(834a)을 식각 마스크로 하여, 이들을 통해 노출되는 상기 몰드 마스크 패턴(540) 및 깎필 보호막(560)을 이방성 식각한다. 이어서, 상기 몰드 마스크 패턴(540) 및 깎필 보호막(560)이 식각에 의해 제거됨으로써 노출되는 버티드 마스크 패턴 쌍(550b)의 수평 연장부(550h)와, 그 아래의 제1 하드마스크층(532)을 각각 상기 국부 마스크 패턴(870) 및 복수의 제2 하드마스크 패턴(834a)을 식각 마스크로 하여 연속적으로 식각하여 복수의 제1 하드마스크 패턴(532a)을 형성한다.

<118> 상기 제1 하드마스크 패턴(532a) 형성을 위한 식각 공정중에 상기 포토레지스트 패턴(876) 및 SiON 패턴(874)의 일부 또는 전부가 소모될 수 있다. 또한, 상기 탄소함유막 패턴(872)도 그 일부 또는 전부가 소모될 수 있다.

<119> 그 후, 필요에 따라 불필요한 막들을 제거한 후, 기관(500)상의 메모리 셀 영역(300A), 접속 영역(300B) 및 주변회로 영역(300C)에서, 상기 복수의 제1 하드마스크 패턴(532a)을 식각 마스크로 하여 상기 도전층(530)을 식각한다. 그 결과, 메모리 셀 영역(300A)에서는 셀 어레이 형성을 위한 복수의 제1 도전 라인(530a)과 스트링 선택 라인(SSL) 및 접지 선택 라인(GSL) 형성을 위한 복수의 제2 도전 라인(530b)이 형성되고, 접속 영역(300B)에서는 상기 복수의 제1 도전 라인(530a)과 각각 일체로 연결되는 복수의 콘택 패드(530c)가 형성되고, 주변회로 영역(300C)에서는 주변회로용 도전 패턴(530d)이 형성된다.

<120> 이상, 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 기술적 사상 및 범위 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러가지 변형 및 변경이 가능하다.

도면의 간단한 설명

<121> 도 1은 통상의 NAND 플래시 메모리 소자의 메모리 셀 어레이와, 그 주변 회로들을 나타낸 블록 다이어그램이다.

<122> 도 2는 통상의 NAND 플래시 메모리 소자의 메모리 셀 어레이의 구조를 설명하기 위한 회로도이다.

<123> 도 3은 본 발명의 바람직한 실시예에 따른 반도체 소자의 미세 패턴 형성 방법에 따라 구현될 수 있는 반도체 소자의 일부 구성을 예시한 평면도이다.

<124> 도 4a 내지 도 4k는 본 발명의 제1 실시예에 따른 반도체 소자의 미세 패턴 형성 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.

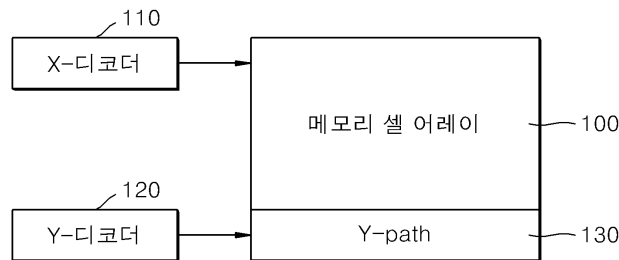
<125> 도 5a 내지 도 5f는 도 3에 예시된 반도체 소자를 제조하기 위한 예시적인 방법을 설명하기 위하여 도 4a 내지

도 4k의 각 공정에서 설명하는 주요 부분의 레이아웃을 보여주는 평면도들이다.

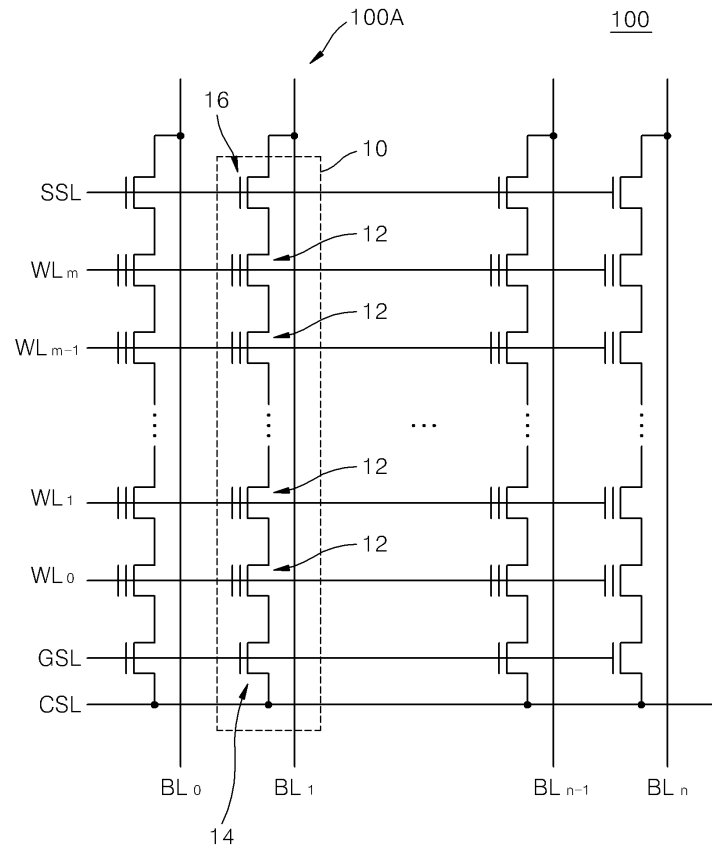
- <126> 도 6a 내지 도 6f는 본 발명의 제2 실시예에 따른 반도체 소자의 미세 패턴 형성 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.
- <127> 도 7a 및 도 7b는 본 발명의 제3 실시예에 따른 반도체 소자의 미세 패턴 형성 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.
- <128> 도 8a 내지 도 8i는 본 발명의 제4 실시예에 따른 반도체 소자의 미세 패턴 형성 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.
- <129> <도면의 주요 부분에 대한 부호의 설명>
- <130> 300A: 메모리 셀 영역, 300B: 접속 영역, 300C: 주변회로 영역, 103, 302, ..., 332: 도전 라인, 340: 메모리 셀 블록, 352: 콘택 패드, 372: 주변회로용 도전 패턴, 500: 기판, 530: 도전층, 530a: 제1 도전 라인, 530b: 제2 도전 라인, 530c: 콘택 패드, 530d: 주변회로용 도전 패턴, 532: 제1 하드마스크층, 532a: 제1 하드마스크 패턴, 534: 제2 하드마스크층, 534a: 제2 하드마스크 패턴, 540(540_1, 540_2, ... 540_17): 몰드 마스크 패턴, 540A: 몰드 마스크 패턴 블록, 542: 제1 부분, 544: 제2 부분, 550: 마스크층, 550a: 마스크 스페이서, 550b: 버티드 마스크 패턴 쌍, 550c: 마스크 패턴, 550h: 수평 연장부, 550v: 수직 연장부, 552: 리세스 공간, 560: 갭필 보호막, 570: 국부 마스크 패턴, 570a: 제1 국부 마스크 패턴, 570b: 제2 국부 마스크 패턴, 570c: 제3 국부 마스크 패턴, 834: 제2 하드마스크층, 834a: 제2 하드마스크 패턴, 870: 국부 마스크 패턴, 870a: 제1 국부 마스크 패턴, 870b: 제2 국부 마스크 패턴, 870c: 제3 국부 마스크 패턴, 872: 탄소함유막 패턴, 874: SiON 패턴, 876: 포토레지스트 패턴.

도면

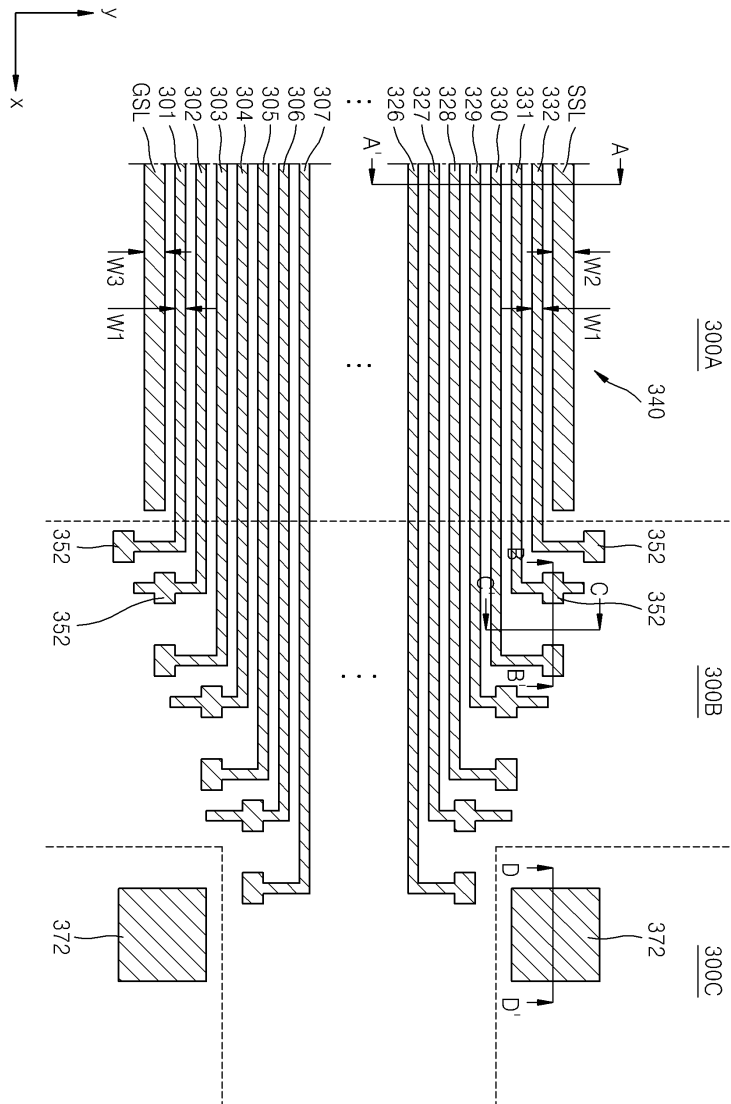
도면1



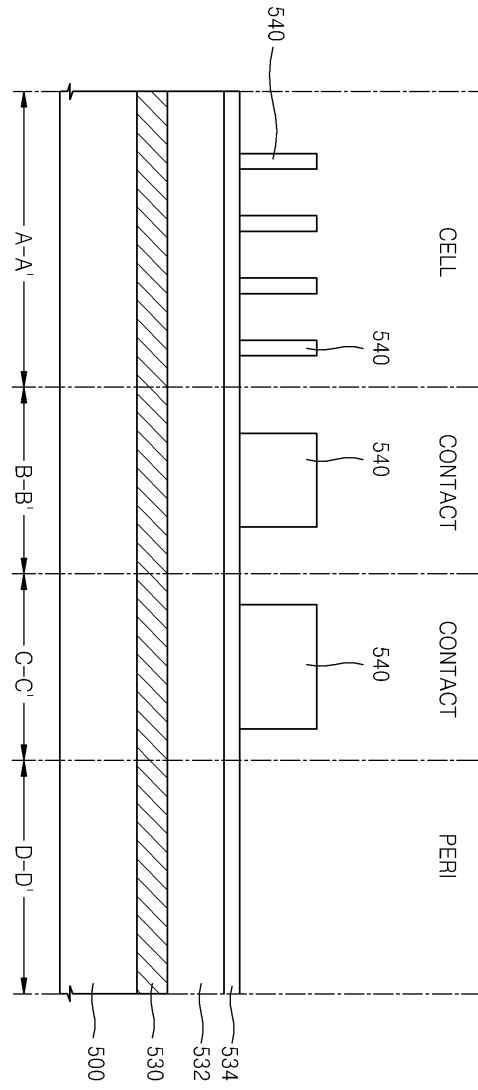
도면2



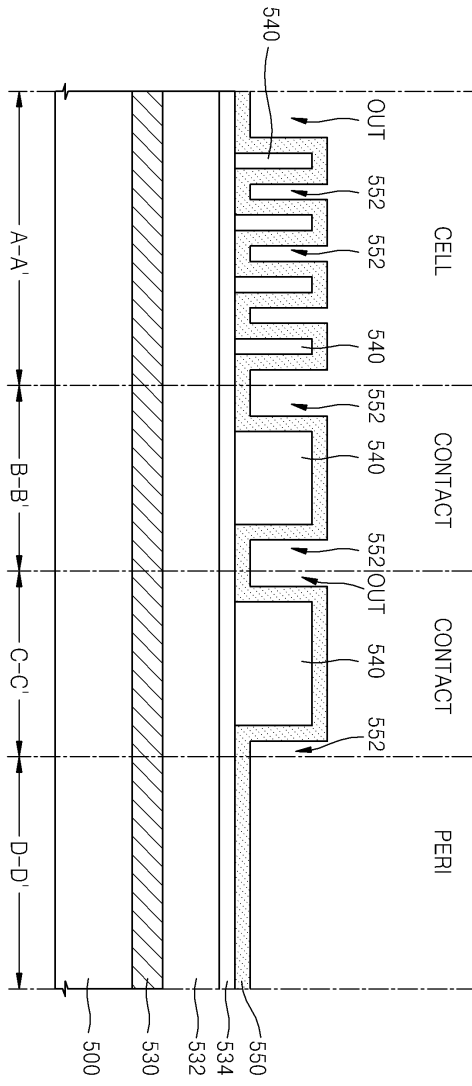
도면3



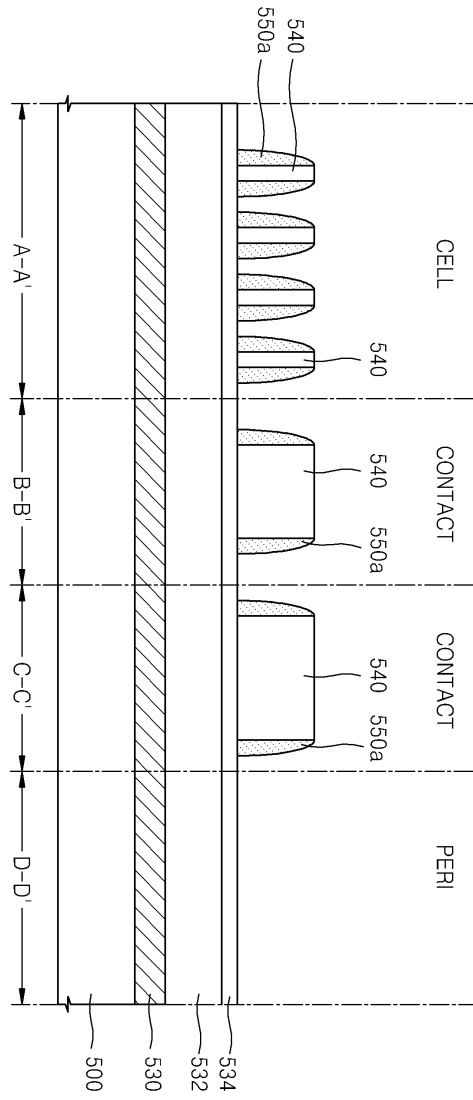
도면4a



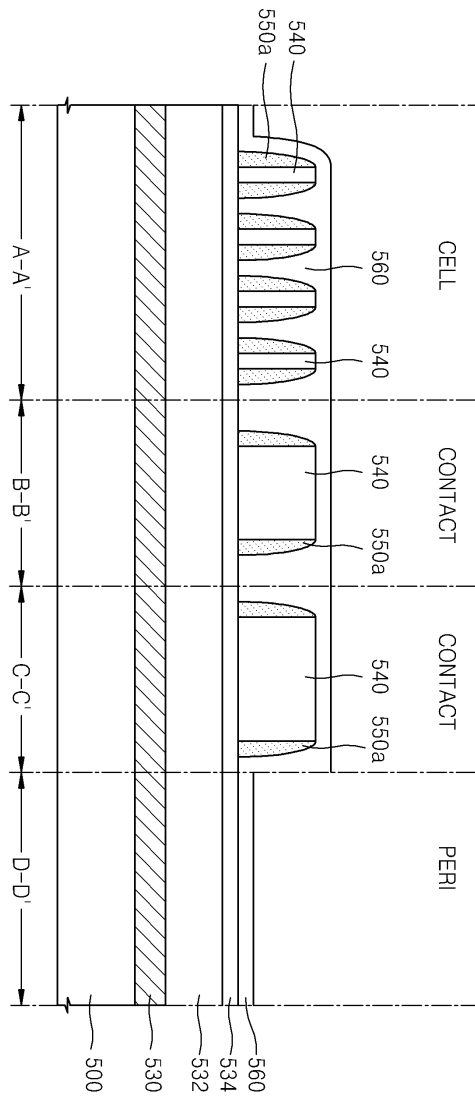
도면4b



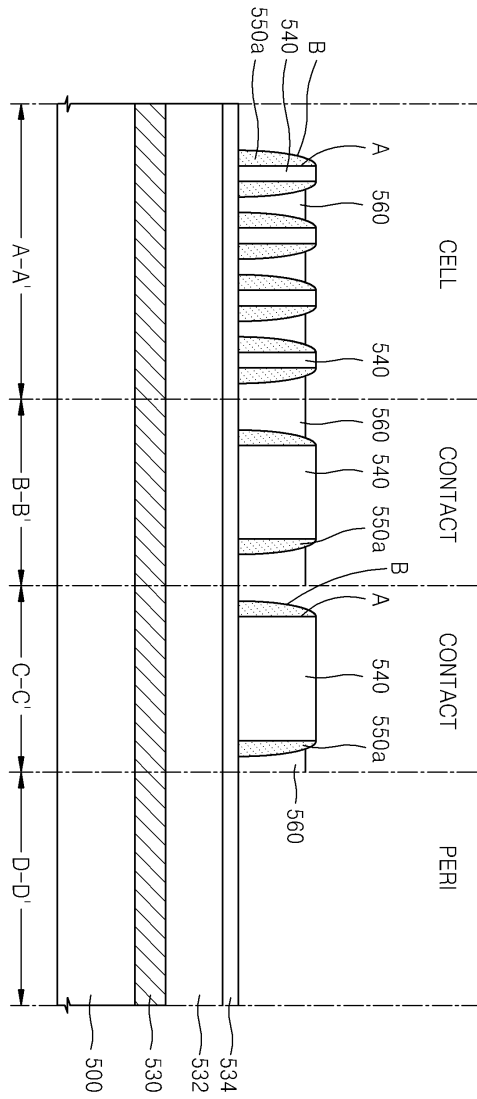
도면4c



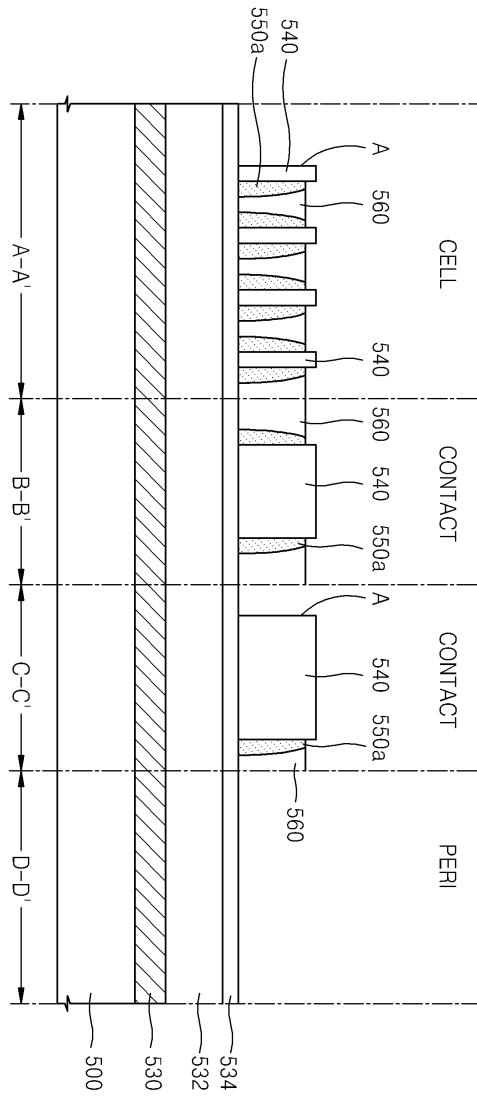
도면4d



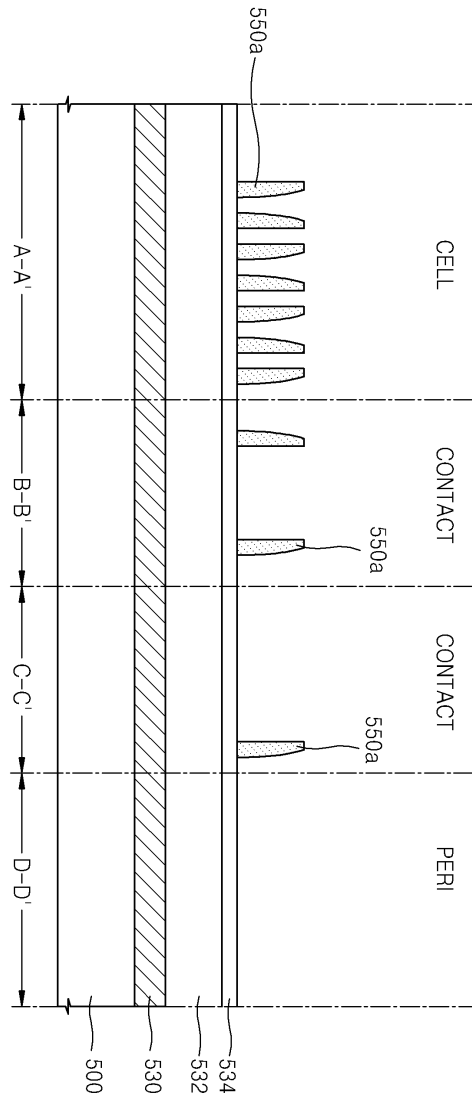
도면4e



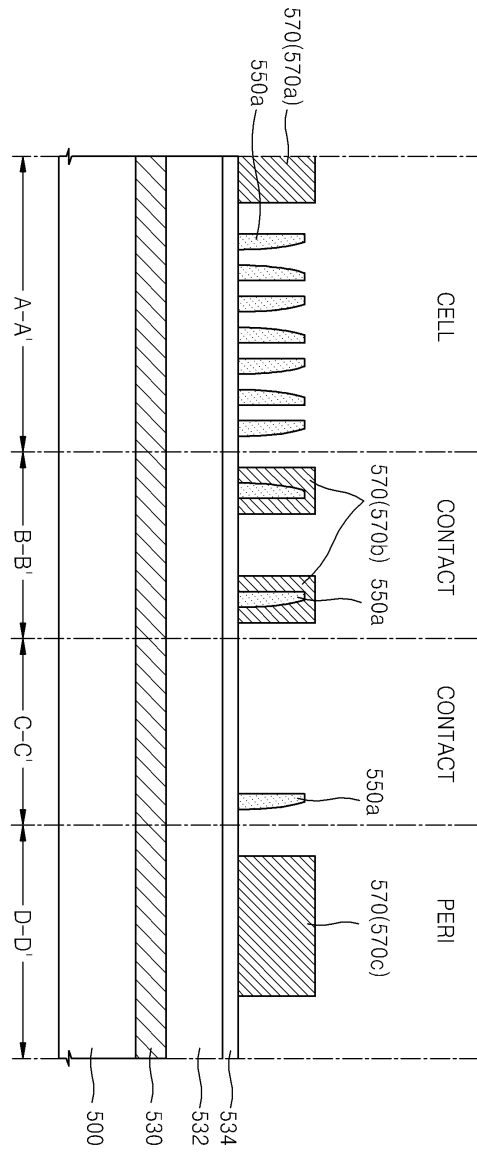
도면4f



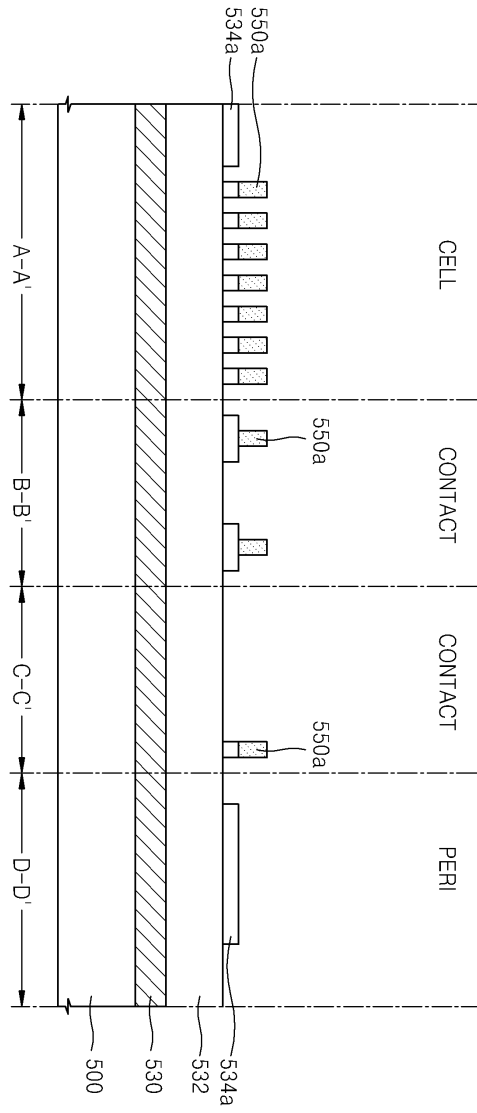
도면4g



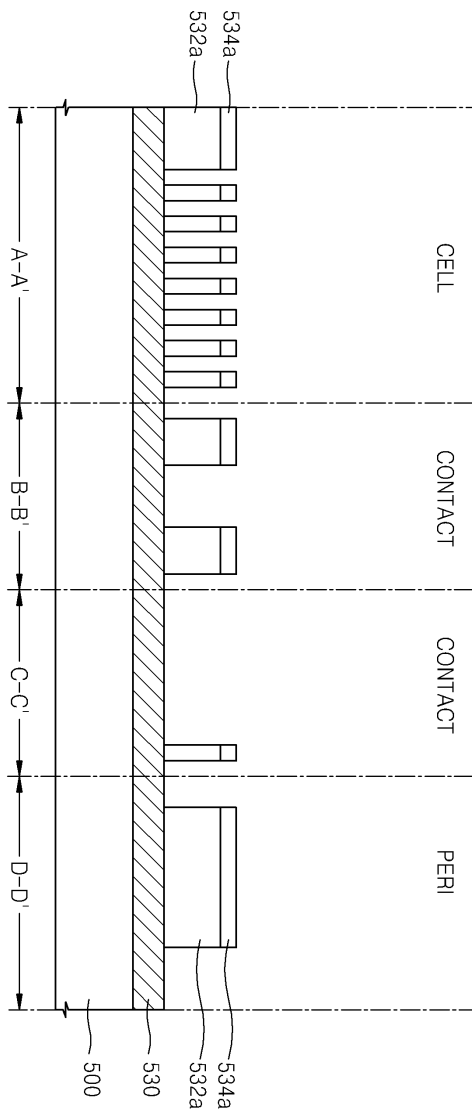
도면4h



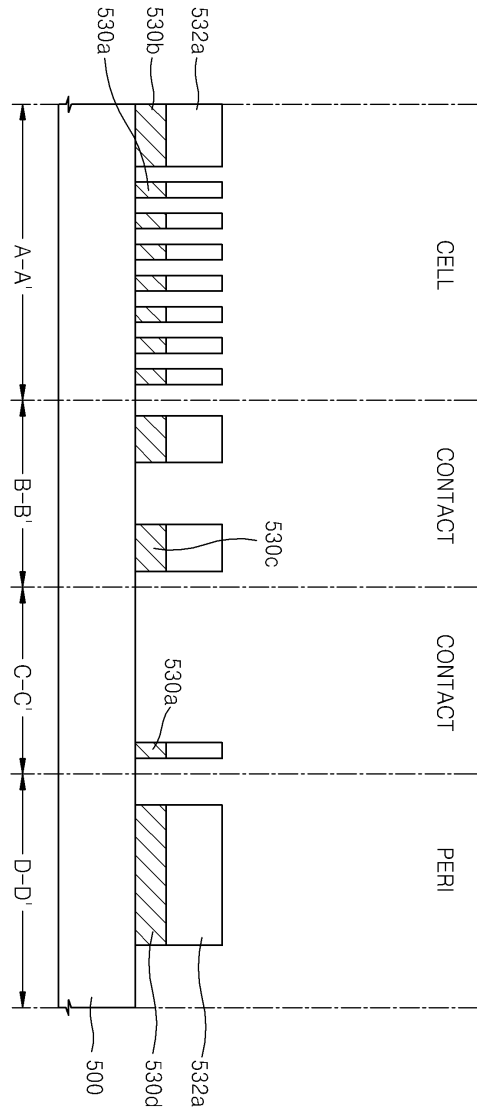
도면4i



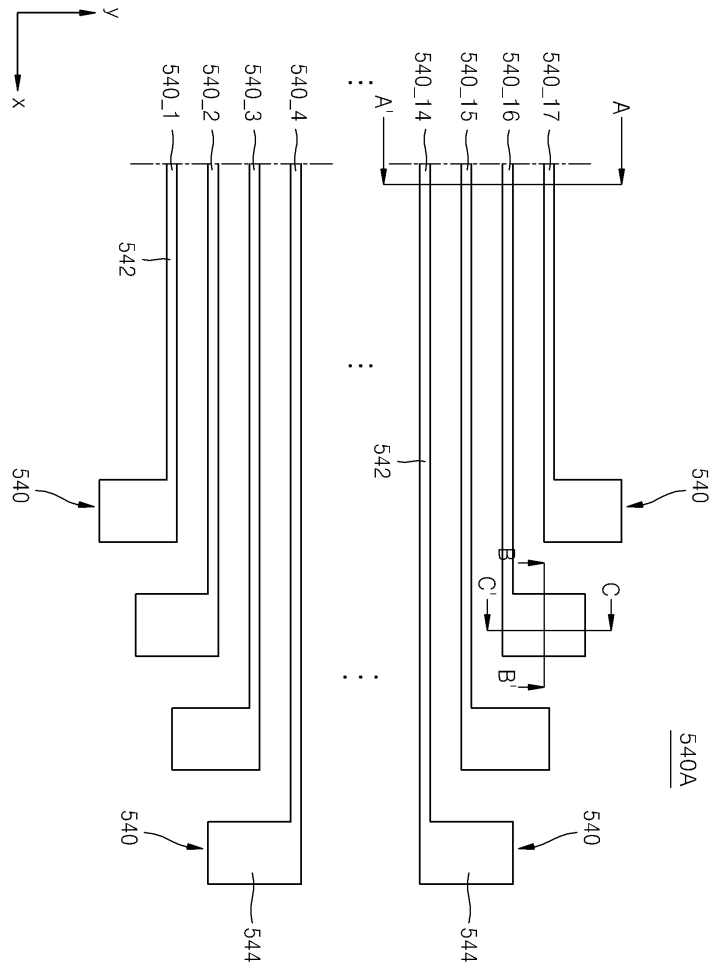
도면4j



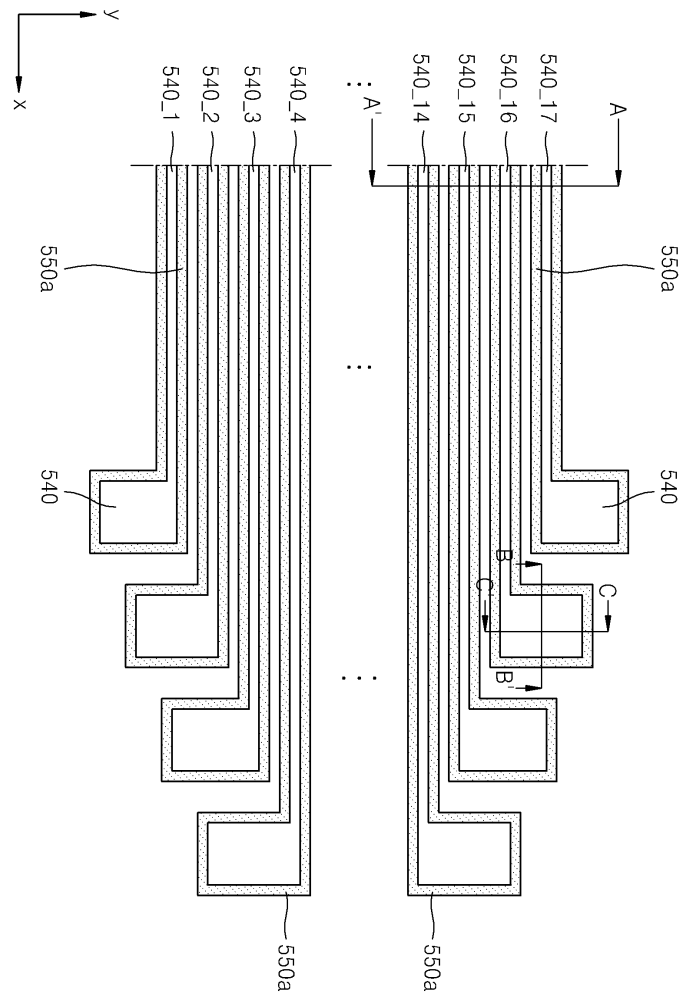
도면4k



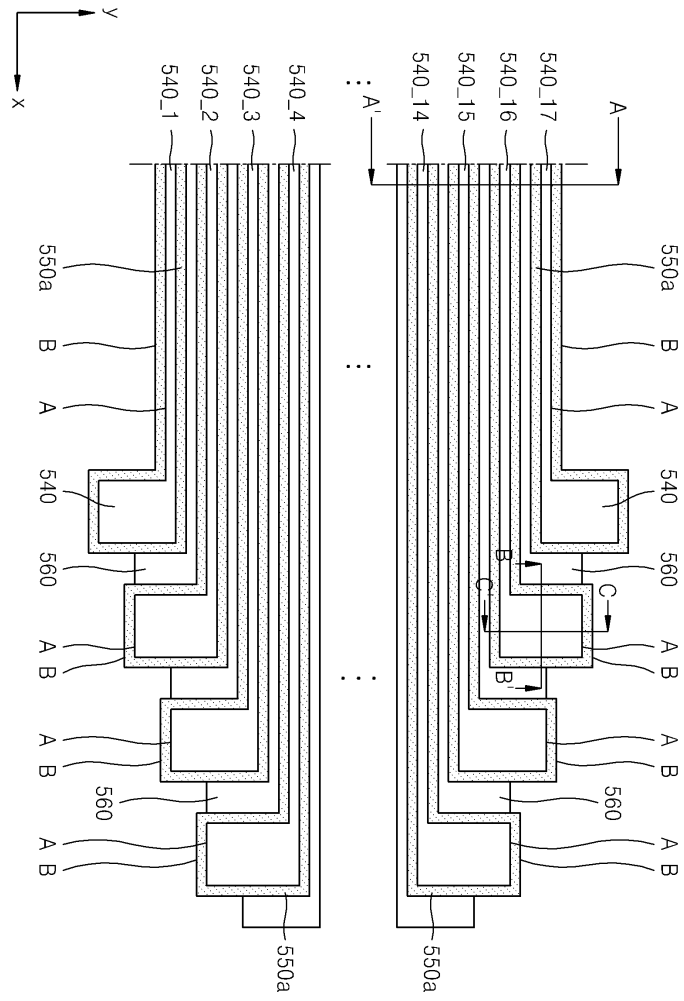
도면5a



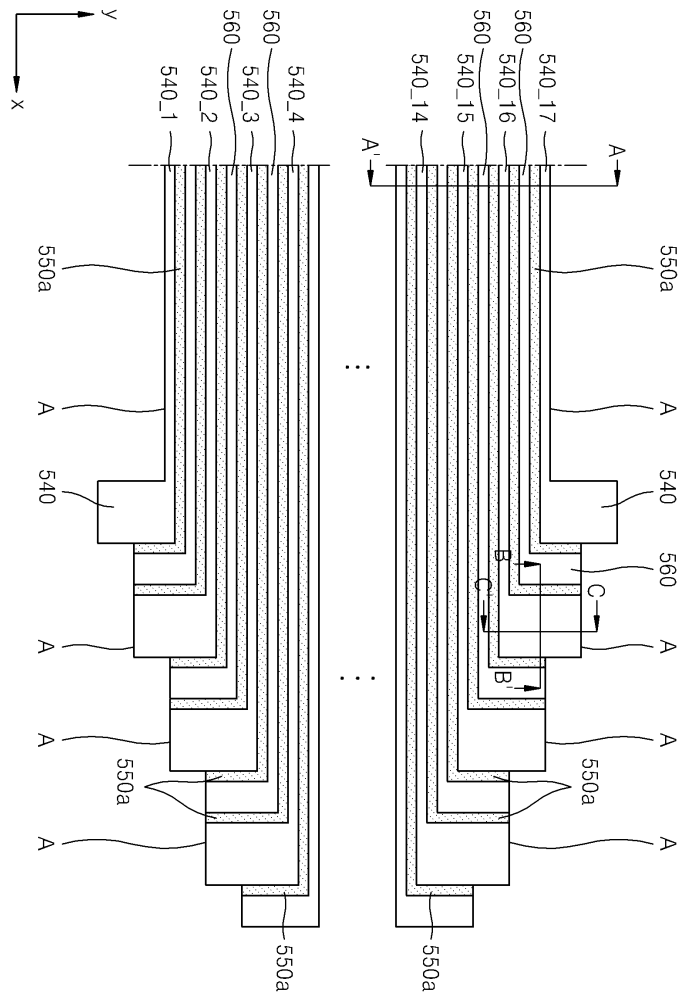
도면5b



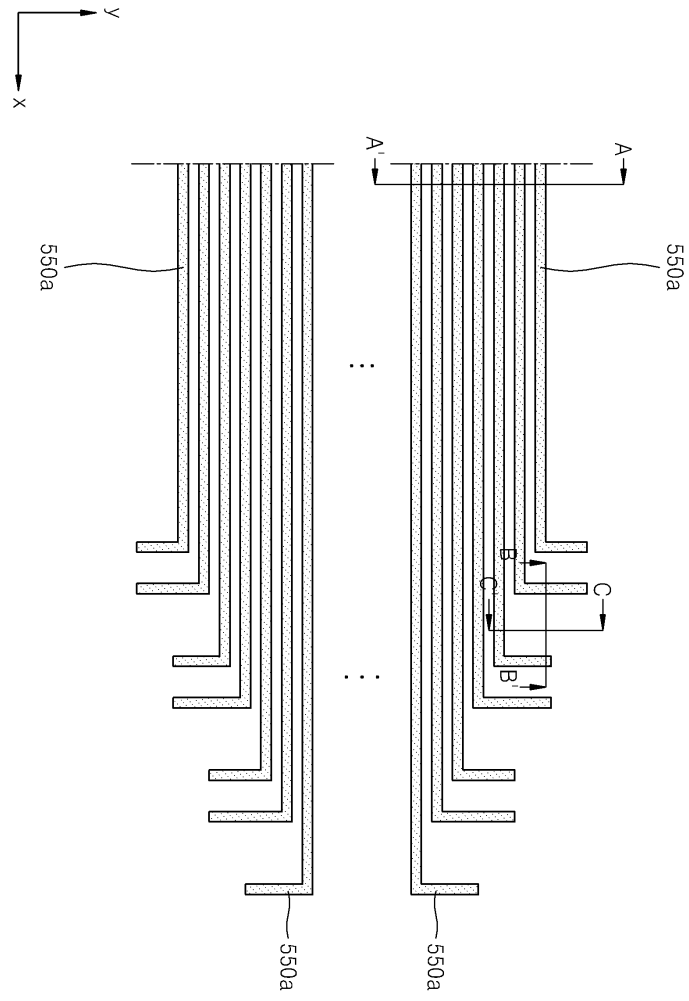
도면5c



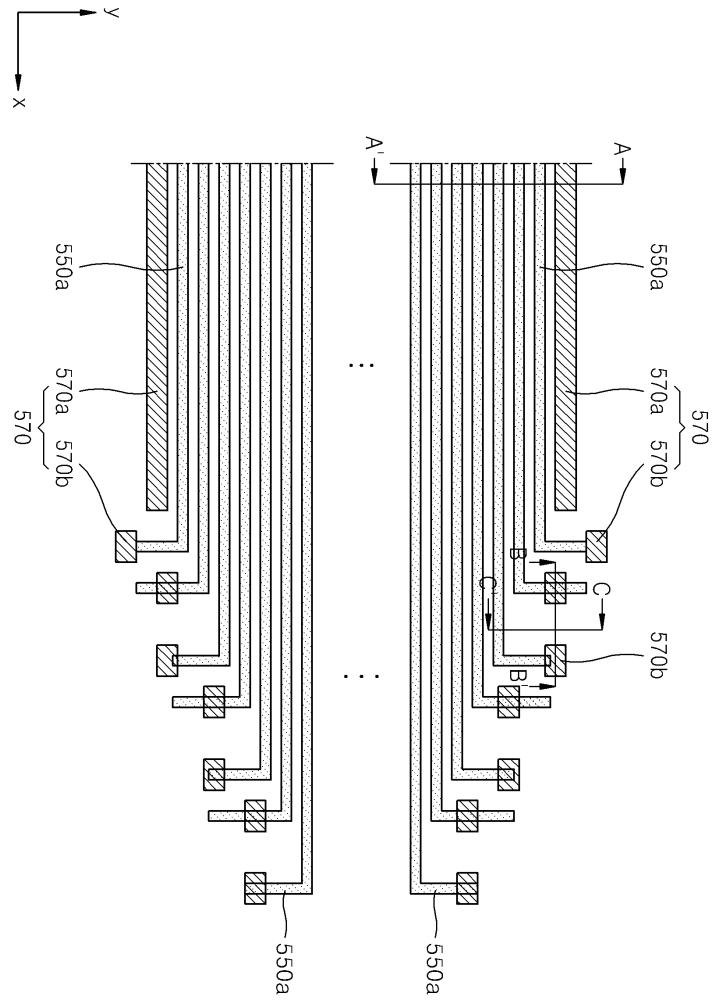
도면5d



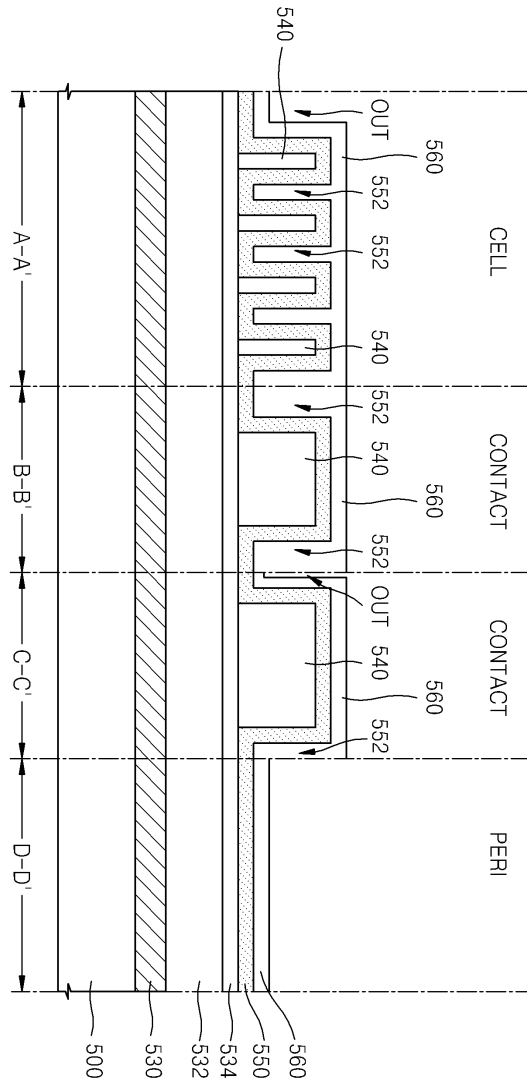
도면5e



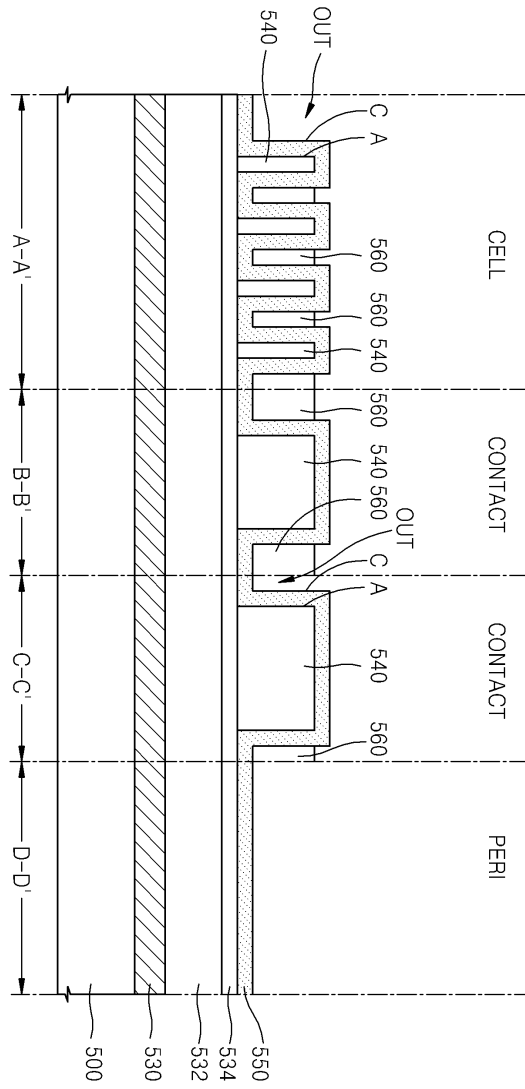
도면5f



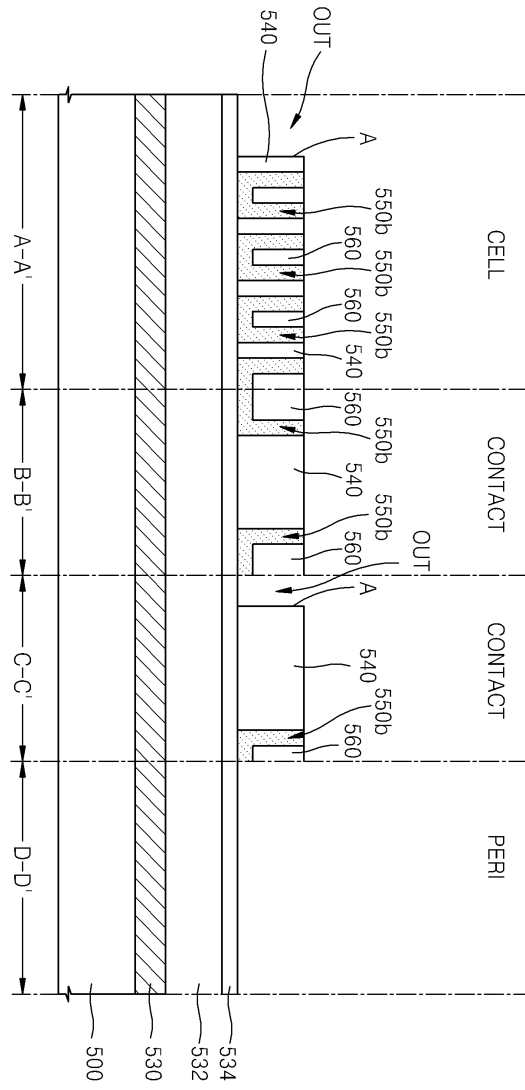
도면6a



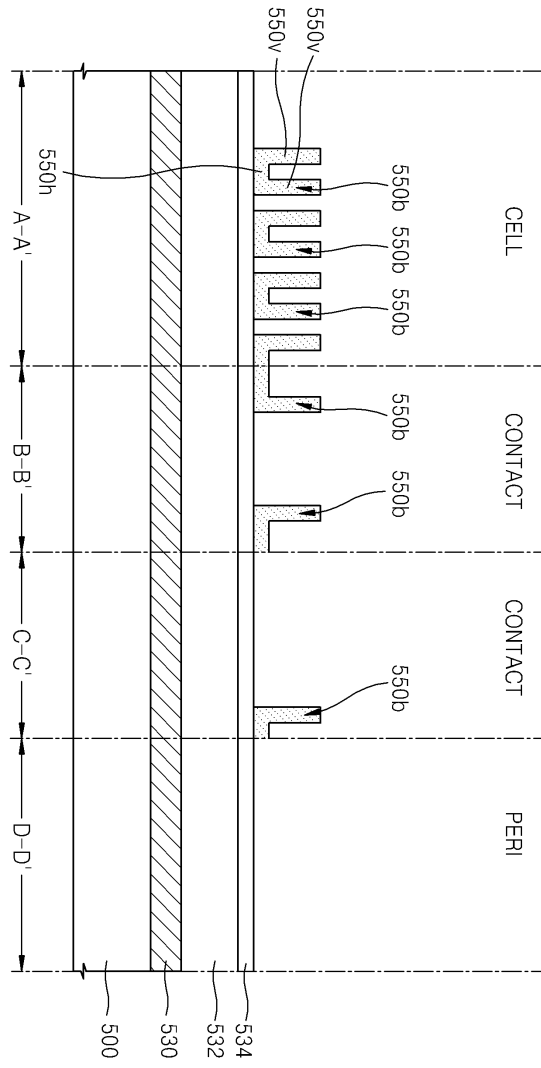
도면6b



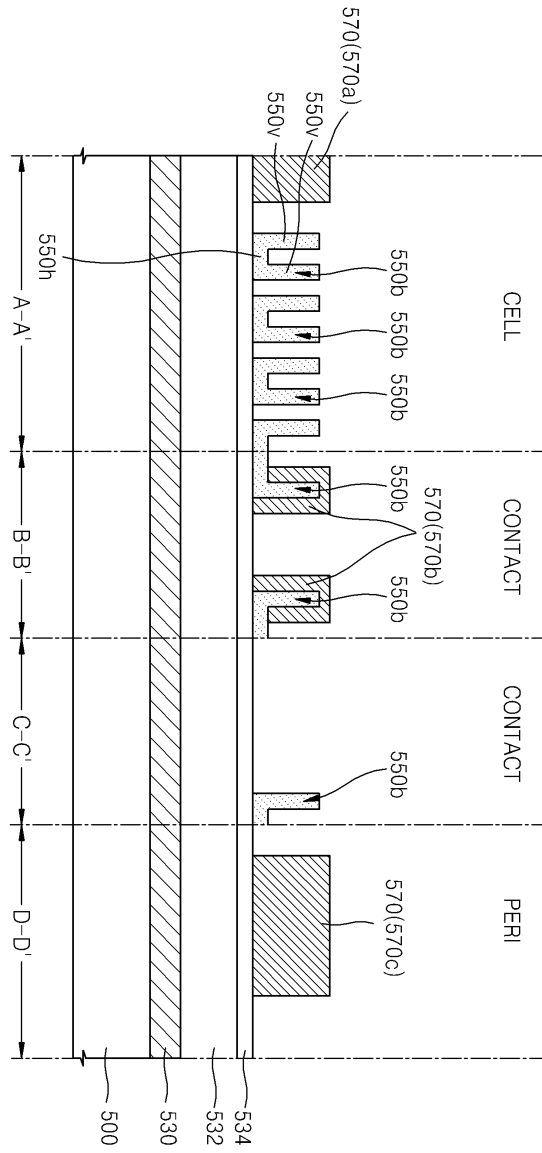
도면6c



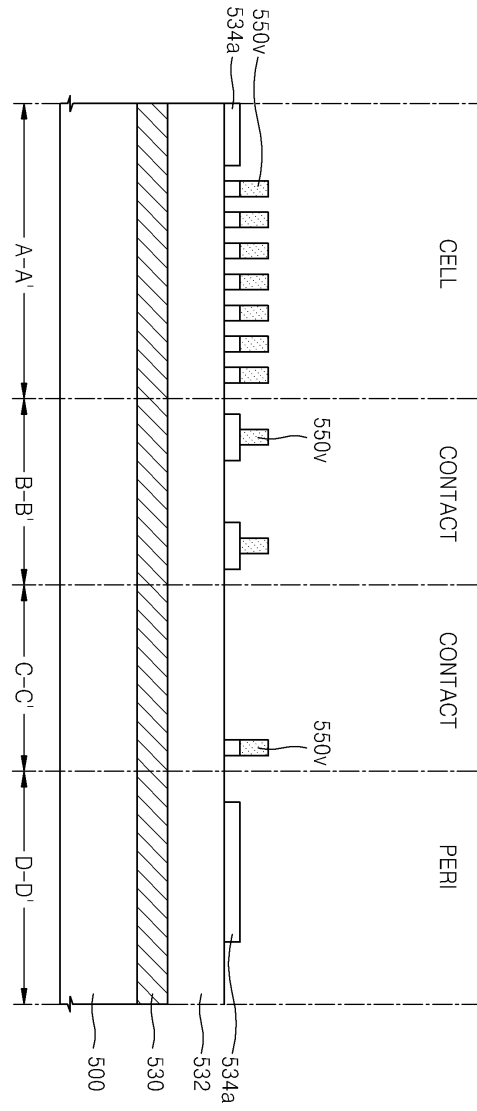
도면6d



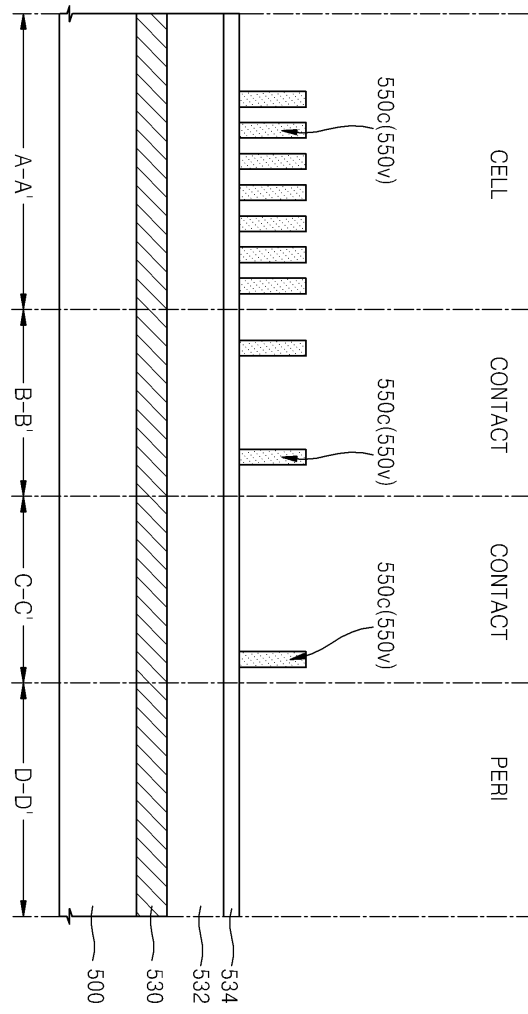
도면6e



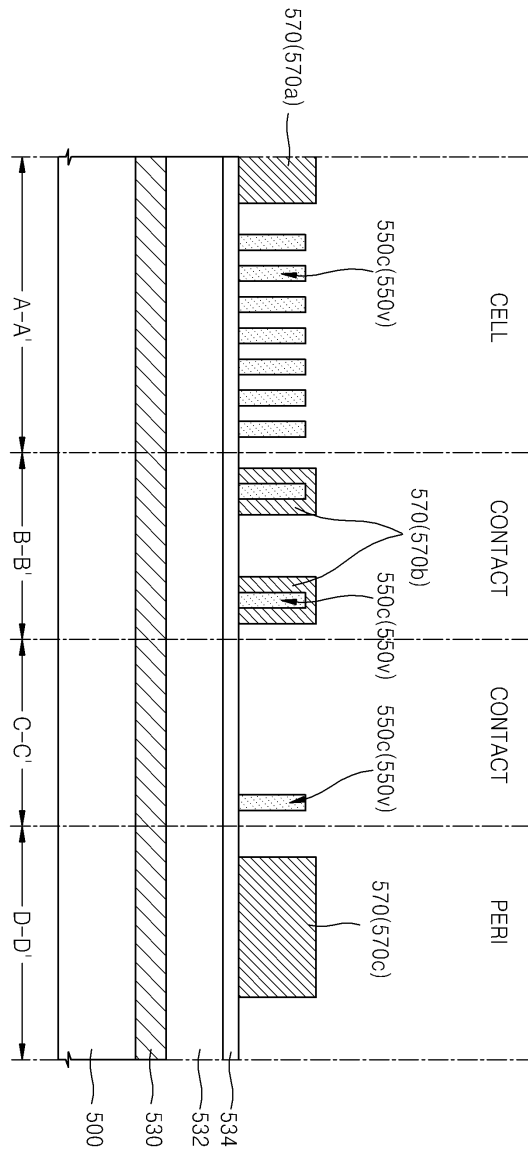
도면6f



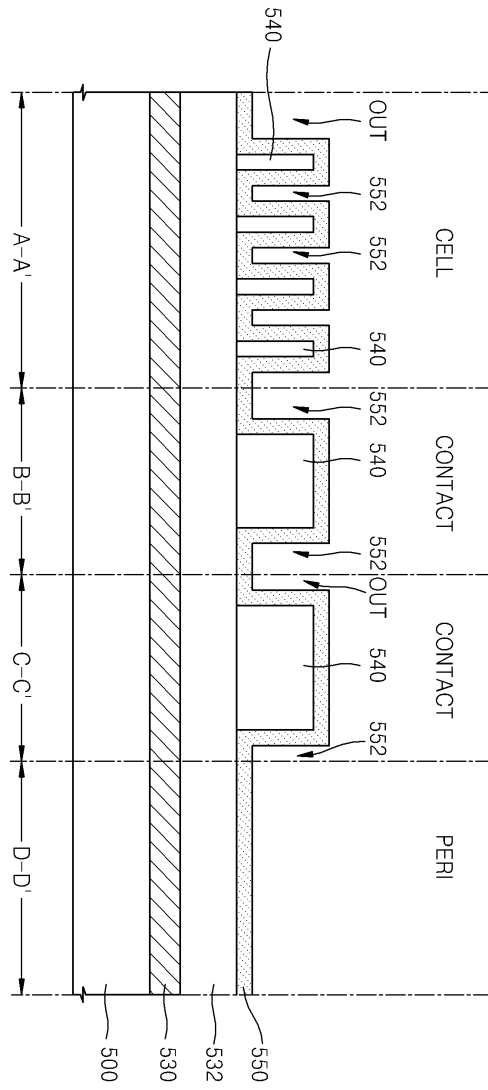
도면7a



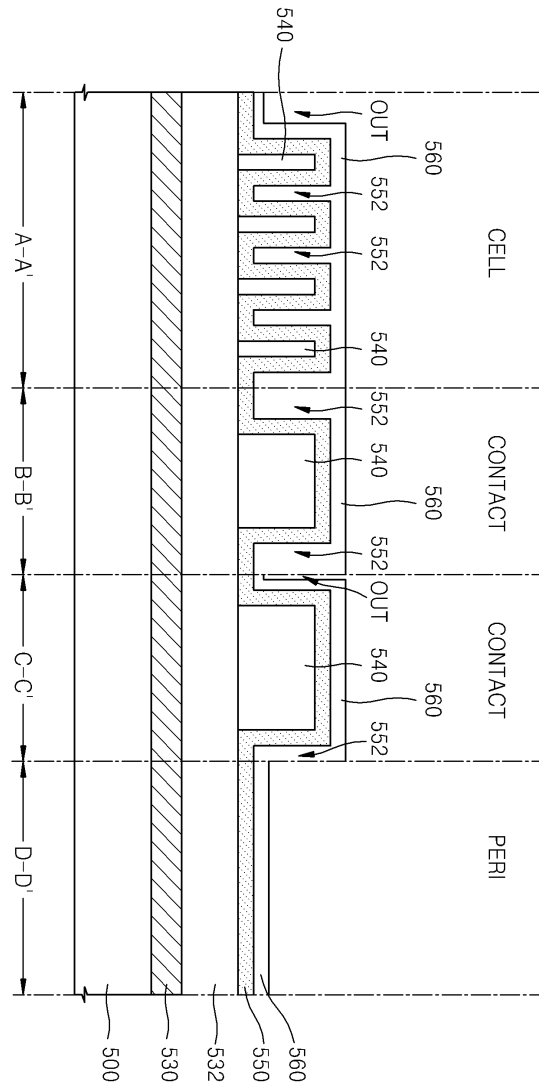
도면7b



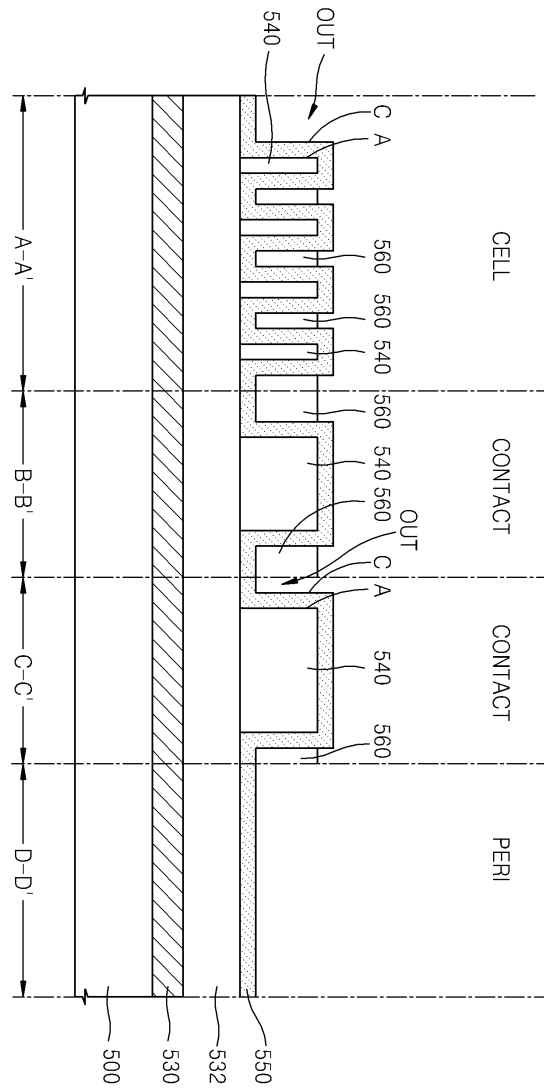
도면8a



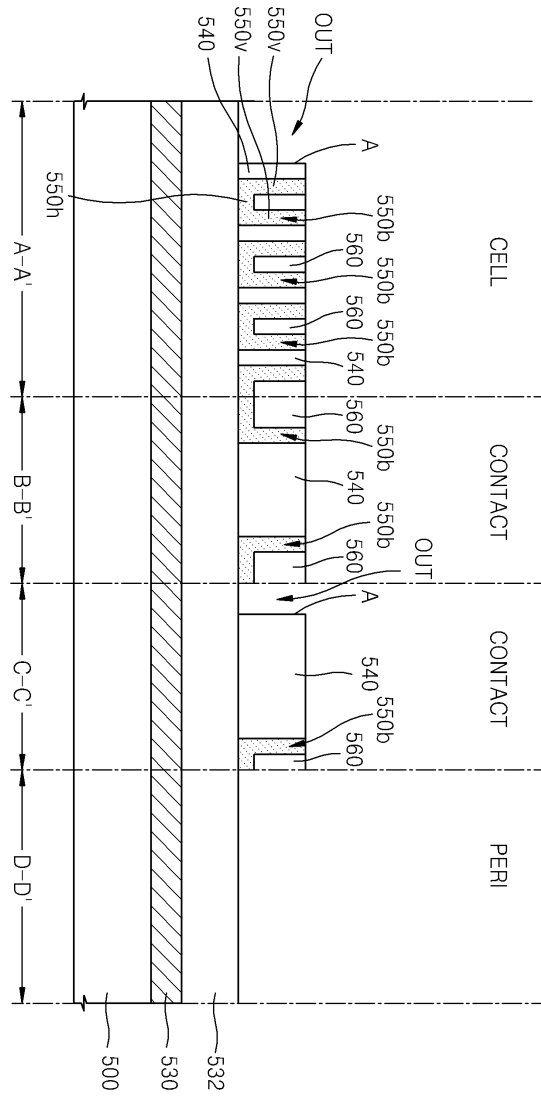
도면8b



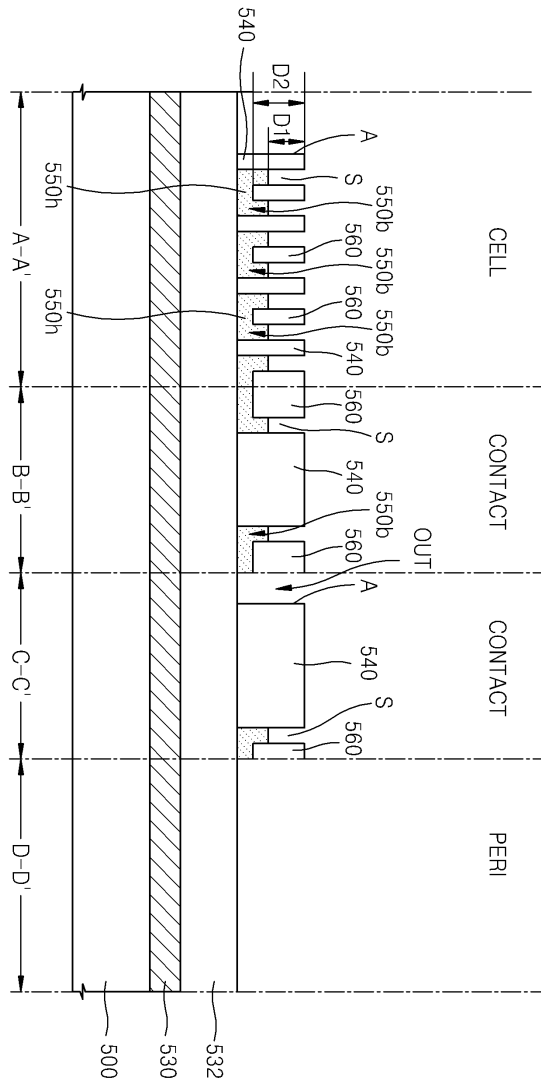
도면8c



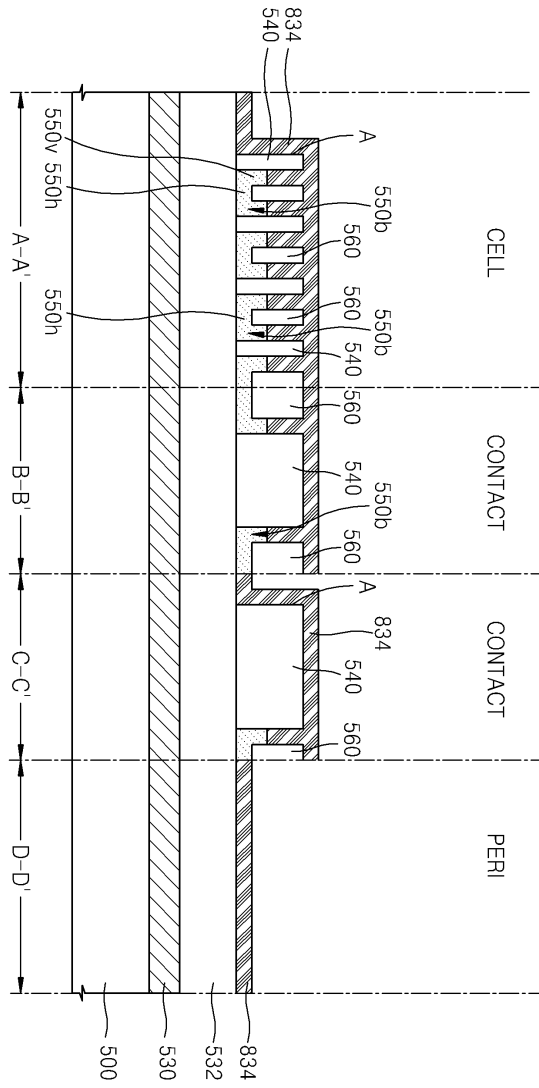
도면8d



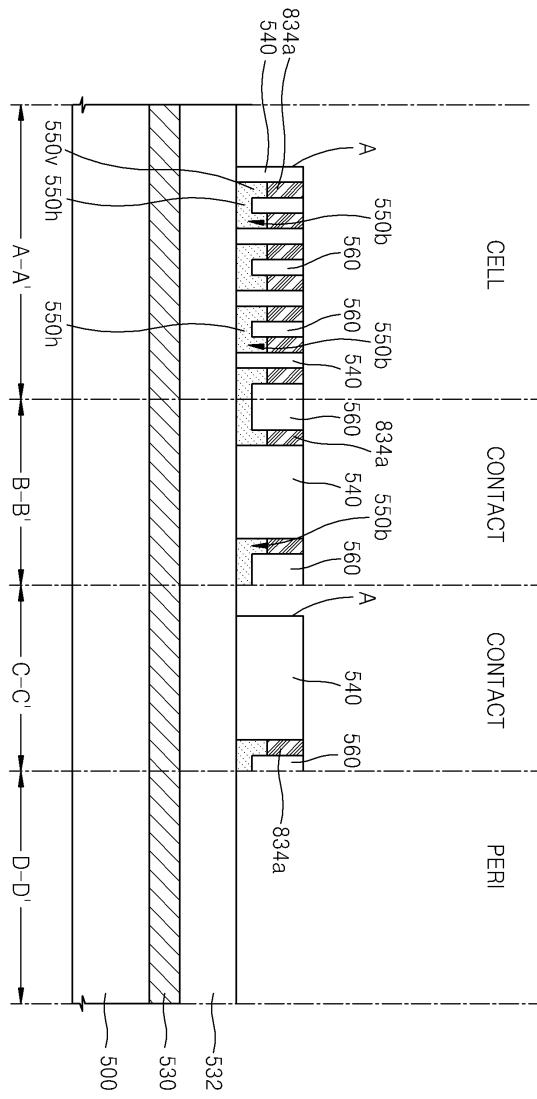
도면8e



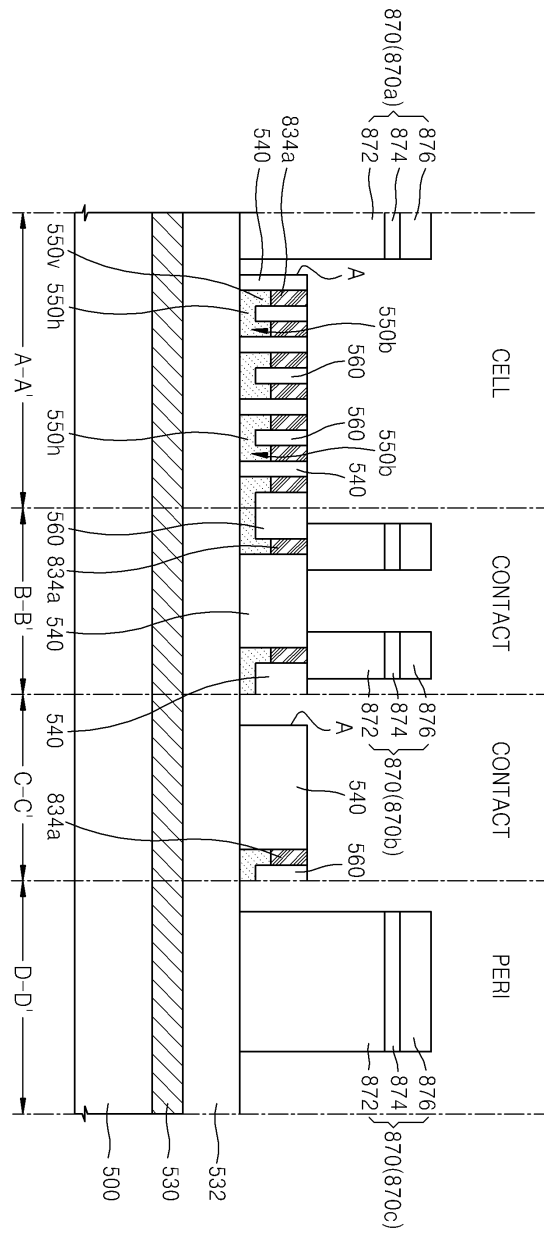
도면8f



도면8g



도면8h



도면8i

