(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7455604号
(P7455604)

(45)発行日　令和6年3月26日(2024.3.26)

(24)登録日　令和6年3月15日(2024.3.15)

(51)国際特許分類		FI		
H02M 1/08 (2006.01)		H02M	1/08	A
H03K 17/06 (2006.01)		H03K	17/06	063
H03K 17/695 (2006.01)		H03K	17/695	
H03K 17/687 (2006.01)		H03K	17/687	F

請求項の数　4　（全14頁）

(21)出願番号　特願2020-23314(P2020-23314)
(22)出願日　令和2年2月14日(2020.2.14)
(65)公開番号　特開2021-129442(P2021-129442A)
(43)公開日　令和3年9月2日(2021.9.2)
審査請求日　令和3年12月3日(2021.12.3)

(73)特許権者　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(73)特許権者　317011920
東芝デバイス＆ストレージ株式会社
東京都港区芝浦一丁目１番１号
(74)代理人　110002147
弁理士法人酒井国際特許事務所
(72)発明者　池内 克之
東京都港区芝浦一丁目１番１号 東芝デバイス＆ストレージ株式会社内
(72)発明者　間島 秀明
東京都港区芝浦一丁目１番１号 東芝デバイス＆ストレージ株式会社内
審査官　井上 弘亘

最終頁に続く

(54)【発明の名称】　ノーマリオン型トランジスタの駆動回路及び駆動方法

(57)【特許請求の範囲】

【請求項１】

ソース、ドレイン、及びゲートを有するＧａＮトランジスタとして構成されたノーマリオン型トランジスタの前記ソースに接続されたドレインを有し、前記ノーマリオン型トランジスタの主電流路に直列に接続された主電流路を有するノーマリオフ型トランジスタと、

高電位側の第１の電圧と低電位側の第２の電圧でバイアスされ、駆動信号に応答して前記ノーマリオン型トランジスタのオン／オフを制御する制御信号を前記ノーマリオン型トランジスタのゲートに配線を介して供給するバッファ回路と、

前記第１の電圧と前記第２の電圧を前記バッファ回路に供給する電源部と、

を具備し、

前記ノーマリオン型トランジスタをオンさせる第１の期間において前記バッファ回路に供給される前記第１の電圧は、前記ノーマリオフ型トランジスタのソース電圧よりも低い電圧であって、前記配線のインダクタンスに起因するリンギングが生じた場合でも制御信号の電圧が前記ノーマリオフ型トランジスタのソース電圧よりも高くならない様に設定され、

前記ノーマリオン型トランジスタをオフさせる第２の期間において、前記バッファ回路に供給される前記第２の電圧は、前記ノーマリオン型トランジスタのしきい値電圧よりも低い電圧であって、前記配線のインダクタンスに起因するリンギングが生じた場合でも前記制御信号の電圧が前記ノーマリオン型トランジスタのしきい値電圧よりも高くならない様に設定されることを特徴とするノーマリオン型トランジスタの駆動回路。

【請求項２】

前記バッファ回路に前記駆動信号を供給する駆動部を具備することを特徴とする請求項１に記載のノーマリオン型トランジスタの駆動回路。

【請求項３】

入力電圧供給端に接続されたドレインと、ソースと、ゲートを有するＧａＮトランジスタとして構成された第１のノーマリオン型トランジスタのソースに接続されたドレインと、出力ノードに接続されたソースと、ゲートを有する第１のノーマリオフ型トランジスタと、

高電位側の第１の電圧と低電位側の第２の電圧でバイアスされ、前記第１のノーマリオン型トランジスタのゲートに供給される第１の制御信号を第１の配線を介して出力する第１のバッファ回路と、

前記出力ノードに接続されたドレインと、ソースと、ゲートを有するＧａＮトランジスタとして構成された第２のノーマリオン型トランジスタのソースに接続されたドレインと、接地端子に接続されたソースと、ゲートを有する第２のノーマリオフ型トランジスタと、

高電位側の第３の電圧と低電位側の第４の電圧でバイアスされ、前記第２のノーマリオン型トランジスタのゲートに印加される第２の制御信号を第２の配線を介して出力する第２のバッファ回路と、

前記第１の電圧と前記第２の電圧を前記第１のバッファ回路に供給し、前記第３の電圧と前記第４の電圧を前記第２のバッファ回路に供給する電源部と、

を具備し、

前記第１のノーマリオン型トランジスタをオンさせる第１の期間において、前記第１のバッファ回路に供給される前記第１の電圧は、前記第１のノーマリオフ型トランジスタのソース電圧よりも低い電圧であって、前記第１の配線のインダクタンスに起因するリンギングが生じた場合でも前記第１の制御信号の電圧が前記第１のノーマリオフ型トランジスタのソース電圧よりも高くならない様に設定され、

前記第１のノーマリオン型トランジスタをオフさせる第２の期間において、前記第１のバッファ回路に供給される前記第２の電圧は、前記第１のノーマリオン型トランジスタのしきい値電圧よりも低い電圧であって、前記第１の配線のインダクタンスに起因するリンギングが生じた場合でも前記第１の制御信号の電圧が前記第１のノーマリオン型トランジスタのしきい値電圧よりも高くならない様に設定され

前記第２のノーマリオン型トランジスタをオンさせる第３の期間において、前記第２のバッファ回路に供給される前記第３の電圧は、前記第２のノーマリオフ型トランジスタのソース電圧よりも低い電圧であって、前記第２の配線のインダクタンスに起因するリンギングが生じた場合でも前記第２の制御信号の電圧が前記第２のノーマリオフ型トランジスタのソース電圧よりも高くならない様に設定され、

前記第２のノーマリオン型トランジスタをオフさせる第４の期間において、前記第２のバッファ回路に供給される前記第４の電圧は、前記第２のノーマリオン型トランジスタのしきい値電圧よりも低い電圧であって、前記第２の配線のインダクタンスに起因するリンギングが生じた場合でも前記第２の制御信号の電圧が前記第２のノーマリオン型トランジスタのしきい値電圧よりも高くならない様に設定されることを特徴とするノーマリオン型トランジスタの駆動回路。

【請求項４】

ソース、ドレイン、及びゲートを有するＧａＮトランジスタとして構成されたノーマリオン型トランジスタの前記ソースに接続されたドレインを有し、前記ノーマリオン型トランジスタの主電流路に直列に接続された主電流路を有するノーマリオフ型トランジスタと、

入力された駆動信号に応答して制御信号を生成し、ノードから配線を介して前記ゲートに供給するバッファ回路と、を備え、前記配線を介して供給される前記制御信号によって前記ノーマリオン型トランジスタのオン／オフを制御するノーマリオン型トランジスタの駆動方法であって、

前記ノーマリオン型トランジスタをオンさせる時に前記ノーマリオン型トランジスタのゲート電圧が前記ノーマリオフ型トランジスタのソース電圧よりも低くなり、前記配線の

インダクタンスに起因するリンギングが生じた場合でも前記制御信号の電圧が前記ノーマリオフ型トランジスタのソース電圧よりも高くならない様に前記バッファ回路の高電位側のバイアス電圧を設定し、
前記ノーマリオン型トランジスタをオフさせる時に前記ノーマリオン型トランジスタのゲート・ソース間電圧が前記ノーマリオン型トランジスタのしきい値電圧よりも低くなり、前記配線のインダクタンスに起因するリンギングが生じた場合でも前記制御信号の電圧が前記ノーマリオン型トランジスタのしきい値電圧よりも高くならない様に前記バッファ回路の低電位側のバイアス電圧を設定する
ことを特徴とするノーマリオン型トランジスタの駆動方法。
【発明の詳細な説明】
【技術分野】
【０００１】
本実施形態は、ノーマリオン型トランジスタの駆動回路及び駆動方法に関する。
【背景技術】
【０００２】
従来、ノーマリオン型トランジスタとノーマリオフ型トランジスタをカスコード接続して、スイッチング素子として用いる半導体装置が開示されている。例えば、ノーマリオン型トランジスタは、ＧａＮ（窒化ガリウム）やＳｉＣ（炭化ケイ素）を材料とするトランジスタで構成される。ＧａＮやＳｉＣで構成されるノーマリオン型トランジスタを用いることで、高耐圧で低損失の半導体装置が提供される。
【０００３】
ノーマリオン型トランジスタをオンさせる時のゲート電圧を高くしてオン抵抗を小さくすることで、ノーマリオン型トランジスタの駆動能力を高めることが出来る。しかしながら、例えば、ノーマリオン型トランジスタとしてＧａＮを材料とするＧａＮトランジスタを用いた場合、ソース電圧に対するゲート電圧、すなわち、ゲート・ソース間電圧V_{GS}が正の値（＝V_{GS}＞０Ｖ）の状態になると、ＧａＮトランジスタのしきい値が変動して、特性が劣化することが知られている。この為、ノーマリオン型トランジスタの特性を劣化させることなく、また、スイッチング素子としてのノーマリオン型トランジスタを確実にオン／オフさせることが出来る駆動回路及び駆動方法が望まれる。
【先行技術文献】
【特許文献】
【０００４】
【文献】特許第６４７０２８４号公報
【発明の概要】
【発明が解決しようとする課題】
【０００５】
一つの実施形態は、ノーマリオン型トランジスタの特性を劣化させることなく、ノーマリオン型トランジスタを確実にオン／オフさせることが出来るノーマリオン型トランジスタの駆動回路及び駆動方法を提供することを目的とする。
【課題を解決するための手段】
【０００６】
一つの実施形態によれば、ノーマリオン型トランジスタの駆動回路は、ソース、ドレイン、及びゲートを有するＧａＮトランジスタとして構成されたノーマリオン型トランジスタの前記ソースに接続されたドレインを有し、前記ノーマリオン型トランジスタの主電流路に直列に接続された主電流路を有するノーマリオフ型トランジスタと、高電位側の第１の電圧と低電位側の第２の電圧でバイアスされ、駆動信号に応答して前記ノーマリオン型トランジスタのオン／オフを制御する制御信号を前記ノーマリオン型トランジスタのゲートに配線を介して供給するバッファ回路と、前記第１の電圧と前記第２の電圧を前記バッファ回路に供給する電源部と、を具備し、前記ノーマリオン型トランジスタをオンさせる第１の期間において前記バッファ回路に供給される前記第１の電圧は、前記ノーマリオフ

型トランジスタのソース電圧よりも低い電圧であって、前記配線のインダクタンスに起因するリンギングが生じた場合でも制御信号の電圧が前記ノーマリオフ型トランジスタのソース電圧よりも高くならない様に設定され、前記ノーマリオン型トランジスタをオフさせる第２の期間において、前記バッファ回路に供給される前記第２の電圧は、前記ノーマリオン型トランジスタのしきい値電圧よりも低い電圧であって、前記配線のインダクタンスに起因するリンギングが生じた場合でも前記制御信号の電圧が前記ノーマリオン型トランジスタのしきい値電圧よりも高くならない様に設定される。

【図面の簡単な説明】

【０００７】

【図１】図１は、ノーマリオン型トランジスタの特性を説明する為の図。

【図２】図２は、第１の実施形態のノーマリオン型トランジスタの駆動回路を示す図。

【図３】図３は、ノーマリオン型トランジスタの駆動方法を説明する為の図。

【図４】図４は、ノーマリオン型トランジスタの駆動方法における電圧設定を説明する為の図。

【図５】図５は、第２の実施形態のノーマリオン型トランジスタの駆動回路を示す図。

【図６】図６は、ノーマリオン型トランジスタの駆動方法を説明する為の図。

【発明を実施するための形態】

【０００８】

以下に添付図面を参照して、実施形態にかかるノーマリオン型トランジスタの駆動回路及び駆動方法を詳細に説明する。なお、これらの実施形態により本発明が限定されるものではない。

【０００９】

図１は、ノーマリオン型トランジスタの特性を説明する為の図である。Ｎチャンネル型トランジスタの場合の特性曲線１００を示す。横軸にゲート・ソース間電圧V_{GS}、縦軸にドレイン電流Ｉｄを示す。ゲート・ソース間電圧V_{GS}がゼロ（０）Ｖの時においてもドレイン電流Ｉｄが流れ、ゲート・ソース間電圧V_{GS}がしきい値電圧Ｖｔｈ、例えば、－１２Ｖより低い負の電圧になった時に、ドレイン電流Ｉｄが略ゼロ（０）Ａとなる。尚、ノーマリオン型トランジスタは、ディプリーションモードトランジスタと呼ばれる場合がある。

【００１０】

（第１の実施形態）

図２は、第１の実施形態のノーマリオン型トランジスタの駆動回路を示す図である。本実施形態の駆動回路はノーマリオン型トランジスタ１を有する。ノーマリオン型トランジスタ１は、既述した図１の特性曲線１００で示す特性を有する。ノーマリオン型トランジスタ１は、例えば、ＧａＮを材料とするＮチャネル型ＭＯＳトランジスタで構成される。ＧａＮを材料とするＭＯＳトランジスタは、ドレイン・ソース間の主電流路がＧａＮで構成される。以降、ＧａＮを材料とするＭＯＳトランジスタを、ＧａＮトランジスタと呼ぶ場合がある。

【００１１】

ノーマリオン型トランジスタ１をＧａＮトランジスタで構成した場合、例えば、ノーマリオン型トランジスタ１は、個別の半導体チップ１Ａで構成され、共通のプリント基板（図示せず）に他の構成要素と共に一体的に配置される。ノーマリオン型トランジスタ１のドレインは、出力端子８０に接続される。出力端子８０は、例えば、負荷（図示せず）を介して、４００Ｖの出力電圧Ｖｏｕｔを出力する。

【００１２】

本実施形態の駆動回路はノーマリオフ型トランジスタ２を有する。ノーマリオフ型トランジスタ２は、例えば、Ｓｉを材料とするＮチャネル型ＭＯＳトランジスタで構成される。Ｓｉを材料とするＭＯＳトランジスタは、主電流路となるドレイン・ソース間がＳｉで構成される。以降、Ｓｉを材料とするＭＯＳトランジスタを、Ｓｉトランジスタと呼ぶ場合がある。ノーマリオフ型トランジスタ２のしきい値電圧Ｖｔｈは、例えば、０．７Ｖで

ある。ノーマリオフ型トランジスタ２のゲート・ソース間電圧ＶＧＳが、しきい値電圧Ｖｔｈより高くなるとノーマリオフ型トランジスタ２は、オンする。ノーマリオフ型トランジスタは、エンハンスメントモードトランジスタと呼ばれる場合がある。

【００１３】

ノーマリオフ型トランジスタ２のドレインは、ノーマリオン型トランジスタ１のソースに接続され、ソースは端子８１に接続される。ノーマリオン型トランジスタ１とノーマリオフ型トランジスタ２は、主電流路であるソース・ドレイン路が直列に接続されたカスコード接続を構成する。端子８１には、例えば、接地電位が供給される。

【００１４】

本実施形態の駆動回路は、制御部１０、駆動部２０、電源部３０、バッファ回路４０を有する。制御部１０は、駆動部２０と電源部３０を制御する。制御部１０は、駆動部２０がイネーブル信号ＥＮ１をノーマリオフ型トランジスタ２に供給するタイミング、及び駆動信号ＶＧ１、ＶＧ２をバッファ回路４０に供給するタイミングを制御する。制御部１０は、電源部３０が出力するバイアス電圧Ｖ２、Ｖ３の値を制御する。

【００１５】

電源部３０は、制御部１０の制御に応答して、バッファ回路４０の高電位側のバイアス電圧Ｖ２と低電位側のバイアス電圧Ｖ３を生成して、バッファ回路４０に供給する。電源部３０は、例えば、端子８１の電位、すなわち、接地電位を基準にして、バイアス電圧Ｖ２とＶ３を生成する。電源部３０は、例えば、チャージポンプ、あるいは、ブーストコンバータ等で構成することが出来る。

【００１６】

駆動部２０は、イネーブル信号ＥＮ１、及び駆動信号ＶＧ１、ＶＧ２を生成して、ノーマリオフ型トランジスタ２、及びバッファ回路４０に供給する。駆動部２０は、電源部３０から供給される端子８１の接地電位を基準にして、イネーブル信号ＥＮ１、及び駆動信号ＶＧ１、ＶＧ２を生成する。

【００１７】

バッファ回路４０は、上段側のＰチャネル型ＭＯＳトランジスタ４１と下段側のＮチャネル型ＭＯＳトランジスタ４２を有する。以降、ＰチャネルＭＯＳトランジスタをＰＭＯＳトランジスタ、ＮチャネルＭＯＳトランジスタをＮＭＯＳトランジスタと表記する。ＰＭＯＳトランジスタ４１とＮＭＯＳトランジスタ４２は、ＣＭＯＳ回路を構成する。バッファ回路４０は、駆動部２０から供給される駆動信号ＶＧ１、ＶＧ２に応答して制御信号ＶＤを生成し、ノード４３から配線１Ｂを介してノーマリオン型トランジスタ１のゲートに供給する。

【００１８】

高電位側のバイアス電圧Ｖ２は、ノーマリオン型トランジスタ１をオンさせる時に、バッファ回路４０から供給される制御信号ＶＤによってノーマリオン型トランジスタ１のゲート・ソース間電圧ＶＧＳが正の値、すなわち、ＶＧＳ＞０にならない様に設定する。例えば、高電位側のバイアス電圧Ｖ２はノーマリオフ型トランジスタ２のソースの電圧Ｖ１、すなわち、接地電位よりも低い－２Ｖに設定される。ノーマリオン型トランジスタ１をＧａＮトランジスタで構成した場合に、ゲート・ソース間電圧ＶＧＳが正の電圧になることを回避して、しきい値電圧Ｖｔｈの変動による特性の劣化を回避する為である。

【００１９】

低電位側のバイアス電圧Ｖ３は、例えば、ノーマリオン型トランジスタ１のしきい値電圧Ｖｔｈよりも低い電圧、例えば、－１５Ｖに設定する。ノーマリオン型トランジスタ１をオフさせる場合に、ノーマリオン型トランジスタ１のゲートに、しきい値電圧Ｖｔｈよりも高い電圧が印加されることを回避して、ノーマリオン型トランジスタ１を確実にオフさせる為である。

【００２０】

第１の実施形態によれば、ノーマリオン型トランジスタ１のゲートに制御信号ＶＤを供給するバッファ回路４０に、高電位側のバイアス電圧Ｖ２と低電位側のバイアス電圧Ｖ３

を供給する電源部３０を有する。バッファ回路４０の高電位側のバイアス電圧Ｖ２と低電位側のバイアス電圧Ｖ３を可変とし、電源部３０によって調整することによって、ノーマリオン型トランジスタ１をオン／オフさせる時にゲートに供給される制御信号ＶＤの電圧を制限することが出来る。すなわち、ノーマリオン型トランジスタ１をオンさせる時に、ノーマリオン型トランジスタ１のゲート・ソース間電圧V_{GS}が正の電圧になることを回避し、ノーマリオン型トランジスタ１をオフさせる時に、ノーマリオン型トランジスタ１のゲート・ソース間電圧V_{GS}がしきい値電圧Ｖｔｈよりも低くなる様に設定することで、ノーマリオン型トランジスタ１を確実にオフさせることが出来る。

【００２１】

また、バッファ回路４０により、制御信号ＶＤの駆動能力を高めてノーマリオン型トランジスタ１のゲートに印加することが出来る為、ノーマリオン型トランジスタ１のスイッチング制御を高速で行うことが出来る。バッファ回路４０の高電位側のバイアス電圧Ｖ２と低電位側のバイアス電圧Ｖ３を調整して供給することが出来る電源部３０を設けることでバッファ回路４０がノーマリオン型トランジスタ１に供給する制御信号ＶＤの電圧設定の自由度が高まる為、駆動回路の設計の自由度を高めることが出来る。

【００２２】

図３を用いて、第１の実施形態のノーマリオン型トランジスタの駆動方法を説明する。上段は、ノーマリオフ型トランジスタ２のゲートに印加されるイネーブル信号ＥＮ１を示す。イネーブル信号ＥＮ１は、タイミングｔ１においてＨレベルの電圧ＥＮ１Ｈとなり、ノーマリオフ型トランジスタ２をオンさせる。電圧ＥＮ１Ｈは、例えば、ノーマリオフ型トランジスタ２のしきい値電圧Ｖｔｈが＋０．７Ｖの場合、＋５Ｖである。ノーマリオフ型トランジスタ２をオンにすることで、ノーマリオン型トランジスタ１のオン／オフがバッファ回路４０からの制御信号ＶＤにより制御可能なイネーブル状態になる。

【００２３】

次段は、バッファ回路４０のＰＭＯＳトランジスタ４１のゲートに印加される駆動信号ＶＧ１を示す。駆動信号ＶＧ１のＨレベルの電圧ＶＧ１Ｈは、例えば、ＰＭＯＳトランジスタ４１のしきい値電圧Ｖｔｈが－２．７Ｖの場合、－２Ｖに設定される。Ｌレベルの電圧ＶＧ１Ｌは、例えば、－７Ｖに設定される。駆動信号ＶＧ１のＬレベルの電圧ＶＧ１Ｌが印加された時に、ＰＭＯＳトランジスタ４１はオンとなり、高電位側のバイアス電圧Ｖ２にほぼ等しい電圧の制御信号ＶＤがバッファ回路４０のノード４３から出力される。

【００２４】

次段は、バッファ回路４０のＮＭＯＳトランジスタ４２のゲートに印加される駆動信号ＶＧ２を示す。駆動信号ＶＧ２のＨレベルの電圧ＶＧ２Ｈは、例えば、ＮＭＯＳトランジスタ４２のしきい値電圧Ｖｔｈが－１４．３Ｖの場合、－１０Ｖに設定される。Ｌレベルの電圧ＶＧ２Ｌは、例えば、－１５Ｖに設定される。駆動信号ＶＧ２のＨレベルの電圧ＶＧ２Ｈが印加された時に、ＮＭＯＳトランジスタ４２はオンとなり、低電位側のバイアス電圧Ｖ３にほぼ等しい電圧の制御信号ＶＤがバッファ回路４０のノード４３から出力される。尚、バッファ回路４０を構成するＰＭＯＳトランジスタ４１とＮＭＯＳトランジスタ４２が同時にオンした場合の貫通電流を避ける為、所謂、デッドタイムを設けて駆動信号ＶＧ１とＶＧ２は生成されるが、省略して、簡易的に示している。

【００２５】

下段は、ノーマリオン型トランジスタ１のオン／オフの状態を示す。ノーマリオン型トランジスタ１がＮチャンネル型ＧａＮトランジスタの場合を示す。ノーマリオン型トランジスタ１は、バッファ回路４０のＰＭＯＳトランジスタ４１がオンとなるタイミングｔ３～ｔ４の期間Ｔ１でオンとなり、バッファ回路４０のＮＭＯＳトランジスタ４２がオンとなる、タイミングｔ４～ｔ５の期間Ｔ２においてオフとなる。タイミングｔ２においてイネーブル信号ＥＮ１をＬレベルの電圧ＥＮ１Ｌにすることで、ノーマリオフ型トランジスタ２はオフとなり、ノーマリオン型トランジスタ１のオン／オフがバッファ回路４０からの制御信号ＶＤにより制御することが出来ないディスエーブル状態になる。電圧ＥＮ１Ｌは、例えば、接地電位である。

【００２６】
ノーマリオン型トランジスタ１のゲートに印加される制御信号ＶＤの電圧は、バッファ回路４０の高電位側のバイアス電圧Ｖ２と低電位側のバイアス電圧Ｖ３によって調整することが出来る。電源部３０によってバッファ回路４０の高電位側のバイアス電圧Ｖ２と低電位側のバイアス電圧Ｖ３を適切に調整することによってノーマリオン型トランジスタ１のゲート・ソース間電圧V_{GS}を適正に制御して、特性を劣化させることなくノーマリオン型トランジスタ１を駆動することが出来る。
【００２７】
図４は、ノーマリオン型トランジスタの駆動方法における電圧設定とその効果を説明する為の図である。既述した第１の実施形態における電圧設定において用いることが出来、図３における期間Ｔ１、Ｔ２に対応する。破線１０１は、端子８１の電圧Ｖ１、すなわち、０Ｖの接地電位を示す。破線１０２は、バッファ回路４０の高電位側のバイアス電圧Ｖ２を示す。破線１０３は、ノーマリオン型トランジスタ１のしきい値電圧Ｖｔｈを示す。破線１０４は、バッファ回路４０の低電位側のバイアス電圧Ｖ３を示す。実線１１０は、制御信号ＶＤを示す。ノーマリオフ型トランジスタ２のオン抵抗を無視した場合、電圧Ｖ１は、ノーマリオン型トランジスタ１のソース電圧に相当する。
【００２８】
ノーマリオン型トランジスタ１をオンさせる期間Ｔ１においてバッファ回路４０のＰＭＯＳトランジスタ４１がオンすると、バッファ回路４０のノード４３から高電位側のバイアス電圧Ｖ２に相当する電圧の制御信号ＶＤが出力される。制御信号ＶＤは、配線１Ｂを介してノーマリオン型トランジスタ１のゲートに供給される。
【００２９】
ノーマリオン型トランジスタ１を個別の半導体チップ１Ａで構成した場合には、バッファ回路４０のノード４３とノーマリオン型トランジスタ１のゲートを接続する配線１Ｂのインダクタンスが大きくなる場合がある。この為、配線１Ｂのインダクタンスによってリンギングが生じ、制御信号ＶＤの電圧が変動する。リンギングによる制御信号ＶＤの変動を想定してバッファ回路４０の高電位側のバイアス電圧Ｖ２を設定する。例えば、リンギングによる制御信号ＶＤの電圧変動が２Ｖより小さい場合には、高電位側のバイアス電圧Ｖ２を電圧Ｖ１、すなわち、接地電位０Ｖよりも２Ｖ低い、－２Ｖに設定する。これにより、ノーマリオン型トランジスタ１のゲート・ソース間電圧V_{GS}が０Ｖよりも高くなることを回避することが出来る。
【００３０】
同様に、ノーマリオン型トランジスタ１をオフさせる期間Ｔ２において、バッファ回路４０のＮＭＯＳトランジスタ４２がオンすると、バッファ回路４０のノード４３から低電位側のバイアス電圧Ｖ３に相当する電圧の制御信号ＶＤが出力される。バイアス電圧Ｖ３は、しきい値電圧Ｖｔｈよりも低い電圧に設定し、配線１Ｂのインダクタンスに起因するリンギングが生じた場合でも制御信号ＶＤがしきい値電圧Ｖｔｈよりも高くならない様に設定する。係る調整によって、ノーマリオン型トランジスタ１を確実にオフさせることが出来る。
【００３１】
電源部３０によってバッファ回路４０の高電位側のバイアス電圧Ｖ２と低電位側のバイアス電圧Ｖ３を調整し、バッファ回路４０がノーマリオン型トランジスタ１のゲートに供給する制御信号ＶＤの電圧を適切に調整することが出来る為、特性の劣化が回避できる状態でノーマリオン型トランジスタ１をオンさせ、また、ノーマリオン型トランジスタ１を確実にオフさせることが出来る。
【００３２】
（第２の実施形態）
図５は、第２の実施形態のノーマリオン型トランジスタの駆動回路を示す図である。既述した実施形態に対応する構成には、同一符号を付し、重複した記載は必要な場合にのみ行う。本実施形態は、直流の入力電圧Ｖｉｎが印加される端子８３にドレインが接続され

たノーマリオン型トランジスタ３を有する。ノーマリオン型トランジスタ３のソースは、ノーマリオフ型トランジスタ４のドレインに接続される。ノーマリオフ型トランジスタ４のソースはノード８４に接続される。ノーマリオン型トランジスタ３とノーマリオフ型トランジスタ４の主電流路であるソース・ドレイン路は直列に接続され、カスコード接続を構成する。ノーマリオン型トランジスタ３は、例えば、Ｎチャンネル型のＧａＮトランジスタであり、個別の半導体チップ３Ａで構成される。ノーマリオフ型トランジスタ４は、例えば、Ｓｉを材料とするＮチャネル型ＭＯＳトランジスタで構成される。

【００３３】

本実施形態は、ノード８４と接地端８５との間に主電流であるソース・ドレイン路が直列に接続され、カスコード接続を構成するノーマリオン型トランジスタ５とノーマリオフ型トランジスタ６を有する。ノーマリオン型トランジスタ５は、例えば、Ｎチャンネル型のＧａＮトランジスタであり、個別の半導体チップ５Ａで構成される。ノーマリオフ型トランジスタ５は、例えば、Ｓｉを材料とするＮＭＯＳトランジスタで構成される。

【００３４】

ノード８４には、インダクタ８６の一端が接続され、インダクタ８６の他端は、出力端子８８に接続される。平滑コンデンサ８７の一端は出力端子８８に接続され、他端は接地される。出力端子８８の出力電圧Ｖｏｕｔは、負荷８９に供給される。

【００３５】

本実施形態は、制御部１０、駆動部２０、電源部３０、及び、バッファ回路６０と７０を有する。制御部１０には、出力電圧Ｖｏｕｔの帰還電圧が供給される。制御部１０は、例えば、ＰＷＭ制御部（図示せず）を備える。制御部１０は、出力電圧Ｖｏｕｔの帰還電圧と所定の参照電圧（図示せず）を比較し、その比較結果に応じて駆動部２０がバッファ回路６０、７０に供給する駆動信号ＶＧ１１、ＶＧ１２、ＶＧ２１、ＶＧ２２のパルス幅を制御するＰＷＭ制御を行う。本実施形態は、直流の入力電圧Ｖｉｎを所望の直流の出力電圧Ｖｏｕｔに変換するＤＣ／ＤＣコンバータを構成する。

【００３６】

電源部３０は、バッファ回路６０の高電位側にバイアス電圧Ｖ１１を供給し、低電位側にバイアス電圧Ｖ１２を供給する。また、電源部３０は、バッファ回路７０の高電位側にバイアス電圧Ｖ２１を供給し、低電位側にバイアス電圧Ｖ２２を供給する。電源部３０は、接地端８５の電圧Ｖ１、及び、ノード８４の電圧Ｖ０に基づいてバイアス電圧Ｖ１１、Ｖ１２、Ｖ２１、Ｖ２２を出力する。

【００３７】

駆動部２０は、電源部３０から供給される電圧に基づいて、バッファ回路６０、７０に供給する駆動信号ＶＧ１１、ＶＧ１２、ＶＧ２１、ＶＧ２２、および、ノーマリオフ型トランジスタ４、６に供給するイネーブル信号ＥＮ１１、ＥＮ２１を出力する。

【００３８】

バッファ回路６０は、配線３Ｂを介して制御信号ＶＤ１をノーマリオン型トランジスタ３のゲートに供給する。バッファ回路７０は、配線５Ｂを介して制御信号ＶＤ２をノーマリオン型トランジスタ５のゲートに供給する。

【００３９】

図６を用いて、第２の実施形態のノーマリオン型トランジスタの駆動方法を説明する。上段は、駆動部２０がノーマリオフ型トランジスタ４のゲートに供給するイネーブル信号ＥＮ１１を示す。駆動部２０は、タイミングｔ１１においてイネーブル信号ＥＮ１１をＨレベルの電圧ＥＮ１１Ｈにして、ノーマリオフ型トランジスタ４をオンにする。駆動部２０は、電源部３０から供給される電圧に基づき電圧ＥＮ１１Ｈを、例えば、（Ｖ０＋５Ｖ）に設定し、Ｌレベルの電圧ＥＮ１１Ｌを、例えば、ノード８４の電圧Ｖ０に設定して出力する。

【００４０】

次段は、バッファ回路６０のＰＭＯＳトランジスタ６１のゲートに供給される駆動信号ＶＧ１１を示す。駆動部２０は、電源部３０から供給されるバイアス電圧Ｖ１１とノード

８４の電圧Ｖ０に基づき、Ｈレベルの電圧ＶＧ１１ＨとＬレベルの電圧ＶＧ１１Ｌを設定する。例えば、既述した第１の実施形態の駆動信号ＶＧ１より電圧Ｖ０分だけ高い電圧に設定する。駆動信号ＶＧ１１のＬレベルの電圧ＶＧ１１Ｌが印加された時にＰＭＯＳトランジスタ６１はオンとなり、高電位側のバイアス電圧Ｖ１１にほぼ等しい電圧の制御信号ＶＤ１が、バッファ回路６０の出力端６３から出力される。

【００４１】

次段は、バッファ回路６０のＮＭＯＳトランジスタ６２のゲートに供給される駆動信号ＶＧ１２を示す。駆動部２０は、電源部３０から供給されるバイアス電圧Ｖ１２とノード８４の電圧Ｖ０に基づきＨレベルの電圧ＶＧ１２ＨとＬレベルの電圧ＶＧ１２Ｌを設定する。例えば、既述した第１の実施形態の駆動信号ＶＧ２より電圧Ｖ０分だけ高い電圧に設定する。駆動信号ＶＧ１２のＨレベルの電圧ＶＧ１２Ｈが印加された時に、ＮＭＯＳトランジスタ６２はオンとなり、低電位側のバイアス電圧Ｖ１２にほぼ等しい電圧の制御信号ＶＤ１が、バッファ回路６０の出力端６３から出力される。

【００４２】

次段は、ノーマリオン型トランジスタ３のオン／オフの状態を示す。ノーマリオン型トランジスタ３は、バッファ回路６０の上段側のＰＭＯＳトランジスタ６１がオンとなるタイミングｔ１３～ｔ１４の期間Ｔ３でオンとなり、バッファ回路６０の下段側のＮＭＯＳトランジスタ６２がオンとなるタイミングｔ１４～ｔ１５の期間Ｔ４においてオフとなる。

【００４３】

次段は、ノーマリオフ型トランジスタ６のゲートに印加されるイネーブル信号ＥＮ２１を示す。イネーブル信号ＥＮ２１は、タイミングｔ１１においてＨレベルの電圧ＥＮ２１Ｈとなり、ノーマリオフ型トランジスタ６をオンさせる。

【００４４】

次段は、バッファ回路７０のＰＭＯＳトランジスタ７１のゲートに供給される駆動信号ＶＧ２１を示す。駆動信号ＶＧ２１のＬレベルの電圧ＶＧ２１Ｌが印加された時に、ＰＭＯＳトランジスタ６１はオンとなり、高電位側のバイアス電圧Ｖ２１にほぼ等しい電圧の制御信号ＶＤ２がバッファ回路７０の出力端７３から出力される。

【００４５】

次段は、バッファ回路７０のＮＭＯＳトランジスタ７２のゲートに供給される駆動信号ＶＧ２２を示す。駆動信号ＶＧ２２のＨレベルの電圧ＶＧ２２Ｈが印加された時に、ＮＭＯＳトランジスタ７２はオンとなり、低電位側のバイアス電圧Ｖ２２にほぼ等しい電圧の制御信号ＶＤ２が、バッファ回路７０の出力端７３から出力される。

【００４６】

イネーブル信号ＥＮ２１、駆動信号ＶＧ２１、ＶＧ２２のＨレベル、Ｌレベルの電圧は、既述した実施形態１のイネーブル信号ＥＮ１、駆動信号ＶＧ１、ＶＧ２の電圧と同様に設定することが出来る。

【００４７】

下段は、ノーマリオン型トランジスタ５のオン／オフの状態を示す。ノーマリオン型トランジスタ５がＮチャンネル型ＧａＮトランジスタの場合を示す。ノーマリオン型トランジスタ５は、バッファ回路７０の下段側のＮＭＯＳトランジスタ７２がオンとなるタイミングｔ１３～ｔ１４の期間Ｔ３でオフとなり、バッファ回路７０の上段側のＰＭＯＳトランジスタ７１がオンとなるタイミングｔ１４～ｔ１５の期間Ｔ４においてオンとなる。

【００４８】

ノーマリオン型トランジスタ３のゲートに印加される制御信号ＶＤ１の電圧は、バッファ回路６０の高電位側のバイアス電圧Ｖ１１と低電位側のバイアス電圧Ｖ１２によって調整することが出来る。この為、ノーマリオン型トランジスタ３のゲート・ソース間電圧ＶＧＳを制御することが出来る。これにより、ノーマリオン型トランジスタ３をオンさせる時に、バッファ回路６０から供給される制御信号ＶＤ１によってノーマリオン型トランジスタ３のゲート電圧がソース電圧よりも高くなることを回避し、ノーマリオン型トランジスタ３のしきい値の変動による特性の劣化を防ぐことが出来る。また、ノーマリオン型ト

ランジスタ３をオフさせる時にバッファ回路６０から供給される制御信号ＶＤ１の電圧を調整することによってノーマリオン型トランジスタ３のゲート・ソース間電圧ＶＧＳが、リンギングによって変動した場合でもノーマリオン型トランジスタ３のゲート電圧がしきい値電圧Ｖｔｈよりも高い電圧になることを回避して、ノーマリオン型トランジスタ３を確実にオフさせることが出来る。

【００４９】

ノーマリオン型トランジスタ５のオン／オフの制御についても同様に、バッファ回路７０のバイアス電圧Ｖ２１、Ｖ２２を調整することによって、ノーマリオン型トランジスタ５のしきい値電圧Ｖｔｈの変動を回避し、また、ノーマリオン型トランジスタ５を確実にオフさせる制御を行うことが出来る。

【００５０】

本実施形態によれば、ノーマリオン型トランジスタ３、５のゲートに制御信号ＶＤ１、ＶＤ２を供給するバッファ回路６０、７０のバイアス電圧Ｖ１１、Ｖ１２、Ｖ２１、Ｖ２２を供給する電源部３０を備える。電源部３０により、バイアス電圧Ｖ１１、Ｖ１２、Ｖ２１、Ｖ２２を任意に調整することが出来る為、ノーマリオン型トランジスタ３、５をオン／オフさせる時のゲート・ソース間電圧ＶＧＳの制御が可能となる。これにより、ノーマリオン型トランジスタ３、５をオンさせる時のゲート・ソース間電圧ＶＧＳが正になる状態を回避し、しきい値電圧Ｖｔｈの変動による特性の劣化を防ぐことが出来る。また、ノーマリオン型トランジスタ３、５をオフさせる時のゲート・ソース間電圧ＶＧＳがしきい値電圧Ｖｔｈより高くなる状態を回避して、ノーマリオン型トランジスタ３、５を確実にオフさせることが出来る。

【００５１】

尚、バッファ回路４０、６０、７０に供給するバイアス電圧の設定は、ノーマリオフ型トランジスタ２、４、６のオン抵抗を考慮して設定してもよい。ノーマリオフ型トランジスタ２、４、６のオン抵抗が高い場合には、ノーマリオン型トランジスタ１、３、５のソース電圧が基準となる電圧、すなわち、接地電位、あるいはノード８４の電圧Ｖ０に対して高い電圧となる。従って、バッファ回路４０、７０の高電位側のバイアス電圧Ｖ２、Ｖ２１をノーマリオフ型トランジスタ２、６のソース電圧、すなわち、接地電位より高くし、あるいは、バッファ回路６０の高電位側のバイアス電圧Ｖ１１をノード８４の電圧Ｖ０よりも高い電圧に設定した場合でも、ノーマリオン型トランジスタ１、３、５をオンする際に印加される制御信号ＶＤ、ＶＤ１、ＶＤ２の電圧を調整することによって、ノーマリオン型トランジスタ１、３、５のゲート電圧がソース電圧よりも高くなる状態を回避することができる。バッファ回路４０、７０の高電位側のバイアス電圧Ｖ２、Ｖ２１を高くすることで、ノーマリオン型トランジスタ１、３、５をオンさせる時にゲートに供給される制御信号ＶＤ、ＶＤ１、ＶＤ２の電圧を高くすることが出来る為、ノーマリオン型トランジスタ１、３、５の駆動能力を高めることが出来る。

【００５２】

なお、以下の付記に記載されているようなノーマリオン型トランジスタを駆動する駆動回路及び駆動方法が考えられる。

【００５３】

（付記１）

前記バッファ回路は、ＣＭＯＳ回路で構成されることを特徴とする請求項１に記載のノーマリオン型トランジスタの駆動回路。

【００５４】

（付記２）

前記ノーマリオン型トランジスタは、個別の半導体チップで構成されることを特徴とする請求項１に記載のノーマリオン型トランジスタの駆動回路。

【００５５】

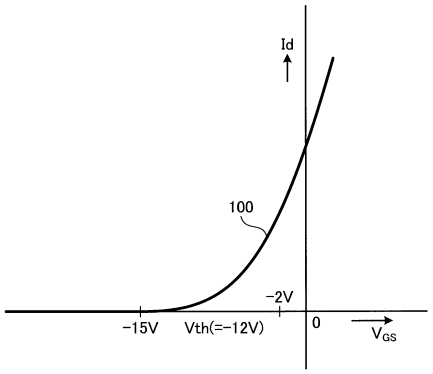
（付記３）

前記第２の電圧は、前記ノーマリオン型トランジスタのしきい値電圧よりも低い電圧に

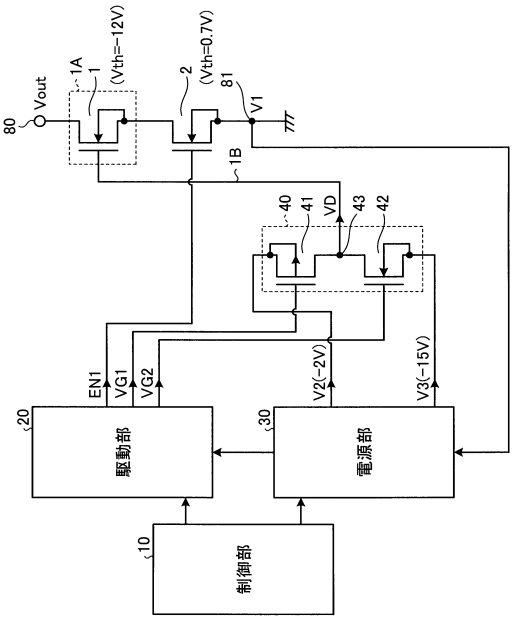
設定されることを特徴とする請求項１に記載のノーマリオン型トランジスタの駆動回路。
【００５６】
（付記４）
前記駆動部は、前記ノーマリオフ型トランジスタのオン／オフを制御する制御信号を、前記ノーマリオフ型トランジスタのゲートに供給することを特徴とする請求項２に記載のノーマリオン型トランジスタの駆動回路。
【００５７】
（付記５）
前記ＧａＮトランジスタはＮチャンネル型ＭＯＳトランジスタであることを特徴とする請求項４に記載のノーマリオン型トランジスタの駆動回路。
【００５８】
（付記６）
前記第１の電圧は、前記ノーマリオフ型トランジスタのソース電圧よりも高い電圧に設定されることを特徴とする請求項１に記載のノーマリオン型トランジスタの駆動回路。
【００５９】
（付記７）
前記ノーマリオン型トランジスタはＧａＮトランジスタであることを特徴とする請求項６に記載のノーマリオン型トランジスタの駆動方法。
【００６０】
本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。
【符号の説明】
【００６１】
１、３、５　ノーマリオン型トランジスタ、２、４、６　ノーマリオフ型トランジスタ、１０　制御部、２０　駆動部、３０　電源部、４０、６０、７０　バッファ回路。

【図面】

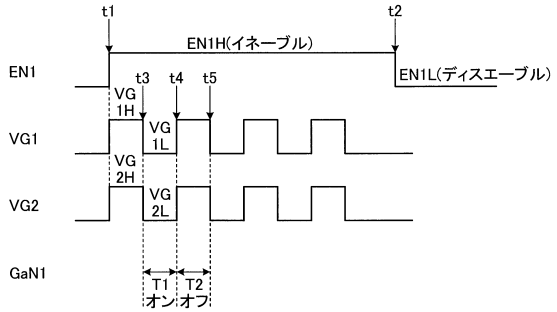
【図１】


Id
100
−2V
−15V
Vth(=−12V)
0
VGS

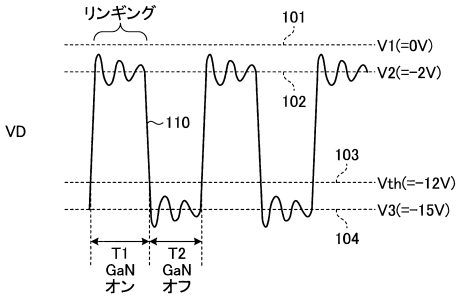
【図２】


80
Vout
1A
1
(Vth=−12V)
2
(Vth=0.7V)
81
V1
1B
40
41
VD
43
42
EN1
VG1
VG2
V2(−2V)
V3(−15V)
20
駆動部
30
電源部
10
制御部

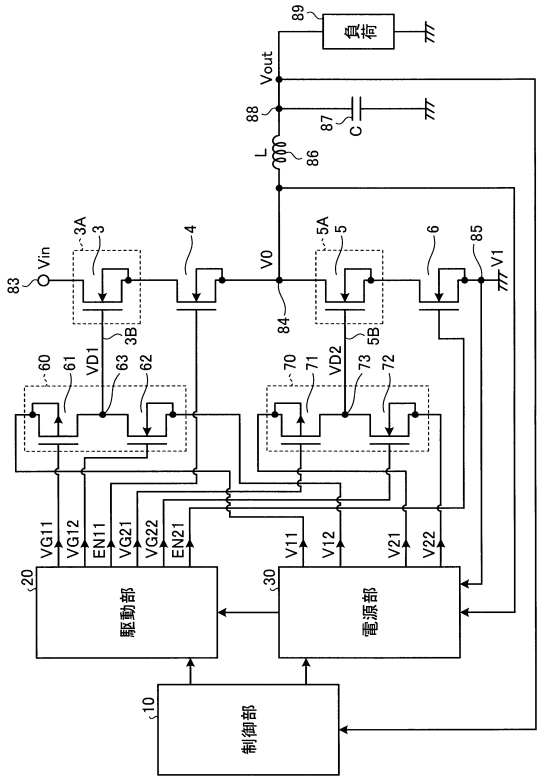
【図３】


t1
t2
EN1H(イネーブル)
EN1
EN1L(ディスエーブル)
t3
t4
t5
VG 1H
VG 1L
VG1
VG 2H
VG 2L
VG2
GaN1
T1 オン
T2 オフ

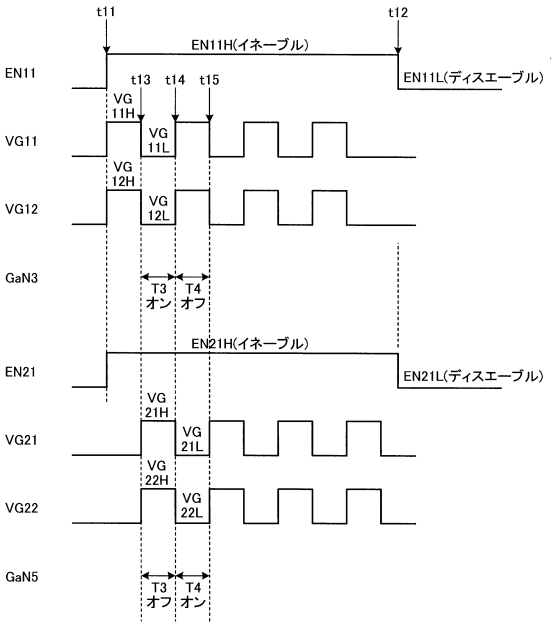
【図４】


リンギング
101
V1(=0V)
V2(=−2V)
102
VD
110
103
Vth(=−12V)
V3(=−15V)
104
T1 GaN オン
T2 GaN オフ

【図５】


89
負荷
Vout
88
87
C
L
86
3A
3
4
5A
5
6
85
Vin
83
V0
84
V1
3B
5B
60
61
VD1
63
62
70
71
VD2
73
72
VG11
VG12
EN11
VG21
VG22
EN21
V11
V12
V21
V22
20
駆動部
30
電源部
10
制御部

【図６】


t11
t12
EN11H(イネーブル)
EN11
EN11L(ディスエーブル)
t13
t14
t15
VG 11H
VG 11L
VG11
VG 12H
VG 12L
VG12
GaN3
T3 オン
T4 オフ
EN21H(イネーブル)
EN21
EN21L(ディスエーブル)
VG 21H
VG 21L
VG21
VG 22H
VG 22L
VG22
GaN5
T3 オフ
T4 オン

フロントページの続き

(56)参考文献　　米国特許出願公開第２０１７／００４７８４１（ＵＳ，Ａ１）
特表２０１６－５４０４７７（ＪＰ，Ａ）

(58)調査した分野　(Int.Cl.，ＤＢ名)
Ｈ０２Ｍ　１／０８
Ｈ０３Ｋ　１７／０６
Ｈ０３Ｋ　１７／６９５
Ｈ０３Ｋ　１７／６８７