

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/762 (2006.01)

H01L 27/02 (2006.01)



[12] 发明专利说明书

专利号 ZL 200610154201.2

[45] 授权公告日 2009 年 6 月 17 日

[11] 授权公告号 CN 100501968C

[22] 申请日 2006.9.13

[21] 申请号 200610154201.2

[30] 优先权

[32] 2005.12.29 [33] US [31] 11/321,206

[73] 专利权人 艾格瑞系统有限公司

地址 美国宾夕法尼亚

[72] 发明人 阿鲁纳·纳恩达 纳斯·罗西

拉恩伯·赛恩

[56] 参考文献

US6187651B1 2001.2.13

US6319794B1 2001.11.20

US2001/0015046A1 2001.8.23

CN1239821A 1999.12.29

审查员 张 弘

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

代理人 王永刚

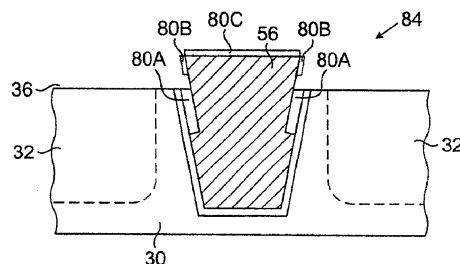
权利要求书 2 页 说明书 7 页 附图 4 页

[54] 发明名称

增强的浅沟槽隔离结构及其制作方法

[57] 摘要

一种半导体衬底中的浅沟槽隔离结构以及一种用来形成此浅沟槽隔离结构的方法，此浅沟槽隔离结构具有安置在沟槽填充材料的空洞中的介质材料。在介质材料被形成在沟槽中之后的清洗工艺过程中，可能形成这种空洞。共形氮化硅层被形成在衬底上和空洞内。在清除氮化硅层之后，这些空洞至少部分地被氮化硅材料填充。



1. 一种用来形成浅沟槽隔离结构的方法，包括：

在半导体层中形成窗口；

在所述窗口中和在所述半导体层上淀积介质材料；

清除一部分介质材料以形成隔离结构，所述隔离结构具有至少一个空洞，所述空洞位于所述半导体层和所述隔离结构之间；

淀积共形材料覆盖所述隔离结构和所述半导体层，其中所述至少一个空洞被所述共形材料填充；以及

从所述半导体层清除共形材料，并从所述隔离结构清除一部分共形材料，从而在所述清除共形材料的步骤之后，所述至少一个空洞保持被填充，并且所述共形材料的残留物保留在所述半导体层的上部表面上延伸的所述隔离结构的至少一侧上。

2. 根据权利要求 1 的方法，其中，所述清除共形材料的步骤包括：

使用氮化物腐蚀和过腐蚀工艺来腐蚀共形材料，使得在所述清除共形材料的步骤之后，一部分共形材料保留在所述隔离材料上。

3. 根据权利要求 2 的方法，其中，在窗口中淀积介质材料的步骤包括在窗口的侧壁附近淀积低密度介质材料，随后在窗口的剩余区域中淀积高密度介质材料，并且其中，空洞可能被形成在高密度介质材料与低密度介质材料的界面附近。

4. 根据权利要求 2 的方法，其中，在窗口中淀积介质材料的步骤包括：

淀积邻近窗口的侧壁的二氧化硅衬里；

淀积邻近衬里的低密度不掺杂硅酸盐玻璃材料；以及

在窗口的剩余区域内，淀积高密度不掺杂硅酸盐玻璃材料，其中，空洞可能被形成在低密度不掺杂硅酸盐玻璃材料与高密度不掺杂硅酸盐玻璃材料的界面附近。

5. 根据权利要求 2 的方法，其中，淀积共形材料的步骤还包括

在半导体层的上部表面上延伸的介质材料的侧壁上淀积共形材料。

6. 根据权利要求 2 的方法, 其中, 淀积共形材料的步骤包括淀积氮化硅、氧氮化硅、或碳化硅。

7. 根据权利要求 2 的方法, 其中, 形成窗口的步骤包括:

形成第一材料层覆盖所述半导体层;

形成穿过第一材料层的窗口; 以及

清除通过所述窗口而暴露的半导体层材料以在所述半导体层中形成窗口。

8. 一种集成电路结构, 包括:

半导体层;

形成在所述半导体层中的器件隔离结构, 所述器件隔离结构包括设置在所述半导体层中的沟槽内的第一介质材料, 其中, 在邻近所述沟槽的侧壁的第一介质材料中可能存在空洞; 以及

空洞内的第二介质材料和位于在所述半导体层上延伸的器件隔离结构的一侧上的第二介质材料的残留物。

9. 根据权利要求 8 的集成电路结构, 其中, 第二电介质材料包括氮化硅、氧氮化硅、或碳化硅。

10. 根据权利要求 8 的集成电路结构, 其中, 第一介质材料的上部区域包括上部表面, 且其中, 第二介质材料被设置在所述上部表面上。

增强的浅沟槽隔离结构及其制作方法

技术领域

本发明一般涉及到集成电路，更确切地说是涉及到在集成电路内制作浅沟槽隔离（STI）结构的方法以及根据此方法制作的浅沟槽隔离结构。

背景技术

集成电路通常包含半导体衬底以及衬底内诸如包含掺杂区的晶体管之类的半导体器件。互连结构位于半导体衬底上，用来电连接各掺杂区以便形成电学器件和电路。常规的互连结构包含与导电层交替的介质层。介质层中基本上垂直的导电通道或栓塞对导电层中基本上水平的各导电轨线进行连接。

CMOS 器件（互补金属氧化物半导体场效应晶体管）包含形成在相反地掺杂的相邻阱中的 n 沟道和 p 沟道金属氧化物半导体场效应晶体管（MOSFET）。各 MOSFET 还包含被沟道分隔开的源区和漏区、形成在沟道上方的栅氧化物、以及形成在栅氧化物上的掺杂多晶硅的栅电极。适当的栅电压使沟道反转，从而允许电流在源区与漏区之间流动。

在集成电路衬底中，可能必须对某些掺杂区进行电隔离，以便避免由各掺杂区之间不希望有的相互作用所形成的寄生器件。例如，由 CMOS 器件的各个阱以及掺杂的源区/漏区形成了寄生的双极结构例如 p-n-p-n 闸流管。此闸流管在正常的 CMOS 工作条件下是不工作的（关断）。但在某些偏置条件下，p-n-p 区将基极电流馈送到 n-p-n 区，导致泄漏电流在 CMOS 器件的二个 MOSFET 之间流动，这能够引起 CMOS 器件闭锁。隔离结构通常被形成在相邻 MOSFET 之间的衬底内，以便防止此泄漏电流。

根据硅的局部氧化 (LOCOS) 工艺或根据浅沟槽隔离 (STI) 工艺形成的氧化物 (二氧化硅) 隔离区, 对各相邻晶体管 (或形成在集成电路中的其它器件) 的掺杂区进行电隔离, 以便尽可能减小泄漏电流, 从而降低上述寄生效应。

硅的局部氧化工艺在半导体衬底的非有源区 (场区) 内形成了凹陷的 LOCOS 隔离区。根据一种 LOCOS 工艺, 氮化硅层被淀积在衬底上, 并根据常规的掩蔽和腐蚀步骤而被图形化, 以便在氮化硅中形成暴露下方半导体衬底区的窗口。借助于通过窗口对暴露的半导体衬底进行氧化, 来形成各隔离的 LOCOS 区。在被氮化硅掩蔽的区域内不发生氧化。

STI 结构包含用来隔离各有源器件的介质填充的衬底沟槽 (深度约为 300nm)。STI 结构占据较小的衬底表面积且上部表面的形貌更平坦, 故浅沟槽隔离结构比 LOCOS 结构更为优越。占据面积的减小使电路设计者能够在集成电路的单位面积内包括更多的晶体管。对于形成尺寸适当的上方材料层以及精确的光刻图形化来说, 更为平坦的上部表面形貌是有好处的。

对尺寸小于大约 0.25 微米的器件特别有用的 STI 结构, 还由于形成在 STI 沟槽底部处的尖锐的角落产生了倾向于阻挡相邻掺杂区之间的泄漏电流的电压势垒而提供了优异的隔离。LOCOS 区通常存在倒圆了的角落, 因而可以有一些泄漏电流。

图 5-8 是沿一共同平面的剖面图 (未按比例绘制), 示出了用来在形成于晶片上的多个集成电路之一的衬底内形成浅沟槽隔离结构的现有技术各相继加工步骤。

图 5 中的半导体衬底 30 包含分隔开的各掺杂区。用其间的浅沟槽隔离结构将各掺杂区隔离开来, 是可取的。降低应力用的二氧化硅层 36 (也称为衬垫氧化物层 36) 被淀积或生长在衬底 30 的上部表面 37 上。接着, 氮化硅层 38 被淀积 (典型地根据低压化学气相淀积工艺) 在二氧化硅层 36 上。

根据已知的工艺, 光抗蚀剂层 40 被淀积、曝光、以及显影, 以

便在其中形成窗口 41。

通过窗口 41, 具有侧壁 47 的窗口 46 被形成在氮化硅层 38 和衬垫氧化物层 36 中。优选使用氧或诸如 C_2F_6 和/或 CHF_3 之类的含氟气体 (含氟气体对硅衬底 30 有选择性) 的等离子体腐蚀工艺, 来形成窗口 46。

光抗蚀剂层 40 被清除, 且晶片被清洗。利用作为掩模的窗口 46, 在通常包含使用溴化氢和氯的等离子体腐蚀干法腐蚀的腐蚀步骤中, 具有侧壁 49 的沟槽 48 (见图 6) 被形成在半导体衬底 30 中。

介质衬里 50 被形成或淀积在沟槽 48 中。

如图 7 所示, 借助于在沟槽 48 中淀积介质材料, 来形成 STI 结构 55。此材料淀积包含第一步骤, 其中, 密度比较低的介质材料 56A 被淀积在沟槽 48 内, 基本上邻接衬里膜 50。在第二淀积 (大块淀积) 步骤中, 足够的功率被馈送到淀积工作室来形成提高材料淀积速率 (以及工艺产率) 的高离子密度, 以便在沟槽 48 中形成高密度的介质材料 56B (例如不掺杂的硅酸盐玻璃)。典型地根据高密度等离子体不掺杂硅酸盐玻璃的淀积工艺 (HDP USG), 来执行后一个淀积。在另一实施方案中, 大气压化学气相淀积工艺 (APCVD) 可以被用来代替 HDP USG 工艺。为了淀积高密度 HDP USG 材料 56B, 在淀积工作室产生了约为每立方厘米 10^{11} - 10^{13} 离子的等离子体密度, 在淀积步骤中介质材料也被淀积在氮化硅层 38 的上部表面 59 上。化学机械抛光 (CMP) 步骤从上部表面 59 清除介质材料, 停止于氮化硅层 38。由于介质材料 (例如 HDP USG) 的 CMP 抛光速率大于氮化硅的 CMP 抛光速率, 故 STI 结构 55 的上部表面 60 被凹陷到氮化硅层 38 的上部表面 59 以下。

为了完成 STI 结构 55 的制作, 根据氢氟酸 (HF) 清洗工艺来清洗晶片, 用诸如 HF 湿法腐蚀之类的已知工艺, 氮化硅层 38 和衬垫氧化物层 36 被清除, 且最后再次清洗晶片。图 8 示出了在完成这些加工步骤之后的包括侧壁 62 的 STI 结构 55 的结构元件。为方便起见, 没有分别示出低密度介质材料 56A 和高密度介质材料 56B。

在清除氮化硅层 38 和衬垫氧化物层 36 的腐蚀工艺中, 空洞 70 (见图 8) 形成在低密度介质材料与高密度介质材料之间的界面处。

在栅多晶硅层的稍后淀积过程中, 不希望有的多晶硅析条(称为“缠绕”)可能形成在侧壁 62 周围和空洞 70 中。这些析条可以产生损害 STI 隔离功能的短路或泄漏电流路径, 使集成电路的性能降低, 导致可靠性问题和器件失效。希望有一种防止在界面处形成空洞的工艺方案。

在减小空洞 70 的宽度和深度(因而形成多晶硅析条的可能性)的努力方面, 已知要缩短在用来清除氮化硅层 38 和衬垫氧化物层 36 的湿法腐蚀工艺之后的清洗步骤(典型是氢氟酸清洗)的持续时间。但也已经知道较短的清洗可能使氮化物残留物和沾污存留在衬底 30 上, 有可能 STI 结构 55 和衬底 30 内引起不希望有的短路或泄漏电流。

发明内容

根据一个实施方案, 本发明包含一种用来在集成电路中形成浅沟槽隔离结构的方法。此方法包含提供半导体层、在半导体层中形成窗口、在窗口中淀积介质材料、在介质材料上方淀积共形材料、以及清除共形材料, 从而在清除共形材料的步骤之后, 可以被形成在介质材料中的空洞至少部分地被共形材料填充。

根据本发明的另一实施方案, 集成电路结构包含半导体层、形成在半导体层中的器件隔离结构, 此器件隔离结构包含排列在半导体层中沟槽内的第一介质材料以及空洞内的第二介质材料, 其中, 空洞可以存在于邻近沟槽侧壁的第一介质材料中。

附图说明

结合附图阅读本发明的下列详细描述, 能够更容易地理解本发明, 其优点和用途更加显而易见, 在这些附图中:

图 1-4 是衬底在根据本发明的技术来形成浅沟槽隔离结构的相继加工步骤中的剖面图。

图 5-8 是衬底在形成现有技术的浅沟槽隔离结构的相继加工步骤中的剖面图。

根据通常的做法，所述的各种器件特征不按比例绘制，而是被绘制成强调本发明有关的特定特征。在所有附图及文本中，相似的参考号表示相似的元件。

具体实施方式

在详细描述有关根据本发明的 STI 结构形成的具体方法和结构之前，应该理解本发明主要在于一种新颖的非显而易见的元件以及工艺步骤的组合。为了不使对本技术领域熟练人员来说显而易见的详细公开难于理解，某些常规的元件和步骤被较简单地提及，而附图和说明书更详细地描述了与理解本发明有关的其它元件和步骤。

下列描述不是为了限制本发明的结构或方法，而仅仅是用来提供示例性结构。这些实施方案是允许选择的而不是强制性的，是说明性的而不是详尽的。本发明包含用来制作 STI 结构的方法，此 STI 结构避免了与上述现有技术工艺相关的空洞 70 的不利影响。

图 1 示出了清除氮化硅层 38 之后的 STI 结构 55。根据本发明的技术，衬垫氧化物层 36 保留在衬底 30 上。

根据本发明，共形氮化硅层 80（厚度约为 50-100nm）被淀积在衬垫氧化物层 36 上，并用氮化硅区域 80A 填充空洞 70。见图 2。根据一个实施方案，用产生共形材料层的 LPCVD 工艺来淀积氮化硅层 80 用来填充空洞 70。其它产生共形介质材料层（例如氧氮化硅）的工艺可以被用来代替 LPCVD 工艺以填充空洞 70。例如，恰当地控制的 PECVD 工艺可以被用来淀积氮化硅的共形层。（典型地根据化学气相淀积工艺淀积的）共形碳化硅层，也可以被用来填充空洞 70。

用具有终点控制的常规满铺氮化物回腐蚀工艺，来腐蚀氮化硅层 80，此回腐蚀工艺在达及沟槽中的衬垫氧化物层 36 和介质材料 56 时终止。见图 2。如所示，氮化硅区域 80A 保留在空洞 70 中，至少部分地填充空洞 70。

在一个实施方案中，氮化物腐蚀包含一种二步骤工艺。在第一步骤中，氧和含氟气体（例如 C_2F_6 或 CF_4 ）的混合物以分别约为 5 SCCM 和 100 SCCM 的流速被馈送到等离子体腐蚀工作室。工作室的压力约为 100 毫毛，馈送到工作室的功率约为 450W。如本技术领域熟练人员所知，流速、压力、以及功率可以从给定的特定数值变化至少 10% 而不危及腐蚀结果。

接着，利用提供希望的选择性的聚合气体（例如大约 10 SCCM 的 CHF_3 ）、氢（大约 20 SCCM）、以及含氟气体（大约 10 SCCM）的混合物，执行对下方半导体衬底 30 有选择性的过腐蚀工艺。工作室的压力约为 100 毫毛，馈送到工作室的功率约为 300W。流速、压力、以及功率可以从给定的特定数值变化至少 10%。本技术领域熟练人员理解的是，其它的腐蚀工艺能够被用来腐蚀氮化硅层 80。用诸如 HF 湿法腐蚀之类的已知工艺来清除衬垫氧化物，并对晶片进行清洗（例如用 RCA 清洗工艺）。最终 STI 结构被示于图 4 中。

在其共形性质的条件下，氮化硅膜 80 不仅填充空洞 70，而且在回腐蚀之后，氮化硅区域 80B 保留在 STI 结构 84 的侧壁 62 上，在随后的加工中保护侧壁 62 免于剥落或损伤。

已知宽的 STI 结构容易受到用来从上部表面 59 清除二氧化硅的 CMP 工艺过程中的凹陷的影响。一种夸大了的凹陷被示于图 7 中。共形氮化硅层 80 的剩余部分 80C 覆盖着凹陷的区域，从而提供了较平坦的 STI 上部表面，在后续各材料层的光刻和淀积过程中，这是有利的。见图 4。

本发明的增强方法避免了导致 STI 结构中形成空洞以及可能引起形成有问题的较大空洞的随机工艺变化（诸如腐蚀速率）的常规制造工艺的影响。根据可重复且一致的工艺，本发明制造了没有空洞的 STI 结构。多晶硅桁条形成的可能性被显著地减小，器件的可靠性被显著地改善，器件的失效率因而被显著地降低。

一种结构和工艺已经被描述为可用来在半导体衬底中形成 STI 结构。已经示出并讨论了本发明的具体应用和示例性实施方案，提供

了以各种方式和各种电路结构来实施本发明的基础。在本发明的范围内，各种变化是可能的。与一个或多个所述实施方案相关的特征和元件，不要被认为是所有实施方案的必须元件。本发明仅仅受下列权利要求限制。

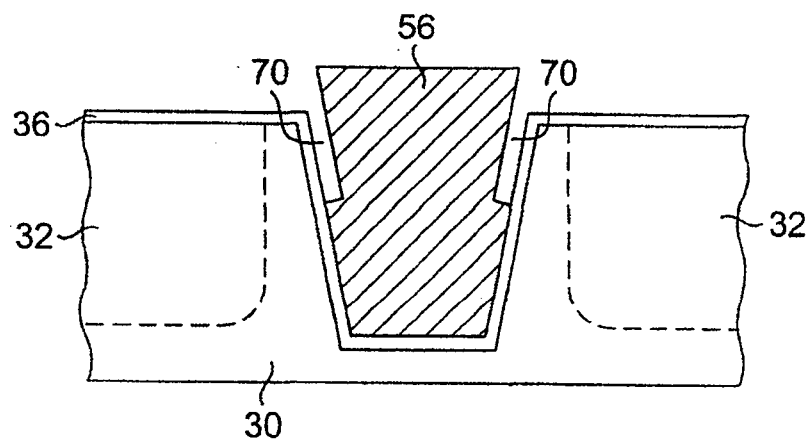


图1

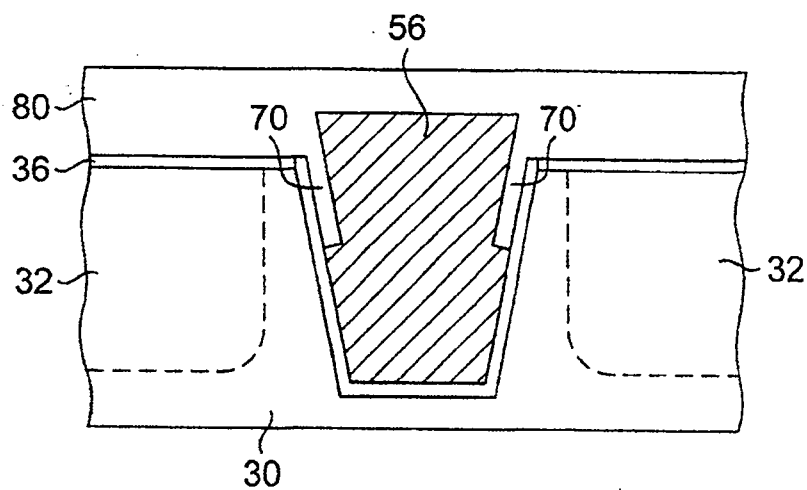


图2

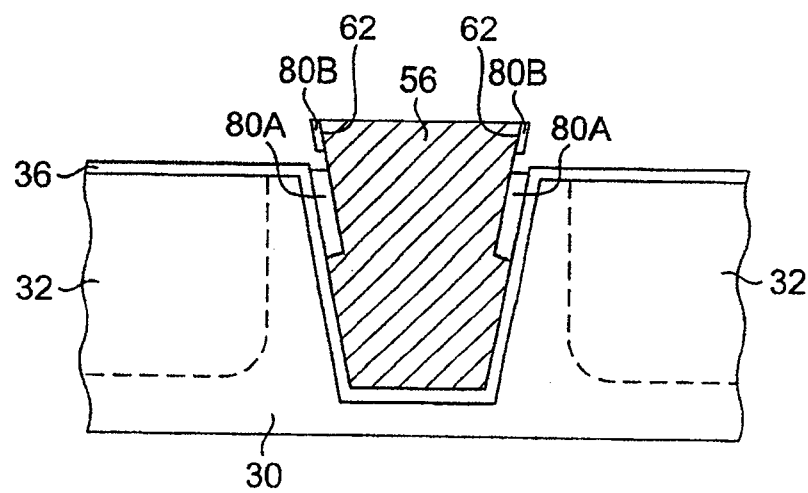


图 3

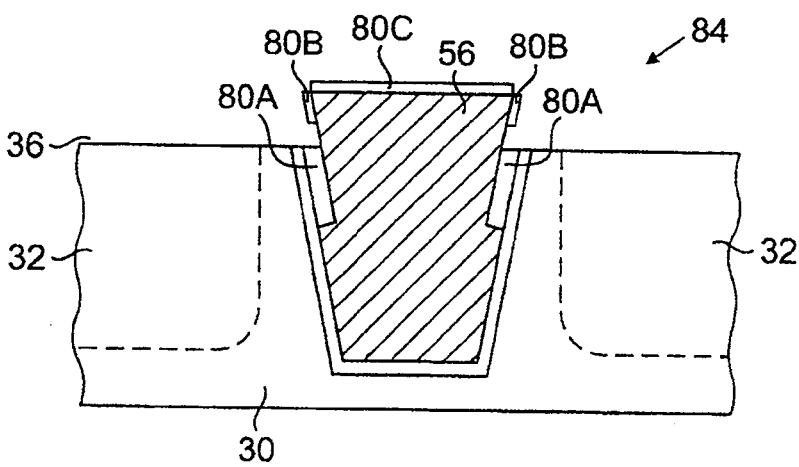


图 4

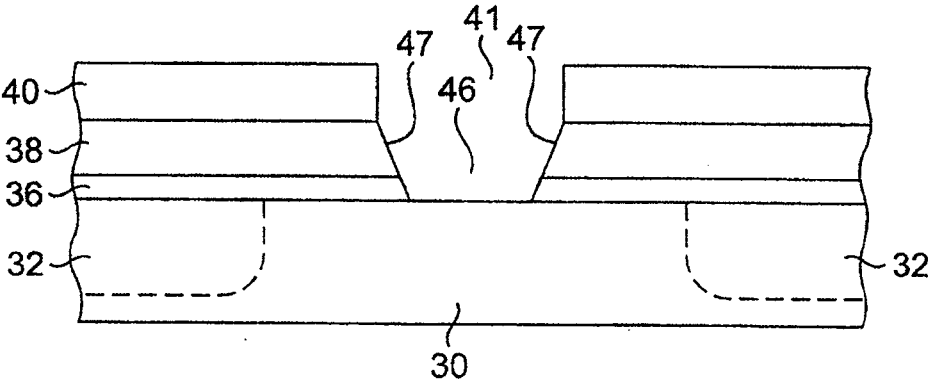


图5
(现有技术)

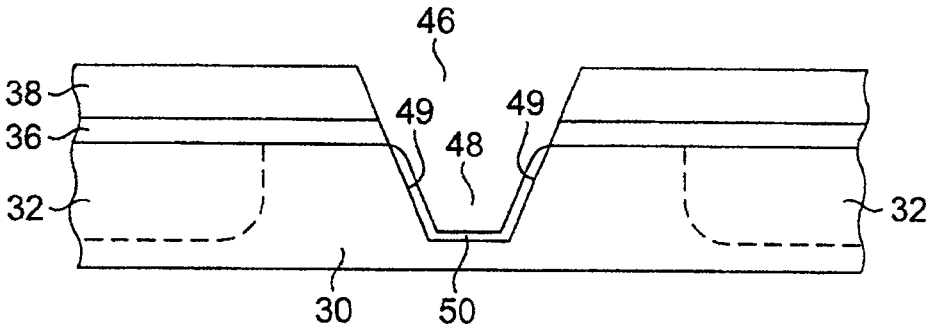


图6
(现有技术)

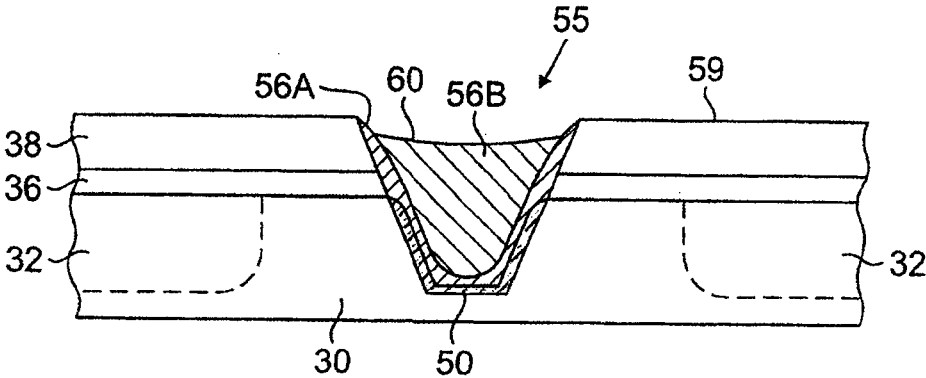


图7
(现有技术)

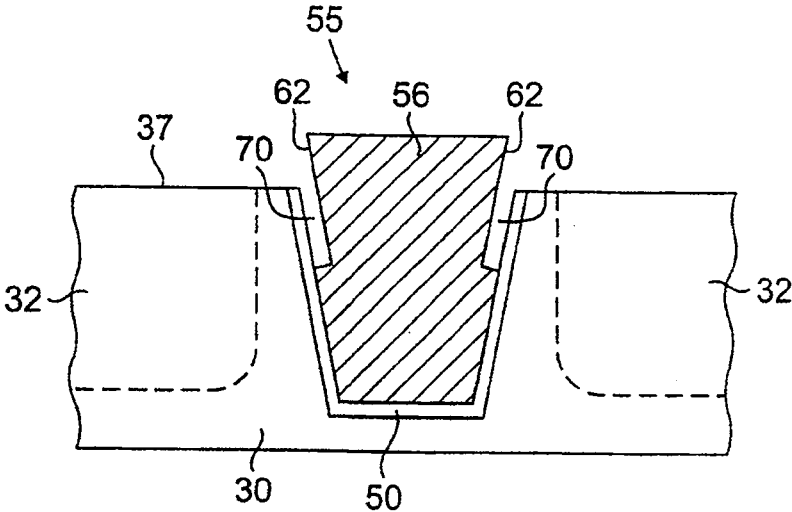


图8
(现有技术)