

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年1月20日(20.01.2022)



(10) 国際公開番号

WO 2022/013677 A1

(51) 国際特許分類:

G06G 7/60 (2006.01) *H01L 27/108* (2006.01)
G06F 7/523 (2006.01) *H01L 27/1156* (2017.01)
G06F 7/575 (2006.01) *H01L 21/336* (2006.01)
H01L 21/8234 (2006.01) *H01L 29/788* (2006.01)
H01L 27/06 (2006.01) *H01L 29/792* (2006.01)
H01L 27/088 (2006.01) *H01L 29/786* (2006.01)
H01L 21/8239 (2006.01) *G06F 17/10* (2006.01)
H01L 27/105 (2006.01) *G11C 11/405* (2006.01)
H01L 21/8242 (2006.01)

(30) 優先権データ:

特願 2020-122483 2020年7月17日(17.07.2020) JP
特願 2020-200722 2020年12月3日(03.12.2020) JP

(71) 出願人: 株式会社半導体エネルギー研究所
(SEMICONDUCTOR ENERGY LABORATORY
CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木
市長谷398 Kanagawa (JP).

(72) 発明者: 岡本 佑樹 (OKAMOTO, Yuki);
〒2430036 神奈川県厚木市長谷398 株式会
社半導体エネルギー研究所内 Kanagawa
(JP). 伊藤 港 (ITO, Minato); 〒2430036 神奈
川県厚木市長谷398 株式会社半導体エネ
ルギー研究所内 Kanagawa (JP). 上妻 宗広
(KOZUMA, Munchiro); 〒2430036 神奈川県厚

(21) 国際出願番号: PCT/IB2021/055989

(22) 国際出願日: 2021年7月5日(05.07.2021)

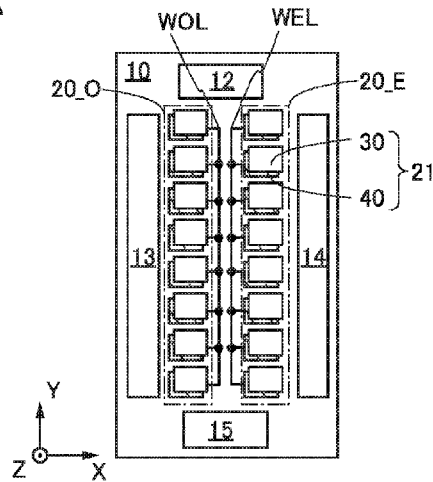
(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

図1A



(57) **Abstract:** Provided is a semiconductor device having a novel configuration. A first memory circuit part has a first memory circuit that holds a plurality of pieces of first weight data. A second memory circuit part has a second memory circuit that holds a plurality of pieces of second weight data. A first arithmetic circuit part has a first arithmetic circuit, a first switching circuit, and a third switching circuit. A second arithmetic circuit part has a second arithmetic circuit, a second switching circuit, and a fourth switching circuit. The first switching circuit has the function of providing one of the plurality of pieces of the first weight data to a first wire. The second switching circuit has the function of providing one of the plurality of pieces of the second weight data to a second wire. The third switching circuit has the function of providing to the first arithmetic circuit one from among the first weight data provided to the first wire and the second weight data

木市長谷 398 株式会社半導体エネルギー研究所内 Kanagawa (JP).

- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告(条約第21条(3))
- 一 白黒。出願原本にはカラー又はグレースケールの情報が含まれており、PATENTSCOPE からのダウンロードが可能。

provided to the second wire. The fourth switching circuit has the function of providing to the second arithmetic circuit one from among the first weight data provided to the first wire and the second weight data provided to the second wire.

(57) 要約: 新規な構成の半導体装置を提供すること。第1記憶回路部は、複数の第1重みデータを保持する第1記憶回路を有する。第2記憶回路部は、複数の第2重みデータを保持する第2記憶回路を有する。第1演算回路部は、第1演算回路と、第1切替回路と、第3切替回路と、を有する。第2演算回路部は、第2演算回路と、第2切替回路と、第4切替回路と、を有する。第1切替回路は、複数の第1重みデータのいずれかを第1配線に与える機能を有する。第2切替回路は、複数の第2重みデータのいずれかを第2配線に与える機能を有する。第3切替回路は、第1配線に与えられた第1重みデータ、または第2配線に与えられた第2重みデータ、のいずれかを第1演算回路に与える機能を有する。第4切替回路は、第1配線に与えられた第1重みデータ、または第2配線に与えられた第2重みデータ、のいずれかを第2演算回路に与える機能を有する。

明細書

発明の名称

半導体装置

技術分野

[0001]

本明細書は、半導体装置等について説明する。

[0002]

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する本発明の一態様の技術分野としては、半導体装置、撮像装置、表示装置、発光装置、蓄電装置、記憶装置、表示システム、電子機器、照明装置、入力装置、入出力装置、それらの駆動方法、又はそれらの製造方法、を一例として挙げることができる。

背景技術

[0003]

CPU (Central Processing Unit) 等を含む半導体装置を有する電子機器が普及している。このような電子機器では、大量のデータを高速に処理するため、半導体装置の性能向上に関する技術開発が活発である。高性能化を実現する技術としては、例えば、GPU (Graphics Processing Unit) 等のアクセラレータとCPUとを密結合させた、所謂SoC (System on Chip) 化がある。SoC化によって高性能化した半導体装置では、発熱、及び消費電力の増加が問題となってくる。

[0004]

AI (Artificial Intelligence) 技術では、パラメータ数が膨大になり、演算量が増大する。演算量の増大は、発熱、および消費電力を増加させる要因となるため、演算量を低減するためのアーキテクチャが盛んに提案されている。代表的なアーキテクチャとして、Binary Neural Network (BNN)、およびTernary Neural Network (TNN) があり、回路規模縮小、および低消費電力化に対して特に有効となる(例えば特許文献1を参照)。

[先行技術文献]

[特許文献]

[0005]

[特許文献1] 国際公開第2019/078924号

発明の概要

発明が解決しようとする課題

[0006]

AI技術では、演算処理の高速化が求められる。演算処理の高速化には、回路の集積化が有効である。重みデータ(重みパラメータ、フィルタなどともいう)と入力データとの演算処理を行う演算回路を、重みデータを記憶する記憶回路と集積化することで、AI技術による演算を集積回路で実現することができる。この場合、ビット線などの配線を介して重みデータなどの必要なデータを記憶回路から演算回路に読み出すことになる。記憶回路と演算回路とを電氣的に接続する経路では、重みデータなどのデータの読出しの頻度が多くなる。そのため、ビット線の充放電エネルギーが増加し、消費電力が増加する虞がある。

[0007]

特に畳み込み演算を行うニューラルネットワークでは、複数の演算回路で同じ重みデータを用いた演算処理を行う構成とすることができる。この場合、記憶回路と演算回路とを電氣的に接続する経路が増えるため、重みデータなどのデータの読出しを高速で行いたい場合に、配線の充放電を高速で行うことが難しくなる虞がある。そのため、演算処理速度の向上が難しくなる虞がある。

[0008]

ビット線の充放電エネルギーを低減するためには、ビット線を短くすることが有効である。しかしながら、演算回路と記憶回路を交互に並べて配置することになるため、周辺回路の面積が著しく増大する虞がある。

[0009]

本発明の一態様は、低消費電力化された半導体装置を提供することを課題の一とする。または、本発明の一態様は、演算処理速度の向上が図られた半導体装置を提供することを課題の一とする。または、本発明の一態様は、小型化された半導体装置を提供することを課題の一とする。または、新規な構成の半導体装置を提供することを課題の一とする。

[0010]

なお、本発明の一態様は、必ずしも上記の課題の全てを解決する必要はなく、少なくとも一の課題を解決できるものであればよい。また、上記の課題の記載は、他の課題の存在を妨げるものではない。これら以外の課題は、明細書、特許請求の範囲、図面などの記載から、自ずと明らかとなるものであり、明細書、特許請求の範囲、図面などの記載から、これら以外の課題を抽出することが可能である。

課題を解決するための手段

[0011]

本発明の一態様は、第1記憶回路部と、第1演算回路部と、を有する第1演算ブロックと、第2記憶回路部と、第2演算回路部と、を有する第2演算ブロックと、第1配線と、第2配線と、を有し、第1記憶回路部は、複数の第1重みデータを保持する第1記憶回路を有し、第2記憶回路部は、複数の第2重みデータを保持する第2記憶回路を有し、第1演算回路部は、第1演算回路と、第1切替回路と、第3切替回路と、を有し、第2演算回路部は、第2演算回路と、第2切替回路と、第4切替回路と、を有し、第1切替回路は、複数の第1重みデータのいずれかを第1配線に与える機能を有し、第2切替回路は、複数の第2重みデータのいずれかを第2配線に与える機能を有し、第3切替回路は、第1配線に与えられた第1重みデータ、または第2配線に与えられた第2重みデータ、のいずれかを第1演算回路に与える機能を有し、第4切替回路は、第1配線に与えられた第1重みデータ、または第2配線に与えられた第2重みデータ、のいずれかを第2演算回路に与える機能を有する、半導体装置である。

[0012]

本発明の一態様は、第1記憶回路部と、第1演算回路部と、を有する第1演算ブロックと、第2記憶回路部と、第2演算回路部と、を有する第2演算ブロックと、第1配線と、第2配線と、を有し、第1記憶回路部は、複数の第1重みデータを保持する第1記憶回路を有し、第2記憶回路部は、複数の第2重みデータを保持する第2記憶回路を有し、第1演算回路部は、第1演算回路と、第1切替回路と、第3切替回路と、を有し、第2演算回路部は、第2演算回路と、第2切替回路と、第4切替回路と、を有し、第1切替回路は、複数の第1重みデータのいずれかを第1配線に与える

機能を有し、第2切替回路は、複数の第2重みデータのいずれかを第2配線に与える機能を有し、複数の第1重みデータのいずれかを第1配線に与える動作は、複数の第2重みデータのいずれかを第2配線に与える動作と異なる期間に行われ、第3切替回路は、第1配線に与えられた第1重みデータ、または第2配線に与えられた第2重みデータ、のいずれかを第1演算回路に与える機能を有し、第4切替回路は、第1配線に与えられた第1重みデータ、または第2配線に与えられた第2重みデータ、のいずれかを第2演算回路に与える機能を有し、第1配線に与えられた第1重みデータを第1演算回路に与える動作は、第2配線に与えられた第2重みデータを第2演算回路に与える動作と異なる期間に行われる、半導体装置である。

[0013]

本発明の一態様において、第1記憶回路部は、第1演算回路部を有する層上に積層される層に設けられ、第2記憶回路部は、第2演算回路部を有する層上に積層される層に設けられる、半導体装置が好ましい。

[0014]

本発明の一態様において、第1演算回路および第2演算回路は、それぞれ独立に、積和演算処理を行う、半導体装置が好ましい。

[0015]

本発明の一態様において、第1記憶回路部および第2記憶回路部はそれぞれ、第1トランジスタを有し、第1トランジスタは、チャネル形成領域に金属酸化物を有する半導体層を有する、半導体装置が好ましい。

[0016]

本発明の一態様において、金属酸化物は、Inと、Gaと、Znと、を含む、半導体装置が好ましい。

[0017]

本発明の一態様において、第1演算回路部および第2演算回路部はそれぞれ、第2トランジスタを有し、第2トランジスタは、チャネル形成領域にシリコンを有する半導体層を有する、半導体装置が好ましい。

[0018]

なおその他の本発明の一態様については、以下で述べる実施の形態における説明、および図面に記載されている。

発明の効果

[0019]

本発明の一態様は、低消費電力化された半導体装置を提供することができる。または、本発明の一態様は、演算処理速度の向上が図られた半導体装置を提供することができる。または、本発明の一態様は、小型化された半導体装置を提供することができる。または、新規な構成の半導体装置を提供することができる。

[0020]

複数の効果の記載は、他の効果の存在を妨げるものではない。また、本発明の一形態は、必ずしも、例示した効果の全てを有する必要はない。また、本発明の一形態について、上記以外の課題、効果、および新規な特徴については、本明細書の記載および図面から自ずと明らかになるものである。

図面の簡単な説明

[0 0 2 1]

図 1 A、図 1 B および図 1 C は、半導体装置の構成例を説明する図である。
図 2 A、図 2 B、図 2 C および図 2 D は、半導体装置の構成例を説明する図である。
図 3 A、図 3 B、および図 3 C は、半導体装置の構成例を説明する図である。
図 4 A および図 4 B は、半導体装置の構成例を説明する図である。
図 5 A および図 5 B は、半導体装置の構成例を説明する図である。
図 6 は、半導体装置の構成例を説明する図である。
図 7 A および図 7 B は、半導体装置の構成例を説明する図である。
図 8 は、半導体装置の構成例を説明する図である。
図 9 は、半導体装置の構成例を説明する図である。
図 1 0 A および図 1 0 B は、半導体装置の構成例を説明する図である。
図 1 1 A および図 1 1 B は、半導体装置の構成例を説明する図である。
図 1 2 は、半導体装置の構成例を説明する図である。
図 1 3 は、半導体装置の動作例を説明するタイミングチャートである。
図 1 4 は、半導体装置の構成例を説明する図である。
図 1 5 は、半導体装置の構成例を説明する図である。
図 1 6 A および図 1 6 B は、半導体装置の構成例を説明する図である。
図 1 7 は、演算処理システムの構成例を説明する図である。
図 1 8 は、C P U の構成例を説明する図である。
図 1 9 A および図 1 9 B は、C P U の構成例を説明する図である。
図 2 0 は、C P U の動作例を示すタイミングチャートである。
図 2 1 は、トランジスタの構成例を示す図である。
図 2 2 A および図 2 2 B は、トランジスタの構成例を示す図である。
図 2 3 A および図 2 3 B は、集積回路の構成例を説明する図である。
図 2 4 A および図 2 4 B は、集積回路の適用例を説明する図である。
図 2 5 A および図 2 5 B は、集積回路の適用例を説明する図である。
図 2 6 A、図 2 6 B および図 2 6 C は、集積回路の適用例を説明する図である。
図 2 7 は、集積回路の適用例を説明する図である。

発明を実施するための形態

[0 0 2 2]

以下に、本発明の実施の形態を説明する。ただし、本発明の一形態は、以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明の一形態は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。

[0 0 2 3]

なお本明細書等において、「第 1」、「第 2」、「第 3」という序数詞は、構成要素の混同を避けるために付したものである。従って、構成要素の数を限定するものではない。また、構成要素の順序を限定するものではない。また例えば、本明細書等の実施の形態の一において「第 1」に言及された構成要素が、他の実施の形態、あるいは特許請求の範囲において「第 2」に言及された構成

要素とすることもありうる。また例えば、本明細書等の実施の形態の一において「第1」に言及された構成要素を、他の実施の形態、あるいは特許請求の範囲において省略することもありうる。

[0024]

図面において、同一の要素または同様な機能を有する要素、同一の材質の要素、あるいは同時に形成される要素等には同一の符号を付す場合があり、その繰り返しの説明は省略する場合がある。

[0025]

本明細書において、例えば、電源電位VDDを、電位VDD、VDD等と省略して記載する場合がある。これは、他の構成要素（例えば、信号、電圧、回路、素子、電極、配線等）についても同様である。

[0026]

また、複数の要素に同じ符号を用いる場合、特に、それらを区別する必要があるときには、符号に“_1”、“_2”、“[n]”、“[m, n]”等の識別用の符号を付記して記載する場合がある。例えば、2番目の配線GLを配線GL[2]と記載する。

[0027]

(実施の形態1)

本発明の一態様である半導体装置の構成、および動作等について説明する。

[0028]

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能し得る装置全般を指す。トランジスタなどの半導体素子をはじめ、半導体回路、演算装置、記憶装置は、半導体装置の一態様である。表示装置（液晶表示装置、発光表示装置など）、投影装置、照明装置、電気光学装置、蓄電装置、記憶装置、半導体回路、撮像装置、電子機器などは、半導体装置を有すると言える場合がある。

[0029]

図1Aは、本発明の一態様である半導体装置10を説明するための図である。また図1B、図1Cは、半導体装置10が有する演算ブロックの構成例を説明するための図である。

[0030]

半導体装置10は、ホストプログラムから呼び出されたプログラム（カーネル、またはカーネルプログラムとも呼ばれる。）を実行する、アクセラレータとしての機能を有する。半導体装置10は、例えば、グラフィック処理における行列演算の並列処理、ニューラルネットワークの積和演算の並列処理、科学技術計算における浮動小数点演算の並列処理などを行うことができる。

[0031]

半導体装置10は、図1Aに図示するように、複数の演算ブロック21を有する。演算ブロック21は、記憶回路部30（メモリセルアレイともいう）、および演算回路部40を有する。記憶回路部30および演算回路部40は、図1Aに図示するように、図中xy平面に対して概略垂直な方向（図1A中、z方向）で異なる層に設けられる。つまり、記憶回路部30および演算回路部40は、積層して設けられる。

[0032]

なお「概略垂直」とは、85度以上95度以下の角度で配置されている状態をいう。なお本明細書において図1A等に図示するX方向、Y方向、およびZ方向は、それぞれが互いに直交または交差する方向である。また、X方向およびY方向は基板面に対して平行または概略平行であり、Z方

向は基板面に対して垂直または概略垂直である。

[0033]

図1Aに図示する複数の演算ブロックは、動作および接続関係の異なる、2つ以上のブロックに大別される。なお本明細書等においては、複数の演算ブロックを奇数番の演算ブロック部20__O、偶数番の演算ブロック部20__Eとして説明するが、3つ以上のブロックに分ける構成であってもよい。演算ブロック部20__Oにある演算ブロックを演算ブロック21__Oという場合がある。演算ブロック部20__Eにある演算ブロックを演算ブロック21__Eという場合がある。

[0034]

演算ブロック21__Oおよび演算ブロック21__Eは、図1Bおよび図1Cに図示するように、それぞれ記憶回路部30および演算回路部40を有する。なお演算ブロック21__Oおよび演算ブロック21__Eに示す構成において、互いに共通する部分は、互いの説明を適宜援用することができる。

[0035]

記憶回路部30は、複数の記憶回路31を有する。記憶回路部30はメモリセルアレイ、記憶回路31はメモリセルという場合がある。記憶回路31へのデータの書き込みおよび読出しは、駆動回路12、駆動回路13によって制御される。駆動回路12、駆動回路13は、データ制御回路ともいう。

[0036]

記憶回路部30が有する記憶回路31は、チャネル形成領域に酸化物半導体を有するトランジスタ(OSトランジスタ)を有する。記憶回路31が記憶(保持)するデータは、ニューラルネットワークの積和演算処理に用いられる重みパラメータに対応するデータ(重みデータ)である。重みデータは、デジタルデータとすることで、ノイズに強く、高速で演算可能な半導体装置とすることができる。また、重みデータは、アナログデータでもよい。

[0037]

なお重みデータは、1ビットのデータ(つまり‘1’か‘0’のデータ)を用いて演算処理を行う構成としてもよいし、多ビットのデータを用いて演算処理を行う構成としてもよい。多ビット(例えばnビット)のデータの場合、ビット数に応じた本数の配線を用いて、重みデータを供給する構成とすればよい。

[0038]

記憶回路部30が有する記憶回路31は、NOSRAMの回路構成とすることができる。「NOSRAM(登録商標)」とは、「Nonvolatile Oxide Semiconductor RAM」の略称である。NOSRAMは、メモリセルが2トランジスタ型(2T)、又は3トランジスタ型(3T)ゲインセルであり、アクセストランジスタがOSトランジスタであるメモリのことをいう。

[0039]

OSトランジスタはオフ状態でソースとドレインとの間を流れる電流、つまりリーク電流が極めて小さい。NOSRAMは、リーク電流が極めて小さい特性を用いてデータに応じた電荷を記憶回路内に保持することで、不揮発性メモリとして用いることができる。特にNOSRAMは保持しているデータを破壊することなく読み出しすること(非破壊読み出し)が可能なため、データ読み出し動作を多数回に繰り返す、ニューラルネットワークの積和演算の並列処理に適している。

[0040]

記憶回路31は、NOSRAM、あるいはDOSRAMといったOSトランジスタを有するメモリ（以下、OSメモリともいう。）が好適である。酸化物半導体として機能する金属酸化物のバンドギャップは2.5 eV以上あるため、OSトランジスタは極小のオフ電流をもつ。一例として、ソースとドレイン間の電圧が3.5 V、室温（25℃）下において、チャネル幅1 μm当たりのオフ電流を 1×10^{-20} A未満、 1×10^{-22} A未満、あるいは 1×10^{-24} A未満とすることができる。そのため、OSメモリは、OSトランジスタを介して保持ノードからリークする電荷量が極めて少ない。従って、OSメモリは不揮発性の記憶回路として機能できるため、半導体装置10のパワーゲーティングが可能となる。

[0041]

高密度でトランジスタが集積化された半導体装置は、回路の駆動による熱が発生する場合がある。この発熱により、トランジスタの温度が上がることで、当該トランジスタの特性が変化して、電界効果移動度の変化や動作周波数の低下などが起こることがある。OSトランジスタは、Siトランジスタよりも熱耐性が高いため、温度変化による電界効果移動度の変化が起こりにくく、また動作周波数の低下も起こりにくい。さらに、OSトランジスタは、温度が高くなっても、ドレイン電流がゲートソース間電圧に対して指数関数的に増大する特性を維持しやすい。そのため、OSトランジスタを用いることにより、高い温度環境下での安定した動作を行うことができる。

[0042]

OSトランジスタに適用される金属酸化物は、Zn酸化物、Zn-Sn酸化物、Ga-Sn酸化物、In-Ga酸化物、In-Zn酸化物、In-M-Zn酸化物（Mは、Ti、Ga、Y、Zr、La、Ce、Nd、SnまたはHf）などがある。特にMとしてGaを用いる金属酸化物をOSトランジスタに採用する場合、元素の比率を調整することで電界効果移動度等の電気特性に優れたトランジスタとすることができるため、好ましい。また、インジウムおよび亜鉛を含む酸化物に、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。

[0043]

OSトランジスタの信頼性、電気特性の向上のため、半導体層に適用される金属酸化物は、CAAC-OS、CAC-OS、nc-OSなどの結晶部を有する金属酸化物であることが好ましい。CAAC-OSとは、*c-axis-aligned crystalline oxide semiconductor*の略称である。CAC-OSとは、*Cloud-Aligned Composite oxide semiconductor*の略称である。nc-OSとは、*nanocrystalline oxide semiconductor*の略称である。

[0044]

CAAC-OSは、c軸配向性を有し、かつa-b面方向において複数のナノ結晶が連結し、歪みを有した結晶構造となっている。なお、歪みとは、複数のナノ結晶が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域との間で格子配列の向きが変化している箇所を指す。

[0045]

CAC-OSは、キャリアとなる電子（または正孔）を流す機能と、キャリアとなる電子を流さない機能とを有する。電子を流す機能と、電子を流さない機能とを分離させることで、双方の機能を最大限に高めることができる。つまり、CAC-OSをOSトランジスタのチャネル形成領域に用いることで、高いオン電流と、極めて低いオフ電流との双方を実現できる。

[0046]

金属酸化物は、バンドギャップが大きく、電子が励起されにくいこと、ホールの有効質量が大きいことなどから、OSトランジスタは、一般的なSiトランジスタと比較して、アバランシェ崩壊等が生じにくい場合がある。従って、例えばアバランシェ崩壊に起因するホットキャリア劣化等を抑制できる。ホットキャリア劣化を抑制できることで、高いドレイン電圧でOSトランジスタを駆動することができる。

[0047]

OSトランジスタは、電子を多数キャリアとする蓄積型トランジスタである。そのため、pn接合を有する反転型トランジスタ（代表的には、Siトランジスタ）と比較して短チャネル効果の一つであるDIBL（Drain-Induced Barrier Lowering）の影響が小さい。つまり、OSトランジスタは、Siトランジスタよりも短チャネル効果に対する高い耐性を有する。

[0048]

OSトランジスタは、短チャネル効果に対する耐性が高いために、OSトランジスタの信頼性を劣化させずに、チャネル長を縮小できるので、OSトランジスタを用いることで回路の集積度を高めることができる。チャネル長が微細化するに伴いドレイン電界が強まるが、上掲したように、OSトランジスタはSiトランジスタよりもアバランシェ崩壊が起きにくい。

[0049]

また、OSトランジスタは、短チャネル効果に対する耐性が高いために、Siトランジスタよりもゲート絶縁膜を厚くすることが可能となる。例えば、チャネル長及びチャネル幅が50nm以下の微細なトランジスタにおいても、10nm程度の厚いゲート絶縁膜を設けることが可能な場合がある。ゲート絶縁膜を厚くすることで、寄生容量を低減することができるので、回路の動作速度を向上できる。またゲート絶縁膜を厚くすることで、ゲート絶縁膜を介したリーク電流が低減されるため、静的消費電流の低減につながる。

[0050]

以上より、半導体装置10は、OSメモリである記憶回路31を有することで電源電圧の供給が停止してもデータを保持できる。そのため、半導体装置10のパワーゲーティングが可能となり、消費電力の大幅な低減を図ることができる。

[0051]

なお演算ブロック21__Oの記憶回路部30を第1記憶回路部という場合がある。また演算ブロック21__Eの記憶回路部30を第2記憶回路部という場合がある。また演算ブロック21__Oの記憶回路部30の記憶回路31を第1記憶回路という場合がある。また演算ブロック21__Eの記憶回路部30の記憶回路31を第2記憶回路という場合がある。また演算ブロック21__Oの記憶回路部30の記憶回路31が記憶する重みデータは、第1重みデータという場合がある。また演算ブロック21__Eの記憶回路部30の記憶回路31が記憶する重みデータは、第2重みデータという場合がある。第1重みデータは、第2重みデータとは異なる重みデータである。

[0052]

演算回路部40を有する層は、ラッチ回路41、切替回路42、バッファ回路43__O(43__E)、切替回路44、演算回路45を有する。演算回路部40におけるデータの入出力などの制御および処理は、制御回路14、処理回路15によって制御される。制御回路14、処理回路15は、演算制御回路、演算処理回路、あるいは演算回路ともいう。

[0053]

ラッチ回路41、切替回路42、バッファ回路43__O(43__E)、切替回路44、演算回路45の各回路は、チャンネル形成領域にシリコンを有するトランジスタ(Siトランジスタ)で構成されることが好ましい。当該構成とすることで高速で接続状態の切り替えや、演算処理を行う構成とすることができる。

[0054]

またラッチ回路41、切替回路42、バッファ回路43__O(43__E)、切替回路44、演算回路45の各回路は、Siトランジスタとすることで、OSTランジスタと積層して設けることができる。つまり、OSTランジスタで構成される記憶回路部30は、Siトランジスタで構成することができる演算回路部40と積層して設けることができる。そのため、回路面積の増加を招くことなく、記憶回路部30を配置できる面積を増やすことができる。記憶回路部30が設けられる領域を演算回路部40が設けられる基板上とすることで、記憶回路部30と、演算回路部40と、が同一層上に配置する場合と比較して、アクセラレータとして機能する半導体装置10における演算処理に必要な記憶容量を増やすことができる。記憶容量が増えることで、外部記憶装置から半導体装置への、演算処理に必要なデータの転送回数を削減することができるため、低消費電力化を図ることができる。

[0055]

ラッチ回路41は、記憶回路部30の記憶回路31に接続された配線(ローカルビット線、読出しビット線ともいう)を介して読み出される、複数の重みデータを保持する機能を有する。なおラッチ回路41は、必要に応じて、省略することが可能である。

[0056]

なお記憶回路部30の記憶回路31に接続された配線は、記憶回路部30からラッチ回路41へ重みデータを高速に読み出すために、短くすることが好ましい。また記憶回路部30の記憶回路31に接続された配線は、充放電に伴う消費エネルギーを小さくするために、短くすることが好ましい。ラッチ回路41を有する演算回路部40と、重みデータを記憶する記憶回路部30と、の物理的な距離を近づけること、例えば積層によって配線距離が短くできることで、信号線に生じる寄生容量を削減できるため、低消費電力化が可能である。

[0057]

切替回路42は、ラッチ回路41に保持された複数の重みデータからいずれかーを選択してバッファ回路43__O(43__E)に出力する。切替回路42は、マルチプレクサの機能を有する。切替回路42は、複数の入力信号から、1つを選択する機能を有する。切替回路42を制御する制御信号1selは、演算ブロック21__Oの演算回路部40では、制御信号1sel__O、演算ブロック21__Eの演算回路部40では、制御信号1sel__Eとなり、別々の制御を行うことができる。なお演算ブロック21__Oの演算回路部40の切替回路42を第1切替回路という場合がある。また演算ブロック21__Eの演算回路部40の切替回路42を第3切替回路という場合がある。

[0058]

バッファ回路43__Oは、演算ブロック21__Oの演算回路部40において、切替回路42で選択された重みデータを配線WOLに伝える。バッファ回路43__Eは、演算ブロック21__Eの演算回路部40において、切替回路42で選択された重みデータを配線WELに伝える。バッファ回路43__O、43__Eは、トライステートバッファ回路の機能を有する。バッファ回路43__O、43__Eは、制御信号gsel__O、gsel__Eによってそれぞれ制御される。

[0059]

配線WOLは、演算ブロック部20__Oの演算ブロック21__Oにおける記憶回路部30に記憶された重みデータ(W_O)を伝える機能を有する。また配線WELは、演算ブロック部20__Eの演算ブロック21__Eにおける記憶回路部30に記憶された重みデータ(W_E)を伝える機能を有する。配線WOLおよび配線WELを介して伝えられる重みデータは、演算ブロック21__Oおよび演算ブロック21__Eのそれぞれが有する演算回路45に切替回路44を介して伝えられる。なお配線WOLを第1配線という場合がある。また配線WELを第2配線という場合がある。なお配線WOL、WELは、複数の演算ブロック部のブロック数に応じて配置される配線であり、3本以上の配線とする場合もあり得る。

[0060]

切替回路44は、配線WOLまたは配線WELに伝えられた重みデータのいずれかーを選択して演算回路45に出力する。切替回路44は、マルチプレクサの機能を有する。切替回路44を制御する制御信号wselは、演算ブロック21__Oの演算回路部40と、演算ブロック21__Eの演算回路部40と、で同じ制御を行うことができる。なお演算ブロック21__Oの演算回路部40の切替回路44を第2切替回路という場合がある。また演算ブロック21__Eの演算回路部40の切替回路44を第4切替回路という場合がある。

[0061]

演算回路45は、積和演算といった演算処理を実行する機能を有する。演算回路45は、制御回路14から入力される入力データと、切替回路44から与えられる重みデータとの、積和演算処理を行う。入力データおよび重みデータは、デジタルデータが好ましい。デジタルデータはノイズの影響を受けにくい。そのため演算回路45は、高い精度の演算結果が要求される演算処理を行うのに適している。なお演算ブロック21__Oの演算回路部40の演算回路45を第1演算回路という場合がある。また演算ブロック21__Eの演算回路部40の演算回路45を第2演算回路という場合がある。なお演算回路45は、積和演算といった演算処理以外に、活性化関数演算、量子化演算、プーリング演算などを行う構成としてもよい。

[0062]

次いで、図1A乃至図1Cで示す半導体装置10の動作例について説明する。図2Aは、演算ブロック21__O、21__Eに適用可能な演算ブロック21の構成において、記憶回路31から読みだされる重みデータ(重みデータ W_O または W_E 、図中 W_O/W_E と図示)が、バッファ回路43__Oまたは43__Eに適用可能なバッファ回路43、配線WOL、WEL、切替回路44を経て、演算回路45に与えられる様子を破線矢印で模式的に表した図である。演算回路45は、入力データAと、重みデータ W_O/W_E と、の積和演算処理によって出力される、出力データMACを出力する。図中 W_O (Oは奇数を表す)、 W_{O1} などと表す重みデータは、上述した第1重みデータに相当する。また図中 W_E (Eは偶数)、 W_{E1} などと表す重みデータは、上述した第2重みデータに相当する。

[0063]

演算ブロック部20__Oの演算ブロック21__Oにおける演算回路部40は、図2Aで図示した重みデータの様子に倣って模式的に表すと、図2Bに図示するように略記して表すことができる。図2Bでは、記憶回路部30（図示せず）から読みだされた重みデータ W_O がバッファ回路43__Oを経て配線 WOL に与えられる様子を図示している。また図2Bでは、配線 WOL に与えられた重みデータ W_O と、配線 WEL に与えられた重みデータ W_E と、のいずれか一方の重みデータ（図中 W_O/W_E ）が切替回路44で選択され、演算回路45（図示せず）に与えられる様子を図示している。

[0064]

また図2Bと同様にして、演算ブロック部20__Eの演算ブロック21__Eにおける演算回路部40は、図2Cに図示するように略記して表すことができる。図2Cでは、記憶回路部30（図示せず）から読みだされた重みデータ W_E がバッファ回路43__Eを経て配線 WEL に与えられる様子を図示している。また図2Cでは、配線 WOL に与えられた重みデータ W_O と、配線 WEL に与えられた重みデータ W_E と、のいずれか一方の重みデータ（図中 W_O/W_E ）が切替回路44で選択され、演算回路45（図示せず）に与えられる様子を図示している。

[0065]

図2Dでは、図2Bおよび図2Cで図示した演算ブロック部20__Oの演算回路部40と、演算ブロック部20__Eの演算回路部40と、を組み合わせた模式図を示す。図2Dでは、それぞれの演算ブロック部20__Oの演算回路部40において、記憶回路部30（図示せず）から読みだされた重みデータ W_{O1} 乃至 W_{ON} （ N は自然数）を図示している。また、それぞれの演算ブロック部20__Eの演算回路部40において、記憶回路部30（図示せず）から読みだされた重みデータ W_{E1} 乃至 W_{EN} を図示している。演算ブロック部20__Oおよび演算ブロック部20__Eが有する、演算回路部40に対応する記憶回路部30（図示せず）では、異なる重みデータを保持し、選択された重みデータ（図中 W_O/W_E ）を演算回路45（図示せず）に出力する構成となる。

[0066]

なお図2B、図2Cでは切替回路44において、重みデータ W_O/W_E を切り替えて出力する構成について示したが、ほかの構成でもよい。例えば図3A、図3Bに図示する演算回路部40（演算ブロック21__O、演算ブロック21__E）に図示するように、バッファ回路43__E（バッファ回路43__O）を介することなく、切替回路44に重みデータ W_{FC} を出力する構成としてもよい。図3A、図3Bの構成とすることで、切替回路44は、選択された重みデータ（図中 $W_O/W_E/W_{FC}$ ）を演算回路45（図示せず）に出力する構成とすることができる。

[0067]

重みデータ W_{FC} は、畳み込み演算を行うニューラルネットワークにおける全結合演算で用いられる重みデータである。全結合演算では、演算回路毎に異なる重みデータを用いて演算を行う。異なる重みデータ W_{FC} を重みデータ W_{FC1} 乃至重みデータ W_{FCN} （ N は2以上の自然数）とすると、図3Cに図示するように、演算回路部40毎に異なる重みデータ W_{FC1} 乃至重みデータ W_{FCN} を切替回路44で選択して演算回路45（図示せず）に出力することができる。

[0068]

図3A乃至図3Cの構成とすることで、切替回路44によって重みデータ W_O/W_E を複数の演算回路で共有するか、あるいは演算回路部40毎に異なる重みデータ W_{FC} を用いて演算回路で演算を

行うか、を切り替えることができる。そのため、畳み込み演算を行うニューラルネットワークにおける畳み込み演算と、全結合演算と、に必要な重みデータを必要となる演算回路の近くに読み出す構成とすることができる。

[0069]

次いで図2Dに例示する演算ブロック21__Oと21__Eにおける動作について、図4A、図4B、図5A、図5Bを参照して説明する。

[0070]

図4Aの動作について説明する。図4Aは、奇数番の演算ブロック部20__Oに属する演算回路部40__O1に対応する記憶回路部から重みデータ W_{O1} を選択して読み出し、配線WOLを重みデータ W_{O1} に応じた電位に充放電する様子を破線矢印で模式的に表した図である。なお図4Aは、演算を開始する前の初期動作に相当し、この時点で配線WOLと演算回路45との接続は切替回路44によって遮断されている。そのため配線WOLの充放電動作が演算回路45における演算の動作律速にはならない。なお切替回路44の出力は、配線WELと演算回路45とを接続する、あるいは、別の固定電位（H電位、或いはL電位）を供給する、などとして不定状態とならないようにすることが好ましい。

[0071]

図4Bの動作について説明する。図4Bは、奇数番の演算ブロック部20__Oおよび偶数番の演算ブロック部20__Eの演算回路部40にある切替回路44において、配線WOLと演算回路45との間の接続を導通状態とすることで演算回路45に重みデータ W_{O1} を供給する。演算回路部40__O1が有するバッファ回路43__Oは、直前の動作で配線WOLの充電まで完了しているため、バッファ回路43__Oの電荷供給能力が小さくても、演算回路45における演算の動作律速にはならない。

[0072]

また図4Bの動作では、偶数番の演算ブロック部20__Eに属する演算回路部40__E1に対応する記憶回路部から重みデータ W_{E1} を選択して読み出し、配線WELを重みデータ W_{E1} に応じた電位に充放電する。この時点で、配線WELと演算回路45との接続は、切替回路44によって遮断され、配線WOLと演算回路45とが切替回路44によって接続される状態となる。以上のように駆動することで、配線WELの充放電動作は、演算回路45の演算の動作律速にはならない。

[0073]

図5Aの動作について説明する。図5Aは、奇数番の演算ブロック部20__Oおよび偶数番の演算ブロック部20__Eの演算回路部40にある切替回路44において、配線WELと演算回路45との間の接続を導通状態とすることで演算回路45に重みデータ W_{E1} を供給する。演算回路部40__E1が有するバッファ回路43__Eは、直前の動作で配線WELの充電まで完了しているため、バッファ回路43__Eの電荷供給能力が小さくても、演算回路45の演算の動作律速にはならない。

[0074]

また図5Aの動作では、奇数番の演算ブロック部20__Oに属する演算回路部40__O2に対応する記憶回路部から重みデータ W_{O2} を選択して読み出し、配線WOLを重みデータ W_{O2} に応じた電位に充放電する。この時点で、配線WOLと演算回路45との接続は、切替回路44によって遮断され、配線WELと演算回路45とが切替回路44によって接続される状態となる。以上のように駆動することで、配線WOLの充放電動作は、演算回路45の演算の動作律速にはならない。

[0075]

図5Bの動作について説明する。図5Bは、奇数番の演算ブロック部20__Oおよび偶数番の演算ブロック部20__Eの演算回路部40にある切替回路44において、配線WOLと演算回路45との間の接続を導通状態とすることで演算回路45に重みデータ W_{O2} を供給する。演算回路部40__O2が有するバッファ回路43__Oは、直前の動作で配線WOLの充電まで完了しているため、バッファ回路43__Oの電荷供給能力が小さくても、演算回路45の演算の動作律速にはならない。

[0076]

また図5Bの動作では、偶数番の演算ブロック部20__Eに属する演算回路部40__E2に対応する記憶回路部から重みデータ W_{E2} を選択して読み出し、配線WELを重みデータ W_{E2} に応じた電位に充放電する。この時点で、配線WELと演算回路45との接続は、切替回路44によって遮断され、配線WOLと演算回路45とが切替回路44によって接続される状態となる。以上のように駆動することで、配線WELの充放電動作は、演算回路45の演算の動作律速にはならない。

[0077]

以降、図4A、図4B、図5A、図5Bで説明したように、奇数番の演算ブロック部20__Oと、偶数番の演算ブロック部20__Eと、で配線WOLまたはWELの充放電と、配線WOLまたはWELに充放電した重みデータの演算回路45への供給と、を交互に行う。以上のように本発明の一態様の構成では、配線WOL、WELの充放電動作が演算回路45の演算の動作律速にはならず、演算の動作速度を向上させることができる。

[0078]

以上説明した本発明の一態様における半導体装置10の構成では、バッファ回路を限られた面積で設計する場合など、バッファ回路の電荷供給能力が制約されるような場合であっても、高速で配線の充電を行う構成とすることができる。これに対し、図6に図示するように演算回路部40のバッファ回路43から動作を切り替えることなく、配線WLを介して演算回路45に重みデータWを供給する場合、配線WLにおける重みデータに応じた電位の変化に時間がかかり、演算処理速度が十分でない場合があり得る。配線WOLまたはWELにおける充電の高速化が図られた本発明の一態様では、演算処理速度の向上が図られた半導体装置とすることができる。

[0079]

図7Aには、図1Bに図示する演算ブロック21__Oにおいて、記憶回路部30と演算回路部40とを積層した場合の模式図を示す。記憶回路部30と演算回路部40とは、配線LBLを介して接続される。図7Aの構成では、回路面積の増大を招くことなく、記憶回路部の面積を増やすことができる。その結果、膨大な数の重みデータを記憶回路部で保持することができ、外部のメモリから重みデータを転送する回数を削減できるため、低消費電力化を図ることができる。また半導体装置の小型化を図ることができる。

[0080]

図7Bは、図7Aに図示する演算ブロック21__Oにおいて、記憶回路部30、演算回路部40に好適なトランジスタを説明するための図である。なお演算ブロック21__Eにおいても適用可能である。

[0081]

記憶回路部30は、記憶回路31を有する。記憶回路31は、トランジスタ51を有する。トランジスタ51が有する半導体層52は、酸化物半導体（金属酸化物）とすることで、上述したOS

トランジスタで構成される記憶回路 3 1 とすることができる。

[0082]

演算回路部 4 0 は、ラッチ回路 4 1、切替回路 4 2、バッファ回路 4 3 __O、切替回路 4 4、演算回路 4 5 を有する。演算回路部 4 0 が有する各回路は、トランジスタ 5 3 を有する。トランジスタ 5 3 が有する半導体層 5 4 は、シリコンとすることで、上述した S i トランジスタで構成される演算回路部 4 0 が有する各回路とすることができる。

[0083]

記憶回路部 3 0 が設けられる領域を演算回路部 4 0 が設けられる基板上とすることで、記憶回路部 3 0 と、演算回路部 4 0 と、が同一層上に配置する場合と比較して、アクセラレータとして機能する半導体装置 1 0 における演算処理に必要な記憶容量、つまり記憶回路の数を増やすことができる。記憶容量が増えることで、外部記憶装置から半導体装置への、演算処理に必要なデータの転送回数を削減することができるため、低消費電力化を図ることができる。

[0084]

記憶回路部 3 0 と演算回路部 4 0 が別チップの場合、チップのピン数に従い、バス幅が制限される。一方で、本発明の一態様の構成のように記憶回路部 3 0 と演算回路部 4 0 とを積層する構成では、配線 L B L を設ける開口に応じて演算処理に必要なデータの並列数を高めることができるため、効率的な演算処理を行うことが可能である。

[0085]

なお演算ブロックが複数の場合は、図 8 に図示するように配線 W O L、W E L に沿って、演算ブロック 2 1 __O、2 1 __E を設ける構成とする。当該構成とすることで、配線 W O L、W E L と、演算ブロック 2 1 __O、2 1 __E と、の距離を短くできるため、半導体装置の小型化、低消費電力化を図ることができる。

[0086]

次いで図 9 では、A I アクセラレータとして機能する半導体装置 1 0 を含む演算処理システム 1 0 0 の全体を示すブロック図について説明する。

[0087]

図 9 では、図 1 A で説明した半導体装置 1 0 を複数有するアクセラレータ部 1 3 0 の他、C P U 1 1 0 およびバス 1 2 0 を図示している。C P U 1 1 0 は、C P U コア 2 0 0 およびバックアップ回路 2 2 2 を有する。アクセラレータ部 1 3 0 は、複数の半導体装置 1 0 の他、半導体装置 1 0 間のデータの入出力を制御するための制御部 1 3 1 を有する。

[0088]

C P U 1 1 0 は、オペレーティングシステムの実行、データの制御、各種演算やプログラムの実行など、汎用の処理を行う機能を有する。C P U 1 1 0 は、C P U コア 2 0 0 を有する。C P U コア 2 0 0 は、1 つまたは複数の C P U コアに相当する。また C P U 1 1 0 は、電源電圧の供給が停止しても C P U コア 2 0 0 内のデータを保持できるバックアップ回路 2 2 2 を有する。電源電圧の供給は、電源ドメイン（パワードメイン）からのパワースイッチ等による電氣的な切り離しによって制御することができる。なお電源電圧は、駆動電圧という場合がある。バックアップ回路 2 2 2 として、例えば、O S トランジスタを有する O S メモリが好適である。

[0089]

O S トランジスタで構成されるバックアップ回路 2 2 2 は、S i トランジスタで構成することが

できるCPUコア200と積層して設けることができる。バックアップ回路222の面積はCPUコア200の面積より小さいため、回路面積の増加を招くことなく、CPUコア200上にバックアップ回路222を配置することができる。バックアップ回路222は、CPUコア200が有するレジスタのデータを保持する機能を有する。バックアップ回路222は、データ保持回路ともいう。なおOSトランジスタを有するバックアップ回路222を備えたCPUコア200の構成の詳細については、実施の形態3でも説明する。

[0090]

制御部131は、内部にSRAM等の記憶回路を有する。制御部131は、複数の半導体装置10で得られる出力データMACを記憶回路に保持する。そして記憶回路に保持した出力データMACを複数の半導体装置に出力する構成とする。当該構成とすることで複数の半導体装置を用いた、並列数が高められた並列計算を行うことができる。

[0091]

バス120は、CPU110とアクセラレータ部130とを電氣的に接続する。つまりCPU110と半導体装置10とは、バス120を介してデータ伝送を行うことができる。

[0092]

図10Aは、本発明の半導体装置10において、記憶回路部30に適用可能な回路構成例について説明する図である。図10Aでは、M行N列（M、Nは2以上の自然数）行列方向に並べて配置された書込用ワード線WWL__1乃至WWL__M、読出用ワード線RWL__1乃至RWL__M、書込用ビット線WBL__1乃至WBL__N、および配線LBL__1乃至LBL__Nを図示している。また各ワード線およびビット線に接続された記憶回路31を図示している。

[0093]

図10Bは、記憶回路31に適用可能な回路構成例について説明する図である。記憶回路31は、トランジスタ61、トランジスタ62、トランジスタ63、容量素子64（キャパシタともいう）を有する。

[0094]

トランジスタ61のソースまたはドレインの一方は、書込用ビット線WBLに接続される。トランジスタ61のゲートは、書込用ワード線WWLに接続される。トランジスタ61のソースまたはドレインの他方は、容量素子64の一方の電極およびトランジスタ62のゲートに接続される。トランジスタ62のソースまたはドレインの一方および容量素子64の他方の電極は、固定電位たとえばグラウンド電位を与える配線に接続される。トランジスタ62のソースまたはドレインの他方は、トランジスタ63のソースまたはドレインの一方に接続される。トランジスタ63のゲートは、読出用ワード線RWLに接続される。トランジスタ63のソースまたはドレインの他方は、配線LBLに接続される。配線LBLは、演算回路部40のSiトランジスタが設けられる基板表面に対して概略垂直な方向に延在して設けられる配線を介して演算回路部40が有するラッチ回路41（図示せず）に接続される。

[0095]

図10Bに示す記憶回路31の回路構成は、3トランジスタ型（3T）ゲインセルのNOSRAMに相当する。トランジスタ61乃至トランジスタ63は、OSトランジスタである。OSトランジスタはオフ状態でソースとドレインとの間を流れる電流、つまりリーク電流が極めて小さい。NOSRAMは、リーク電流が極めて小さい特性を用いてデータに応じた電荷を記憶回路内に保持す

ることで、不揮発性メモリとして用いることができる。

[0096]

図10Aの記憶回路31に適用可能な回路構成は、図10Bの3T型のNOSRAMに限らない。例えば、図11Aに図示する2T型のNOSRAMに相当する回路でもよい。図11Aでは、トランジスタ61B、トランジスタ62Bおよび容量素子64Bを有する記憶回路31Aを図示している。トランジスタ61Bおよびトランジスタ62Bは、OSトランジスタである。トランジスタ61Bおよびトランジスタ62Bは、異なる層に半導体層が配置されるOSトランジスタでもよいし、同じ層に半導体層が配置されるOSトランジスタでもよい。記憶回路31Aは、書込用ビット線WBL、読出用ビット線として機能する配線LBL、書込用ワード線WWL、読出用ワード線RWL、ソース線SLおよびバックゲート線BGLに接続される例を図示している。

[0097]

図10Aの記憶回路31に適用可能な回路構成は、図11Bに図示する3T型のNOSRAMを組み合わせた回路でもよい。図11Bでは、論理の異なるデータを保持できる記憶回路31__Pと、記憶回路31__Nと、を有する記憶回路31Bを図示している。図11Bでは、トランジスタ61__P、トランジスタ62__P、トランジスタ63__Pおよび容量素子64__Pを有する記憶回路31__Pと、トランジスタ61__N、トランジスタ62__N、トランジスタ63__Nおよび容量素子64__Nを有する記憶回路31__Nと、を図示している。記憶回路31__Pおよび記憶回路31__Nが有する各トランジスタは、OSトランジスタである。記憶回路31__Pおよび記憶回路31__Nが有する各トランジスタは、異なる層に半導体層が配置されるOSトランジスタでもよいし、同じ層に半導体層が配置されるOSトランジスタでもよい。記憶回路31Bは、書込用ビット線WBL__P、配線LBL__P、書込用ビット線WBL__N、配線LBL__N、書込用ワード線WWL、読出用ワード線RWLに接続される例を図示している。記憶回路31Bは、論理の異なるデータを保持し、論理の異なるデータを配線LBL__Pおよび配線LBL__Nに読み出すことができる。

[0098]

図12は、切替回路42、バッファ回路43（43__O、43__E）、切替回路44の動作について説明する図である。図12では、理解を容易にするため、半導体装置が有する演算ブロックを4つとして説明する。図12では、4つの演算ブロックの構成として、記憶回路部30__1乃至30__4、演算回路部40__1乃至40__4を例示している。記憶回路部30__1および演算回路部40__1の組み合わせ、および記憶回路部30__3および演算回路部40__3の組み合わせが、奇数番の演算ブロック部の構成に相当する。記憶回路部30__2および演算回路部40__2の組み合わせ、および記憶回路部30__4および演算回路部40__4の組み合わせが、偶数番の演算ブロック部の構成に相当する。

[0099]

記憶回路部30__1は、配線LBL__11乃至LBL__1Nに接続された記憶回路31を有する。記憶回路部30__1は、重みデータ W_{11} 乃至 W_{1N} を保持する。記憶回路部30__2は、配線LBL__21乃至LBL__2Nに接続された記憶回路31を有する。記憶回路部30__2は、重みデータ W_{21} 乃至 W_{2N} を保持する。記憶回路部30__3は、配線LBL__31乃至LBL__3Nに接続された記憶回路31を有する。記憶回路部30__3は、重みデータ W_{31} 乃至 W_{3N} を保持する。記憶回路部30__4は、配線LBL__41乃至LBL__4Nに接続された記憶回路31を有する。記憶回路部30__4は、重みデータ W_{41} 乃至 W_{4N} を保持する。

[0100]

図12中、配線LBL__11乃至LBL__1N、配線LBL__21乃至LBL__2N、配線LBL__31乃至LBL__3N、および配線LBL__41乃至LBL__4Nで図示する配線LBL_pは、上層にある記憶回路部と下層にある演算回路部とをつなぐ垂直方向に延びる配線に相当する。配線LBL_pは、水平方向に延びる配線と比べて短い。そのため、配線LBL__11乃至LBL__1N、配線LBL__21乃至LBL__2N、配線LBL__31乃至LBL__3N、および配線LBL__41乃至LBL__4Nの寄生容量を小さくでき、配線の充放電に要する電荷を削減でき、低消費電力化および演算効率の向上を図ることができる。また、記憶回路31からラッチ回路への重みデータの読み出しを高速にできる。

[0101]

演算回路部40__1は、ラッチ回路41__1、切替回路42__1、バッファ回路43__1、切替回路44__1、演算回路45__1を有する。ラッチ回路41__1は、配線LBL__11乃至LBL__1Nを介して記憶回路部30__1が有する記憶回路31から読み出した重みデータW₁₁乃至W_{1N}を保持する。切替回路42__1は、制御信号lse1__Oに制御される。バッファ回路43__1は、制御信号gse1__O1に制御される。切替回路44__1は、制御信号wse1に制御される。演算回路45__1は、入力データA₁と、切替回路44__1で選ばれた重みデータと、の積和演算による演算処理を行い、出力データMAC1を出力する。

[0102]

演算回路部40__2は、ラッチ回路41__2、切替回路42__2、バッファ回路43__2、切替回路44__2、演算回路45__2を有する。ラッチ回路41__2は、配線LBL__21乃至LBL__2Nを介して記憶回路部30__2が有する記憶回路31から読み出した重みデータW₂₁乃至W_{2N}を保持する。切替回路42__2は、制御信号lse1__Eに制御される。バッファ回路43__2は、制御信号gse1__E1に制御される。切替回路44__2は、制御信号wse1に制御される。演算回路45__2は、入力データA₂と、切替回路44__2で選ばれた重みデータと、の積和演算による演算処理を行い、出力データMAC2を出力する。

[0103]

演算回路部40__3は、ラッチ回路41__3、切替回路42__3、バッファ回路43__3、切替回路44__3、演算回路45__3を有する。ラッチ回路41__3は、配線LBL__31乃至LBL__3Nを介して記憶回路部30__3が有する記憶回路31から読み出した重みデータW₃₁乃至W_{3N}を保持する。切替回路42__3は、制御信号lse1__Oに制御される。バッファ回路43__3は、制御信号gse1__O2に制御される。切替回路44__3は、制御信号wse1に制御される。演算回路45__3は、入力データA₃と、切替回路44__3で選ばれた重みデータと、の積和演算による演算処理を行い、出力データMAC3を出力する。

[0104]

演算回路部40__4は、ラッチ回路41__4、切替回路42__4、バッファ回路43__4、切替回路44__4、演算回路45__4を有する。ラッチ回路41__4は、配線LBL__41乃至LBL__4Nを介して記憶回路部30__4が有する記憶回路31から読み出した重みデータW₄₁乃至W_{4N}を保持する。切替回路42__4は、制御信号lse1__Eに制御される。バッファ回路43__4は、制御信号gse1__E2に制御される。切替回路44__4は、制御信号wse1に制御される。演算回路45__4は、入力データA₄と、切替回路44__4で選ばれた重みデータと、の積和演算に

よる演算処理を行い、出力データMAC 4を出力する。

[0105]

図13では、図12で説明した各構成の動作を説明するためのタイミングチャートを示す。演算回路45は、クロック信号CLKのトグル動作（例えば時刻T0乃至T6）に応じて重みデータが与えられ、入力データA₁乃至A₄との演算処理を行う。クロック信号CLKの周波数を高める構成とすることで、演算処理の高速化を図ることができる。

[0106]

入力データA_{1N}をクロック信号CLKに応じて高速で切り替える場合、重みデータを与える配線WOL、WELのデータを高速で切り替える必要がある。

[0107]

配線LBL__11乃至LBL__1N、配線LBL__21乃至LBL__2N、配線LBL__31乃至LBL__3N、配線LBL__41乃至LBL__4Nを介して、重みデータW₁₁乃至W_{1N}、重みデータW₂₁乃至W_{2N}、重みデータW₃₁乃至W_{3N}、重みデータW₄₁乃至W_{4N}がラッチ回路41__1乃至41__4に保持される。時刻T0から行う、重みデータW₁₁乃至W_{1N}、重みデータW₂₁乃至W_{2N}、重みデータW₃₁乃至W_{3N}、重みデータW₄₁乃至W_{4N}の読出しは、各記憶回路部において、同時に行ってもよいし、順に行ってもよい。

[0108]

時刻T1では、制御信号lse1__Oでラッチ回路41__1、41__3から重みデータW₁₁、重みデータW₃₁を選択する。制御信号gse1__O1をHレベルとして、切替回路42__1で選択した重みデータW₁₁に応じた電位を配線WOLに充電する。この時の配線WOLの充電は、上述したように、高速で行うことができる。

[0109]

時刻T2では、制御信号lse1__Eでラッチ回路41__2、41__4から重みデータW₂₁、重みデータW₄₁を選択する。制御信号gse1__E1をHレベルとして、切替回路42__2で選択した重みデータW₂₁に応じた電位を配線WELに充電する。この時の配線WELの充電は、上述したように、高速で行うことができる。また時刻T2では、先の時刻T1で充電された配線WOLの重みデータW₁₁に応じた電位を切替回路44__1乃至44__4に与える制御信号wse1で切り替えて、演算回路45__1乃至45__4に与える。演算回路45__1乃至45__4では、同じ重みデータW₁₁に応じた積和演算処理を行い、出力データMAC 1乃至MAC 4を演算する。

[0110]

時刻T3では、制御信号gse1__O2をHレベルとして、切替回路42__3で選択した重みデータW₃₁に応じた電位を配線WOLに充電する。この時の配線WOLの充電は、上述したように、高速で行うことができる。また時刻T3では、先の時刻T2で充電された配線WELの重みデータW₂₁に応じた電位を切替回路44__1乃至44__4に与える制御信号wse1で切り替えて、演算回路45__1乃至45__4に与える。演算回路45__1乃至45__4では、同じ重みデータW₂₁に応じた積和演算処理を行い、出力データMAC 1乃至MAC 4を演算する。

[0111]

時刻T4では、制御信号gse1__E2をHレベルとして、切替回路42__4で選択した重みデータW₄₁に応じた電位を配線WELに充電する。この時の配線WELの充電は、上述したように、高速で行うことができる。また時刻T4では、先の時刻T3で充電された配線WOLの重みデータ

W_{31} に応じた電位を切替回路44__1乃至44__4に与える制御信号 $wse1$ で切り替えて、演算回路45__1乃至45__4に与える。演算回路45__1乃至45__4では、同じ重みデータ W_{31} に応じた積和演算処理を行い、出力データMAC1乃至MAC4を演算する。

[0112]

時刻T5では、制御信号 $lse1_O$ でラッチ回路41__1、41__3から重みデータ W_{12} 、重みデータ W_{32} を選択する。制御信号 $gse1_O1$ をHレベルとして、切替回路42__1で選択した重みデータ W_{12} に応じた電位を配線WOLに充電する。この時の配線WOLの充電は、上述したように、高速で行うことができる。また時刻T5では、先の時刻T4で充電された配線WELの重みデータ W_{41} に応じた電位を切替回路44__1乃至44__4に与える制御信号 $wse1$ で切り替えて、演算回路45__1乃至45__4に与える。演算回路45__1乃至45__4では、同じ重みデータ W_{41} に応じた積和演算処理を行い、出力データMAC1乃至MAC4を演算する。

[0113]

時刻T6では、制御信号 $lse1_E$ でラッチ回路41__2、41__4から重みデータ W_{22} 、重みデータ W_{42} を選択する。制御信号 $gse1_E1$ をHレベルとして、切替回路42__2で選択した重みデータ W_{22} に応じた電位を配線WELに充電する。この時の配線WELの充電は、上述したように、高速で行うことができる。また時刻T6では、先の時刻T5で充電された配線WOLの重みデータ W_{12} に応じた電位を切替回路44__1乃至44__4に与える制御信号 $wse1$ で切り替えて、演算回路45__1乃至45__4に与える。演算回路45__1乃至45__4では、同じ重みデータ W_{12} に応じた積和演算処理を行い、出力データMAC1乃至MAC4を演算する。

[0114]

以降の時刻においても、各制御信号を切り替えることで、重みデータを高速で切り替えながら演算回路45__1乃至45__4で積和演算を行い、出力データMAC1乃至MAC4を演算することができる。

[0115]

図14では、演算回路45の具体的な構成例を示す。図14では、重みデータ W （上述した W_O 、 W_E に相当）と、入力データAの積和演算処理を行うことができる演算回路45の構成例を図示している。図14において、乗算回路71、加算回路72およびレジスタ73を図示している。乗算回路71で乗算されたデータは加算回路72に輸入される。加算回路72の出力がレジスタ73に保持され、乗算回路71で乗算されたデータが加算回路72で足しあわされることで積和演算処理が行われる。レジスタ73は、クロック信号CLKおよびリセット信号 $reset_B$ によって制御される。当該構成とすることで重みデータ W と入力データAとの積和演算に相当する出力データMACを得ることができる。

[0116]

図15では、図1Aで説明した、演算回路部40上に積層して設けられる記憶回路部30、およびその周辺回路の構成例について図示している。具体的に図15では、駆動回路12、駆動回路13、制御回路14、処理回路15、記憶回路31、切替回路42、切替回路44、および演算回路45を図示している。

[0117]

なお図15で図示を省略しているが、図15の各回路には、各回路を制御するための制御信号、入力データおよび出力データが、外部の回路との間で入出力される構成となる。

[0118]

図16Aは、図15に図示する各構成について、記憶回路部30を制御するブロックを抜き出した図である。図16Aでは、記憶回路部30における記憶回路31の他、駆動回路12、駆動回路13を抜き出して図示している。

[0119]

駆動回路12および駆動回路13は、外部からの入力信号を処理して、記憶回路31に重みデータを書き込むための信号、および記憶回路31から重みデータを読み出すための信号を生成する。生成された信号は、配線を介して記憶回路に与えられる。

[0120]

図16Bは、図15に図示する各構成について、演算回路部40を制御するブロックを抜き出した図である。図16Bでは、演算回路部40が有する切替回路42、切替回路44、および演算回路45の他、制御回路14、処理回路15、配線WOL、WELを図示している。なお図16Bでは、ラッチ回路41、バッファ回路43等の図示を省略している。

[0121]

制御回路14は、入力データAを生成し、演算回路45に出力する。切替回路42は、記憶回路31から読みだされる重みデータを選択し、バッファ回路（図示せず）を介して配線WOLまたはWELに与える。切替回路44は、配線WOLまたはWELを選択し、重みデータW（上述したW_O、W_Eに相当）を演算回路45に出力する。演算回路45は、重みデータWと、入力データAの積和演算を行い、出力データMACを処理回路15に出力する。処理回路15では、出力データMACの後処理を行い、制御回路14に出力する。制御回路14では入力データAを演算回路部40に再入力する。

[0122]

半導体装置10では、制御回路14が演算処理されたデータを再度演算回路部40への入力データとして出力できる。そのため、演算途中のデータを半導体装置10の外部にあるメインメモリなどに読み出すことなく、演算処理を実行可能である。また半導体装置10では、記憶回路部と、演算回路部と、の間の電気的な接続を、絶縁膜等に設ける開口部の配線を介して行うことができるため、配線数をふやすことで並列数を増やすことが可能である。そのため半導体装置10では、CPUのデータバス幅以上のビット数の並列計算が可能となる。また演算回路部を記憶回路部と積層して設ける構成とするため、記憶回路を配置できる面積を増やすことができる。その結果、膨大な数の重みデータを記憶回路部で保持することができ、外部のメモリから重みデータを転送する回数を削減できるため、低消費電力化を図ることができる。

[0123]

以上説明したように、本発明の一態様は、小型化が図られた、アクセラレータとして機能する半導体装置を提供することができる。または、本発明の一態様は、低消費電力化が図られた、アクセラレータとして機能する半導体装置を提供することができる。または、新規な構成の、アクセラレータとして機能する半導体装置を提供することができる。

[0124]

（実施の形態2）

本実施の形態では、上記実施の形態で説明したCPU110で実行するプログラムの演算の一部を半導体装置10として説明したアクセラレータで実行する場合の、動作の一例を説明する。

[0125]

図17は、CPUで実行するプログラムの演算の一部をアクセラレータで実行する場合の、動作の一例を説明する図である。

[0126]

CPUにて、ホストプログラムが実行される（ホストプログラム実行；ステップS1）。

[0127]

CPUは、アクセラレータを用いて演算を行う際に必要とされるデータ用領域を、記憶回路部に確保するとの命令を確認した場合（メモリ確保命令；ステップS2）、該データ用領域を、記憶回路部に確保する（メモリ確保；ステップS3）。

[0128]

次に、CPUは、メインメモリあるいは外部記憶装置から上記記憶回路部へ入力データである重みデータを送信する（データ送信；ステップS4）。上記記憶回路部は該重みデータを受信し、該重みデータを、ステップS2で確保された領域に格納する（データ受信；ステップS5）。

[0129]

CPUは、カーネルプログラムを起動するとの命令を確認した場合（カーネルプログラムの起動；ステップS6）、アクセラレータは、カーネルプログラムの実行を開始する（演算開始；ステップS7）。

[0130]

アクセラレータがカーネルプログラムの実行を開始した直後、CPUを、演算を行う状態からPG（パワーゲーティング）状態へと切り替えてもよい（PG状態移行；ステップS8）。その場合、アクセラレータがカーネルプログラムの実行を終了する直前に、CPUは、PG状態から演算を行う状態へ切り替えられる（PG状態停止；ステップS9）。ステップS8からステップS9までの期間、CPUをPG状態にすることで、演算処理システム全体として消費電力および発熱を抑制することができる。

[0131]

アクセラレータがカーネルプログラムの実行を終了すると、出力データがアクセラレータ内の演算結果を保持する記憶部に格納される（演算終了；ステップS10）。

[0132]

カーネルプログラムの実行が終了した後、CPUは、記憶部に格納された出力データをメインメモリあるいは外部記憶装置へ送信するとの命令を確認した場合（データ送信リクエスト；ステップS11）、上記の出力データがメインメモリあるいは外部記憶装置へ送信され、メインメモリあるいは外部記憶装置に格納される（データ送信；ステップS12）。

[0133]

以上のステップS1からステップS14までの動作を繰り返すことにより、CPUおよびアクセラレータの消費電力および発熱を抑制しつつ、CPUで実行する演算の一部をアクセラレータで実行することができる。本発明の一態様の半導体装置は、非ノイマン型アーキテクチャを有し、処理速度の増加に伴って消費電力が大きくなるノイマン型アーキテクチャと比較して、極めて少ない消費電力で演算処理を行うことができる。

[0134]

本実施の形態は、他の実施の形態の記載と適宜組み合わせることができる。

[0135]

(実施の形態3)

本実施の形態では、パワーゲーティングが可能なCPUコアを有するCPUの一例について説明する。

[0136]

図18に、CPU110の構成例を示す。CPU110は、CPUコア(CPU Core)200、L1(レベル1)キャッシュメモリ装置(L1 Cache)202、L2キャッシュメモリ装置(L2 Cache)203、バスインターフェース部(Bus I/F)205、パワースイッチ210乃至212、レベルシフタ(LS)214を有する。CPUコア200はフリップフロップ220を有する。

[0137]

バスインターフェース部205によって、CPUコア200、L1キャッシュメモリ装置202、L2キャッシュメモリ装置203が相互に接続される。

[0138]

外部から入力される割り込み信号(Interrupts)、CPU110が発行する信号SLEEP1等の信号に応じて、PMU193はクロック信号GCLK1、各種のPG(パワーゲーティング)制御信号(PG control signals)の生成を行う。クロック信号GCLK1、PG制御信号はCPU110に入力される。PG制御信号は、パワースイッチ210~212、フリップフロップ220を制御する。

[0139]

パワースイッチ210、211は、仮想電源線V_VDD(以下、V_VDD線と呼ぶ)への電圧VDDD、VDD1の供給をそれぞれ制御する。パワースイッチ212は、レベルシフタ(LS)214への電圧VDDHの供給を制御する。CPU110およびPMU193には、パワースイッチを介さずに電圧VSSSが入力される。PMU193には、パワースイッチを介さずに電圧VDDが入力される。

[0140]

電圧VDDD、VDD1はCMOS回路用の駆動電圧である。電圧VDD1は電圧VDDDよりも低く、スリープ状態での駆動電圧である。電圧VDDHはOSトランジスタ用の駆動電圧であり、電圧VDDDよりも高い。

[0141]

L1キャッシュメモリ装置202、L2キャッシュメモリ装置203、バスインターフェース部205それぞれは、少なくとも1つパワーゲーティング可能なパワードメインを有する。パワーゲーティング可能なパワードメインには、1または複数のパワースイッチが設けられている。これらのパワースイッチは、PG制御信号によって制御される。

[0142]

フリップフロップ220は、レジスタに用いられる。フリップフロップ220には、バックアップ回路が設けられている。以下、フリップフロップ220について説明する。

[0143]

図19にフリップフロップ220(Flip-flop)の回路構成例を示す。フリップフロップ220はスキャンフリップフロップ(Scan Flip-flop)221、バックアップ回

路 (Backup Circuit) 222 を有する。

[0144]

スキャンフリップフロップ 221 は、ノード D1、Q1、SD、SE、RT、CK、クロックバッファ回路 221A を有する。

[0145]

ノード D1 はデータ (data) 入力ノードであり、ノード Q1 はデータ出力ノードであり、ノード SD はスキャンテスト用データの入力ノードである。ノード SE は信号 SCE の入力ノードである。ノード CK はクロック信号 CLK1 の入力ノードである。クロック信号 CLK1 はクロックバッファ回路 221A に入力される。スキャンフリップフロップ 221 のアナログスイッチは、クロックバッファ回路 221A のノード CK1、CKB1 に接続される。ノード RT はリセット信号 (reset signal) の入力ノードである。

[0146]

信号 SCE は、スキャンイネーブル信号であり、PMU193 で生成される。PMU193 は信号 BK、RC を生成する。レベルシフタ 214 は信号 BK、RC をレベルシフトし、信号 BKH、RCH を生成する。信号 BK はバックアップ信号、信号 RC はリカバリ信号である。

[0147]

スキャンフリップフロップ 221 の回路構成は、図 19 に限定されない。標準的な回路ライブラリに用意されているフリップフロップを適用することができる。

[0148]

バックアップ回路 222 は、ノード SD_IN、SN11、トランジスタ M11~M13、容量素子 C11 を有する。

[0149]

ノード SD_IN は、スキャンテストデータの入力ノードであり、スキャンフリップフロップ 221 のノード Q1 に接続される。ノード SN11 は、バックアップ回路 222 の保持ノードである。容量素子 C11 はノード SN11 の電圧を保持するための保持容量である。

[0150]

トランジスタ M11 はノード Q1 とノード SN11 間の導通状態を制御する。トランジスタ M12 はノード SN11 とノード SD 間の導通状態を制御する。トランジスタ M13 はノード SD_IN とノード SD 間の導通状態を制御する。トランジスタ M11、M13 のオンオフは信号 BKH で制御され、トランジスタ M12 のオンオフは信号 RCH で制御される。

[0151]

トランジスタ M11~M13 は、上述した記憶回路 31 が有するトランジスタ 61 乃至 63 と同様に、OS トランジスタである。トランジスタ M11~M13 はバックゲート有する構成を図示している。トランジスタ M11~M13 のバックゲートは、電圧 VBG1 を供給する電源線に接続されている。

[0152]

少なくともトランジスタ M11、M12 が OS トランジスタであることが好ましい。オフ電流が極めて小さいという OS トランジスタの特長によって、ノード SN11 の電圧の低下を抑えることができること、データの保持に電力を殆んど消費しないことから、バックアップ回路 222 は不揮発性の特性をもつ。容量素子 C11 の充放電によってデータを書き換えるため、バックアップ回路

２２２は原理的には書き換え回数に制約はなく、低エネルギーで、データの書き込みおよび読み出しが可能である。

[0 1 5 3]

バックアップ回路２２２の全てのトランジスタはＯＳトランジスタであることが非常に好ましい。図１９Ｂに示すように、シリコンＣＭＯＳ回路で構成されるスキャンフリップフロップ２２１上にバックアップ回路２２２を積層することができる。

[0 1 5 4]

バックアップ回路２２２は、スキャンフリップフロップ２２１と比較して素子数が非常に少ないので、バックアップ回路２２２を積層するためにスキャンフリップフロップ２２１の回路構成およびレイアウトの変更が必要ない。つまり、バックアップ回路２２２は、汎用性が非常に高いバックアップ回路である。また、スキャンフリップフロップ２２１が形成されている領域内にバックアップ回路２２２を設けることができるので、バックアップ回路２２２を組み込んでも、フリップフロップ２２０の面積オーバーヘッドはゼロにすることが可能である。よって、バックアップ回路２２２をフリップフロップ２２０に設けることで、ＣＰＵコア２００のパワーゲーティングが可能となる。パワーゲーティングに必要なエネルギーが少ないため、ＣＰＵコア２００を高効率にパワーゲーティングすることが可能である。

[0 1 5 5]

バックアップ回路２２２を設けることによって、トランジスタＭ１１による寄生容量がノードＱ１に付加されることになるが、ノードＱ１に接続される論理回路による寄生容量と比較して小さいので、スキャンフリップフロップ２２１の動作に影響はない。つまり、バックアップ回路２２２を設けても、フリップフロップ２２０の性能は実質的に低下しない。

[0 1 5 6]

ＣＰＵコア２００の低消費電力状態として、例えば、クロックゲーティング状態、パワーゲーティング状態、休止状態を設定することができる。ＰＭＵ１９３は、割り込み信号、信号ＳＬＥＥＰ１等に基づき、ＣＰＵコア２００の低消費電力モードを選択する。例えば、通常動作状態からクロックゲーティング状態に移行する場合、ＰＭＵ１９３はクロック信号ＧＣＬＫ１の生成を停止する。

[0 1 5 7]

例えば、通常動作状態から休止状態に移行する場合は、ＰＭＵ１９３は、電圧および／または周波数スケーリングを行う。例えば、電圧スケーリングを行う場合、ＰＭＵ１９３は、電圧ＶＤＤ１をＣＰＵコア２００に入力するため、パワースイッチ２１０をオフにし、パワースイッチ２１１をオンにする。電圧ＶＤＤ１は、スキャンフリップフロップ２２１のデータを消失させない電圧である。周波数スケーリングを行う場合、ＰＭＵ１９３はクロック信号ＧＣＬＫ１の周波数を低下させる。

[0 1 5 8]

ＣＰＵコア２００を通常動作状態からパワーゲーティング状態に移行する場合には、スキャンフリップフロップ２２１のデータをバックアップ回路２２２にバックアップする動作が行われる。ＣＰＵコア２００をパワーゲーティング状態から通常動作状態に復帰する際には、バックアップ回路２２２のデータをスキャンフリップフロップ２２１にリカバリする動作が行われる。

[0 1 5 9]

図２０に、ＣＰＵコア２００のパワーゲーティングシーケンスの一例を示す。なお、図２０にお

いて、 $t_1 \sim t_7$ は時刻を表している。信号PSE0～PSE2は、パワースイッチ210～212の制御信号であり、PMU193で生成される。信号PSE0が“H”／“L”のとき、パワースイッチ210はオン／オフである。信号PSE1、PSE2についても同様である。

[0160]

時刻 t_1 より前は、通常動作状態（Normal Operation）である。パワースイッチ210はオンであり、CPUコア200には電圧VDDDが入力される。スキャンフリップフロップ221は通常動作を行う。このとき、レベルシフタ214は動作させる必要がないため、パワースイッチ212はオフであり、信号SCE、BK、RCは“L”である。ノードSEが“L”であるため、スキャンフリップフロップ221はノードD1のデータを記憶する。なお、図20の例では、時刻 t_1 において、バックアップ回路222のノードSN11は“L”である。

[0161]

バックアップ（Backup）時の動作を説明する。動作時刻 t_1 で、PMU193はクロック信号GCLK1を停止し、信号PSE2、BKを“H”にする。レベルシフタ214はアクティブになり、“H”の信号BKHをバックアップ回路222に出力する。

[0162]

バックアップ回路222のトランジスタM11がオンになり、スキャンフリップフロップ221のノードQ1のデータがバックアップ回路222のノードSN11に書き込まれる。スキャンフリップフロップ221のノードQ1が“L”であれば、ノードSN11は“L”のままであり、ノードQ1が“H”であれば、ノードSN11は“H”になる。

[0163]

PMU193は、時刻 t_2 で信号PSE2、BKを“L”にし、時刻 t_3 で信号PSE0を“L”にする。時刻 t_3 で、CPUコア200の状態はパワーゲーティング状態に移行する。なお、信号BKを立ち下げるタイミングで信号PSE0を立ち下げてもよい。

[0164]

パワーゲーティング（Power-gating）時の動作を説明する。信号PSE0が“L”になることで、V__VDD線の電圧が低下するため、ノードQ1のデータは失われる。ノードSN11は、時刻 t_3 でのノードQ1のデータを保持し続ける。

[0165]

リカバリ（Recovery）時の動作を説明する。時刻 t_4 で、PMU193が信号PSE0を“H”にすることで、パワーゲーティング状態からリカバリ状態に移行する。V__VDD線の充電が開始され、V__VDD線の電圧がVDDDになった状態（時刻 t_5 ）で、PMU193は信号PSE2、RC、SCEを“H”にする。

[0166]

トランジスタM12はオンになり、容量素子C11の電荷がノードSN11とノードSDとに分配される。ノードSN11が“H”であれば、ノードSDの電圧は上昇する。ノードSEは“H”であるので、スキャンフリップフロップ221の入力側ラッチ回路にノードSDのデータが書き込まれる。時刻 t_6 でノードCKにクロック信号GCLK1が入力されると、入力側ラッチ回路のデータがノードQ1に書き込まれる。つまり、ノードSN11のデータがノードQ1に書き込まれたことになる。

[0167]

時刻 t_7 で、PMU 193 は信号 PSE 2、SCE、RC を “L” にし、リカバリ動作が終了する。

[0168]

OS トランジスタを用いたバックアップ回路 222 は、動的および静的低消費電力双方が小さいため、ノーマリオフ・コンピューティングに非常に好適である。なお、OS トランジスタを用いたバックアップ回路 222 を有する CPU コア 200 を含む CPU 110 は、No ff CPU（登録商標）と呼称することができる。No ff CPU は、不揮発性メモリを有し、動作が必要ない場合には、電力供給を停止することができる。フリップフロップ 220 を搭載しても、CPU コア 200 の性能低下、動的電力の増加をほとんど発生させないようにできる。

[0169]

なお、CPU コア 200 は複数のパワーゲーティング可能なパワードメインを有してもよい。複数のパワードメインには、電圧の入力を制御するための 1 または複数のパワースイッチが設けられる。また、CPU コア 200 は、1 または複数のパワーゲーティングが行われないパワードメインを有していてもよい。例えば、パワーゲーティングが行われないパワードメインに、フリップフロップ 220、パワースイッチ 210～212 の制御を行うためのパワーゲーティング制御回路を設けてもよい。

[0170]

なお、フリップフロップ 220 の適用は CPU 110 に限定されない。CPU 110 において、パワーゲーティング可能なパワードメインに設けられるレジスタに、フリップフロップ 220 を適用できる。

[0171]

本実施の形態は、他の実施の形態の記載と適宜組み合わせることができる。

[0172]

（実施の形態 4）

本実施の形態では、上記実施の形態で説明した CPU 110、および半導体装置 10 として説明したアクセラレータに適用可能なトランジスタの構成の一例について説明する。一例として、異なる電気特性を有するトランジスタを積層して設ける構成について説明する。当該構成とすることで、半導体装置の設計自由度を高めることができる。また、異なる電気特性を有するトランジスタを積層して設けることで、半導体装置の集積度を高めることができる。

[0173]

半導体装置の断面構造の一部を図 21 に示す。図 21 に示す半導体装置は、トランジスタ 550 と、トランジスタ 500 と、容量素子 600 と、を有している。図 22A はトランジスタ 500 のチャネル長方向の断面図であり、図 22B はトランジスタ 500 のチャネル幅方向の断面図である。例えば、トランジスタ 500 は上記実施の形態に示した記憶回路 31 が有する OS トランジスタ、つまりチャネル形成領域に酸化物半導体を有するトランジスタに相当する。また、トランジスタ 550 は上記実施の形態に示した演算回路部 40 が有する Si トランジスタ、つまりチャネル形成領域にシリコンを有するトランジスタに相当する。また、容量素子 600 は記憶回路 31 が有する容量素子に相当する。

[0174]

トランジスタ 500 は、OS トランジスタである。OS トランジスタは、オフ電流が極めて少な

い。よって、トランジスタ500を介して記憶ノードに書き込んだデータ電圧あるいは電荷を長期間保持することが可能である。つまり、記憶ノードのリフレッシュ動作頻度を低減、あるいは、リフレッシュ動作を必要としないため、半導体装置の消費電力を低減することができる。

[0175]

図21では、トランジスタ500はトランジスタ550の上方に設けられ、容量素子600はトランジスタ550、およびトランジスタ500の上方に設けられている。

[0176]

トランジスタ550は、基板311に設けられる。基板311は、例えば、p型のシリコン基板である。基板311は、n型のシリコン基板でもよい。酸化物層314は、基板311に埋め込み酸化(Burried oxide)によって形成された絶縁層(BOX層ともいう)、例えば酸化シリコンであることが好ましい。トランジスタ550は、基板311に酸化物層314を介して設けられた単結晶シリコン、いわゆるSOI(Silicon On Insulator)基板に設けられる。

[0177]

SOI基板における基板311は、素子分離層として機能する絶縁体313が設けられる。また基板311は、ウェル領域312を有する。ウェル領域312は、トランジスタ550の導電型に応じてn型またはp型の導電性が付与された領域である。SOI基板における単結晶シリコンには、半導体領域315、ソース領域またはドレイン領域として機能する低抵抗領域316a、低抵抗領域316bが設けられる。またウェル領域312上には、低抵抗領域316cを有する。

[0178]

トランジスタ550は、導電性を付与する不純物元素が付加されたウェル領域312に重ねて設けることができる。ウェル領域312は、低抵抗領域316cを介して電位を独立して変化させることで、トランジスタ550のボトムゲート電極として機能させることができる。そのため、トランジスタ550のしきい値電圧を制御することができる。特に、トランジスタ550がnチャネルトランジスタの場合、ウェル領域312に負の電位を印加することにより、トランジスタ550のしきい値電圧をより大きくし、オフ電流を低減することが可能となる。したがって、ウェル領域312に負の電位を印加することで、Siトランジスタのゲート電極に印加する電位が0Vのときのドレイン電流を小さくすることができる。その結果、トランジスタ550を有する演算回路部40における貫通電流等に基づく消費電力を低減でき、演算効率の向上を図ることができる。

[0179]

トランジスタ550は、半導体層の上面およびチャネル幅方向の側面が絶縁体317を介して導電体318に覆われている、いわゆるFin型とすることが好ましい。トランジスタ550をFin型とすることにより、実効上のチャネル幅が増大することによりトランジスタ550のオン特性を向上させることができる。また、ゲート電極の電界の寄与を高くすることができるため、トランジスタ550のオフ特性を向上させることができる。

[0180]

なお、トランジスタ550は、pチャネル型のトランジスタ、あるいはnチャネル型のトランジスタのいずれでもよい。

[0181]

導電体318は、第1ゲート(トップゲートともいう)電極として機能する場合がある。また、

ウェル領域 3 1 2 は、第 2 ゲート（ボトムゲートともいう）電極として機能する場合がある。その場合、ウェル領域 3 1 2 に印加する電位は、低抵抗領域 3 1 6 c を介して制御することができる。

[0 1 8 2]

半導体領域 3 1 5 のチャネルが形成される領域、その近傍の領域、ソース領域、またはドレイン領域となる低抵抗領域 3 1 6 a、および低抵抗領域 3 1 6 b、ウェル領域 3 1 2 の電位を制御する電極に接続される低抵抗領域 3 1 6 c などにおいて、シリコン系半導体などの半導体を含むことが好ましく、単結晶シリコンを含むことが好ましい。または、Ge（ゲルマニウム）、SiGe（シリコンゲルマニウム）、GaAs（ガリウムヒ素）、GaAlAs（ガリウムアルミニウムヒ素）などを有する材料で形成してもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。または GaAs と GaAlAs 等を用いることで、トランジスタ 5 5 0 を HEMT（High Electron Mobility Transistor）としてもよい。

[0 1 8 3]

ウェル領域 3 1 2、低抵抗領域 3 1 6 a、低抵抗領域 3 1 6 b、および低抵抗領域 3 1 6 c は、半導体領域 3 1 5 に適用される半導体材料に加え、ヒ素、リンなどの n 型の導電性を付与する元素、またはホウ素などの p 型の導電性を付与する元素を含む。

[0 1 8 4]

ゲート電極として機能する導電体 3 1 8 は、ヒ素、リンなどの n 型の導電性を付与する元素、もしくはホウ素などの p 型の導電性を付与する元素を含むシリコンなどの半導体材料、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。また導電体 3 1 8 は、ニッケルシリサイド等のシリサイドを用いてもよい。

[0 1 8 5]

なお、導電体の材料によって仕事関数が決まるため、当該導電体の材料を選択することで、トランジスタのしきい値電圧を調整することができる。具体的には、導電体に窒化チタンや窒化タンタルなどの材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電体にタングステンやアルミニウムなどの金属材料を積層として用いることが好ましく、特にタングステンをを用いることが耐熱性の点で好ましい。

[0 1 8 6]

低抵抗領域 3 1 6 a、低抵抗領域 3 1 6 b、および低抵抗領域 3 1 6 c は、別の導電体、例えばニッケルシリサイド等のシリサイドを積層して設ける構成としてもよい。当該構成とすることで、電極として機能する領域の導電性を高めることができる。またこのとき、ゲート電極として機能する導電体 3 1 8 の側面、およびゲート絶縁膜として機能する絶縁体の側面には、サイドウォールスペーサ（側壁絶縁層ともいう）として機能する絶縁体を設ける構成としてもよい。当該構成とすることで、導電体 3 1 8 と、低抵抗領域 3 1 6 a および低抵抗領域 3 1 6 b と、が導通状態となることを防ぐことができる。

[0 1 8 7]

トランジスタ 5 5 0 を覆って、絶縁体 3 2 0、絶縁体 3 2 2、絶縁体 3 2 4、および絶縁体 3 2 6 が順に積層して設けられている。

[0 1 8 8]

絶縁体 3 2 0、絶縁体 3 2 2、絶縁体 3 2 4、および絶縁体 3 2 6 として、例えば、酸化シリコ

ン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよい。

[0189]

なお、本明細書中において、酸化窒化シリコンとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。また、本明細書中において、酸化窒化アルミニウムとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化アルミニウムとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。

[0190]

絶縁体322は、その下方に設けられるトランジスタ550などによって生じる段差を平坦化する平坦化膜としての機能を有していてもよい。例えば、絶縁体322の上面は、平坦性を高めるために化学機械研磨（CMP）法等を用いた平坦化处理により平坦化されていてもよい。

[0191]

また、絶縁体324には、基板311、またはトランジスタ550などから、トランジスタ500が設けられる領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。

[0192]

水素に対するバリア性を有する膜の一例として、例えば、CVD法で形成した窒化シリコンを用いることができる。ここで、トランジスタ500等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ500と、トランジスタ550との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

[0193]

水素の脱離量は、例えば、昇温脱離ガス分析法（TDS）などを用いて分析することができる。例えば、絶縁体324の水素の脱離量は、TDS分析において、膜の表面温度が50℃から500℃の範囲において、水素原子に換算した脱離量が、絶縁体324の面積当りに換算して、 $1.0 \times 10^{15} \text{ atoms/cm}^2$ 以下、好ましくは $5 \times 10^{15} \text{ atoms/cm}^2$ 以下であればよい。

[0194]

なお、絶縁体326は、絶縁体324よりも誘電率が低いことが好ましい。例えば、絶縁体326の比誘電率は4未満が好ましく、3未満がより好ましい。また例えば、絶縁体326の比誘電率は、絶縁体324の比誘電率の0.7倍以下が好ましく、0.6倍以下がより好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

[0195]

また、絶縁体320、絶縁体322、絶縁体324、および絶縁体326には、容量素子600またはトランジスタ500と接続する導電体328、および導電体330等が埋め込まれている。なお、導電体328、および導電体330は、プラグまたは配線としての機能を有する。また、プラグまたは配線としての機能を有する導電体は、複数の構成をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、および導電体の一部がプラグとして機能する場合もある。

[0196]

各プラグ、および配線（導電体328、導電体330等）の材料としては、金属材料、合金材料、金属窒化物材料、または金属酸化物材料などの導電性材料を、単層または積層して用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、タングステンを用いることが好ましい。または、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

[0197]

絶縁体326、および導電体330上に、配線層を設けてもよい。例えば、図21では、絶縁体350、絶縁体352、および絶縁体354が順に積層して設けられている。また、絶縁体350、絶縁体352、および絶縁体354には、導電体356が形成されている。導電体356は、トランジスタ550と接続するプラグ、または配線としての機能を有する。なお導電体356は、導電体328、および導電体330と同様の材料を用いて設けることができる。

[0198]

なお、例えば、絶縁体350は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体356は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体350が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ550とトランジスタ500とは、バリア層により分離することができ、トランジスタ550からトランジスタ500への水素の拡散を抑制することができる。

[0199]

なお、水素に対するバリア性を有する導電体としては、例えば、窒化タンタル等を用いるとよい。また、窒化タンタルと導電性が高いタングステンを積層することで、配線としての導電性を保持したまま、トランジスタ550からの水素の拡散を抑制することができる。この場合、水素に対するバリア性を有する窒化タンタル層が、水素に対するバリア性を有する絶縁体350と接する構成であることが好ましい。

[0200]

絶縁体354、および導電体356上に、配線層を設けてもよい。例えば、図21では、絶縁体360、絶縁体362、および絶縁体364が順に積層して設けられている。また、絶縁体360、絶縁体362、および絶縁体364には、導電体366が形成されている。導電体366は、プラグまたは配線としての機能を有する。なお導電体366は、導電体328、および導電体330と同様の材料を用いて設けることができる。

[0201]

なお、例えば、絶縁体360は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体366は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体360が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ550とトランジスタ500とは、バリア層により分離することができ、トランジスタ550からトランジスタ500への水素の拡散を抑制することができる。

[0202]

絶縁体364、および導電体366上に、配線層を設けてもよい。例えば、図21では、絶縁体

370、絶縁体372、および絶縁体374が順に積層して設けられている。また、絶縁体370、絶縁体372、および絶縁体374には、導電体376が形成されている。導電体376は、プラグまたは配線としての機能を有する。なお導電体376は、導電体328、および導電体330と同様の材料を用いて設けることができる。

[0203]

なお、例えば、絶縁体370は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体376は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体370が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ550とトランジスタ500とは、バリア層により分離することができ、トランジスタ550からトランジスタ500への水素の拡散を抑制することができる。

[0204]

絶縁体374、および導電体376上に、配線層を設けてもよい。例えば、図21では、絶縁体380、絶縁体382、および絶縁体384が順に積層して設けられている。また、絶縁体380、絶縁体382、および絶縁体384には、導電体386が形成されている。導電体386は、プラグまたは配線としての機能を有する。なお導電体386は、導電体328、および導電体330と同様の材料を用いて設けることができる。

[0205]

なお、例えば、絶縁体380は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体386は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体380が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ550とトランジスタ500とは、バリア層により分離することができ、トランジスタ550からトランジスタ500への水素の拡散を抑制することができる。

[0206]

上記において、導電体356を含む配線層、導電体366を含む配線層、導電体376を含む配線層、および導電体386を含む配線層、について説明したが、本実施の形態に係る半導体装置はこれに限られるものではない。導電体356を含む配線層と同様の配線層を3層以下にしてもよいし、導電体356を含む配線層と同様の配線層を5層以上にしてもよい。

[0207]

絶縁体384上には絶縁体510、絶縁体512、絶縁体514、および絶縁体516が、順に積層して設けられている。絶縁体510、絶縁体512、絶縁体514、および絶縁体516のいずれかは、酸素や水素に対してバリア性のある物質を用いることが好ましい。

[0208]

例えば、絶縁体510、および絶縁体514には、例えば、基板311、またはトランジスタ550を設ける領域などから、トランジスタ500を設ける領域に、水素や不純物に対するバリア性を有する膜を用いることが好ましい。したがって、絶縁体324と同様の材料を用いることができる。

[0209]

水素に対するバリア性を有する膜の一例として、CVD法で形成した窒化シリコンを用いること

ができる。ここで、トランジスタ 500 等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ 500 と、トランジスタ 550 との間に、水素の拡散を抑制する膜を用いることが好ましい。

[0210]

また、水素に対するバリア性を有する膜として、例えば、絶縁体 510、および絶縁体 514 には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

[0211]

特に、酸化アルミニウムは、酸素、およびトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中および作製後において、水素、水分などの不純物のトランジスタ 500 への混入を防止することができる。また、トランジスタ 500 を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ 500 に対する保護膜として用いることに適している。

[0212]

また、例えば、絶縁体 512、および絶縁体 516 には、絶縁体 320 と同様の材料を用いることができる。また、これらの絶縁体に、比較的誘電率が低い材料を適用することで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体 512、および絶縁体 516 として、酸化シリコン膜や酸化窒化シリコン膜などを用いることができる。

[0213]

また、絶縁体 510、絶縁体 512、絶縁体 514、および絶縁体 516 には、導電体 518、およびトランジスタ 500 を構成する導電体（例えば、導電体 503）等が埋め込まれている。なお、導電体 518 は、容量素子 600、またはトランジスタ 550 と接続するプラグ、または配線としての機能を有する。導電体 518 は、導電体 328、および導電体 330 と同様の材料を用いて設けることができる。

[0214]

特に、絶縁体 510、および絶縁体 514 と接する領域の導電体 518 は、酸素、水素、および水に対するバリア性を有する導電体であることが好ましい。当該構成により、トランジスタ 550 とトランジスタ 500 とは、酸素、水素、および水に対するバリア性を有する層で、分離することができ、トランジスタ 550 からトランジスタ 500 への水素の拡散を抑制することができる。

[0215]

絶縁体 516 の上方には、トランジスタ 500 が設けられている。

[0216]

図 22A および図 22B に示すように、トランジスタ 500 は、絶縁体 514 および絶縁体 516 に埋め込まれるように配置された導電体 503 と、絶縁体 516 および導電体 503 の上に配置された絶縁体 522 と、絶縁体 522 の上に配置された絶縁体 524 と、絶縁体 524 の上に配置された酸化物 530a と、酸化物 530a の上に配置された酸化物 530b と、酸化物 530b 上に互いに離れて配置された導電体 542a および導電体 542b と、導電体 542a および導電体 542b 上に配置され、導電体 542a と導電体 542b の間に重畳して開口が形成された絶縁体 580 と、開口の底面および側面に配置された絶縁体 545 と、絶縁体 545 の形成面に配置された導電体 560 と、を有する。

[0217]

また、図22Aおよび図22Bに示すように、酸化物530a、酸化物530b、導電体542a、および導電体542bと、絶縁体580の間に絶縁体544が配置されることが好ましい。また、図22Aおよび図22Bに示すように、導電体560は、絶縁体545の内側に設けられた導電体560aと、導電体560aの内側に埋め込まれるように設けられた導電体560bと、を有することが好ましい。また、図22Aおよび図22Bに示すように、絶縁体580、導電体560、および絶縁体545の上に絶縁体574が配置されることが好ましい。

[0218]

なお、本明細書などにおいて、酸化物530a、および酸化物530bをまとめて酸化物530という場合がある。

[0219]

なお、トランジスタ500では、チャネルが形成される領域と、その近傍において、酸化物530a、および酸化物530bの2層を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、酸化物530bの単層、または3層以上の積層構成を設ける構成にしてもよい。

[0220]

また、トランジスタ500では、導電体560を2層の積層構成として示しているが、本発明はこれに限られるものではない。例えば、導電体560が、単層構成であってもよいし、3層以上の積層構成であってもよい。また、図21、図22A、および図22Bに示すトランジスタ500は一例であり、その構成に限定されず、回路構成や駆動方法などに応じて適切なトランジスタを用いればよい。

[0221]

ここで、導電体560は、トランジスタのゲート電極として機能し、導電体542aおよび導電体542bは、それぞれソース電極またはドレイン電極として機能する。上記のように、導電体560は、絶縁体580の開口、および導電体542aと導電体542bに挟まれた領域に埋め込まれるように形成される。導電体560、導電体542aおよび導電体542bの配置は、絶縁体580の開口に対して、自己整合的に選択される。つまり、トランジスタ500において、ゲート電極を、ソース電極とドレイン電極の間に、自己整合的に配置させることができる。よって、導電体560を位置合わせのマージンを設けることなく形成することができるので、トランジスタ500の占有面積の縮小を図ることができる。これにより、半導体装置の微細化、高集積化を図ることができる。

[0222]

さらに、導電体560が、導電体542aと導電体542bの間の領域に自己整合的に形成されるので、導電体560は、導電体542aまたは導電体542bと重畳する領域を有さない。これにより、導電体560と導電体542aおよび導電体542bとの間に形成される寄生容量を低減することができる。よって、トランジスタ500のスイッチング速度を向上させ、高い周波数特性を有せしめることができる。

[0223]

導電体560は、第1ゲート（トップゲートともいう）電極として機能する場合がある。また、導電体503は、第2ゲート（ボトムゲートともいう）電極として機能する場合がある。その場合、

導電体503に印加する電位を、導電体560に印加する電位と、連動させず、独立して変化させることで、トランジスタ500のしきい値電圧を制御することができる。特に、導電体503に負の電位を印加することにより、トランジスタ500のしきい値電圧をより大きくし、オフ電流を低減することが可能となる。したがって、導電体503に負の電位を印加したほうが、印加しない場合よりも、導電体560に印加する電位が0Vのときのドレイン電流を小さくすることができる。

[0224]

導電体503は、酸化物530、および導電体560と、重なるように配置する。これにより、導電体560、および導電体503に電位を印加した場合、導電体560から生じる電界と、導電体503から生じる電界と、がつながり、酸化物530に形成されるチャネル形成領域を覆うことができる。

[0225]

本明細書等において、一対のゲート電極（第1のゲート電極、および第2のゲート電極）の電界によって、チャネル形成領域を電気的に取り囲むトランジスタの構成を、*surrounded channel*（*S-channel*）構成とよぶ。また、本明細書等で開示する*S-channel*構成は、*Fin*型構成およびプレーナ型構成とは異なる。*S-channel*構成を採用することで、短チャネル効果に対する耐性を高める、別言すると短チャネル効果が発生し難いトランジスタとすることができる。

[0226]

また、導電体503は、導電体518と同様の構成であり、絶縁体514および絶縁体516の開口の内壁に接して導電体503aが形成され、さらに内側に導電体503bが形成されている。なお、トランジスタ500では、導電体503aおよび導電体503bを積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体503は、単層、または3層以上の積層構成として設ける構成にしてもよい。

[0227]

ここで、導電体503aは、水素原子、水素分子、水分子、銅原子などの不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい。）導電性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する（上記酸素が透過しにくい。）導電性材料を用いることが好ましい。なお、本明細書において、不純物、または酸素の拡散を抑制する機能とは、上記不純物、または上記酸素のいずれか一または、すべての拡散を抑制する機能とする。

[0228]

例えば、導電体503aが酸素の拡散を抑制する機能を持つことにより、導電体503bが酸化して導電率が低下することを抑制することができる。

[0229]

また、導電体503が配線の機能を兼ねる場合、導電体503bは、タングステン、銅、またはアルミニウムを主成分とする、導電性が高い導電性材料を用いることが好ましい。なお、本実施の形態では導電体503を導電体503aと導電体503bの積層で図示したが、導電体503は単層構成であってもよい。

[0230]

絶縁体522、および絶縁体524は、第2のゲート絶縁膜としての機能を有する。

[0231]

ここで、酸化物530と接する絶縁体524は、化学量論的組成を満たす酸素よりも多くの酸素を含む絶縁体を用いることが好ましい。当該酸素は、加熱により膜中から放出されやすい。本明細書などでは、加熱により放出される酸素を「過剰酸素」と呼ぶ場合がある。つまり、絶縁体524には、過剰酸素を含む領域（「過剰酸素領域」ともいう。）が形成されていることが好ましい。このような過剰酸素を含む絶縁体を酸化物530に接して設けることにより、酸化物530中の酸素欠損（ V_o : oxygen vacancyともいう）を低減し、トランジスタ500の信頼性を向上させることができる。なお、酸化物530中の酸素欠損に水素が入った場合、当該欠陥（以下、 V_oH と呼ぶ場合がある。）はドナーとして機能し、キャリアである電子が生成されることがある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成する場合がある。従って、水素が多く含まれている酸化物半導体を用いたトランジスタは、ノーモリーオン特性となりやすい。また、酸化物半導体中の水素は、熱、電界などのストレスによって動きやすいため、酸化物半導体に多くの水素が含まれると、トランジスタの信頼性が悪化する虞もある。本発明の一態様においては、酸化物530中の V_oH をできる限り低減し、高純度真性または実質的に高純度真性にするのが好ましい。このように、 V_oH が十分低減された酸化物半導体を得るには、酸化物半導体中の水分、水素などの不純物を除去すること（「脱水」または「脱水素化处理」ともいう。）と、酸化物半導体に酸素を供給して酸素欠損を補填すること（「加酸素化处理」ともいう。）が重要である。 V_oH などの不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

[0232]

過剰酸素領域を有する絶縁体として、具体的には、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。加熱により酸素を脱離する酸化物とは、TDS（Thermal Desorption Spectroscopy）分析にて、酸素原子に換算しての酸素の脱離量が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、好ましくは $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、さらに好ましくは $2.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、または $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上である酸化物膜である。なお、上記TDS分析時における膜の表面温度としては 100°C 以上 700°C 以下、または 100°C 以上 400°C 以下の範囲が好ましい。

[0233]

また、上記過剰酸素領域を有する絶縁体と、酸化物530と、を接して加熱処理、マイクロ波処理、またはRF処理のいずれか一または複数の処理を行っても良い。当該処理を行うことで、酸化物530中の水、または水素を除去することができる。例えば、酸化物530において、 V_oH の結合が切断される反応が起きる、別言すると「 $V_oH \rightarrow V_o + H$ 」という反応が起きて、脱水素化することができる。このとき発生した水素の一部は、酸素と結合して H_2O として、酸化物530、または酸化物530近傍の絶縁体から除去される場合がある。また、水素の一部は、導電体542にゲッタリングされる場合がある。

[0234]

また、上記マイクロ波処理は、例えば、高密度プラズマを発生させる電源を有する装置、または、基板側にRFを印加する電源を有する装置を用いると好適である。例えば、酸素を含むガスをを用い、且つ高密度プラズマを用いることより、高密度の酸素ラジカルを生成することができ、基板側にRFを印加することで、高密度プラズマによって生成された酸素ラジカルを、効率よく酸化物530、

または酸化物 530 近傍の絶縁体中に導入することができる。また、上記マイクロ波処理は、圧力を 133 Pa 以上、好ましくは 200 Pa 以上、さらに好ましくは 400 Pa 以上とすればよい。また、マイクロ波処理を行う装置内に導入するガスとしては、例えば、酸素と、アルゴンとを用い、酸素流量比 ($O_2 / (O_2 + Ar)$) が 50 % 以下、好ましくは 10 % 以上 30 % 以下で行うとよい。

[0235]

また、トランジスタ 500 の作製工程中において、酸化物 530 の表面が露出した状態で、加熱処理を行うと好適である。当該加熱処理は、例えば、100℃以上 450℃以下、より好ましくは 350℃以上 400℃以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを 10 ppm 以上、1 % 以上、もしくは 10 % 以上含む雰囲気で行う。例えば、加熱処理は酸素雰囲気で行うことが好ましい。これにより、酸化物 530 に酸素を供給して、酸素欠損 (V_O) の低減を図ることができる。また、加熱処理は減圧状態で行ってもよい。または、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気で加熱処理した後に、脱離した酸素を補うために、酸化性ガスを 10 ppm 以上、1 % 以上、または 10 % 以上含む雰囲気で行ってもよい。または、酸化性ガスを 10 ppm 以上、1 % 以上、または 10 % 以上含む雰囲気で加熱処理した後に、連続して窒素ガスもしくは不活性ガスの雰囲気で加熱処理を行ってもよい。

[0236]

なお、酸化物 530 に加酸素化処理を行うことで、酸化物 530 中の酸素欠損を、供給された酸素により修復させる、別言すると「 $V_O + O \rightarrow null$ 」という反応を促進させることができる。さらに、酸化物 530 中に残存した水素に供給された酸素が反応することで、当該水素を H_2O として除去する（脱水化する）ことができる。これにより、酸化物 530 中に残存していた水素が酸素欠損に再結合して V_OH が形成されるのを抑制することができる。

[0237]

また、絶縁体 524 が、過剰酸素領域を有する場合、絶縁体 522 は、酸素（例えば、酸素原子、酸素分子など）の拡散を抑制する機能を有する（上記酸素が透過しにくい）ことが好ましい。

[0238]

絶縁体 522 が、酸素や不純物の拡散を抑制する機能を有することで、酸化物 530 が有する酸素は、導電体 503 側へ拡散することがなく、好ましい。また、導電体 503 が、絶縁体 524 や、酸化物 530 が有する酸素と反応することを抑制することができる。

[0239]

絶縁体 522 は、例えば、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛（PZT）、チタン酸ストロンチウム（ $SrTiO_3$ ）、または（Ba, Sr） TiO_3 （BST）などのいわゆる h i g h - k 材料を含む絶縁体を単層または積層で用いることが好ましい。トランジスタの微細化、および高集積化が進むと、ゲート絶縁膜の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁膜として機能する絶縁体に h i g h - k 材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。

[0240]

特に、不純物、および酸素などの拡散を抑制する機能を有する（上記酸素が透過しにくい）絶縁性材料であるアルミニウム、ハフニウムの一方または双方の酸化物を含む絶縁体を用いるとよい。アルミニウム、ハフニウムの一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸

化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。このような材料を用いて絶縁体522を形成した場合、絶縁体522は、酸化物530からの酸素の放出や、トランジスタ500の周辺部から酸化物530への水素等の不純物の混入を抑制する層として機能する。

[0241]

または、これらの絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。またはこれらの絶縁体を窒化処理してもよい。上記の絶縁体に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。

[0242]

なお、図22Aおよび図22Bのトランジスタ500では、2層の積層構成からなる第2のゲート絶縁膜として、絶縁体522、および絶縁体524が図示されているが、第2のゲート絶縁膜は、単層、3層、または4層以上の積層構成を有していてもよい。その場合、同じ材料からなる積層構成に限定されず、異なる材料からなる積層構成でもよい。

[0243]

トランジスタ500は、チャネル形成領域を含む酸化物530に、酸化物半導体として機能する金属酸化物を用いる。例えば、酸化物530として、 $In-M-Zn$ 酸化物（元素Mは、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種）等の金属酸化物を用いるとよい。

[0244]

酸化物半導体として機能する金属酸化物の形成は、スパッタリング法で行なってもよいし、ALD (Atomic Layer Deposition) 法で行なってもよい。

[0245]

また、酸化物530においてチャネル形成領域として機能する金属酸化物は、バンドギャップが2 eV以上、好ましくは2.5 eV以上のものを用いることが好ましい。このように、バンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。

[0246]

酸化物530は、酸化物530b下に酸化物530aを有することで、酸化物530aよりも下方に形成された構成物から、酸化物530bへの不純物の拡散を抑制することができる。

[0247]

なお、酸化物530は、各金属原子の原子数比が異なる複数の酸化物層の積層構成を有することが好ましい。具体的には、酸化物530aに用いる金属酸化物において、構成元素中の元素Mの原子数比が、酸化物530bに用いる金属酸化物における、構成元素中の元素Mの原子数比より、大きいことが好ましい。また、酸化物530aに用いる金属酸化物において、Inに対する元素Mの原子数比が、酸化物530bに用いる金属酸化物における、Inに対する元素Mの原子数比より大きいことが好ましい。また、酸化物530bに用いる金属酸化物において、元素Mに対するInの原子数比が、酸化物530aに用いる金属酸化物における、元素Mに対するInの原子数比より大きいことが好ましい。

[0248]

また、酸化物530aの伝導帯下端のエネルギーが、酸化物530bの伝導帯下端のエネルギーより高くなることが好ましい。また、言い換えると、酸化物530a電子親和力が、酸化物530bの電子親和力より小さいことが好ましい。

[0249]

ここで、酸化物530aおよび酸化物530bの接合部において、伝導帯下端のエネルギー準位はなだらかに変化する。換言すると、酸化物530aおよび酸化物530bの接合部における伝導帯下端のエネルギー準位は、連続的に変化または連続接合するともいうことができる。このようにするためには、酸化物530aと酸化物530bとの界面において形成される混合層の欠陥準位密度を低くするとよい。

[0250]

具体的には、酸化物530aと酸化物530bが、酸素以外に共通の元素を有する（主成分とする）ことで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物530bがIn-Ga-Zn酸化物の場合、酸化物530aとして、In-Ga-Zn酸化物、Ga-Zn酸化物、酸化ガリウムなどを用いるとよい。

[0251]

このとき、キャリアの主たる経路は酸化物530bとなる。酸化物530aを上述の構成とすることで、酸化物530aと酸化物530bとの界面における欠陥準位密度を低くすることができる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ500は高いオン電流を得られる。

[0252]

酸化物530b上には、ソース電極、およびドレイン電極として機能する導電体542a、および導電体542bが設けられる。導電体542a、および導電体542bとしては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンから選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いることが好ましい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いることが好ましい。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物は、酸化しにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。更に、窒化タンタルなどの金属窒化物膜は、水素または酸素に対するバリア性があるため好ましい。

[0253]

また、図22Aでは、導電体542a、および導電体542bを単層構成として示したが、2層以上の積層構成としてもよい。例えば、窒化タンタル膜とタングステン膜を積層するとよい。また、チタン膜とアルミニウム膜を積層してもよい。また、タングステン膜上にアルミニウム膜を積層する二層構成、銅-マグネシウム-アルミニウム合金膜上に銅膜を積層する二層構成、チタン膜上に

銅膜を積層する二層構成、タングステン膜上に銅膜を積層する二層構成としてもよい。

[0254]

また、チタン膜または窒化チタン膜と、そのチタン膜または窒化チタン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にチタン膜または窒化チタン膜を形成する三層構成、モリブデン膜または窒化モリブデン膜と、そのモリブデン膜または窒化モリブデン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にモリブデン膜または窒化モリブデン膜を形成する三層構成等がある。なお、酸化インジウム、酸化錫または酸化亜鉛を含む透明導電材料を用いてもよい。

[0255]

また、図22Aに示すように、酸化物530の、導電体542a（導電体542b）との界面とその近傍には、低抵抗領域として、領域543a、および領域543bが形成される場合がある。このとき、領域543aはソース領域またはドレイン領域の一方として機能し、領域543bはソース領域またはドレイン領域の他方として機能する。また、領域543aと領域543bに挟まれる領域にチャンネル形成領域が形成される。

[0256]

酸化物530と接するように上記導電体542a（導電体542b）を設けることで、領域543a（領域543b）の酸素濃度が低減する場合がある。また、領域543a（領域543b）に導電体542a（導電体542b）に含まれる金属と、酸化物530の成分とを含む金属化合物層が形成される場合がある。このような場合、領域543a（領域543b）のキャリア密度が増加し、領域543a（領域543b）は、低抵抗領域となる。

[0257]

絶縁体544は、導電体542a、および導電体542bを覆うように設けられ、導電体542a、および導電体542bの酸化を抑制する。このとき、絶縁体544は、酸化物530の側面を覆い、絶縁体524と接するように設けられてもよい。

[0258]

絶縁体544として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、ネオジム、ランタンまたは、マグネシウムなどから選ばれた一種、または二種以上が含まれた金属酸化物を用いることができる。また、絶縁体544として、窒化酸化シリコンまたは窒化シリコンなども用いることができる。

[0259]

特に、絶縁体544として、アルミニウム、またはハフニウムの一方または双方の酸化物を含む絶縁体である、酸化アルミニウム、酸化ハフニウム、アルミニウム、およびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。特に、ハフニウムアルミネートは、酸化ハフニウム膜よりも、耐熱性が高い。そのため、後の工程での熱処理において、結晶化しにくいため好ましい。なお、導電体542a、および導電体542bが耐酸化性を有する材料、または、酸素を吸収しても導電性が低下しない材料である場合、絶縁体544は、必須の構成ではない。求めるトランジスタ特性により、適宜設計すればよい。

[0260]

絶縁体544を有することで、絶縁体580に含まれる水、および水素などの不純物が酸化物530bに拡散することを抑制することができる。また、絶縁体580が有する過剰酸素により、導

電体 5 4 2 が酸化するのを抑制することができる。

[0 2 6 1]

絶縁体 5 4 5 は、第 1 のゲート絶縁膜として機能する。絶縁体 5 4 5 は、上述した絶縁体 5 2 4 と同様に、過剰に酸素を含み、かつ加熱により酸素が放出される絶縁体を用いて形成することが好ましい。

[0 2 6 2]

具体的には、過剰酸素を有する酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素、および窒素を添加した酸化シリコン、空孔を有する酸化シリコンを用いることができる。特に、酸化シリコン、および酸化窒化シリコンは熱に対し安定であるため好ましい。

[0 2 6 3]

過剰酸素を含む絶縁体を絶縁体 5 4 5 として設けることにより、絶縁体 5 4 5 から、酸化物 5 3 0 b のチャネル形成領域に効果的に酸素を供給することができる。また、絶縁体 5 2 4 と同様に、絶縁体 5 4 5 中の水または水素などの不純物濃度が低減されていることが好ましい。絶縁体 5 4 5 の膜厚は、1 nm 以上 20 nm 以下とするのが好ましい。また、絶縁体 5 4 5 の形成前および／または形成後に、前述したマイクロ波処理を行なってもよい。

[0 2 6 4]

また、絶縁体 5 4 5 が有する過剰酸素を、効率的に酸化物 5 3 0 へ供給するために、絶縁体 5 4 5 と導電体 5 6 0 との間に金属酸化物を設けてもよい。当該金属酸化物は、絶縁体 5 4 5 から導電体 5 6 0 への酸素拡散を抑制することが好ましい。酸素の拡散を抑制する金属酸化物を設けることで、絶縁体 5 4 5 から導電体 5 6 0 への過剰酸素の拡散が抑制される。つまり、酸化物 5 3 0 へ供給する過剰酸素量の減少を抑制することができる。また、過剰酸素による導電体 5 6 0 の酸化を抑制することができる。当該金属酸化物としては、絶縁体 5 4 4 に用いることができる材料を用いればよい。

[0 2 6 5]

なお、絶縁体 5 4 5 は、第 2 のゲート絶縁膜と同様に、積層構成としてもよい。トランジスタの微細化、および高集積化が進むと、ゲート絶縁膜の薄膜化により、リーク電流などの問題が生じる場合があるため、ゲート絶縁膜として機能する絶縁体を、high-k 材料と、熱的に安定している材料との積層構成とすることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。また、熱的に安定かつ比誘電率の高い積層構成とすることができる。

[0 2 6 6]

第 1 のゲート電極として機能する導電体 5 6 0 は、図 2 2 A および図 2 2 B では 2 層構成として示しているが、単層構成でもよいし、3 層以上の積層構成であってもよい。

[0 2 6 7]

導電体 5 6 0 a は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子 (N_2O 、 NO 、 NO_2 など)、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。導電体 5 6 0 a が酸素の拡散を抑制する機能を持つことにより、絶縁体 5 4 5 に含まれる酸素により、導電体 5 6 0 b が酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、

タンタル、窒化タンタル、ルテニウム、または酸化ルテニウムなどを用いることが好ましい。また、導電体560aとして、酸化物530に適用できる酸化物半導体を用いることができる。その場合、導電体560bをスパッタリング法で成膜することで、導電体560aの電気抵抗値を低下させて導電体にすることができる。これをOC (Oxide Conductor) 電極と呼ぶことができる。

[0268]

また、導電体560bは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体560bは、配線としても機能するため、導電性が高い導電体を用いることが好ましい。例えば、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることができる。また、導電体560bは積層構成としてもよく、例えば、チタン又は窒化チタンと上記導電性材料との積層構成としてもよい。

[0269]

絶縁体580は、絶縁体544を介して、導電体542a、および導電体542b上に設けられる。絶縁体580は、過剰酸素領域を有することが好ましい。例えば、絶縁体580として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素、および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、または樹脂などを有することが好ましい。特に、酸化シリコン、および酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、空孔を有する酸化シリコンは、後の工程で、容易に過剰酸素領域を形成することができるため好ましい。

[0270]

絶縁体580は、過剰酸素領域を有することが好ましい。加熱により酸素が放出される絶縁体580を設けることで、絶縁体580中の酸素を酸化物530へと効率良く供給することができる。なお、絶縁体580中の水または水素などの不純物濃度が低減されていることが好ましい。

[0271]

絶縁体580の開口は、導電体542aと導電体542bの間の領域に重畳して形成される。これにより、導電体560は、絶縁体580の開口、および導電体542aと導電体542bに挟まれた領域に、埋め込まれるように形成される。

[0272]

半導体装置を微細化するに当たり、ゲート長を短くすることが求められるが、導電体560の導電性が下がらないようにする必要がある。そのために導電体560の膜厚を大きくすると、導電体560はアスペクト比が高い形状となりうる。本実施の形態では、導電体560を絶縁体580の開口に埋め込むように設けるため、導電体560をアスペクト比の高い形状にしても、工程中に導電体560を倒壊させることなく、形成することができる。

[0273]

絶縁体574は、絶縁体580の上面、導電体560の上面、および絶縁体545の上面に接して設けられることが好ましい。絶縁体574をスパッタリング法で成膜することで、絶縁体545、および絶縁体580へ過剰酸素領域を設けることができる。これにより、当該過剰酸素領域から、酸化物530中に酸素を供給することができる。

[0274]

例えば、絶縁体574として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニ

ウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、またはマグネシウムなどから選ばれた一種、または二種以上が含まれた金属酸化物を用いることができる。

[0275]

特に、酸化アルミニウムはバリア性が高く、0.5 nm以上3.0 nm以下の薄膜であっても、水素、および窒素の拡散を抑制することができる。したがって、スパッタリング法で成膜した酸化アルミニウムは、酸素供給源であるとともに、水素などの不純物のバリア膜としての機能も有することができる。

[0276]

また、絶縁体574の上に、層間膜として機能する絶縁体581を設けることが好ましい。絶縁体581は、絶縁体524などと同様に、膜中の水または水素などの不純物濃度が低減されていることが好ましい。

[0277]

また、絶縁体581、絶縁体574、絶縁体580、および絶縁体544に形成された開口に、導電体540a、および導電体540bを配置する。導電体540aおよび導電体540bは、導電体560を挟んで対向して設ける。導電体540aおよび導電体540bは、後述する導電体546、および導電体548と同様の構成である。

[0278]

絶縁体581上には、絶縁体582が設けられている。絶縁体582は、酸素や水素に対してバリア性のある物質を用いることが好ましい。したがって、絶縁体582には、絶縁体514と同様の材料を用いることができる。例えば、絶縁体582には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

[0279]

特に、酸化アルミニウムは、酸素、およびトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中および作製後において、水素、水分などの不純物のトランジスタ500への混入を防止することができる。また、トランジスタ500を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ500に対する保護膜として用いることに適している。

[0280]

また、絶縁体582上には、絶縁体586が設けられている。絶縁体586は、絶縁体320と同様の材料を用いることができる。また、これらの絶縁体に、比較的誘電率が低い材料を適用することで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体586として、酸化シリコン膜や酸化窒化シリコン膜などを用いることができる。

[0281]

また、絶縁体522、絶縁体524、絶縁体544、絶縁体580、絶縁体574、絶縁体581、絶縁体582、および絶縁体586には、導電体546、および導電体548等が埋め込まれている。

[0282]

導電体546、および導電体548は、容量素子600、トランジスタ500、またはトランジスタ550と接続するプラグ、または配線としての機能を有する。導電体546、および導電体5

48は、導電体328、および導電体330と同様の材料を用いて設けることができる。

[0283]

また、トランジスタ500の形成後、トランジスタ500を囲むように開口を形成し、当該開口を覆うように、水素、または水に対するバリア性が高い絶縁体を形成してもよい。上述のバリア性の高い絶縁体でトランジスタ500を包み込むことで、外部から水分、および水素が侵入するのを防止することができる。または、複数のトランジスタ500をまとめて、水素、または水に対するバリア性が高い絶縁体で包み込んでもよい。なお、トランジスタ500を囲むように開口を形成する場合、例えば、絶縁体522または絶縁体514に達する開口を形成し、絶縁体522または絶縁体514に接するように上述のバリア性の高い絶縁体を形成すると、トランジスタ500の作製工程の一部を兼ねられるため、好適である。なお、水素、または水に対するバリア性が高い絶縁体としては、例えば、絶縁体522または絶縁体514と同様の材料を用いればよい。

[0284]

続いて、トランジスタ500の上方には、容量素子600が設けられている。容量素子600は、導電体610と、導電体620と、絶縁体630とを有する。

[0285]

また、導電体546、および導電体548上に、導電体612を設けてもよい。導電体612は、トランジスタ500と接続するプラグ、または配線としての機能を有する。導電体610は、容量素子600の電極としての機能を有する。なお、導電体612、および導電体610は、同時に形成することができる。

[0286]

導電体612、および導電体610には、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウムから選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜（窒化タンタル膜、窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等を用いることができる。または、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの導電性材料を適用することもできる。

[0287]

本実施の形態では、導電体612、および導電体610を単層構成で示したが、当該構成に限定されず、2層以上の積層構成でもよい。例えば、バリア性を有する導電体と導電性が高い導電体との間に、バリア性を有する導電体、および導電性が高い導電体に対して密着性が高い導電体を形成してもよい。

[0288]

絶縁体630を介して、導電体610と重畳するように、導電体620を設ける。なお、導電体620は、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、特にタングステンを用いることが好ましい。また、導電体などの他の構成と同時に形成する場合は、低抵抗金属材料であるCu（銅）やAl（アルミニウム）等を用いればよい。

[0289]

導電体620、および絶縁体630上には、絶縁体640が設けられている。絶縁体640は、

絶縁体 320 と同様の材料を用いて設けることができる。また、絶縁体 640 は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。

[0290]

本構成を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、微細化または高集積化を図ることができる。

[0291]

本実施の形態に示す構成、構造、方法などは、他の実施の形態および実施例などに示す構成、構造、方法などと適宜組み合わせて用いることができる。

[0292]

(実施の形態 5)

本実施の形態では、上記実施の形態で説明した演算処理システム 100 が有する各構成を含む集積回路の構成について図 23A、図 23B を参照しながら説明する。

[0293]

図 23A は、演算処理システム 100 が有する各構成を含む集積回路を説明するための模式図の一例である。図 23A に図示する集積回路 390 は、CPU 110 および半導体装置 10 として説明したアクセラレータが有する回路の一部を OS トランジスタで構成することで、各回路を一体化した 1 つの集積回路とすることができる。

[0294]

図 23A に図示するように、CPU 110 において、CPU コア 200 の上層にある OS トランジスタを有する層にバックアップ回路 222 を設ける構成とすることができる。また図 23A に図示するように、半導体装置 10 として説明したアクセラレータにおいて、演算回路部 40 を構成する Si トランジスタを有する層の上層には、OS トランジスタを有する層に記憶回路部 30 を設ける構成とすることができる。その他、OS トランジスタを有する層には OS メモリ 300N 等を設ける構成とすることができる。OS メモリ 300N としては、上記実施の形態で説明した NOSRAM の他、DOSRAM を適用することができる。また OS メモリ 300N では、Si トランジスタを有する層に設けられる駆動回路上に OS トランジスタを有する層を積層することで、メモリ密度の向上を図ることができる。

[0295]

図 23A に図示するように、CPU 110、半導体装置 10 として説明したアクセラレータおよび OS メモリ 300N 等の各回路を密結合させた SoC の場合、発熱の問題があるが、OS トランジスタは熱による電気特性の変動量が Si トランジスタと比べて小さいため、好適である。また、図 23A に図示するように三次元方向において回路を集積化することによって、シリコン貫通電極 (Through Silicon Via: TSV) などを用いた積層構造などと比較して寄生容量を小さくすることができる。各配線の充放電に要する消費電力を削減することができる。そのため、演算処理効率の向上を図ることができる。

[0296]

図 23B に、集積回路 390 を組み込んだ半導体チップの一例を示す。図 23B に示す半導体チップ 391 は、リード 392 及び集積回路 390 を有する。集積回路 390 は、図 23A で説明したように、上記実施の形態で示した各種の回路が 1 のダイに設けられている。集積回路 390 は積層構造をもち、Si トランジスタを有する層 (Si トランジスタ層 393)、配線層 394、OS

トランジスタを有する層（OSトランジスタ層395）に大別される。OSトランジスタ層395は、Siトランジスタ層393上に積層して設けることができるため、半導体チップ391の小型化が容易である。

[0297]

図23Bでは、半導体チップ391のパッケージにQFP（Quad Flat Package）を適用しているが、パッケージの態様はこれに限定されない。その他の構成例としては、挿入実装型であるDIP（Dual In-line Package）、PGA（Pin Grid Array）、表面実装型であるSOP（Small Outline Package）、SSOP（Shrink Small Outline Package）、TSOP（Thin-Small Outline Package）、LCC（Leaded Chip Carrier）、QFN（Quad Flat Non-leaded package）、BGA（Ball Grid Array）、FBGA（Fine pitch Ball Grid Array）、接触実装型であるDTP（Dual Tape carrier Package）、QTP（Quad Tape-carrier Package）等の構造を適宜用いることができる。

[0298]

Siトランジスタを有する演算回路および切替回路と、OSトランジスタを有する記憶回路は、全て、Siトランジスタ層393、配線層394およびOSトランジスタ層395に形成することができる。すなわち、上記半導体装置を構成する素子は、同一の製造プロセスで形成することが可能である。そのため、図23Bに示すICは、構成する素子が増えても製造プロセスを増やす必要がなく、上記半導体装置を低コストで組み込むことができる。

[0299]

以上説明した本発明の一態様により、新規な半導体装置および電子機器を提供することができる。又は、本発明の一態様により、消費電力の小さい半導体装置および電子機器を提供することができる。又は、本発明の一態様により、発熱の抑制が可能な半導体装置および電子機器を提供することができる。

[0300]

本実施の形態は、他の実施の形態の記載と適宜組み合わせることができる。

[0301]

（実施の形態6）

本実施の形態では、上記実施の形態で説明した集積回路390を適用することが可能な電子機器、移動体、演算システムについて、図24乃至図27を参照しながら説明する。

[0302]

図24Aは、移動体の一例として自動車の外観図を図示している。図24Bは、自動車内でのデータのやり取りを簡略化した図である。自動車590は、複数のカメラ591等を有する。また、自動車590は、赤外線レーダー、ミリ波レーダー、レーザーレーダーなど各種センサ（図示せず）などを備える。

[0303]

自動車590において、カメラ591等により上記集積回路390（あるいは上記集積回路390を組み込んだ半導体チップ391）を用いることができる。自動車590は、カメラ591が複数の撮像方向592で得られた複数の画像を上記実施の形態で説明した集積回路390で処理し、バス

５９３等を介してホストコントローラ５９４等により複数の画像をまとめて解析することで、ガードレールや歩行者の有無など、周囲の交通状況を判断し、自動運転を行うことができる。また、道路案内、危険予測などを行うシステムに用いることができる。

[０３０４]

集積回路３９０では、得られた画像データをニューラルネットワークなどの演算処理を行うことで、例えば、画像の高解像度化、画像ノイズの低減、顔認識（防犯目的など）、物体認識（自動運転の目的など）、画像圧縮、画像補正（広ダイナミックレンジ化）、レンズレスイメージセンサの画像復元、位置決め、文字認識、反射映り込み低減などの処理を行うことができる。

[０３０５]

なお、上述では、移動体の一例として自動車について説明しているが、移動体は自動車に限定されない。例えば、移動体としては、電車、モノレール、船、飛行体（ヘリコプター、無人航空機（ドローン）、飛行機、ロケット）なども挙げることができ、これらの移動体に本発明の一態様のコンピュータを適用して、人工知能を利用したシステムを付与することができる。

[０３０６]

図２５Ａは、携帯型電子機器の一例を示す外観図である。図２５Ｂは、携帯型電子機器内でのデータのやり取りを簡略化した図である。携帯型電子機器５９５は、プリント配線基板５９６、スピーカー５９７、カメラ５９８、マイクロフォン５９９等を有する。

[０３０７]

携帯型電子機器５９５において、プリント配線基板５９６に上記集積回路３９０を設けることができる。携帯型電子機器５９５は、スピーカー５９７、カメラ５９８、マイクロフォン５９９等で得られる複数のデータを上記実施の形態で説明した集積回路３９０を用いて処理・解析することで、ユーザの利便性を向上させることができる。また、音声案内、画像検索などを行うシステムに用いることができる。

[０３０８]

集積回路３９０では、得られた画像データをニューラルネットワークなどの演算処理を行うことで、例えば、画像の高解像度化、画像ノイズの低減、顔認識（防犯目的など）、物体認識（自動運転の目的など）、画像圧縮、画像補正（広ダイナミックレンジ化）、レンズレスイメージセンサの画像復元、位置決め、文字認識、反射映り込み低減などの処理を行うことができる。

[０３０９]

図２６Ａに示す携帯型ゲーム機１１００は、筐体１１０１、筐体１１０２、筐体１１０３、表示部１１０４、接続部１１０５、操作キー１１０７等を有する。筐体１１０１、筐体１１０２および筐体１１０３は、取り外すことが可能である。筐体１１０１に設けられている接続部１１０５を筐体１１０８に取り付けることで、表示部１１０４に出力される映像を、別の映像機器に出力することができる。他方、筐体１１０２および筐体１１０３を筐体１１０９に取り付けることで、筐体１１０２および筐体１１０３を一体化し、操作部として機能させる。筐体１１０２および筐体１１０３の基板に設けられているチップなどに先の実施の形態に示す集積回路３９０を組み込むことができる。

[０３１０]

図２６ＢはＵＳＢ接続タイプのスティック型の電子機器１１２０である。電子機器１１２０は、筐体１１２１、キャップ１１２２、ＵＳＢコネクタ１１２３および基板１１２４を有する。基板１

1 2 4は、筐体1 1 2 1に収納されている。例えば、基板1 1 2 4には、メモリチップ1 1 2 5、コントローラチップ1 1 2 6が取り付けられている。基板1 1 2 4のコントローラチップ1 1 2 6などに先の実施の形態に示す集積回路3 9 0を組み込むことができる。

[0 3 1 1]

図2 6 Cは人型のロボット1 1 3 0である。ロボット1 1 3 0は、センサ2 1 0 1乃至2 1 0 6、および制御回路2 1 1 0を有する。例えば、制御回路2 1 1 0には、先の実施の形態に示す集積回路3 9 0を組み込むことができる。

[0 3 1 2]

上記実施の形態で説明した集積回路3 9 0は、電子機器に内蔵する代わりに、電子機器と通信を行うサーバーに用いることもできる。この場合、電子機器とサーバーによって演算システムが構成される。図2 7に、システム3 0 0 0の構成例を示す。

[0 3 1 3]

システム3 0 0 0は、電子機器3 0 0 1と、サーバー3 0 0 2によって構成される。電子機器3 0 0 1とサーバー3 0 0 2間の通信は、インターネット回線3 0 0 3を介して行うことができる。

[0 3 1 4]

サーバー3 0 0 2には、複数のラック3 0 0 4を有する。複数のラックには、複数の基板3 0 0 5が設けられ、当該基板3 0 0 5上に上記実施の形態で説明した集積回路3 9 0を搭載することができる。これにより、サーバー3 0 0 2にニューラルネットワークが構成される。そして、サーバー3 0 0 2は、電子機器3 0 0 1からインターネット回線3 0 0 3を介して入力されたデータを用いて、ニューラルネットワークの演算を行うことができる。サーバー3 0 0 2による演算の結果は必要に応じて、インターネット回線3 0 0 3を介して電子機器3 0 0 1に送信することができる。これにより、電子機器3 0 0 1における演算の負担を低減することができる。

[0 3 1 5]

本実施の形態は、他の実施の形態の記載と適宜組み合わせることができる。

[0 3 1 6]

(本明細書等の記載に関する付記)

以上の実施の形態、および実施の形態における各構成の説明について、以下に付記する。

[0 3 1 7]

各実施の形態に示す構成は、他の実施の形態あるいは実施例に示す構成と適宜組み合わせて、本発明の一態様とすることができる。また、1つの実施の形態の中に、複数の構成例が示される場合は、構成例を適宜組み合わせることが可能である。

[0 3 1 8]

なお、ある一つの実施の形態の中で述べる内容（一部の内容でもよい）は、その実施の形態で述べる別の内容（一部の内容でもよい）、および／または、一つ若しくは複数の別の実施の形態で述べる内容（一部の内容でもよい）に対して、適用、組み合わせ、または置き換えなどを行うことができる。

[0 3 1 9]

なお、実施の形態の中で述べる内容とは、各々の実施の形態において、様々な図を用いて述べる内容、または明細書に記載される文章を用いて述べる内容のことである。

[0 3 2 0]

なお、ある一つの実施の形態において述べる図（一部でもよい）は、その図の別の部分、その実施の形態において述べる別の図（一部でもよい）、および／または、一つ若しくは複数の別の実施の形態において述べる図（一部でもよい）に対して、組み合わせることにより、さらに多くの図を構成させることが出来る。

[0321]

また本明細書等において、ブロック図では、構成要素を機能毎に分類し、互いに独立したブロックとして示している。しかしながら実際の回路等においては、構成要素を機能毎に切り分けることが難しく、一つの回路に複数の機能が係わる場合や、複数の回路にわたって一つの機能が関わる場合があり得る。そのため、ブロック図のブロックは、明細書で説明した構成要素に限定されず、状況に応じて適切に言い換えることができる。

[0322]

また、図面において、大きさ、層の厚さ、または領域は、説明の便宜上任意の大きさに示したものである。よって、必ずしもそのスケールに限定されない。なお図面は明確性を期すために模式的に示したものであり、図面に示す形状または値などに限定されない。例えば、ノイズによる信号、電圧、若しくは電流のばらつき、または、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

[0323]

また、図面等において図示する構成要素の位置関係は、相対的である。従って、図面を参照して構成要素を説明する場合、位置関係を示す「上に」、「下に」等の語句は便宜的に用いられる場合がある。構成要素の位置関係は、本明細書の記載内容に限定されず、状況に応じて適切に言い換えることができる。

[0324]

本明細書等において、トランジスタの接続関係を説明する際、「ソースまたはドレインの一方」（または第1電極、または第1端子）、「ソースまたはドレインの他方」（または第2電極、または第2端子）という表記を用いる。これは、トランジスタのソースとドレインは、トランジスタの構造または動作条件等によって変わるためである。なおトランジスタのソースとドレインの呼称については、ソース（ドレイン）端子や、ソース（ドレイン）電極等、状況に応じて適切に言い換えることができる。

[0325]

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

[0326]

また、本明細書等において、電圧と電位は、適宜言い換えることができる。電圧は、基準となる電位からの電位差のことであり、例えば基準となる電位をグラウンド電圧（接地電圧）とすると、電圧を電位に言い換えることができる。グラウンド電位は必ずしも0Vを意味するとは限らない。なお電位は相対的なものであり、基準となる電位によっては、配線等に与える電位を変化させる場合がある。

[0327]

また本明細書等において、ノードは、回路構成やデバイス構造等に応じて、端子、配線、電極、導電層、導電体、不純物領域等と言い換えることが可能である。また、端子、配線等をノードと言い換えることが可能である。

[0328]

本明細書等において、AとBとが接続されている、とは、AとBとが電氣的に接続されているものをいう。ここで、AとBとが電氣的に接続されているとは、AとBとの間で対象物（スイッチ、トランジスタ素子、またはダイオード等の素子、あるいは当該素子および配線を含む回路等を指す）が存在する場合にAとBとの電気信号の伝達が可能である接続をいう。なおAとBとが電氣的に接続されている場合には、AとBとが直接接続されている場合を含む。ここで、AとBとが直接接続されているとは、上記対象物を介することなく、AとBとの間で配線（または電極）等を介してAとBとの電気信号の伝達が可能である接続をいう。換言すれば、直接接続とは、等価回路で表した際に同じ回路図として見なせる接続をいう。

[0329]

本明細書等において、スイッチとは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有するものをいう。または、スイッチとは、電流を流す経路を選択して切り替える機能を有するものをいう。

[0330]

本明細書等において、チャネル長とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲートとが重なる領域、またはチャネルが形成される領域における、ソースとドレインとの間の距離をいう。

[0331]

本明細書等において、チャネル幅とは、例えば、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが重なる領域、またはチャネルが形成される領域における、ソースとドレインとが向かい合っている部分の長さをいう。

[0332]

なお本明細書等において、「膜」、「層」などの語句は、場合によっては、または、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

[符号の説明]

[0333]

WE L : 配線、WO L : 配線、1 0 : 半導体装置、1 2 : 駆動回路、1 3 : 駆動回路、1 4 : 制御回路、1 5 : 処理回路、2 0 __E : 演算ブロック部、2 0 __O : 演算ブロック部、2 1 __E : 演算ブロック、2 1 __O : 演算ブロック、2 1 : 演算ブロック、3 0 : 記憶回路部、3 1 : 記憶回路、4 0 : 演算回路部、4 1 : ラッチ回路、4 2 : 切替回路、4 3 __E : バッファ回路、4 3 __O : バッファ回路、4 4 : 切替回路、4 5 : 演算回路

請求の範囲

[請求項1]

第1記憶回路部と、第1演算回路部と、を有する第1演算ブロックと、
第2記憶回路部と、第2演算回路部と、を有する第2演算ブロックと、
第1配線と、第2配線と、を有し、

前記第1記憶回路部は、複数の第1重みデータを保持する第1記憶回路を有し、

前記第2記憶回路部は、複数の第2重みデータを保持する第2記憶回路を有し、

前記第1演算回路部は、第1演算回路と、第1切替回路と、第3切替回路と、を有し、

前記第2演算回路部は、第2演算回路と、第2切替回路と、第4切替回路と、を有し、

前記第1切替回路は、前記複数の第1重みデータのいずれかを前記第1配線に与える機能を有し、

前記第2切替回路は、前記複数の第2重みデータのいずれかを前記第2配線に与える機能を有し、

前記第3切替回路は、前記第1配線に与えられた前記第1重みデータ、または前記第2配線に与えられた前記第2重みデータ、のいずれかを前記第1演算回路に与える機能を有し、

前記第4切替回路は、前記第1配線に与えられた前記第1重みデータ、または前記第2配線に与えられた前記第2重みデータ、のいずれかを前記第2演算回路に与える機能を有する、半導体装置。

[請求項2]

第1記憶回路部と、第1演算回路部と、を有する第1演算ブロックと、
第2記憶回路部と、第2演算回路部と、を有する第2演算ブロックと、
第1配線と、第2配線と、を有し、

前記第1記憶回路部は、複数の第1重みデータを保持する第1記憶回路を有し、

前記第2記憶回路部は、複数の第2重みデータを保持する第2記憶回路を有し、

前記第1演算回路部は、第1演算回路と、第1切替回路と、第3切替回路と、を有し、

前記第2演算回路部は、第2演算回路と、第2切替回路と、第4切替回路と、を有し、

前記第1切替回路は、前記複数の第1重みデータのいずれかを前記第1配線に与える機能を有し、

前記第2切替回路は、前記複数の第2重みデータのいずれかを前記第2配線に与える機能を有し、

前記複数の第1重みデータのいずれかを前記第1配線に与える動作は、前記複数の第2重みデータのいずれかを前記第2配線に与える動作と異なる期間に行われ、

前記第3切替回路は、前記第1配線に与えられた前記第1重みデータ、または前記第2配線に与えられた前記第2重みデータ、のいずれかを前記第1演算回路に与える機能を有し、

前記第4切替回路は、前記第1配線に与えられた前記第1重みデータ、または前記第2配線に与えられた前記第2重みデータ、のいずれかを前記第2演算回路に与える機能を有し、

前記第1配線に与えられた前記第1重みデータを前記第1演算回路に与える動作は、前記第2配線に与えられた前記第2重みデータを前記第2演算回路に与える動作と異なる期間に行われる、半導体装置。

[請求項3]

請求項 1 または 2 において、
前記第 1 記憶回路部は、前記第 1 演算回路部を有する層上に積層される層に設けられ、
前記第 2 記憶回路部は、前記第 2 演算回路部を有する層上に積層される層に設けられる、半導体装置。

[請求項 4]

請求項 1 乃至 3 のいずれか一において、
前記第 1 演算回路および前記第 2 演算回路は、それぞれ独立に、積和演算処理を行う、半導体装置。

[請求項 5]

請求項 1 乃至 4 のいずれか一において、
前記第 1 記憶回路部および前記第 2 記憶回路部はそれぞれ、第 1 トランジスタを有し、
前記第 1 トランジスタは、チャネル形成領域に金属酸化物を有する半導体層を有する、半導体装置。

[請求項 6]

請求項 5 において、
前記金属酸化物は、In と、Ga と、Zn と、を含む、半導体装置。

[請求項 7]

請求項 1 乃至 6 のいずれか一において、
前記第 1 演算回路部および前記第 2 演算回路部はそれぞれ、第 2 トランジスタを有し、
前記第 2 トランジスタは、チャネル形成領域にシリコンを有する半導体層を有する、半導体装置。

図1A

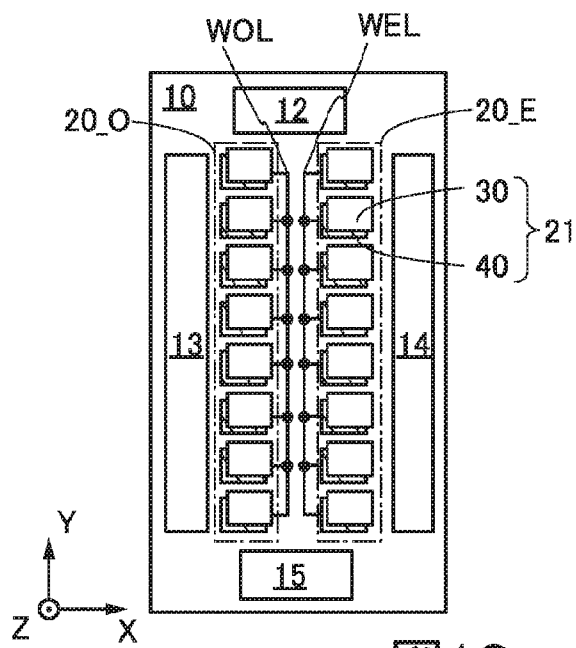


図1B

図1C

21_O

21_E

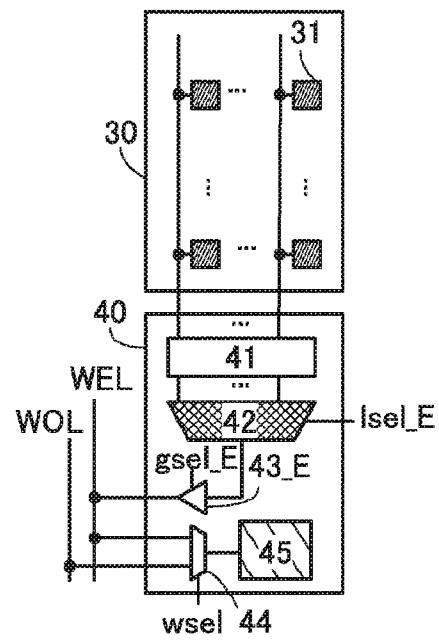
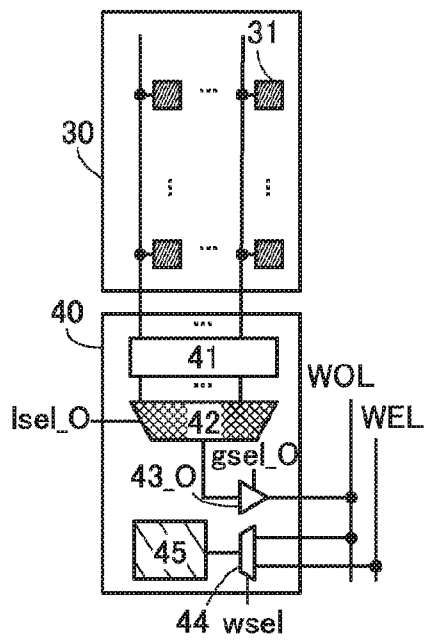


図2A

21

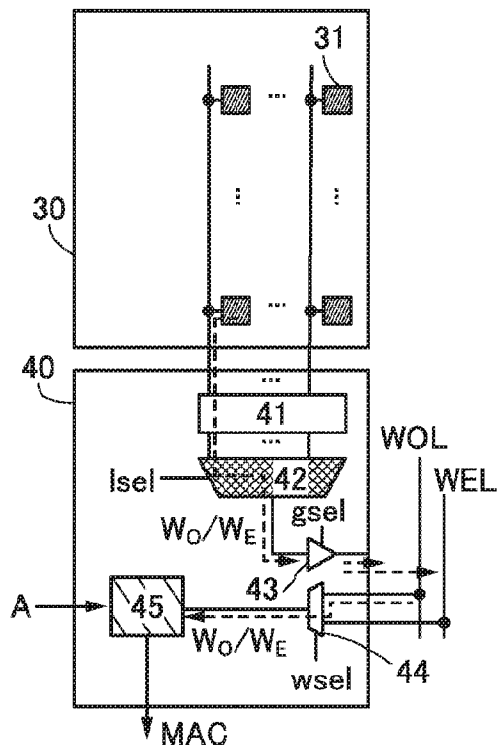


図2B

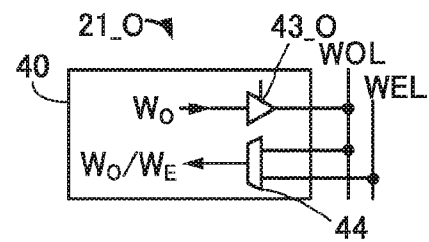


図2C

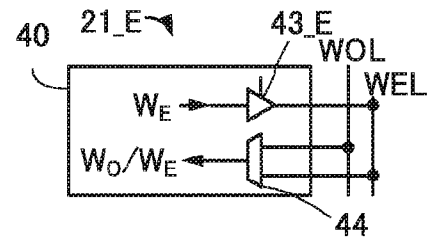


図2D

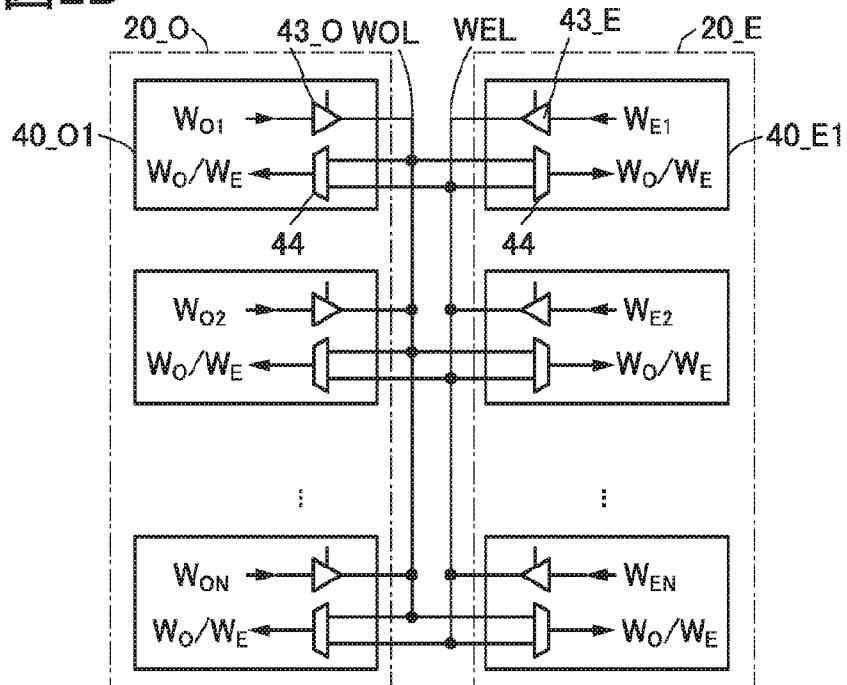


図3A

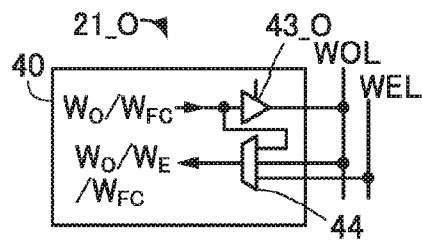


図3B

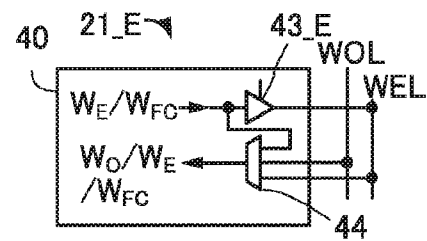
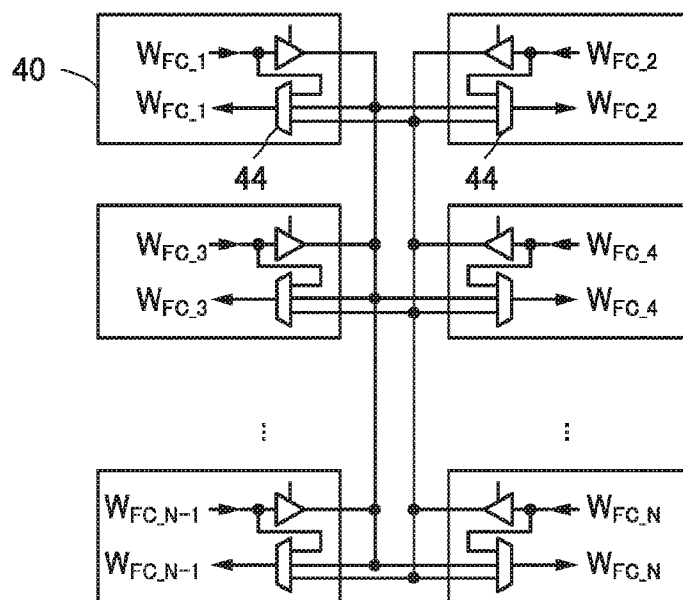
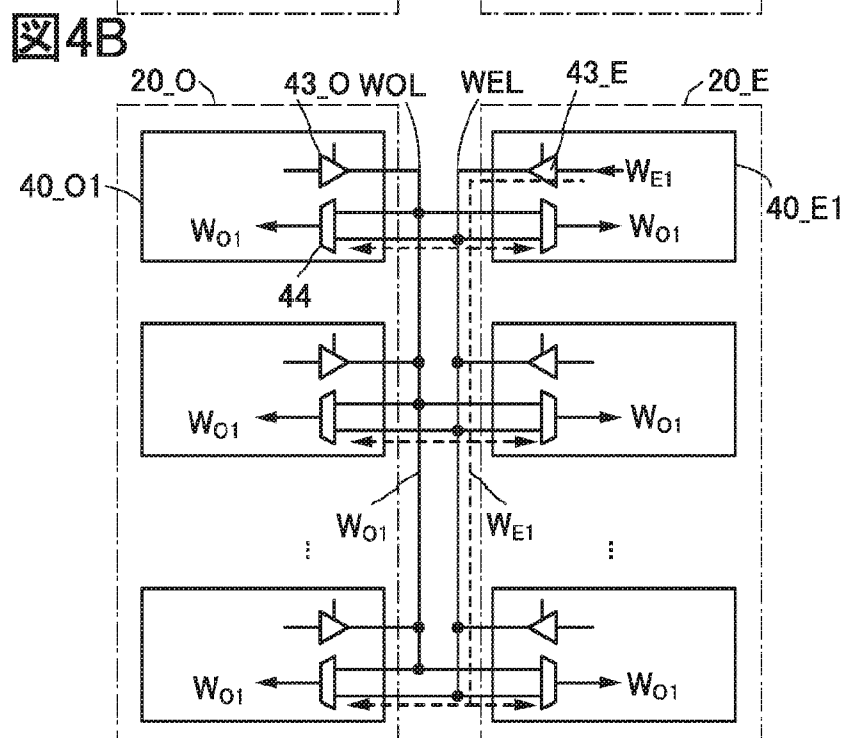
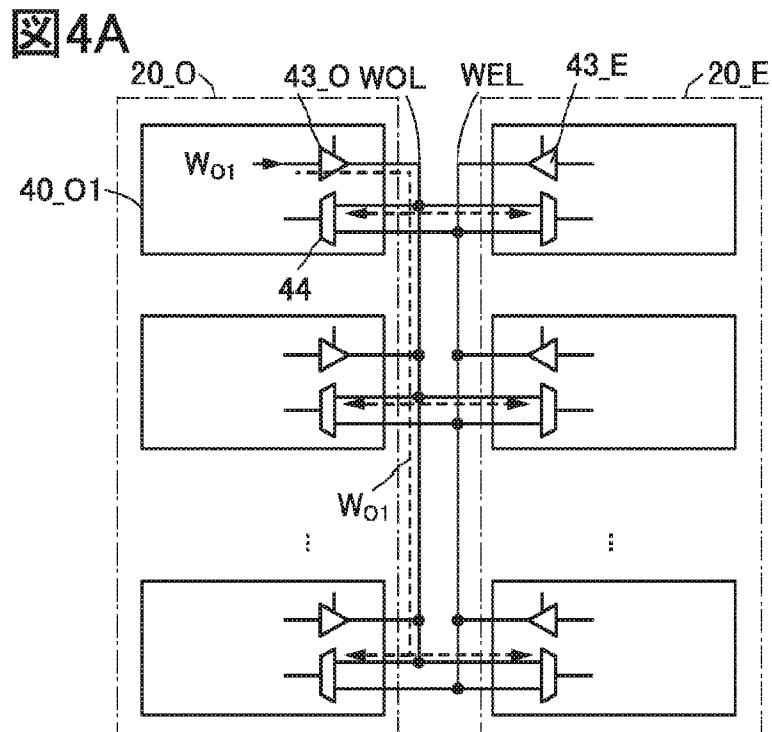
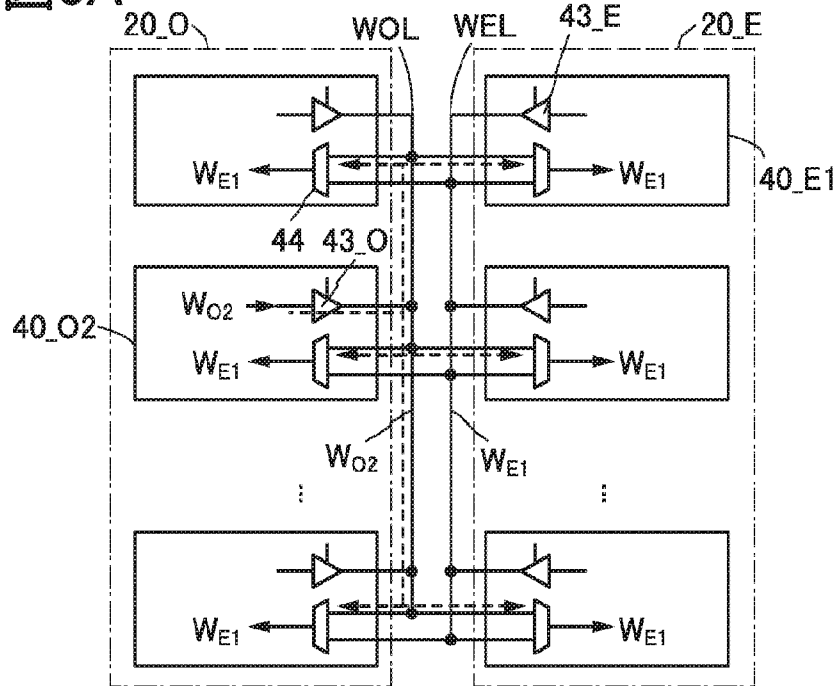


図3C





5A



5B

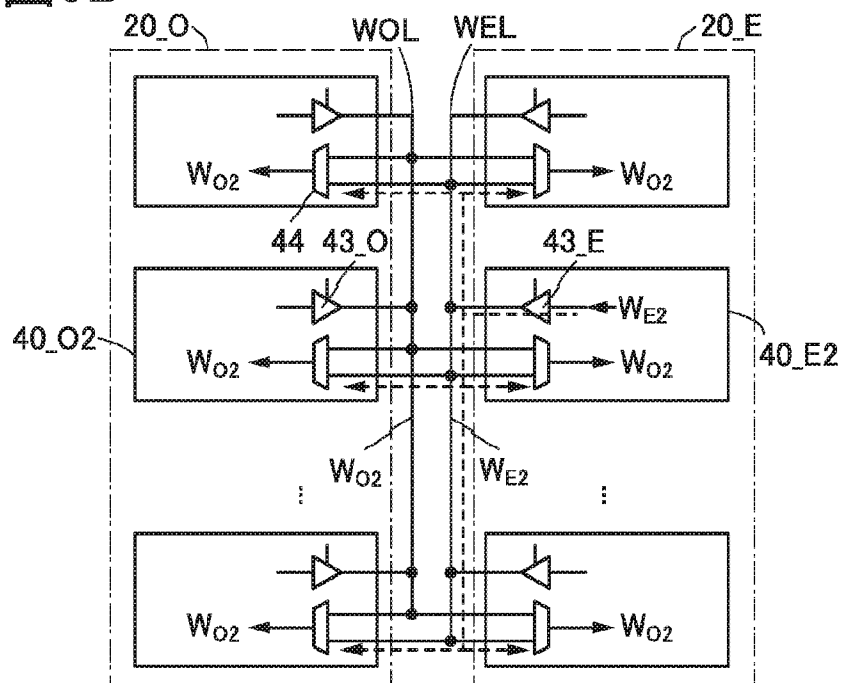
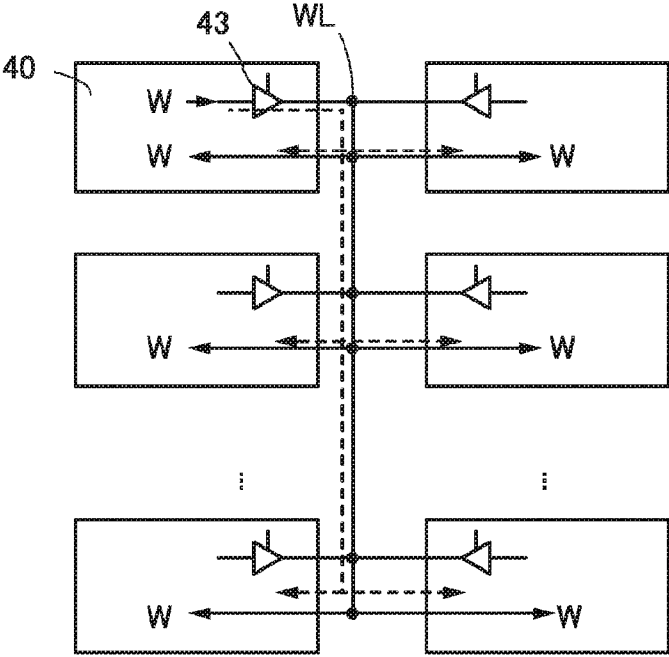


図6



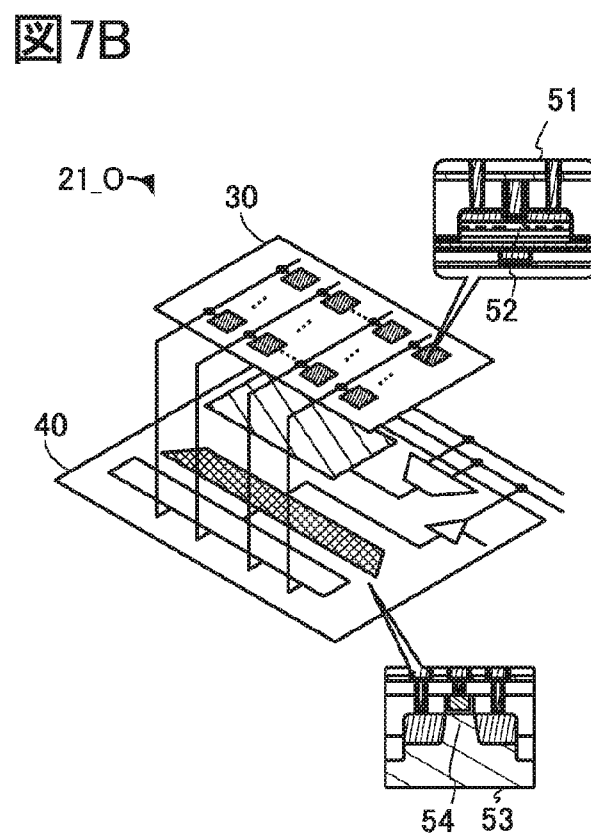
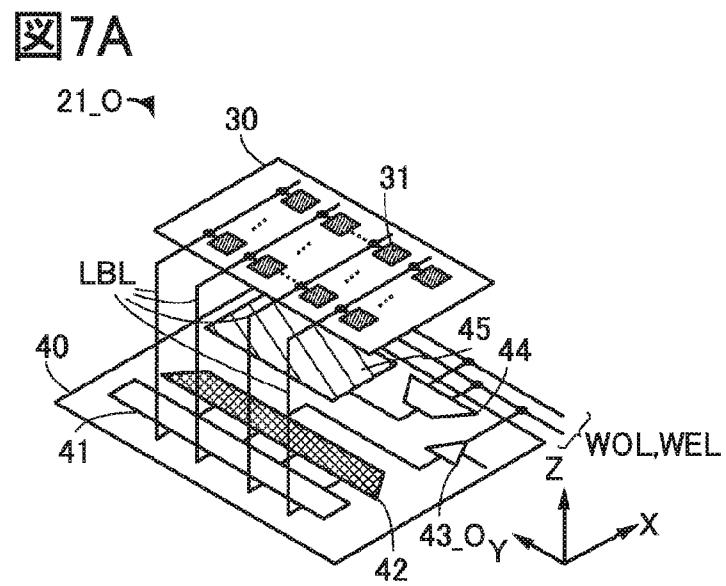


图8

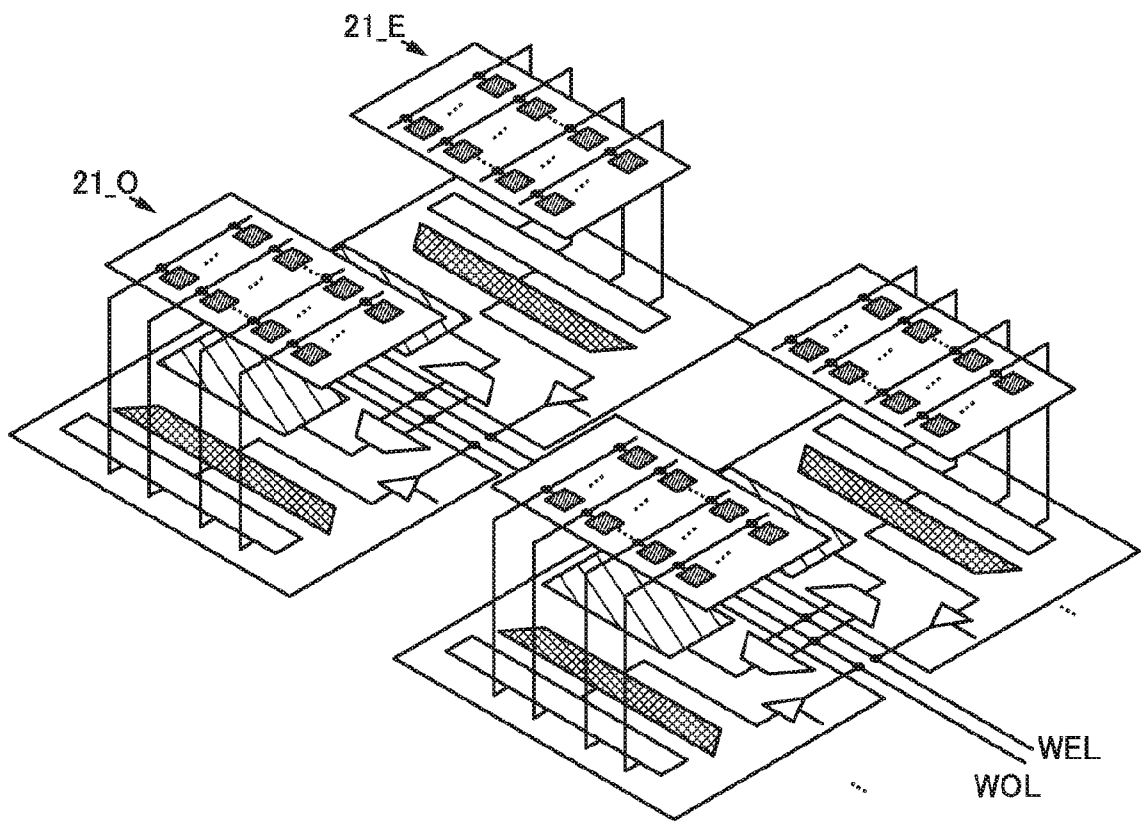


图9

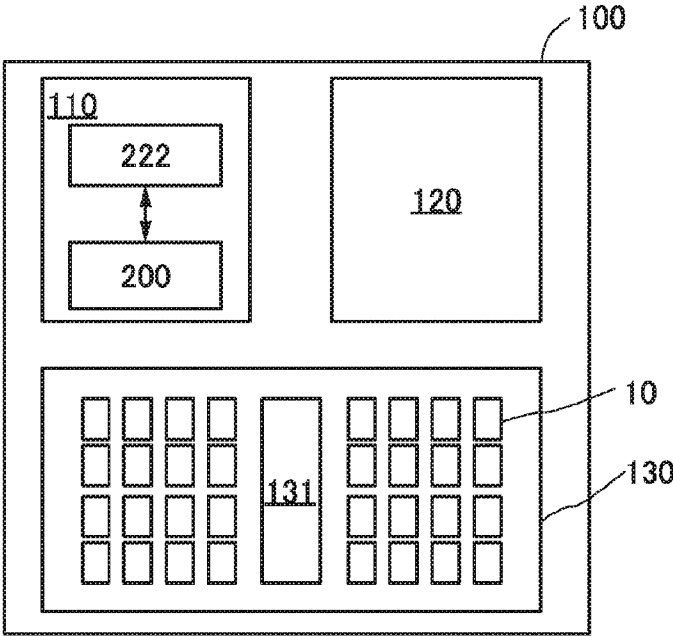


図10A

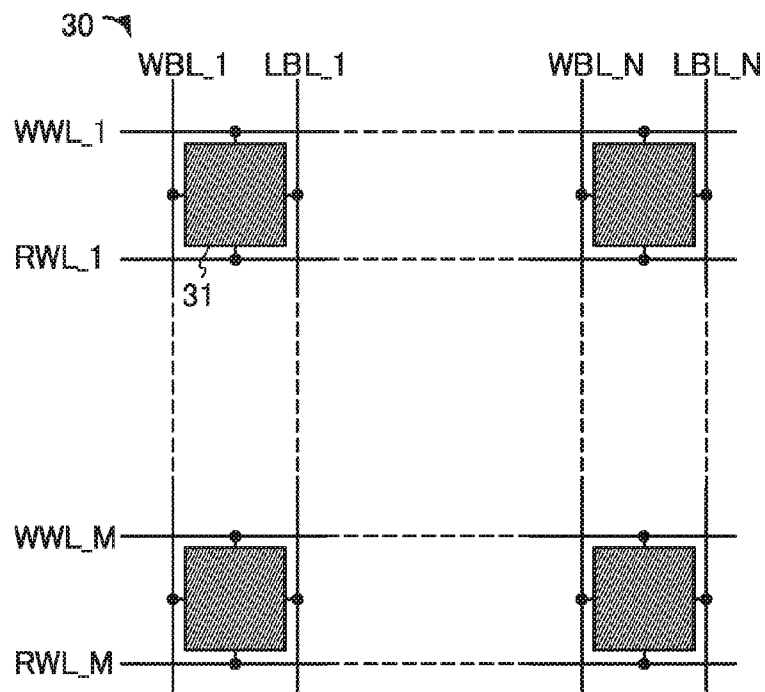


図10B

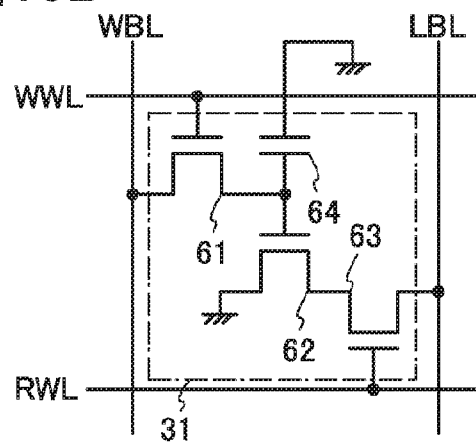


図11A

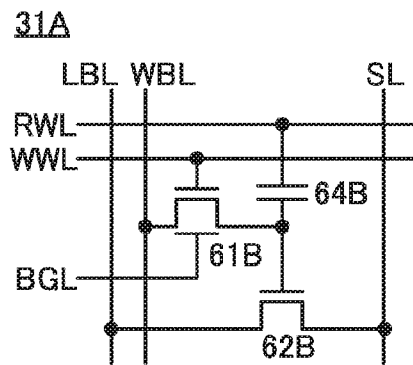


図11B

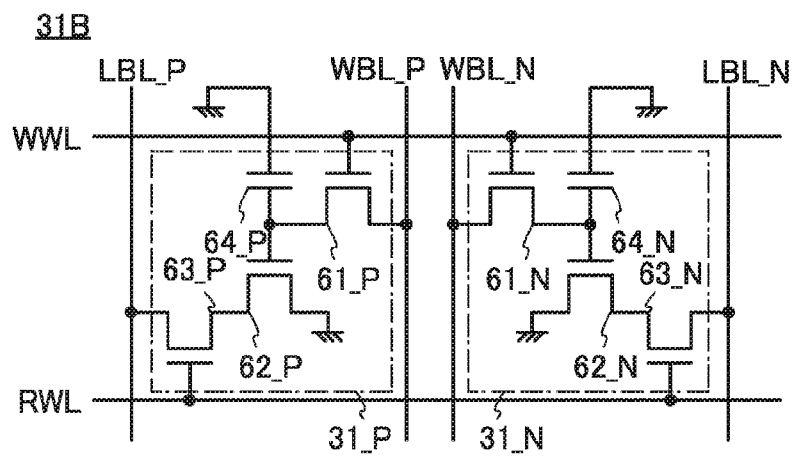


图 12

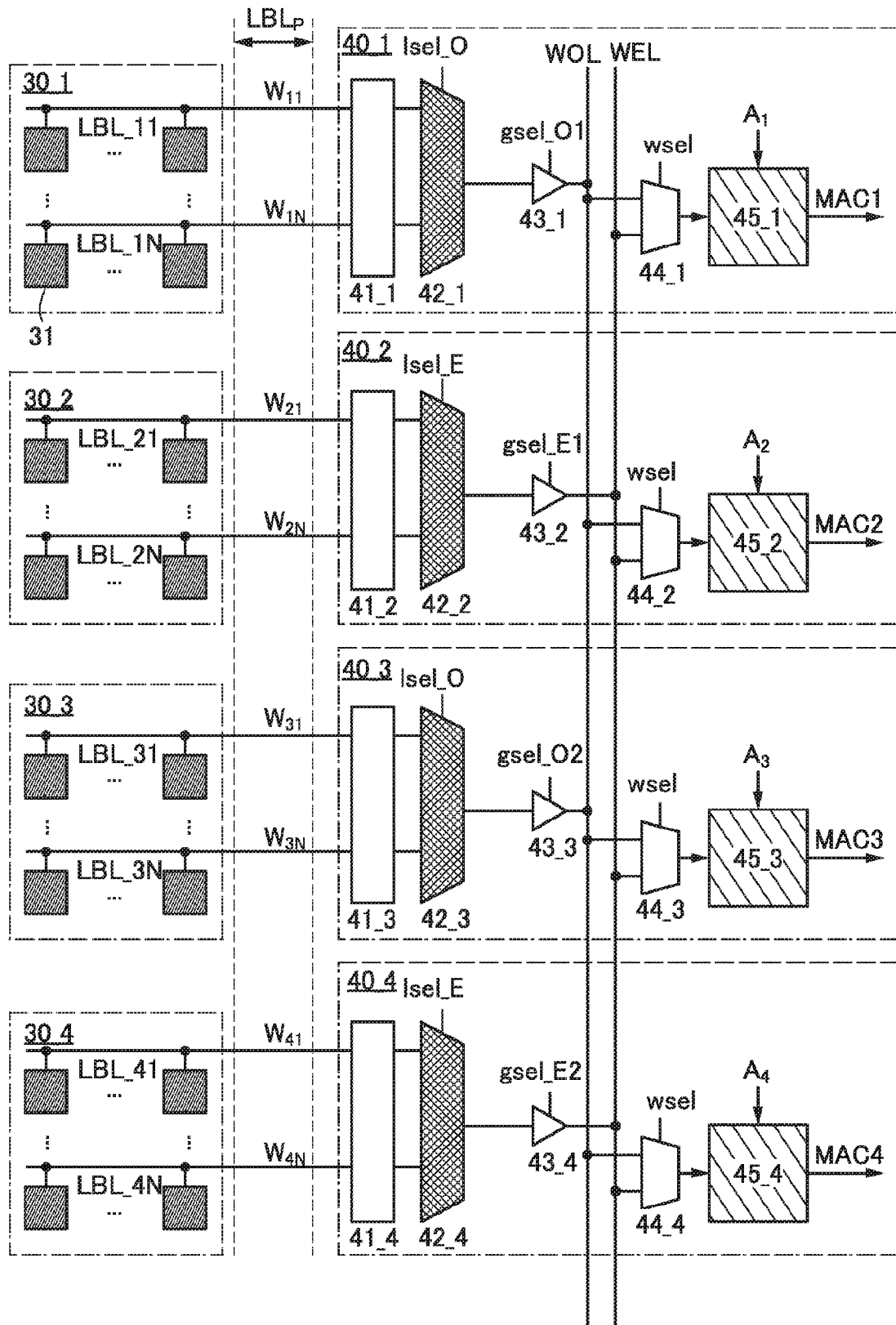


图13

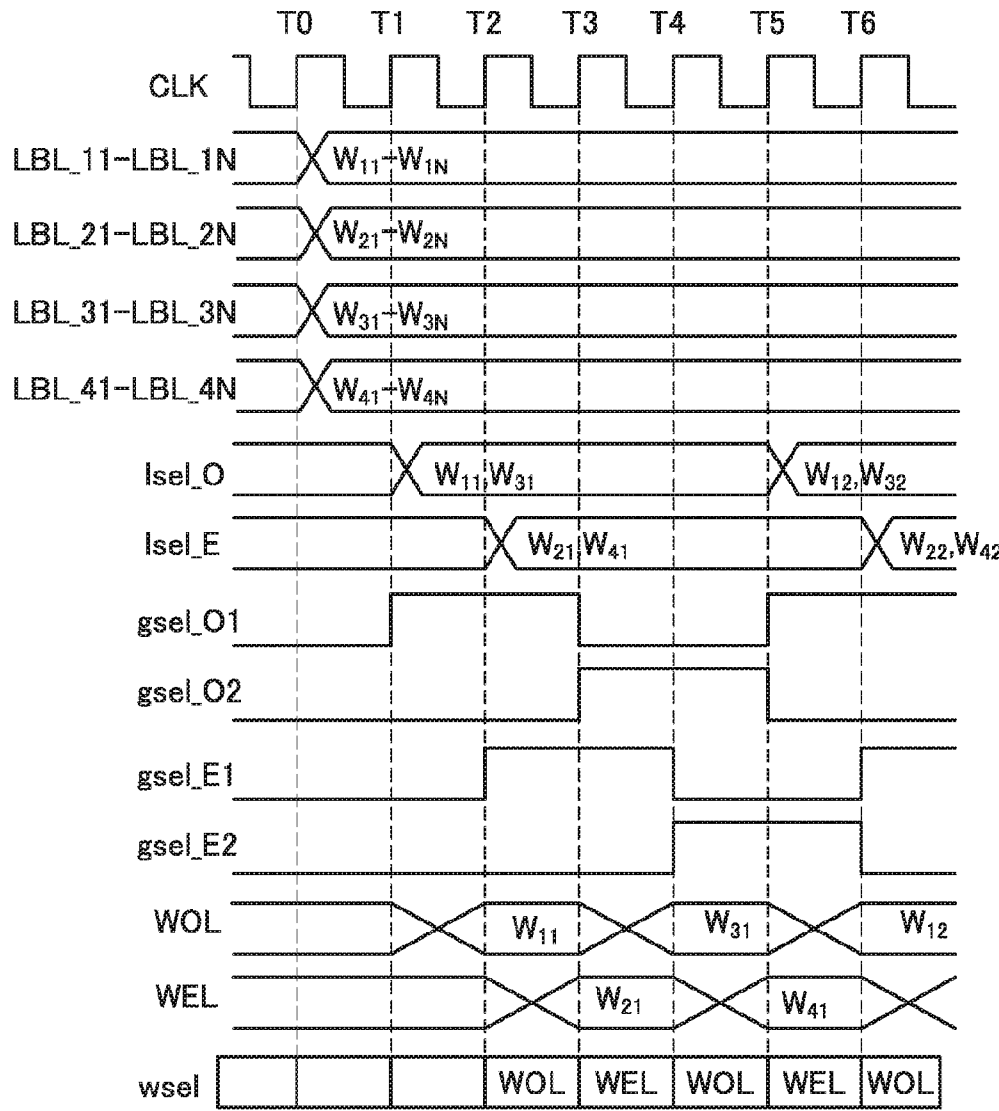


图 14

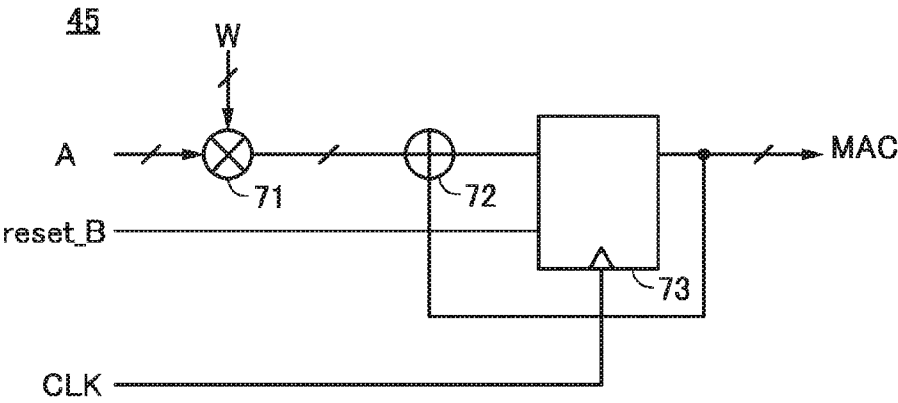


图 15

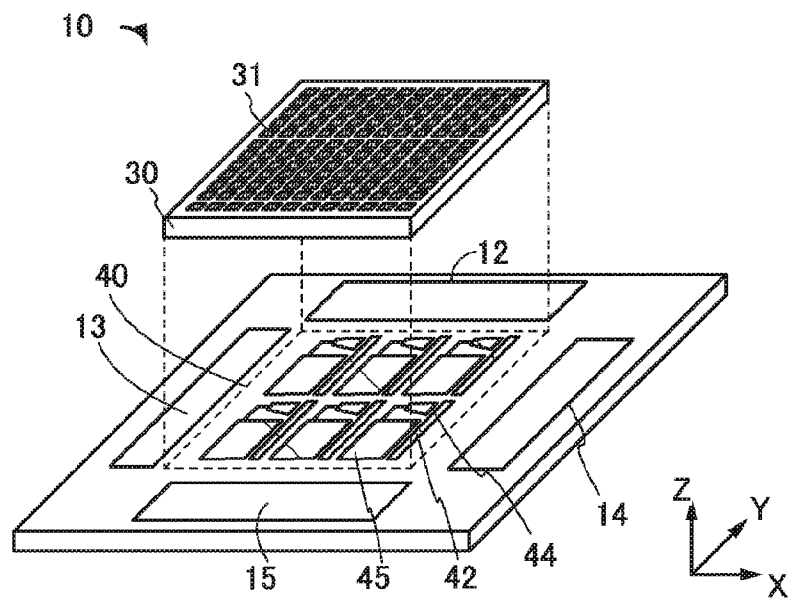


図16A

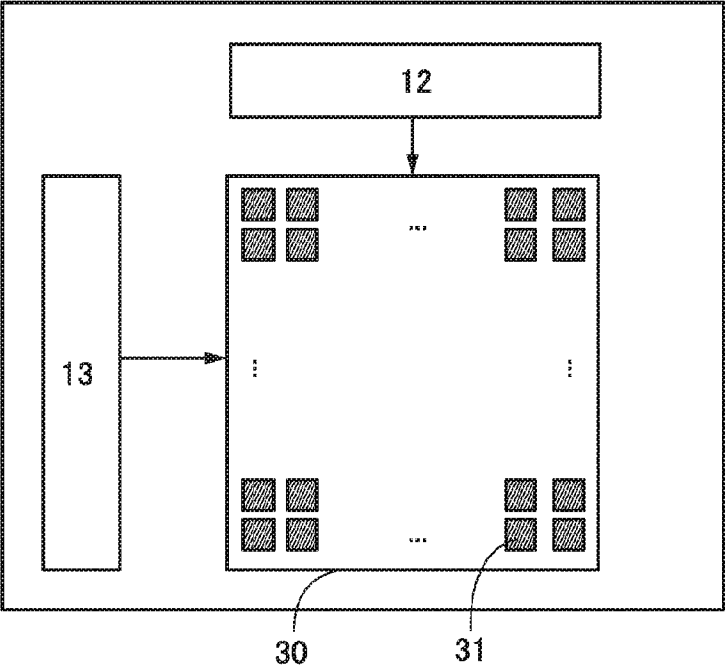


図16B

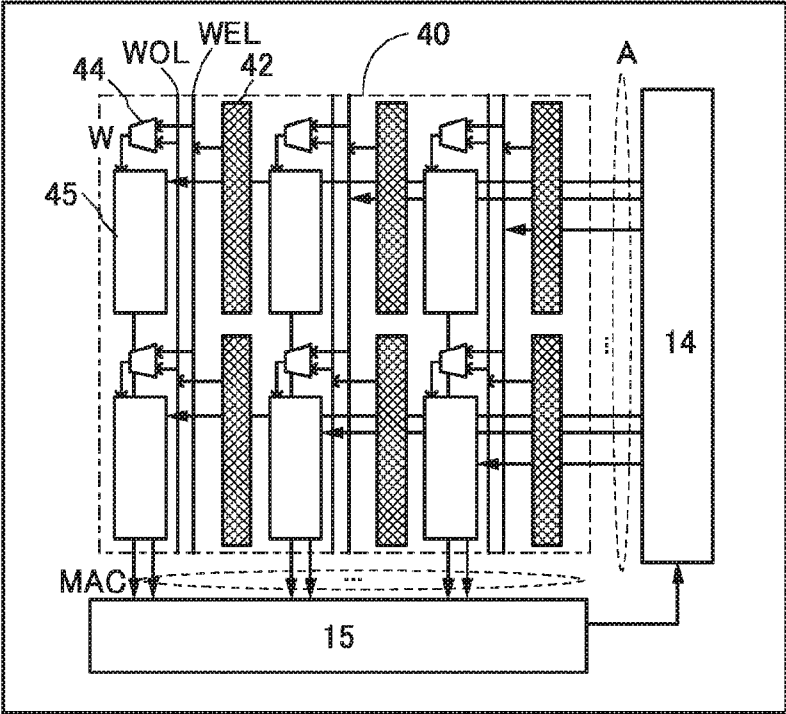


図17

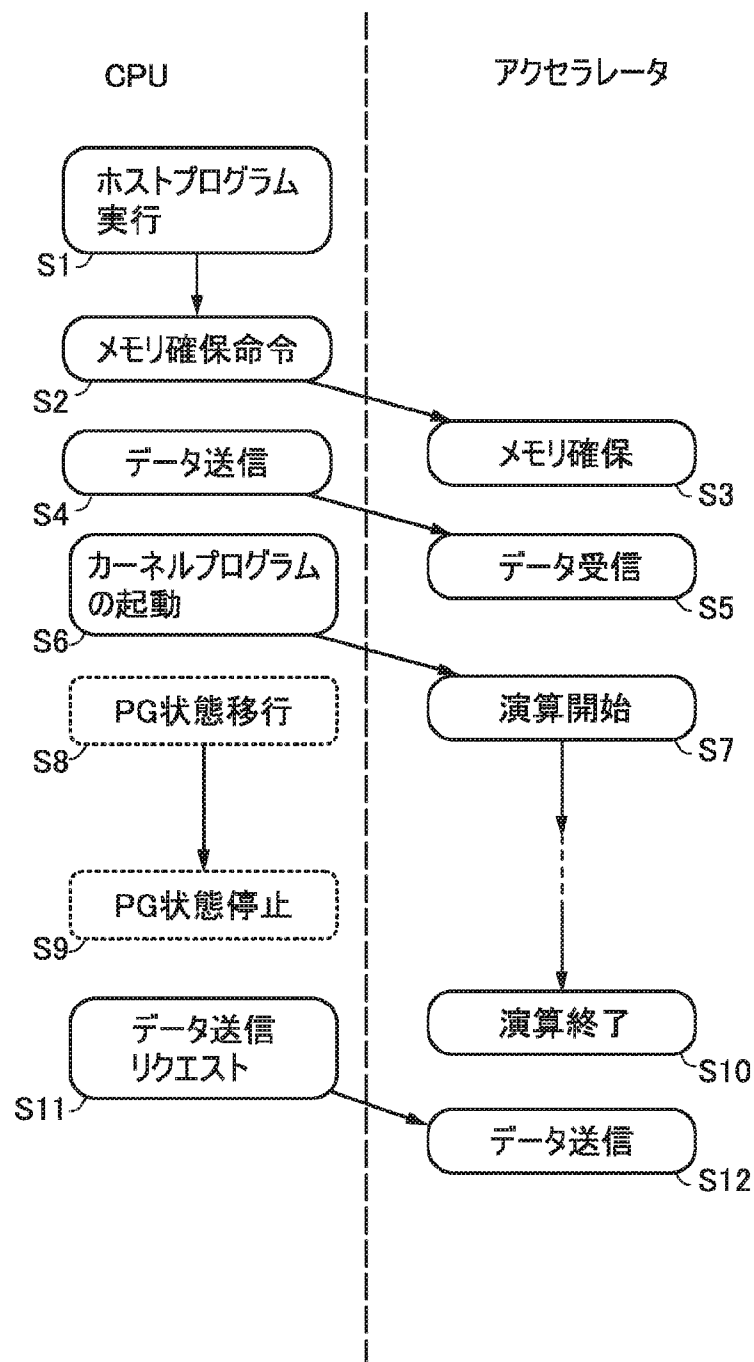
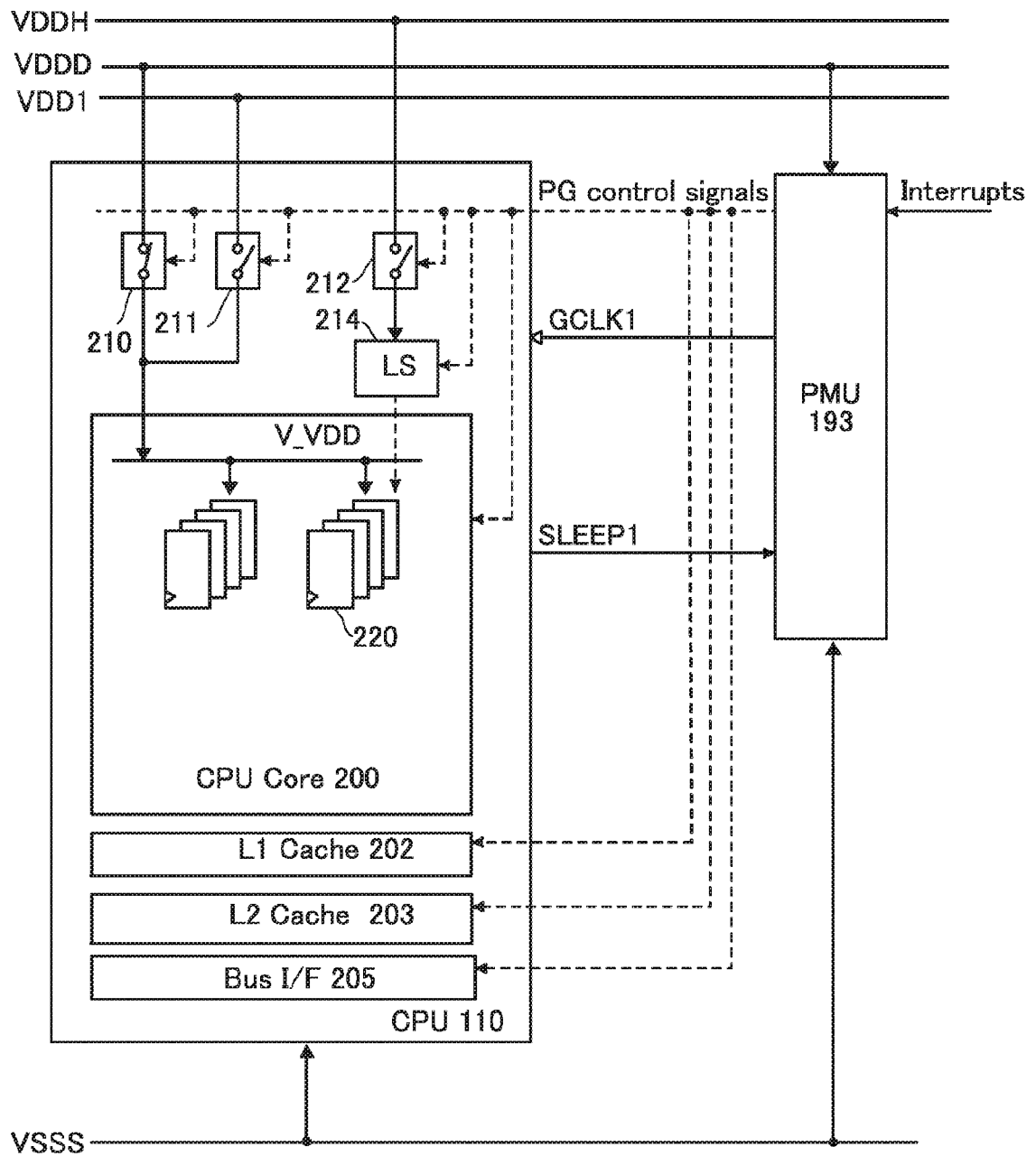


图 18



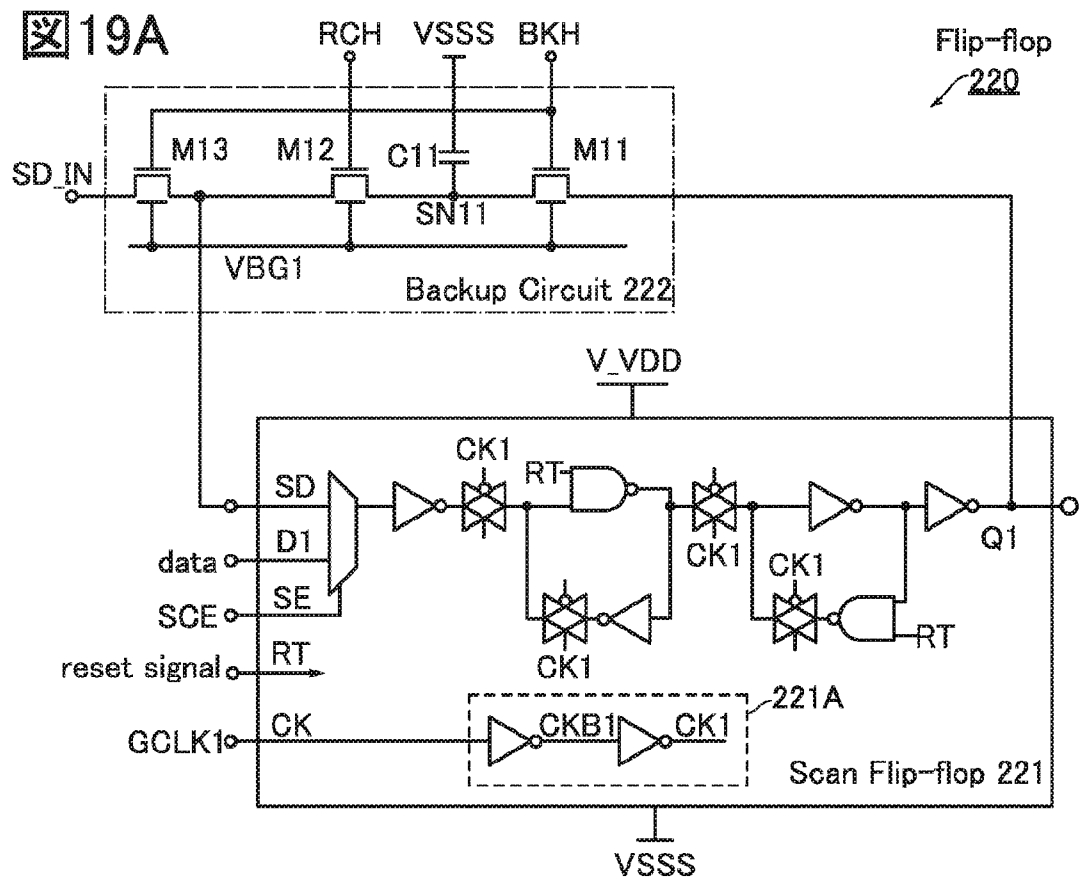
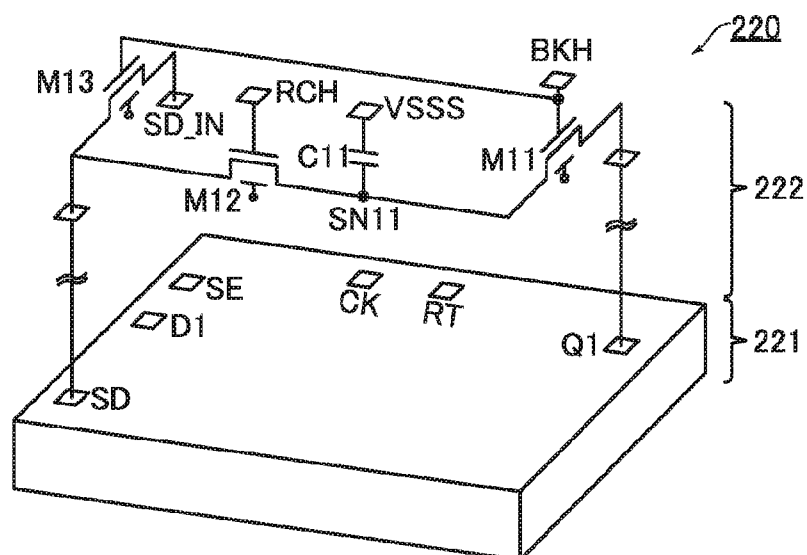
**FIG 19B**

图 20

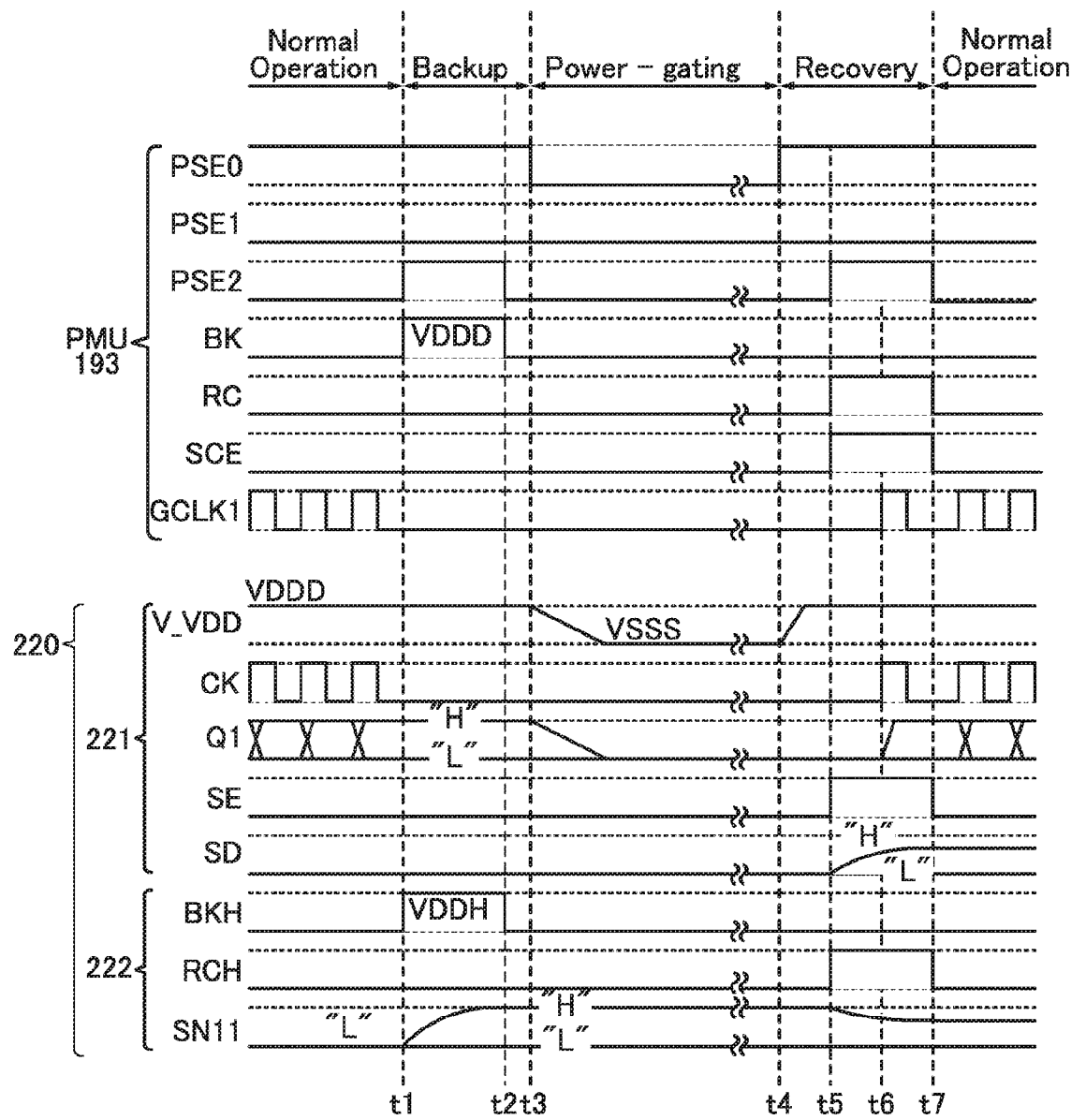


图21

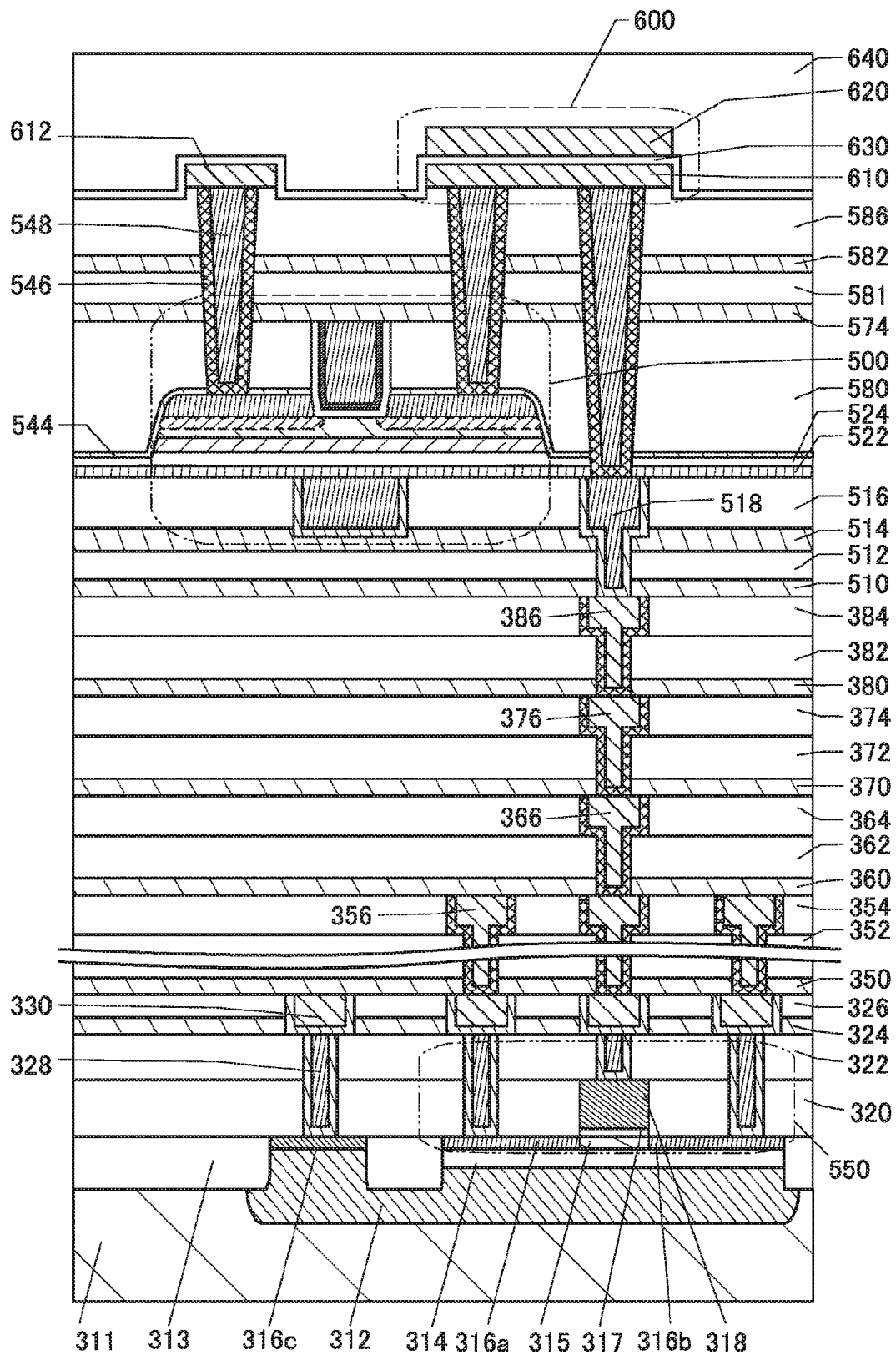


図22A

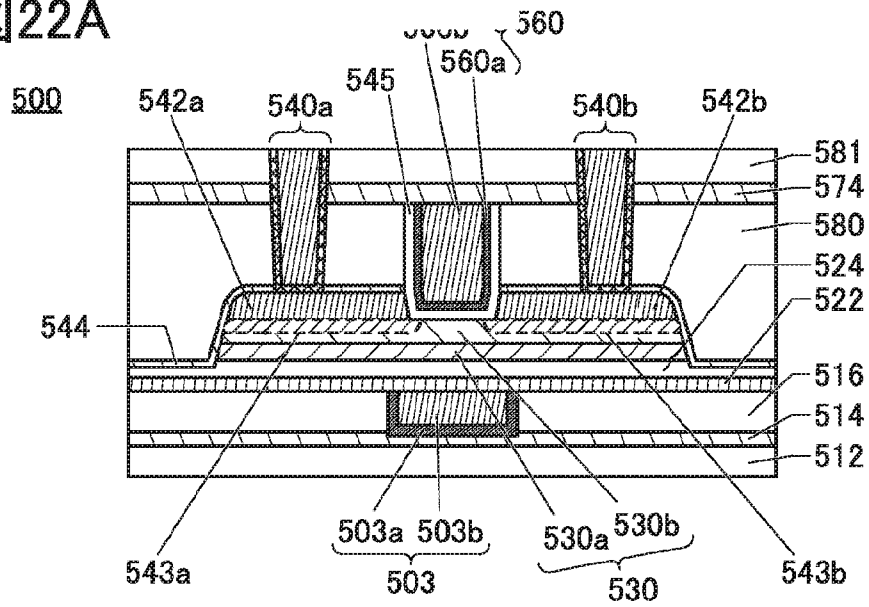


図22B

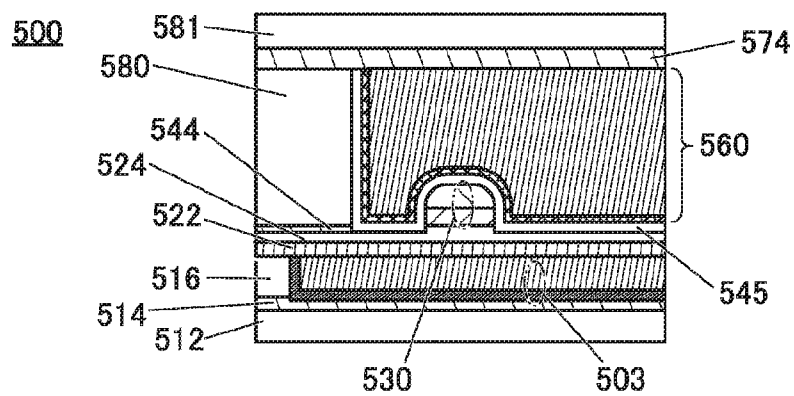


図23A

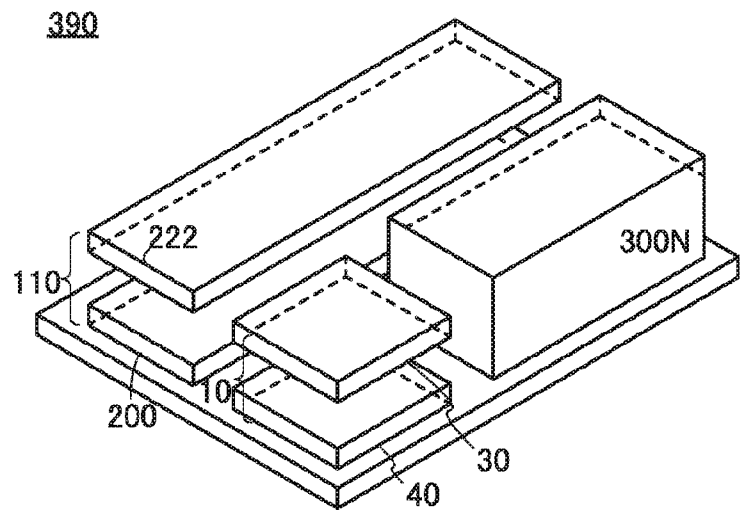
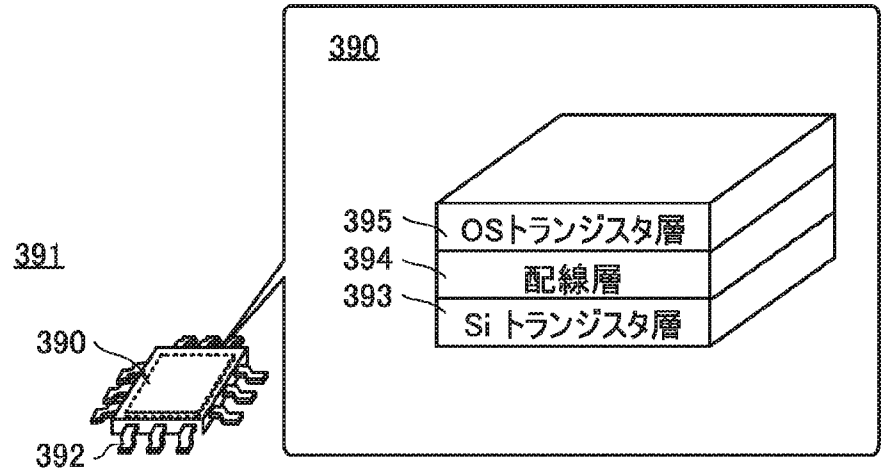
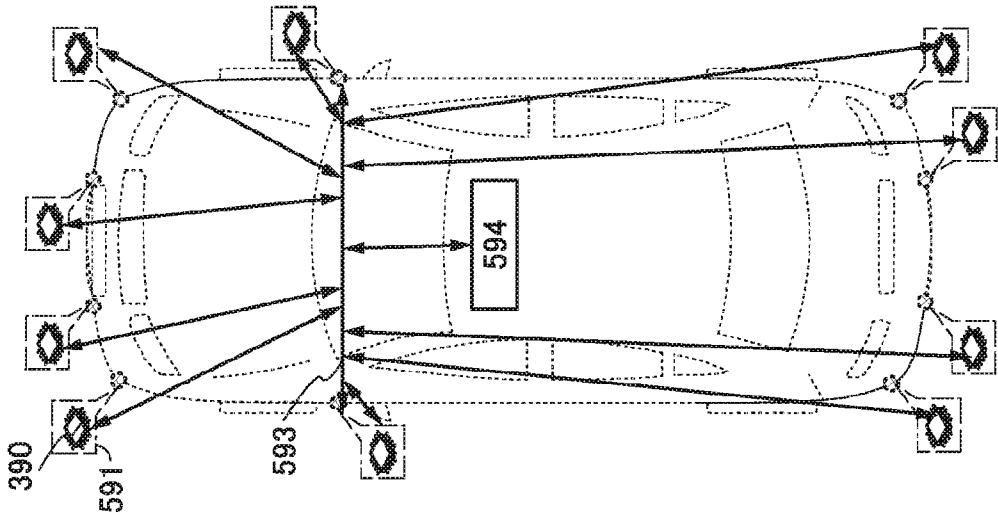


図23B



24B



24A

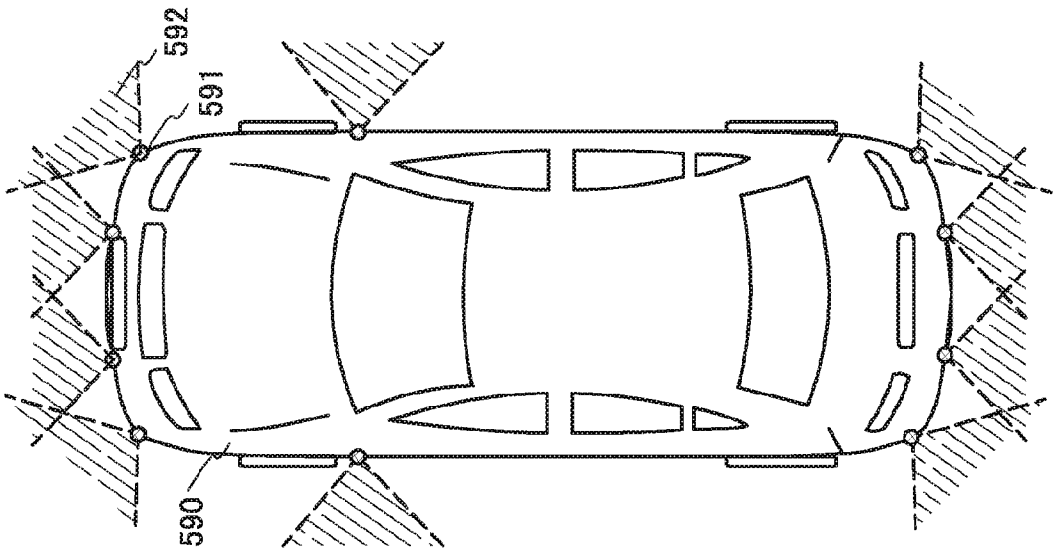


图25A

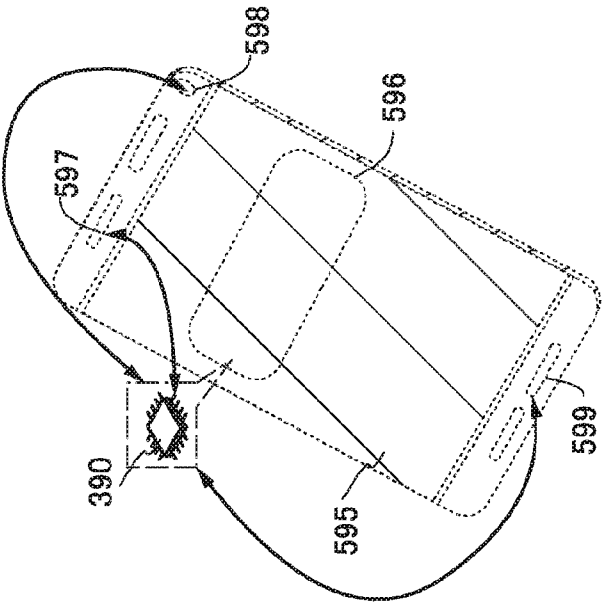


图25B

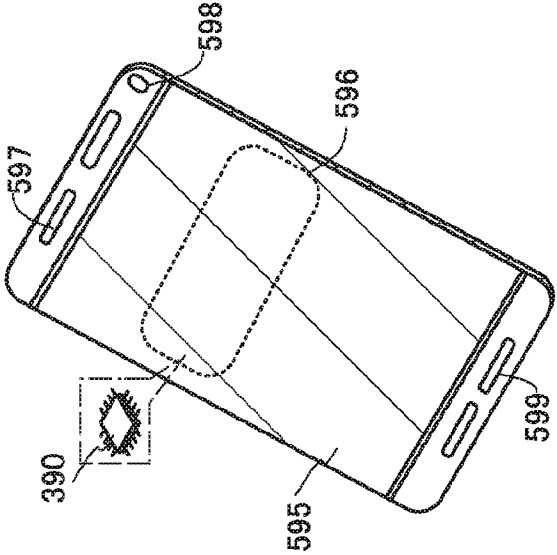


図26A

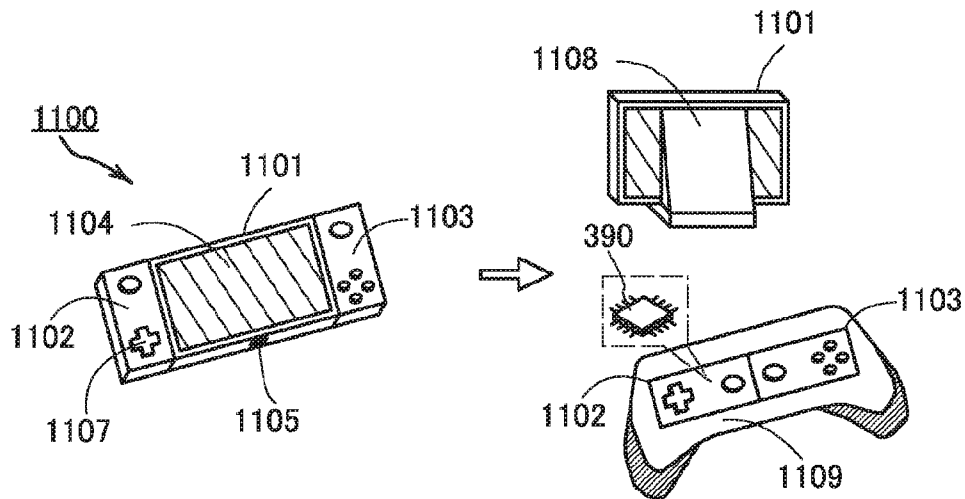


図26B

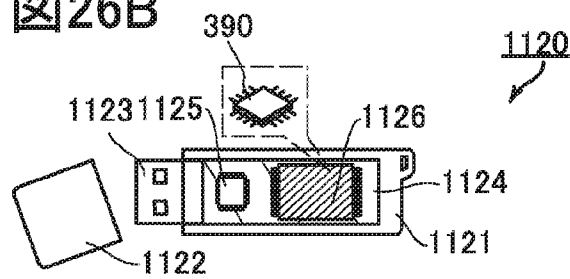
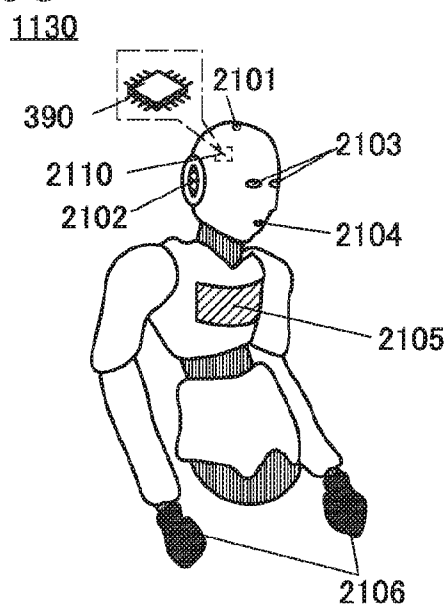
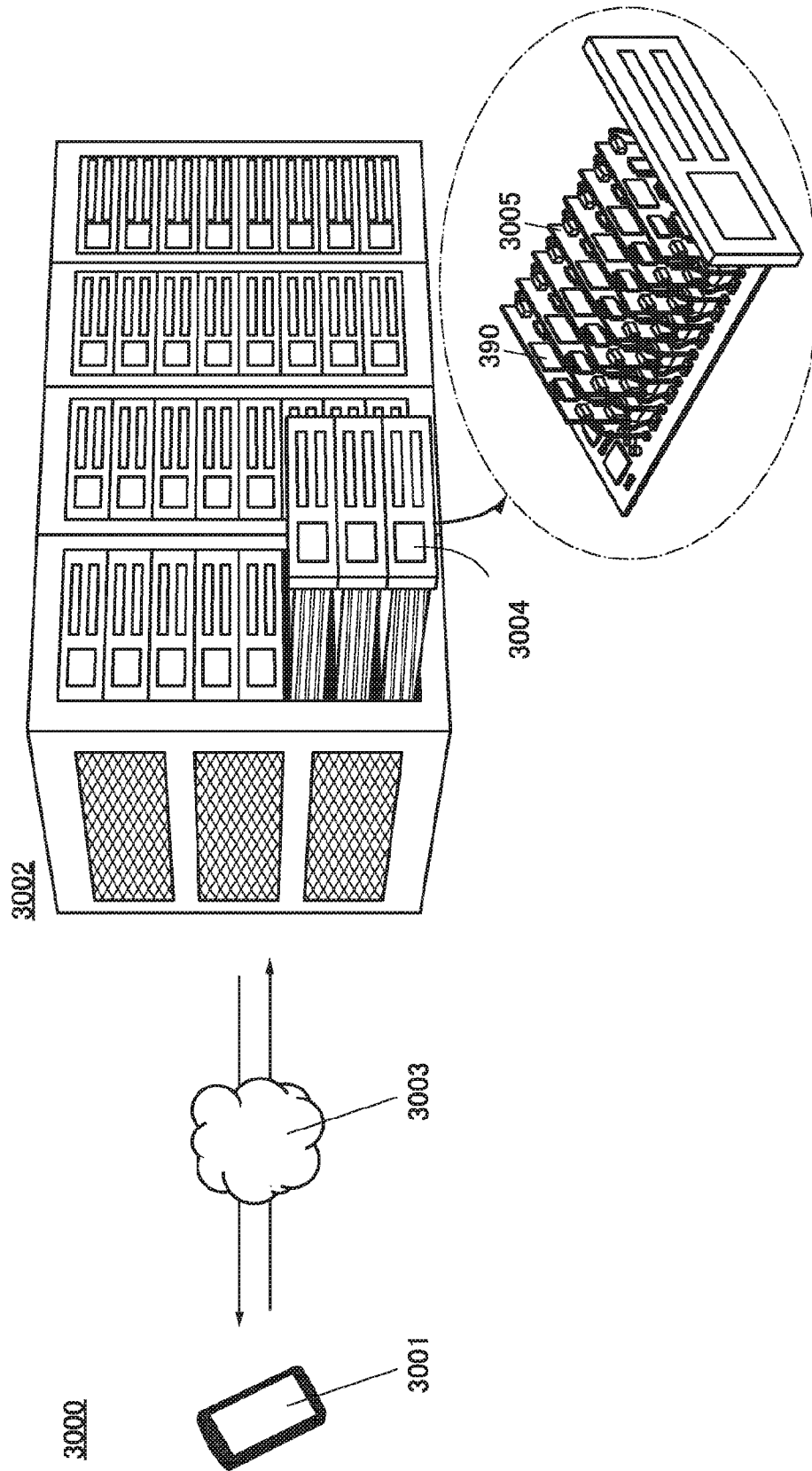


図26C



27



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2021/055989

A. CLASSIFICATION OF SUBJECT MATTER

G06G 7/60(2006.01)i; **G06F 7/523**(2006.01)i; **G06F 7/575**(2006.01)i; **H01L 21/8234**(2006.01)i; **H01L 27/06**(2006.01)i; **H01L 27/088**(2006.01)i; **H01L 21/8239**(2006.01)i; **H01L 27/105**(2006.01)i; **H01L 21/8242**(2006.01)i; **H01L 27/108**(2006.01)i; **H01L 27/1156**(2017.01)i; **H01L 21/336**(2006.01)i; **H01L 29/788**(2006.01)i; **H01L 29/792**(2006.01)i; **H01L 29/786**(2006.01)i; **G06F 17/10**(2006.01)i; **G11C 11/405**(2006.01)i
 FI: G06G7/60; G06F17/10 A; H01L27/088 331E; H01L29/78 613Z; H01L27/108 321; H01L27/1156; H01L27/06 102A; H01L29/78 371; G11C11/405; G06F7/575; H01L27/105 441; H01L29/78 613B; H01L27/088 E; G06F7/523; H01L29/78 618B

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06G7/60; G06F7/523; G06F7/575; H01L21/8234; H01L27/06; H01L27/088; H01L21/8239; H01L27/105; H01L21/8242; H01L27/108; H01L27/1156; H01L21/336; H01L29/788; H01L29/792; H01L29/786; G06F17/10; G11C11/405

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2021
 Registered utility model specifications of Japan 1996-2021
 Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2020-57306 A (FUJITSU LTD.) 09 April 2020 (2020-04-09) paragraphs [0022]-[0033], [0078]-[0097], fig. 1, 5	1, 3-7
A		2
Y	JP 2020-68048 A (DENSO CORP.) 30 April 2020 (2020-04-30) paragraph [0069], fig. 17	1, 3-7
A		2
Y	JP 2019-46375 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 22 March 2019 (2019-03-22) paragraphs [0183]-[0224], [0243], fig. 18	3-7
A		1-2

☒ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

07 October 2021

Date of mailing of the international search report

19 October 2021

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2021/055989

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2017-228295 A (TOSHIBA MEMORY CORP.) 28 December 2017 (2017-12-28) entire text, all drawings	1-7

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/IB2021/055989

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2020-57306	A	09 April 2020	US 2020/0110790 A1 paragraphs [0027]-[0040], [0092]-[0118], fig. 1, 5 EP 3633560 A1 CN 111008696 A	
JP	2020-68048	A	30 April 2020	US 2020/0125936 A1 paragraph [0086], fig. 17	
JP	2019-46375	A	22 March 2019	(Family: none)	
JP	2017-228295	A	28 December 2017	US 2017/0364791 A1 entire text, all drawings	

A. 発明の属する分野の分類（国際特許分類（IPC）） G06G 7/60(2006.01)i; G06F 7/523(2006.01)i; G06F 7/575(2006.01)i; H01L 21/8234(2006.01)i; H01L 27/06(2006.01)i; H01L 27/088(2006.01)i; H01L 21/8239(2006.01)i; H01L 27/105(2006.01)i; H01L 21/8242(2006.01)i; H01L 27/108(2006.01)i; H01L 27/1156(2017.01)i; H01L 21/336(2006.01)i; H01L 29/788(2006.01)i; H01L 29/792(2006.01)i; H01L 29/786(2006.01)i; G06F 17/10(2006.01)i; G11C 11/405(2006.01)i FI: G06G7/60; G06F17/10 A; H01L27/088 331E; H01L29/78 613Z; H01L27/108 321; H01L27/1156; H01L27/06 102A; H01L29/78 371; G11C11/405; G06F7/575; H01L27/105 441; H01L29/78 613B; H01L27/088 E; G06F7/523; H01L29/78 618B																							
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） G06G7/60; G06F7/523; G06F7/575; H01L21/8234; H01L27/06; H01L27/088; H01L21/8239; H01L27/105; H01L21/8242; H01L27/108; H01L27/1156; H01L21/336; H01L29/788; H01L29/792; H01L29/786; G06F17/10; G11C11/405 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2021年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2021年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2021年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2021年	日本国実用新案登録公報	1996-2021年	日本国登録実用新案公報	1994-2021年													
日本国実用新案公報	1922-1996年																						
日本国公開実用新案公報	1971-2021年																						
日本国実用新案登録公報	1996-2021年																						
日本国登録実用新案公報	1994-2021年																						
C. 関連すると認められる文献 <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>Y</td> <td>JP 2020-57306 A（富士通株式会社）09.04.2020（2020-04-09） 段落[0022]-[0033], [0078]-[0097], 図1, 5</td> <td>1, 3-7</td> </tr> <tr> <td>A</td> <td></td> <td>2</td> </tr> <tr> <td>Y</td> <td>JP 2020-68048 A（株式会社デンソー）30.04.2020（2020-04-30） 段落[0069], 図17</td> <td>1, 3-7</td> </tr> <tr> <td>A</td> <td></td> <td>2</td> </tr> <tr> <td>Y</td> <td>JP 2019-46375 A（株式会社半導体エネルギー研究所）22.03.2019（2019-03-22） 段落[0183]-[0224], [0243], 図18</td> <td>3-7</td> </tr> <tr> <td>A</td> <td></td> <td>1-2</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	Y	JP 2020-57306 A（富士通株式会社）09.04.2020（2020-04-09） 段落[0022]-[0033], [0078]-[0097], 図1, 5	1, 3-7	A		2	Y	JP 2020-68048 A（株式会社デンソー）30.04.2020（2020-04-30） 段落[0069], 図17	1, 3-7	A		2	Y	JP 2019-46375 A（株式会社半導体エネルギー研究所）22.03.2019（2019-03-22） 段落[0183]-[0224], [0243], 図18	3-7	A		1-2
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号																					
Y	JP 2020-57306 A（富士通株式会社）09.04.2020（2020-04-09） 段落[0022]-[0033], [0078]-[0097], 図1, 5	1, 3-7																					
A		2																					
Y	JP 2020-68048 A（株式会社デンソー）30.04.2020（2020-04-30） 段落[0069], 図17	1, 3-7																					
A		2																					
Y	JP 2019-46375 A（株式会社半導体エネルギー研究所）22.03.2019（2019-03-22） 段落[0183]-[0224], [0243], 図18	3-7																					
A		1-2																					
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。																							
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献																							
国際調査を完了した日 07.10.2021		国際調査報告の発送日 19.10.2021																					
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 佐賀野 秀一 5E 5878 電話番号 03-3581-1101 内線 3521																					

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2017-228295 A (東芝メモリ株式会社) 28.12.2017 (2017 - 12 - 28) 全文, 全図	1-7

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/IB2021/055989

引用文献			公表日	パテントファミリー文献	公表日
JP	2020-57306	A	09.04.2020	US 2020/0110790 A1 段落[0027]-[0040], [0092]- [0118], 図1, 5 EP 3633560 A1 CN 111008696 A	
JP	2020-68048	A	30.04.2020	US 2020/0125936 A1 段落[0086], 図17	
JP	2019-46375	A	22.03.2019	(ファミリーなし)	
JP	2017-228295	A	28.12.2017	US 2017/0364791 A1 全文, 全図	