

公告本

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：92135214

※ 申請日期：92.12.12

※IPC 分類：H01L21/8238
(2006.01)

壹、發明名稱：(中文/英文)

使用井植入之積體電路改良

INTEGRATED CIRCUIT MODIFICATION USING WELL IMPLANTS

貳、申請人：(共 2 人)

姓名或名稱：(中文/英文)

1. HRL 實驗有限公司/ HRL LABORATORIES, LLC
2. 雷神公司/RAYTHEON COMPANY

代表人：(中文/英文)

1. 艾利米爾 丹尼爾 R. / ALLEMEIER, DANIEL R.
2. 金辛格 大衛 L. / KINSINGER, DAVID L.

住居所或營業所地址：(中文/英文)

1. 美國加州馬里布·馬里布峽谷路 3011 號
3011 Malibu Canyon Road, Malibu, CA 90265, U. S. A.
2. 美國麻州勒星頓市春天街 141 號
141 Spring St., Lexington, MA 02421, U. S. A.

國 籍：(中文/英文) 美國/U. S. A.

參、發明人：(共 4 人)

姓 名：(中文/英文)

1. 周雷萬/CHOW, LAP-WAI
2. 小克拉克 威廉 M. /CLARK, JR., WILLIAM M.
3. 哈比生 蓋文 J. /HARBISON, GAVIN J.
4. 巴克斯 詹姆斯 P. /BAUKUS, JAMES P.

住居所地址：(中文/英文)

1. 美國加州南帕薩戴納·卡明諾林多 1684 號
1684 Camino Lindo, South Pasadena, CA 91030, U. S. A.

2. 美國加州卡瑪里洛·帕奎塔街 1137 號

1137 Paquita Street, Camarillo, CA 93012, U. S. A.

3. 美國加州瑪里納德瑞·瑪里納 4127 號#415

4127 Via Marina, #415, Marina del Rey, CA 90292, U. S. A.

4. 美國加州西湖別墅·杜魯姆克里夫巷 1718 號

1718 Drumcliff Court, Westlake Village, CA 91361, U. S. A.

國 籍：(中文/英文)

美國/U. S. A.

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家（地區）申請專利 ☒ 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 美國；2002/12/13；60/433,314

☐ 主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

2. 美國加州卡瑪里洛·帕奎塔街 1137 號

1137 Paquita Street, Camarillo, CA 93012, U. S. A.

3. 美國加州瑪里納德瑞·瑪里納 4127 號#415

4127 Via Marina, #415, Marina del Rey, CA 90292, U. S. A.

4. 美國加州西湖別墅·杜魯姆克里夫巷 1718 號

1718 Drumcliff Court, Westlake Village, CA 91361, U. S. A.

國 籍：(中文/英文)

美國/U. S. A.

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家（地區）申請專利 ☒ 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 美國；2002/12/13；60/433,314

☐ 主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

相關申請案之交叉參考

本申請案申請2002年12月12日所申請之美國臨時專利
5 申請案第60/433,314號的利益，其揭露內容係以參考方式併
入本文之中。

本申請案亦有關於2001年6月15日所申請之美國專利
申請案第09/758,792號以及美國專利申請案第09/882,892號
(以下將加以說明)。

10 發明領域

本發明一般係有關於積體電路與半導體元件(ICs)以及
其製造方法，其中該積體電路與半導體元件使用隱蔽技術
(camouflaging technique)，該技術能夠使逆向工程師難以分
辨該半導體元件係如何加以製造。

15 【先前技術】

發明背景

本發明係有關下列美國專利與專利申請案，其中某些
案子之發明者係與本發明者相同。

(1)美國專利第5,866,933號與第6,294,816號，其教導如
20 何藉由修改p+與n-源電極/汲電極遮罩將線路植入(且因而
隱藏且埋藏)在電晶體之間，而在一CMOS電路中連結電晶
體。這些植入之互連線路係用以製造三輸入AND或
OR(3-input AND or OR)電路，其對於逆向工程師而言看起來
大體上相同。另外，埋藏之互連線路迫使逆向工程師大

為深入地測試該IC，以便試圖理解電晶體之間的連接與其功能。

(2)美國專利第5,783,846號與第5,930,663號，其教導源電極/汲電極植入遮罩之另一修正，以致於使該植入電晶體之間的互連線路插入有一間隙，該間隙大約等於目前所使用之CMOS技術的最小特徵尺寸之長度。如果此間隙係以一種植入法加以「充填」，線路就會導通，但是如果係以另一種植入法加以「充填」，則線路不會導通。該故意的間隙係稱之為「通道阻塊」，其迫使逆向工程師欲破解目前所使用之CMOS製程的最小特徵尺寸之植入種類必須做出交互的判斷。

(3)美國專利第6,117,762號，其教導用以保護半導體與積體電路免於逆向工程破解的方法與裝置。半導體主動區域係形成於一基板上，且一矽化物層係形成於該半導體主動區域之至少一個主動區域、以及一選定的基板區域上，用以透過形成於該選定基板區域上之矽化物區域互相連接該至少一個主動區域與另一個區域。

(4)美國專利第4,583,011號，其揭露一種藉著將一額外的假冒MOS元件植入電路中，用以阻撓試圖拷貝一MOS積體電路之方法與電路佈置，想要進行拷貝者從其在電路中之位置看起來將會像是一個加強模式的元件。然而，該假冒MOS元件係以一空乏植入法(depletion implant)加以植入。

(5)美國專利第5,973,375號，其揭露在一半導體基板中之相鄰電晶體的植入區域之間係藉著於場氧化物層下方埋

入傳導植入物而加以連接。埋入之植入物亦稱之為埋入接點，其摻雜濃度係類似於源極/汲極植入物之摻雜濃度。典型之埋入接點具有約 10^{18} 原子/立方厘米的摻雜濃度。

(6)美國專利申請案第09/758,792號，其揭露一種多晶矽製程技術，該技術容許電晶體依照植入細節而開啟或關閉。

(7)2001年6月15日申請之美國專利申請案第09/882,892號、以及2002年6月13日申請之PCT/US02/19075號的相關PCT申請案，其揭露一種在閘極區域下方所使用之埋入式接點植入物。於專利申請案中所使用之埋入式接點構造大約具有與源極/汲極植入物相同的摻雜濃度與植入深度。

【發明內容】

發明概要

製造複雜的積體電路與半導體元件可能相當昂貴，複雜工程之人才耗費無數時間參與設計此等元件。另外，積體電路可包括唯讀記憶體，軟體(以韌體之形式)係編碼於該記憶體中。此外，積體電路通常係用於有關資訊加密的應用方面，且因此為了保持此等資訊之機密性，其需要使此等元件免於逆向工程的侵害。所以，保護積體電路與其他半導體元件免於逆向工程之侵害有許多的理由。

為了阻隔逆向工程，先前技藝已知有不同之技術，用以使積體電路更難以進行逆向工程。其中一種技術係用以使電晶體之間的連接相當難判定，使其足以令逆向工程師

必須仔細地分析各個電晶體(尤其是對於CMOS元件之各對CMOS電晶體)，且無法使用自動電路與圖案辨識技術以逆向工程解出該積體電路。由於積體電路具有數十萬或甚至數百萬的電晶體，迫使逆向工程師仔細地分析一元件中之各個電晶體能夠有效地阻撓逆向工程師成功地逆向解出該元件的能力。

如果成功的話，上述之先前技藝的技術將迫使逆向工程師研讀金屬接頭，以便試圖解出標準電路之邊界，並試圖解出其功能。例如，閘極接頭可能使用聚矽層(在具有兩個或更多聚矽層之一製程中的第一聚矽層)，且逆向工程師能夠尋找這些接點，知道這些閘極接點通常係為電晶體之輸入點，且從而成為一標準電路。另外，源極接點與汲接點係藉由金屬互連接頭製造於基板。逆向工程師可能成功的其中一種方法係藉著尋找矽對閘極聚合金屬線路以尋找胞體邊界，因為這些線路有可能作為由一電晶體胞體輸出(汲接點)進入下一個電晶體胞體的輸入(閘極接點)之間的接點。如果能夠成功，則逆向工程師便能夠藉由這些矽閘極聚合金屬線路界定出胞體邊界。接著，藉著標註該等胞體邊界，逆向工程師便能夠發現胞體特徵(例如電晶體之尺寸與數量)，並從而對該胞體之功能做出合理的假設。除了胞體邊界以外，逆向工程師亦能夠靠著電晶體之尺寸以及其位置。例如，P通道元件(PMOS)係大於N通道元件(NMOS)，且所有的PMOS元件係群集於一列中，而所有的NMOS元件係群集於不同列中。此資訊接著能夠貯存於一資料庫中

，用以自動地分級其他的類似胞體。

本發明之一目的係在於使逆向工程更為困難，且更特別在於迫使逆向工程師研讀閘極接點下方之植入物。藉著使其非常耗時，且可能非常無法實現(如果並非完全不可能)
5)以逆向工程解開一使用本發明之晶片，相信如此將會使逆向工程師之努力更加困難。

第1a圖顯示一先前技藝之單井CMOS元件的簡化橫剖面圖。在一NMOS元件中(顯示在左側)，一主動區域16a典型係為一n型源極區域，而主動區域18a典型係為一n型汲區域，其配置於一p型基板12中。一閘極20a可由將一層多晶
10 矽19配置於一層閘極氧化物21上所製成，一閘極20a係配置於兩個主動區域16a與18a之間。場氧化物10使NMOS元件與CMOS對之PMOS元件以及其他位於該IC中的半導體元件相隔絕。在一PMOS元件中(顯示於右側)，一主動區域16b
15 典型係為一p型源極區域，而主動區域18b典型係為一p型汲極區域，其配置於基板12之一n型井42中。一閘極20b可由一層多晶矽19配置於一層閘極氧化物21上所製成，該閘極20b係配置於兩個p型主動區域16b與18b之間。該n型井42使p型主動區域16b、18b與p型基板12相隔絕。

20 第1b圖顯示另一先前技藝CMOS元件之簡化的橫剖面圖。半導體產業中的兩個主要目標係在於增加其密度以及增加數位或類比積體電路(ICs)之速度，增加密度意指使用較小的通道長度與寬度。為了滿足此條件(諸如隔絕一半導體元件之高度整合的細微或精密元件)，故使具有第一傳導

性類型之一基板的一CMOS對之某些n型元件具有一傳導性類型與該基板相同的井。第1b圖係為此一先前技藝CMOS元件之簡化橫剖面圖，NMOS元件係顯示在左側，而PMOS元件則顯示在右側。該NMOS元件具有一第一傳導性類型之井14形成於該第一傳導性類型的半導體基板12中。在第1b圖所顯示的範例中，該基板12係為一p型半導體基板，且井14係為一p型井。該NMOS元件之源極區域16a與汲極區域18a具有一第二傳導性，且較佳為n型。場氧化物10使該CMOS對中之NMOS元件與PMOS元件相隔絕，並使IC中之該半導體元件與其他半導體元件相隔絕。閘極20a、20b係由將一層多晶矽19配置於一層閘極氧化物21上所製造。在PMOS元件中，該源極區域16b與汲極區域18b係為p型。一n型井42係位於該源極區域16b與汲極區域18b下方。

本發明較佳使用一稱之為「雙井製程(double well process)」的標準CMOS製造程序，其中一第一傳導性之半導體基板具有一個帶有第一傳導性類型的井、以及一個具有一第二傳導性的井。在讀完本發明之後，熟諳此技藝之人士將會體認到的是，本發明亦可使用雙井製程以外的其他CMOS製程。遮罩係用以決定該第一傳導性類型井以及第二傳導性類型井之位置與形狀。

另外可見到的是，在兩個主動區域(諸如源極與汲極)之間改變不同井的位置會形成一傳導路徑。因此，所產生之半導體元件對於任何合理的閘極電壓將永久保持啟動(ON)。所以，藉著本發明，該電路能夠建構成外表上與某

- 些習用電路相同，但是選定之電晶體的功能將完全不同，且因此該電路之功能與外觀極為相似的電路會完全不同。由於逆向工程程序尋找電路元件之重複圖案(從頂部或是平面觀察)，並假設所有的重複圖案表現出相同的電路功能
- 5 ，當逆向工程師試圖拷貝原始積體電路時係容易假設成不正確的功能。所以，該積體電路(其中係使用本發明)之真實功能係加以隱藏。當然，如果在一複雜積體電路(也許具有數百萬的電晶體)中使用數百次或數千次使電晶體之圖案與一習用電路極為相似但卻實行一不同功能的此技術，則
- 10 逆向工程師不僅會完成一無法使用之元件，且試圖想出欲進行逆向工程之晶片的分析假設何處產生錯誤亦為一種令人氣餒之工作。此額外的努力(如果實行的話)會迫使逆向工程師花費額外的時間，以試圖決定考慮之晶片係如何加以構造。
- 15 本發明不僅提供一種使逆向工程師困惑之元件與方法，其亦提供一種較其他抑制逆向工程程序之方法更為簡單的實行方式。此處所揭露之技術能夠用以修改一特定供應商之模板庫(library)設計，而無需形成一全新且不同外觀之模板庫。因此，熟諳此技藝之人士將體認到的是，有關本
- 20 發明之成本與時間係少於其他用以抑制對積體電路進行逆向工程的方法。

注意到的是，在數千個看起來像是同一個半導體元件或是考慮中之該晶片上的元件圖案中，本發明可能僅使用一次，但是逆向工程師對於看到的每個半導體或圖案而言

，則必須非常仔細地檢視每個完全熟知的半導體元件或是圖案，由於本發明，對其進行修改之可能性非常小。逆向工程師將面對必須猶如在稻草堆中找出一根針的困難工作。

簡單的說(且一般而言)，本發明包含一種隱藏一積體電路，用以抑制逆向工程之方法，其中將一個與源極以及汲極相同類型的井置於閘極區域下方，並與該源極以及汲極相接觸。

在另一觀點中，本發明提供用以隱藏一積體電路構造。該積體電路構造係藉由複數個井所形成，位於閘極下方的井係鄰接相同形式的源極與汲極區域加以配置。

圖式簡單說明

第1a圖係為一具有一單井製程之先前技藝CMOS元件的簡化橫剖面圖；

第1b圖係為一先前技藝CMOS元件之簡化橫剖面圖，對於藉由一雙井製程所製造的n型元件而言，該CMOS元件具有一傳導性類型之基板以及一相同傳導性類型的井；

第2圖係為顯示本發明之一實施例之一CMOS元件之簡化橫剖面圖；

第3圖係為一CMOS元件之簡化橫剖面圖，其中該n型元件係依照本發明加以修正；

第4a到4c圖係為依照本發明，一用於單井CMOS元件之示範性簡化處理程序；

第5a到5d圖係為依照本發明，一用於雙井CMOS元件之示範性簡化處理程序；

第6a到6d圖係為依照本發明，一第二組之示範性簡化處理程序；

第7圖係為一CMOS元件之示範性簡化橫剖面圖，其中該p型元件係依照本發明加以修改；及

- 5 第8圖係為一CMOS元件之另一示範性簡化橫剖面圖，其中該p型元件係依照本發明加以修改。

【實施方式】

較佳實施例之詳細說明

- 以下將參考所附圖式，更完全地說明本發明，其中本發明之較佳實施例係顯示於該等圖式中。本發明能夠以許多不同的形式加以實行，且不應限制於此處所提出的該等實施例。
- 10

- 第2圖顯示第1b圖之CMOS中的NMOS與PMOS元件如何能夠藉由本發明加以蓄意啟動(ON)，以便使一電晶體元件之外觀對逆向工程師而言像是正在工作中，而事實上該電晶體係從未關閉(OFF)。
- 15

- 如第2圖中所示，第1b圖之p型井14係由n型井7加以取代，且第1b圖之n型井42係由p型井8加以取代。熟諳此技藝之人士將體認到的是，改變井之類型必須在p型井與n型井7、8的形成期間改變遮罩中的開孔。藉著改變井，以致於使一n型井7位於n型主動區域16a、18a之間，在該主動區域16a與主動區域18a之間形成一電子路徑，而與所施加的電壓無關。結果無論對該閘極20a施加任何的合理電壓，皆會產生一永遠開啟(ON)的電晶體，與任何無關。另外，藉著改變
- 20

井，以致於使一p型井8位於p型主動區域16b、18b之間，在主動區域16b與主動區域18b之間形成一電子路徑，而與所施加的電壓無關。結果無論對該閘極20b施加任何的合理電壓，皆會產生一永遠開啟(ON)的電晶體。一合理之電壓稱之為一正常元件操作中所建立的任何閘極電壓，以致於使該電壓不會破壞閘極氧化物21。

第3圖顯示依照本發明之另一實施例，一CMOS元件之簡化橫剖面圖。熟諳此技藝之人士將體認到的是，第1b圖之CMOS對的NMOS元件能夠加以修改，而無需修改該CMOS對之PMOS元件。因此，在第3圖中，第1b圖之p型井14係以n型井7加以取代，而位於第1b圖到第3圖右側之PMOS元件則維持不變。

儘管第2圖與第3圖之元件提供永遠開啟(ON)的元件，該等元件同樣會引起洩漏問題。如果沒有修改一電路中之所有元件，若位於閘極區域20a、20b下方之井7、8(其與源極區域以及汲極區域16a、18a、16b、18b的傳導性類型相同)距離夠近使其彼此接觸，則可能導致一電流洩漏。例如，在第3圖中，來自於n型井7之電流可能會洩漏進入n型井42，導致第3圖之PMOS電晶體產生問題。因此，如果此洩漏電流係為一種問題，則井7、8較佳製造成較電晶體小，以避免此類型之洩漏。因此，第4a圖到第8圖中所示之元件顯示出位於閘極區域下方的井係小於與其有關聯之電晶體。儘管熟諳此技藝之人士將體認到如此並非必要，然而其確實能夠避免本發明導致其他在電路中應該關注的洩漏問

題。

第4a到4c圖顯示第1a圖中所示之半導體元件如何能夠藉由本發明故意地加以啟動(ON)，以便使一電晶體元件之外觀對逆向工程師而言像是正在工作中，而事實上該電晶體係從未關閉(OFF)。較佳用以達成第4c圖中所示之元件的
5 加工步驟將依序加以說明。

第4c圖中之CMOS對包含一NMOS元件(顯示於左側)、以及一PMOS元件(顯示於右側)。第4c圖中所示之該NMOS元件具有一p型基板12、兩個n型主動區域16a、18a，以及
10 一閘極20a。第4c圖中之PMOS場效應電晶體具有一p型基板12、一n型井42、兩個p型主動區域16b、18b，以及一閘極20b。該兩個n型主動區域16a、18a典型係稱之為源極區域與汲極區域。儘管此術語對於本發明而言可能喪失其意義(其永保啟動ON)，然而與習用電路相較，使用術語源極與汲
15 極將使本發明容易理解。閘極20a下方係為一額外的n型井22，其連接主動區域16a、18a。該n型井22與主動區域16a、18a之傳導性類型相同，藉以在該主動區域16a、18a之間提供一傳導路徑，無論是否施加電壓。結果無論對該閘極20a施加任何的合理電壓，皆會產生一永遠開啟(ON)的電晶
20 體。一合理之電壓稱之為一正常元件操作中所建立的任何閘極電壓，以致於使該電壓不會破壞閘極氧化物21。熟諳此技藝之人士將體認到的是，當從一習用的平面圖觀察時，第4c圖中所示之元件的特徵將使逆向工程師相信此元件係為一個正常之NMOS元件。

先前技藝元件(諸如先前在美國專利第5,973,375號與美國專利申請案第09/882,892號中所揭露之元件)使用埋藏接點連接主動區域。熟諳此技藝之人士將體認到的是，一源極或汲極植入物之摻雜濃度通常約為 10^{19} 原子/立方公分 (atom/cm³)左右，一井之摻雜濃度通常約為 10^{13} 原子/立方公分到 10^{15} 原子/立方公分左右，一埋藏接點之摻雜濃度通常約為 10^{18} 原子/立方公分左右。因此，埋藏接點植入物所具有之摻雜濃度係較一井為高，通常更接近一源極/汲極植入物之摻雜濃度。在本發明之元件與方法中係使用一井以提供該等主動區域之間的連接。此外，一埋藏接點之深度一般係更為類似於該源極/汲極植入物的深度，而一井植入物一般係較該源極/汲極植入物為深。另外，在形成井42之同時亦能夠容易地形成井22。

熟諳此技藝之人士將體認到的是，半導體元件之製造有許多不同的可行程序。以下說明係提供作為有關依照本發明之一0.35微米製程的範例，儘管確實的細節(諸如尺寸與摻雜程度)有所不同，本發明亦能夠適用於使用相同基本方法之其他製程。用以製造第1a與1b圖中所示之元件的加工步驟對於半導體元件之製造技藝而言係熟為人知，因此，習用之加工步驟係不在做任何的詳細說明。然而，提供以下的簡化說明，用以就該等加工步驟與習用的加工步驟有何不同之處而言，詳細說明較佳實行本發明之加工步驟與加工特性。

第4a到4c圖顯示能夠用以形成一依照本發明之元件的

製程。參考第4a圖，一阻抗遮罩36係形成於一NMOS電晶體之一基板12上。該基板12係由例如p型聚矽氧(其具有例如10歐姆/公分(Ω/cm))之阻抗)所製成。在習用製程中，該阻抗遮罩36係加以蝕刻，且僅移除該等NMOS電晶體上方之部分。在本發明之製程中，該阻抗遮罩較佳係加以蝕刻，以便在NMOS電晶體之一部分上形成一開孔35。對於特定製程而言，該開孔35之寬度26較佳係大於或等於最小的n型井寬度。對於一0.35微米之製程而言，最小的n型井寬度典型係為0.6微米。磷離子34較佳係植入該基板12，以便形成一磷植入區域，此處稱之為n型井22(對於NMOS元件而言)與n型井42(對於PMOS元件而言)，顯示於第4b圖之中。該磷離子34能夠例如以180 keV之加速電壓以及約 $5.0 \times 10^{13} \text{ CM}^{-2}$ 的劑量加以植入。植入磷離子會產生一個位於第4b圖之閘極區域20下方的n型井22、以及一個位於PMOS元件下方的n型井42。典型地，在植入磷離子以後，該基板較佳係加以溫度循環，以便將該等離子驅動到基板中的所需深度。

在第4b圖中，阻抗遮罩36已經移除，且一閘極氧化物層21與多晶矽層19係形成於該基板12的表面上。對於NMOS元件而言，一閘極20a較佳係藉著蝕刻該閘極氧化物層21與多晶矽層19形成於該基板12上。接著能夠將磷離子38植入例如基板12之中，以便形成第4c圖中所示n型區域16a、18a。磷離子38能夠以例如20 keV之加速電壓以及一 $5.0 \times 10^{15} \text{ CM}^{-2}$ 的劑量加以植入。熟諳此技藝之人士將會體認到的是，磷離子38在n型區域16a、18a形成時之濃度係遠

大於磷離子34在n型井22、42形成時的濃度。熟諳此技藝之人士將會體認到的是，溫度與離子濃度之組合能夠依照典型的半導體製程加以變化，以致於使各種植入物能夠獲得所需之深度。較佳地，溫度循環與離子濃度係加以選定，

5 以致於使n型井22、42係較n型源極與汲極區域16a、18a為深。第4a到4c圖中所示之PMOS元件係根據習用製程步驟所形成。

第5a到5d圖顯示依照本發明，能夠用以生產一雙井式CMOS元件之製程步驟的一示範性組合。參考第5a圖，一阻

10 抗遮罩36係形成於一NMOS電晶體之一p型基板12上。在一標準之雙井式半導體製程中，該阻抗遮罩36將會覆蓋整個NMOS電晶體區域，且僅有PMOS電晶體區域的區域並未加以覆蓋。阻抗遮罩36較佳係在該NMOS電晶體之一部分的上方加以蝕刻，用以形成一開孔35。基板12係由例如具有

15 較佳為10歐姆/公分之傳導性的p型聚矽氧所製成。磷離子34係植入該基板12中，以便形成一磷植入區域，此處稱之為n型井22、42，如第5b圖中所示。該磷離子34能夠以例如180 keV之加速電壓以及一約為 $5.0 \times 10^{13} \text{ CM}^{-2}$ 的劑量加以植入。植入磷離子會產生一個位於該NMOS元件之閘極區

20 域下方的n型井22、以及一個位於該PMOS元件下方的n型井42。對於特定製程而言，開孔35之寬度26較佳係大於或等於最小的n型井寬度。對於一0.35微米之製程而言，最小的n型井寬度典型係為0.6微米。該基板較佳係加以溫度循環，以便將該等離子驅動到所需深度。

在第5b圖中，阻抗遮罩36已經移除，且另一遮罩32係形成於該基板12上。在本實施例中，該阻抗遮罩32較佳係加以蝕刻，以便形成兩個開孔33、37，以致於使該阻抗遮罩32之部分延伸一段距離24，超過n型井22之邊緣。對於

5 0.35微米之製程而言，該距離24典型係等於0.16微米，亦即為n型井與p型井之最小間隔。硼離子30係值入基板12之中，以便形成一硼離子值入區域，此處稱之為p型井14a、14b，其顯示於第5c圖中。該硼離子30能夠以例如100 keV之加速電壓以及一約為 $3 \times 10^{13} \text{ CM}^{-2}$ 的劑量加以植入。在一先前

10 技藝製程中，並沒有覆蓋n型井22之該阻抗遮罩32，因此先前技藝之p型井14係在閘極區域20a的下方延伸，如第1b圖中所示。該覆蓋n型井22之阻抗遮罩32容許用以控制位於閘極20a下方的植入區域。在一雙井式製程中，此含硼區域14a、14b事實上係為p型井植入物。同樣地，該基板典型係加

15 以溫度循環，以便將該等離子驅動到所需深度。

在第5c圖中，該阻抗遮罩32已經移除，且一閘極氧化物層21以及一多晶矽層19係形成於該基板12上。對於NMOS元件而言，該閘極氧化物層21與多晶矽層19較佳係加以蝕刻，以便形成閘極20a。對於PMOS元件而言，該閘

20 極氧化物層21與多晶矽層19會在PMOS元件上形成一阻抗遮罩。磷離子38能夠植入例如基板12中，以形成如第5d圖中所示之n型主動區域16a、18a，該磷離子38能夠以例如70 keV之加速電壓以及一約為 $5 \times 10^{15} \text{ CM}^{-2}$ 的劑量加以植入。熟諳此技藝之人士將體認到的是，磷離子38在該主動區域

16a、18a形成時之濃度係遠大於磷離子34於n型井22、42形成時的濃度。熟諳此技藝之人士將體認到的是，溫度與離子濃度之組合能夠依照典型的半導體製程加以變化，以致於各個區域能夠獲得所需之深度。較佳地，溫度循環與離子濃度係加以選定，以致於使n型井22、42係較p型井14a、14b為深。

除了以上所說明且顯示於第5a到5d圖中之製造程序以外尚有其他的方法，其能夠用以提供第5d圖中所示之元件。一第二方法係顯示於第6a到6d圖中，在第6a圖中，其第一步驟係與第5a圖中所示之步驟相同。

然而，在第6b圖中，其加工步驟係不同於第5b圖中所示的步驟。在第6b圖中，阻抗遮罩32並非放置覆蓋該NMOS元件之n型井22。硼離子30係植入基板12，以便形成一含硼植入區域，此處稱之為p型井14，其顯示於第6c圖中。硼離子30能夠以例如100 keV之加速電壓以及一約為 $3 \times 10^{13} \text{ CM}^{-2}$ 的劑量加以植入。熟諳此技藝之人士將體認到的是，該p型井14係植入於n型井22之上方，因此使形成該n型井22之磷離子34的濃度必須大於形成該p型井14之硼離子30的濃度。因此，由於n型井22之存在，位於閘極20a下方之區域仍然屬於n型。

在第6c圖中，阻抗遮罩32已經移除，且一閘極氧化物層21以及一多晶矽層19係形成於該基板12上。對於NMOS元件而言，該閘極氧化物層21與多晶矽層19較佳係加以蝕刻，以便形成該閘極20a。對於PMOS元件而言，該閘極氧

化物層21與多晶矽層19形成一覆蓋該PMOS元件之阻抗遮罩。磷離子38能夠植入例如基板12中，以形成n型主動區域16a、18a，如第6d圖中所示。該磷離子38能夠以例如20 keV之加速電壓以及一約為 $5 \times 10^{15} \text{ CM}^{-2}$ 的劑量加以植入。熟諳此技藝之人士將體認到的是，磷離子38在該主動區域16a、18a形成時之濃度係遠大於磷離子34於n型井22、42形成時的濃度。熟諳此技藝之人士將體認到的是，溫度與離子濃度之組合能夠依照典型的半導體製程加以變化，以致於能夠獲得所需之區域/井深度。較佳地，溫度循環與離子濃度係加以選定，以致於使n型井22、42係較n型源極與汲極區域16a、18a為深。另外在某些應用中，溫度循環與離子濃度較佳係加以選定，以致於使n型井22、42較p型井14深。如此能夠確保n型井22深過p型井14。

熟諳此技藝之人士將體認到的是，使元件永保啟動(ON)係不一定需要p型井14a、14b。然而，由於習用元件之微小特性尺寸，該等元件普遍具有一與基板12傳導性類型相同之p型井14，如第1b圖中所示。在較佳實施例中，此處所說明之技術係用於標準的雙井式CMOS製造程序，且因此p型井14a、14b係用以避免不必要地修改半導體製造程序。另外，該等p型井14a、14b使NMOS元件能夠承受較高的施加電壓。此外，p型井14a、14b有助於使n型主動區域16a、18a與基板12。然而，熟諳此技藝之人士將體認到的是，該半導體製造程序能夠加以修改，以致於使p型井14a、14b並未設置於元件中，如第4a到4c圖中所示。

本發明之另一實施例使用一永久啟動(ON)之PMOS電晶體。無須增加額外的步驟以形成該半導體元件，藉由本發明所形成之該PMOS元件能夠永遠啟動(ON)，但短路到基板。在先前技藝之PMOS電晶體(諸如第1b圖中所示)中，n
5 型井42係首先植入。接著，p型區域16b、18b係加以植入，以便形成該PMOS電晶體之源極與汲極。

第7圖顯示一CMOS元件之一橫剖面圖，其中位於右側之PMOS電晶體係已經依照本發明加以修改。其概念與製程係類似於與NMOS電晶體有關之製程，然而，一p型井52'
10 係植入於閘極區域20b下方的基板12中，用以產生該p型井52'之硼離子的劑量係足以在標準製程中克服位於基板12之表面處的n型井42。因此會產生從源極與汲極p型區域16b、18b透過該通道52'而到達p型基板12之傳導路徑。所以，對於一合理的閘極電壓，該半導體元件會永保啟動(ON)，
15 但亦會短路到基板12。

熟諳此技藝之人士將體認到的是，使半導體元件短路到基板(如第7圖中所示)可能並不需要。第8圖顯示一CMOS元件之橫剖面圖，其中位於右側之該PMOS電晶體已經依照本發明加以修改，且該PMOS元件並沒有短路到基板12。其
20 概念與製程係類似於以上參考第7圖所說明之與PMOS電晶體有關的製程。然而，一p型井52''係植入閘極區域20b下方的基板12中。一用以產生該p型井52''的硼離子劑量係足以克服該基板位於主動區域16b、18b之間的表面之n型井42。然而，p型井52''之深度係加以控制成較n型井42稍淺。因此

，n型井42能夠防止p型井52”短路到基板12。熟諳此技藝之人士將體認到的是，該製程可能原本具有加工步驟，其使得n型井42較p型井52”為深，而使p型井52”在基板之表面覆蓋住n型井42。在此案例中，則該製程並不需要修改。

- 5 在第7圖中，p型井52”係較n型井42深，並覆蓋該n型井。因此，施加到p型區域16b、18b其中任一者之任何電壓會通過到達p型井52’，並短路到p型基板12。在第7圖中，熟諳此技藝之人士將體認到的是，該n型井42係視需要而定，因為其並不會改變電路之運作。如果第6d圖中所示之元件
- 10 係以與第7或8圖的元件相同之程序加以製造，且製造商希望放置第6d圖之p型井14、或是第7圖之n型井42，以進一步困惑逆向工程師，則需要額外的加工步驟，以確保p型井52’、52”在基板12之表面覆蓋n型井42。在第6d圖中，對於偽裝電機體之運作而言，使n型井22在基板12之表面覆蓋p型
- 15 井14係相當重要。然而，在第7與8圖中，使p型井52’、52”在基板12之表面覆蓋n型井42，以便在主動區域16b、18b之間提供一電子路徑係相當重要。因此，依照本發明，為了形成一PMOS與NMOS元件，故需要兩個不同之p型井步驟。每個p型井步驟會具有稍微不同的硼離子密度及/或不同的
- 20 溫度循環，以確保在一步驟中第7圖之p型井52’或第8圖之p型井52”覆蓋n型井42，而在另一步驟中第6d圖之p型井14並不會覆蓋n型井22。當然，熟諳此技藝之人士將體認到的是，除了使用兩個不同的p型井製程步驟，能夠使用兩個不同的n型井製程步驟加以取代，以便達成相同的效果。

如果一PMOS與一NMOS元件皆係使用一標準雙井式製造程序加以製造，而沒有增加額外的製程步驟，則熟諳此技藝之人士將體認到的是，一般係沒有佈置n型井42，以確保p型井52會佈置於閘極區域20b之下方。然而，在雙井式製造加工期間能夠伴隨有第7與8圖中所示之構造。第7與8圖中所示之該構造的製造可以或不必須要額外的製造步驟，依照該等n型井與p型井在進行植入與溫度循環以後之濃度而定。

對於逆向工程師而言，欲偵測此處所揭露之技術係非常困難。例如，即使當使用顯微鏡研究(諸如SEM分析)藉由此處所揭露之技術所改變的半導體元件之電路的頂部(平面圖)時，該改變過之電路看起來係與其他標準的半導體元件完全相同。逆向工程師應會判定，必須對於數百萬個半導體元件進行進一步的分析，則金屬、氧化物、以及絕緣層必須小心地加以移除。接著，逆向工程師必須實行染色與蝕刻，以判定已經配置於閘極之井植入物。此工作將會非常困難，因為對許多高密度IC而言，其閘極下方總是有井植入物，只不過該井植入物的類型通常係不同於鄰接閘極區域之主動區域。然而，在本發明之案例中，該井之類型係與鄰接該閘極區域的半導體主動區域相同。因此，逆向工程師必須能夠對不同類型之井傳導性類型做出判斷。利用本技術，該閘極井植入物係為低劑量。所以，依照植入材料之化學本質的化學蝕刻並不會有太大的效果。結果，相信用以偵測使用本發明所需要的技術將會相當耗時，

令其足以使逆向工程師裹足不前。一複雜之積體電路可能包含數百萬個半導體元件，且如果逆向工程師必須仔細地分析每個半導體元件，以判定是否有使用本發明偽裝各個半導體元件，則對於此一積體電路進行逆向工程之相關工作將會相當浩大。

已經參考過某些實施例說明本發明，對於熟諳此技藝之人士而言，其自然能夠想到各種修改(例如其他的劑量、或是其他類型之半導體元件)。就其本身而論，本發明並不限定於所揭露之實施例，除非所附之申請專利範圍有特別要求。

【圖式簡單說明】

第1a圖係為一具有一單井製程之先前技藝CMOS元件的簡化橫剖面圖；

第1b圖係為一先前技藝CMOS元件之簡化橫剖面圖，對於藉由一雙井製程所製造的n型元件而言，該CMOS元件具有一傳導性類型之基板以及一相同傳導性類型的井；

第2圖係為顯示本發明之一實施例之一CMOS元件之簡化橫剖面圖；

第3圖係為一CMOS元件之簡化橫剖面圖，其中該n型元件係依照本發明加以修正；

第4a到4c圖係為依照本發明，一用於單井CMOS元件之示範性簡化處理程序；

第5a到5d圖係為依照本發明，一用於雙井CMOS元件之示範性簡化處理程序；

第6a到6d圖係為依照本發明，一第二組之示範性簡化處理程序；

第7圖係為一CMOS元件之示範性簡化橫剖面圖，其中該p型元件係依照本發明加以修改；及

5 第8圖係為一CMOS元件之另一示範性簡化橫剖面圖，其中該p型元件係依照本發明加以修改。

【圖式之主要元件代表符號表】

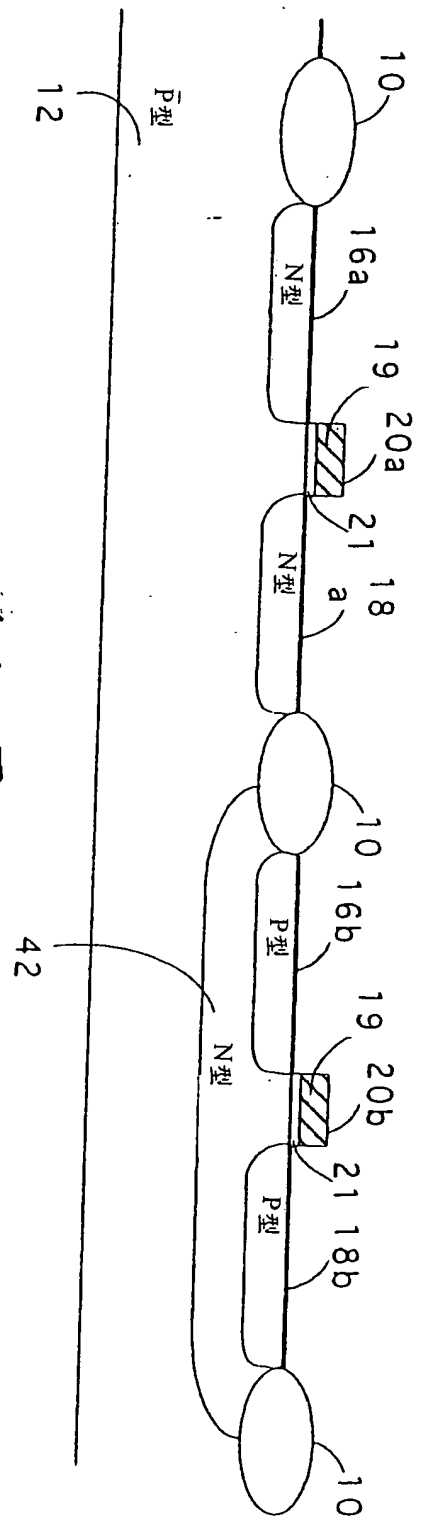
7...n型井	22...n型井
8...p型井	24...距離
10...場氧化物	26...寬度
12...p型基板	30...硼離子
14...p型井	32...阻抗遮罩
14a...p型井	33...開孔
14b...p型井	34...磷離子
16a...主動區域	35...開孔
16b...主動區域	36...阻抗遮罩
18a...主動區域	37...開孔
18b...主動區域	38...磷離子
19...多晶矽	42...n型井
20a...閘極	52'...p型井
20b...閘極	52''...p型井
21...閘極氧化物	

伍、中文發明摘要：

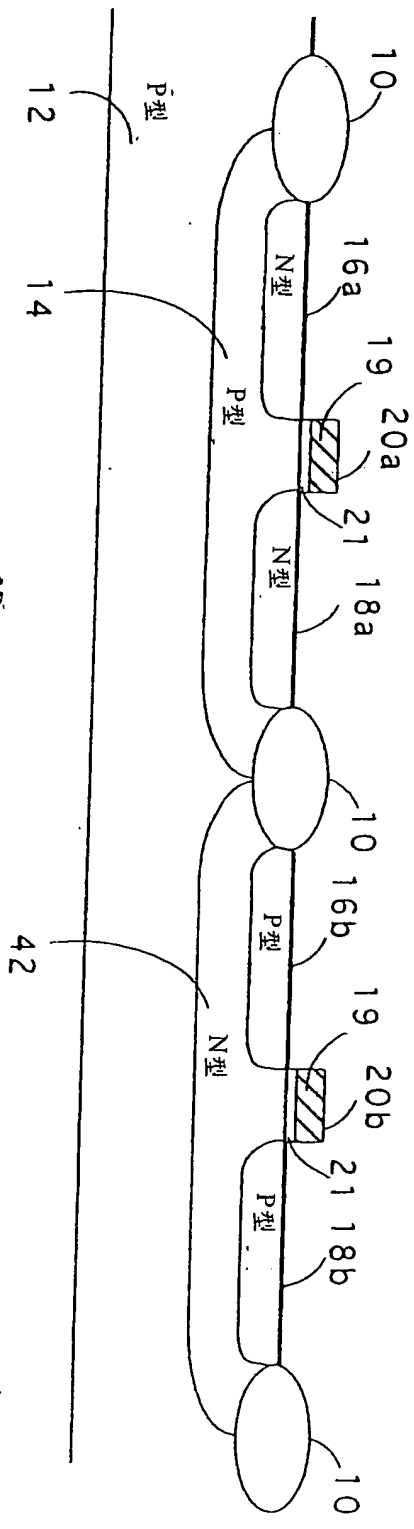
一種用以隱藏一積體電路構造之技術與構造。該積體電路構造係在閘極區域下方形成有一第一傳導性類型之一井，該閘極區域係鄰接一第一傳導性類型之主動區域配置。該井在主動區域之間形成一電子路徑，與施加到該積體電路構造之任何合理的電壓無關。

陸、英文發明摘要：

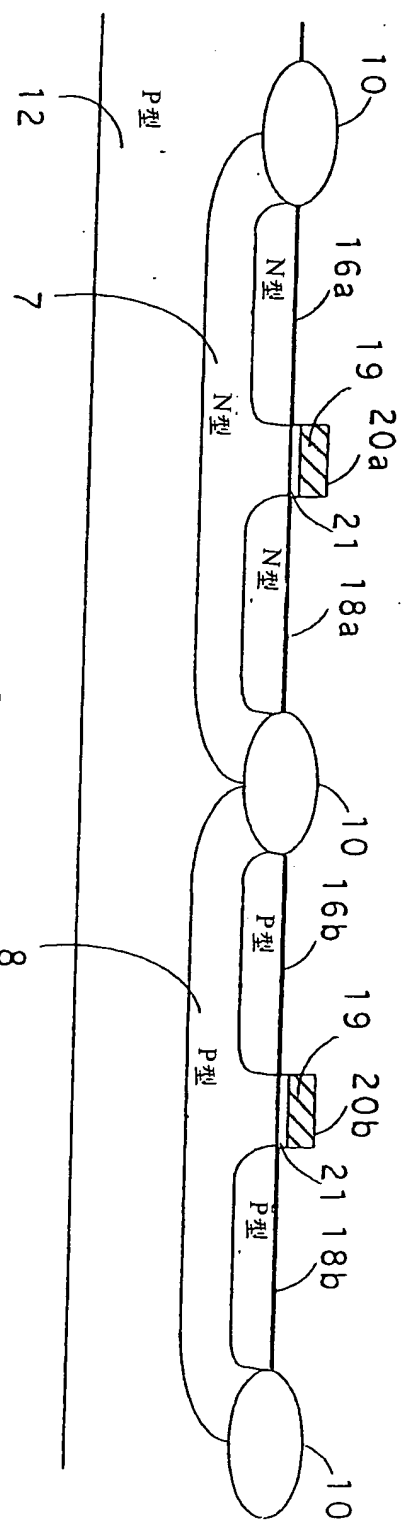
A technique for and structures for camouflaging an integrated circuit structure. The integrated circuit structure is formed having a well of a first conductivity type under the gate region being disposed adjacent to active regions of a first conductivity type. The well forming an electrical path between the active regions regardless of any reasonable voltage applied to the integrated circuit structure.



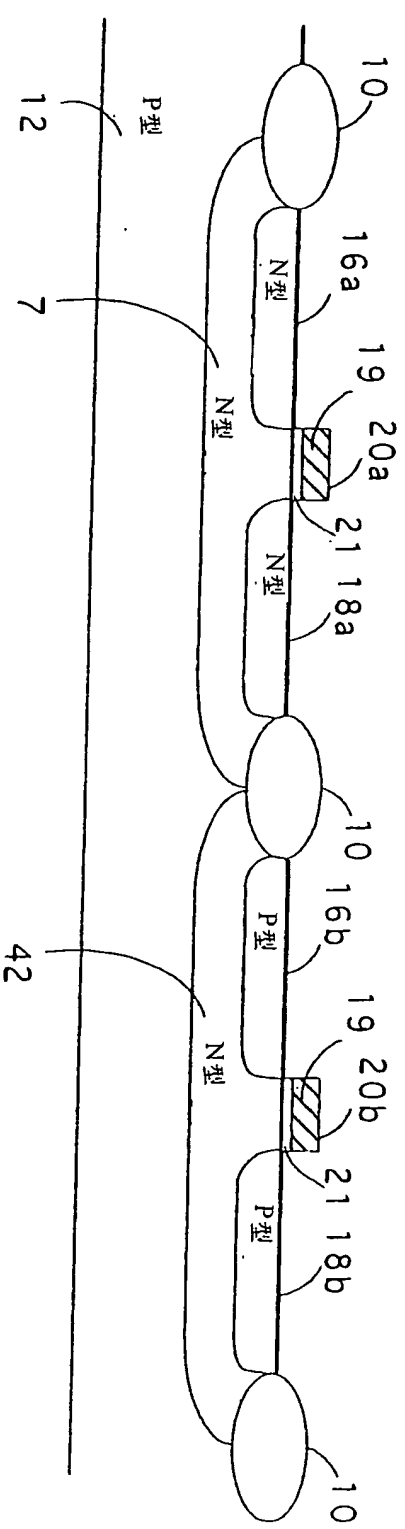
第 1 a 圖



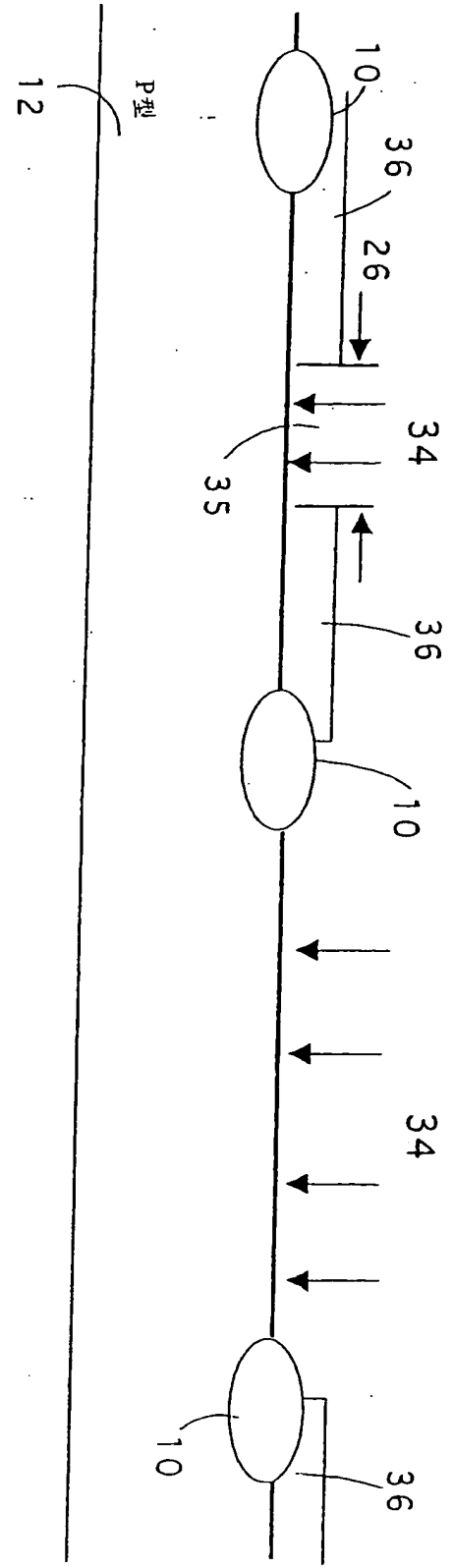
第 1 b 圖



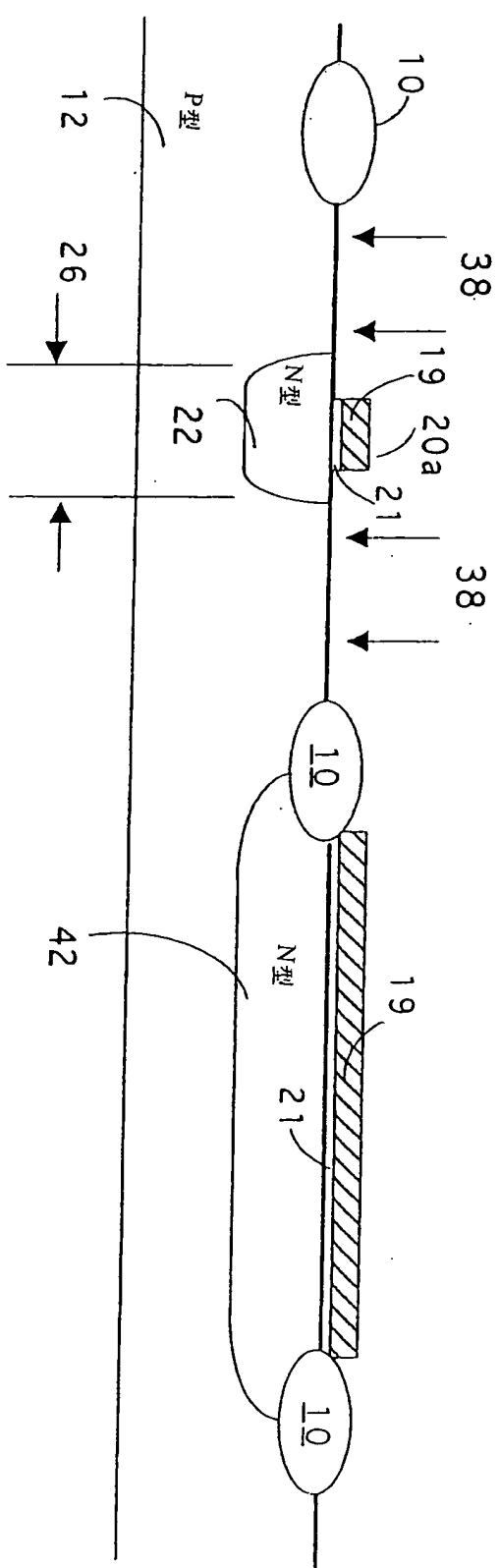
第 2 圖



第 3 圖

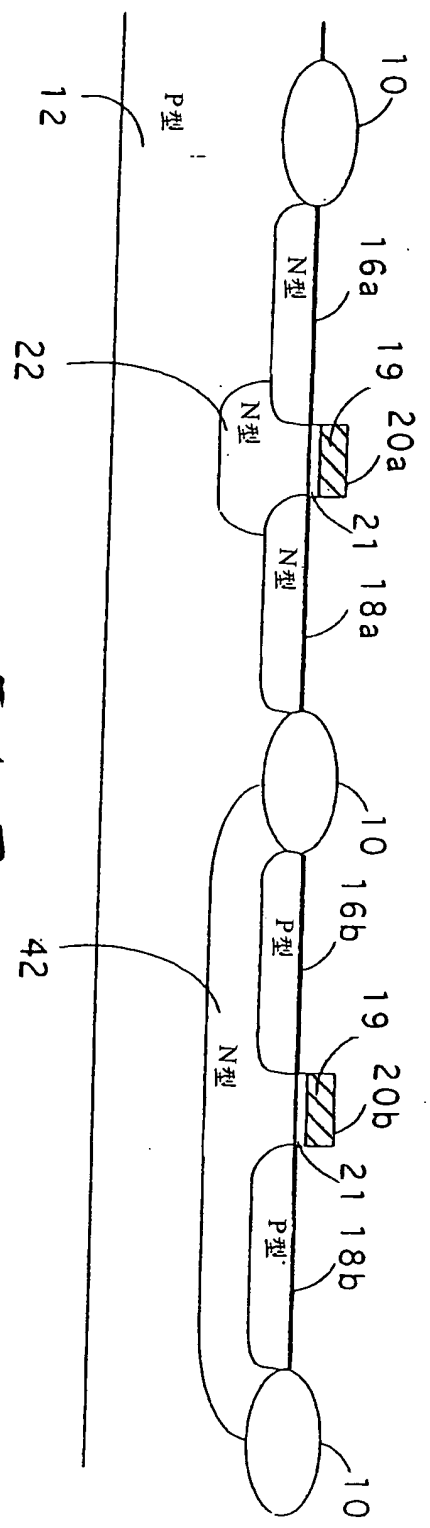


第 4a 圖

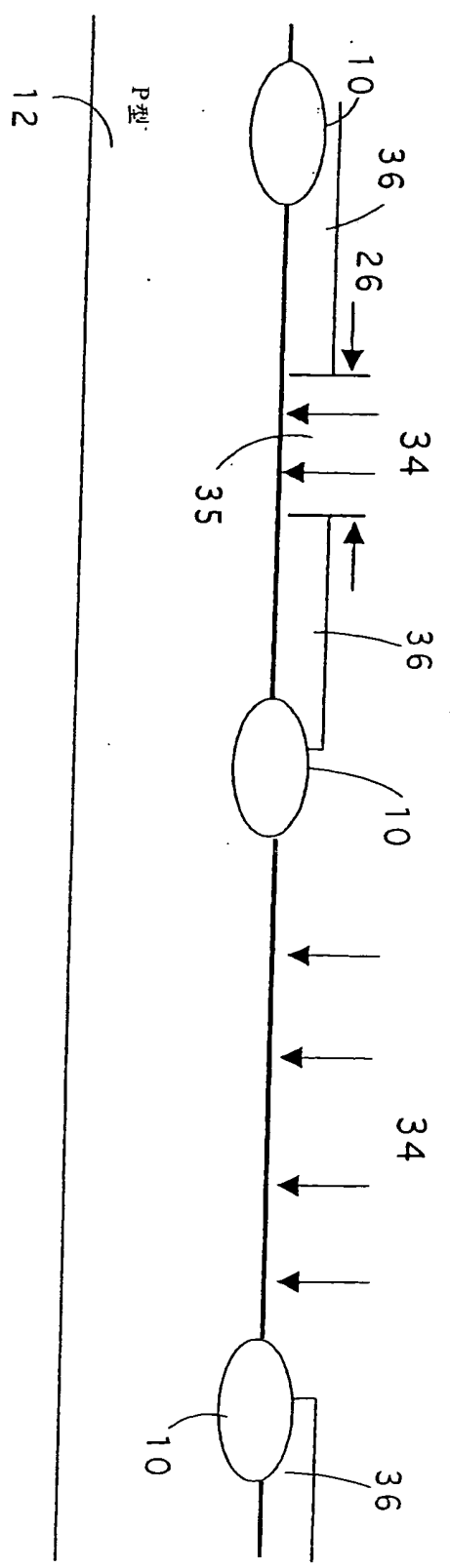


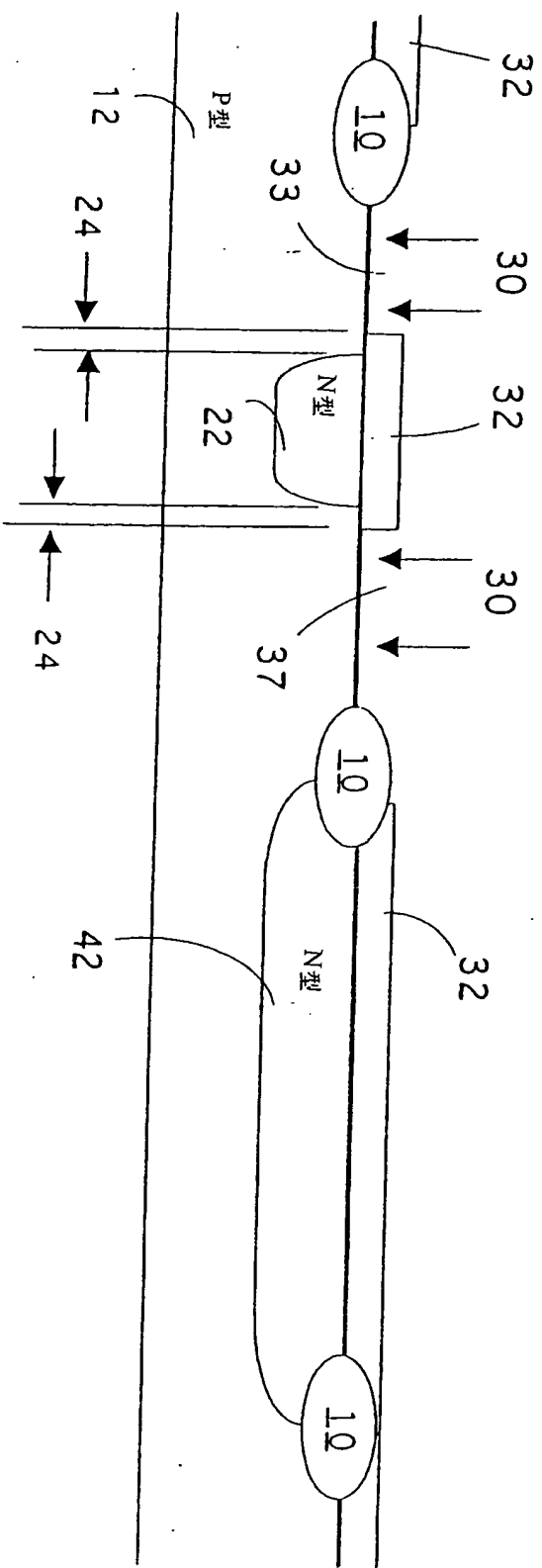
第 4b 圖

第 4c 圖

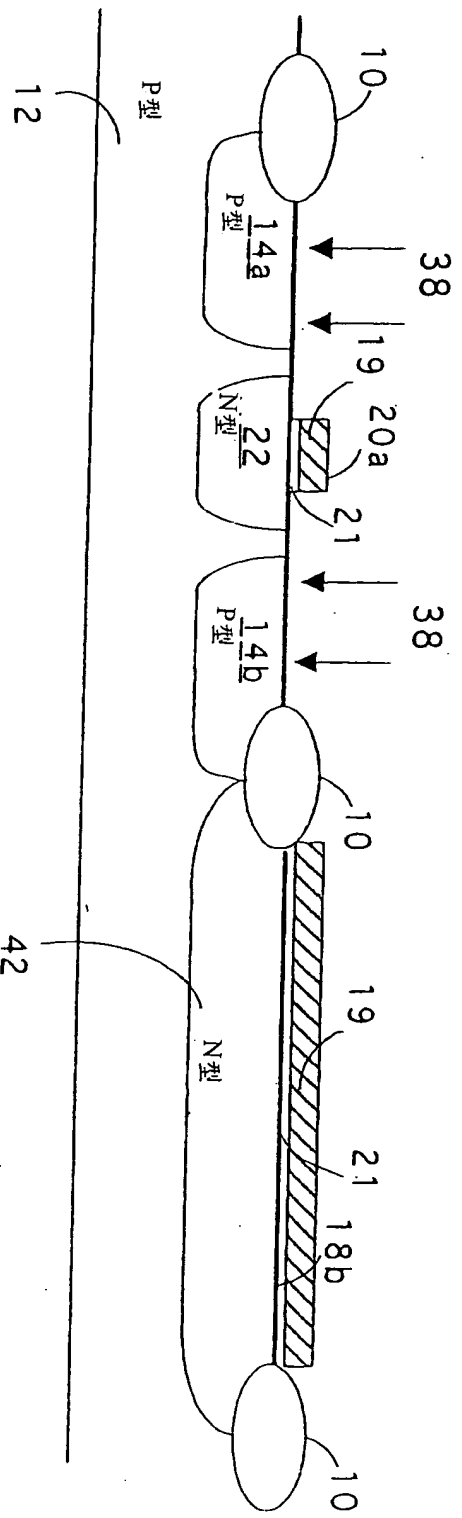


第 5a 圖

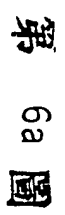
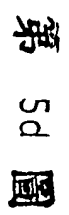


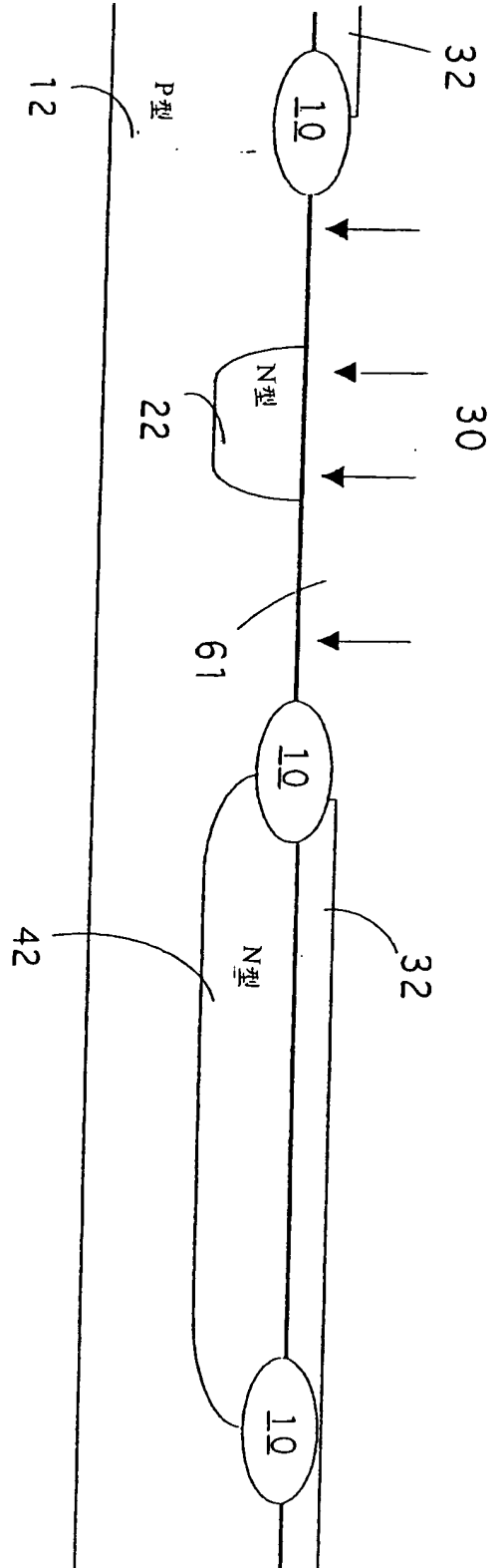


第 5b 圖

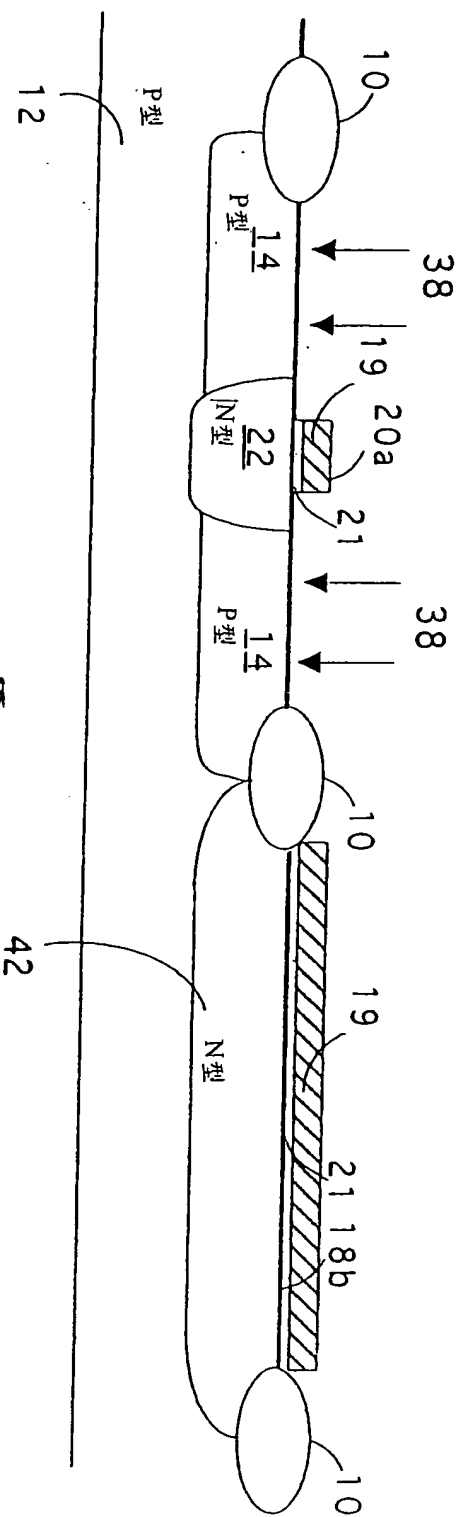


第 5c 圖

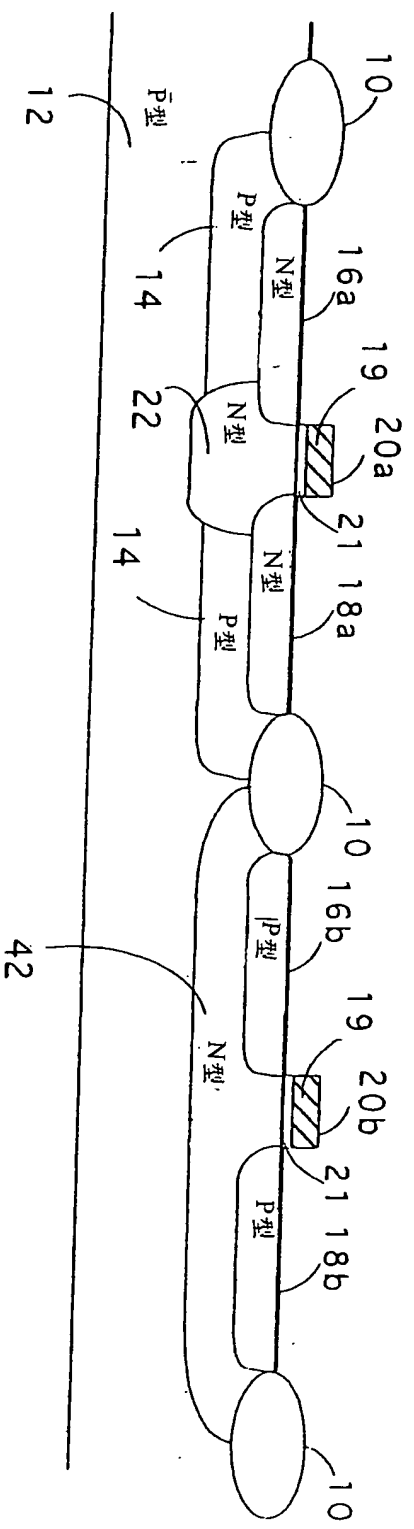




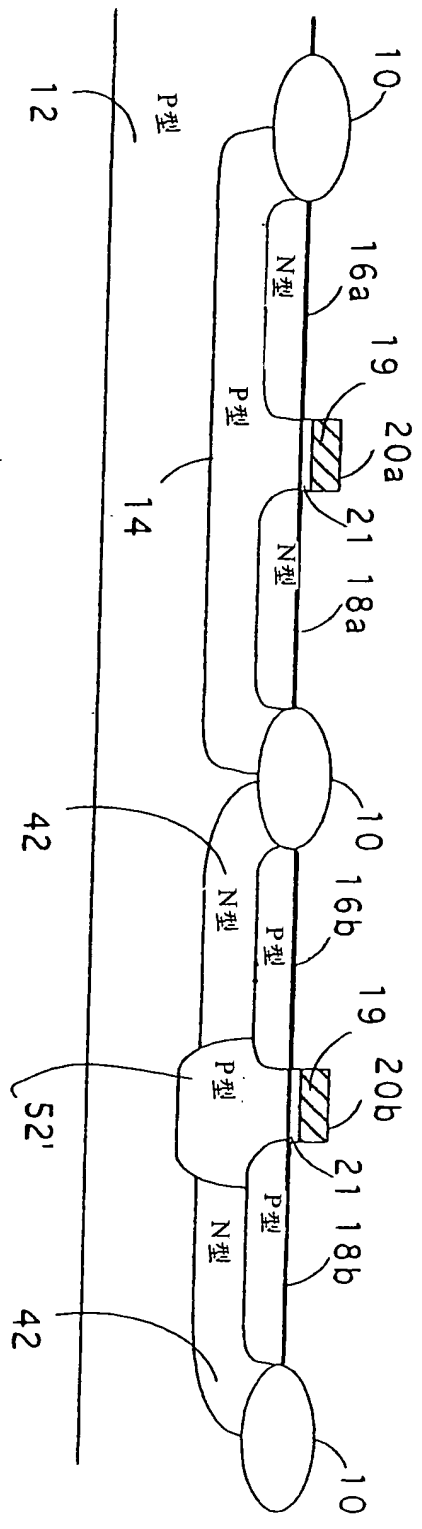
第 6b 圖



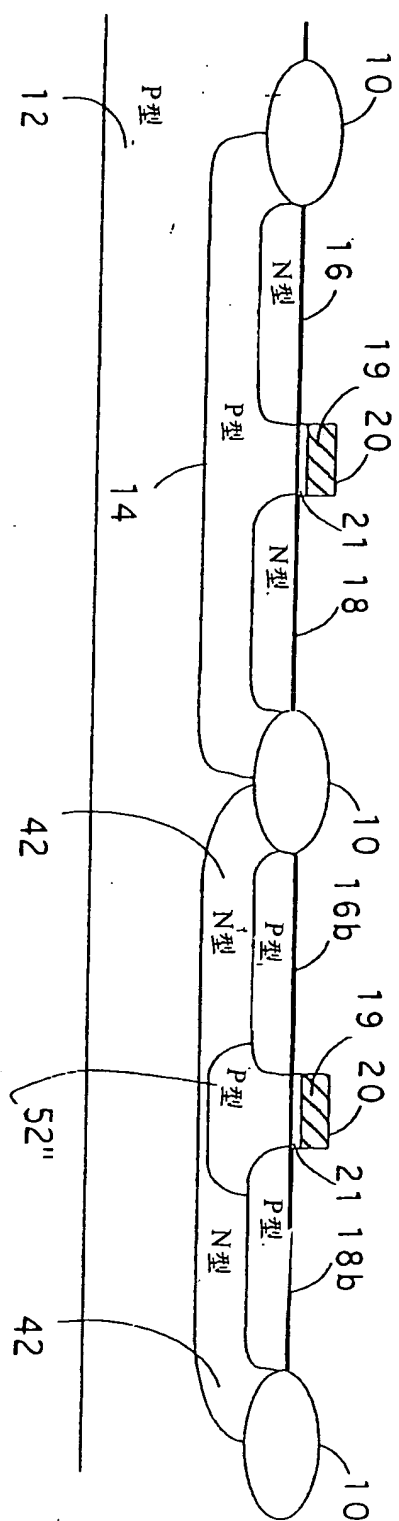
第 6c 圖



第 6d 圖



第 7 圖



第 8 回

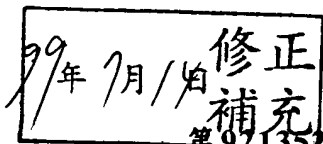
柒、指定代表圖：

(一)本案指定代表圖為：第 (2) 圖。

(二)本代表圖之元件代表符號簡單說明：

7…n型井	18a…主動區域
8…p型井	18b…主動區域
10…場氧化物	19…多晶矽
12…p型基板	20a…閘極
16a…主動區域	20b…閘極
16b…主動區域	21…閘極氧化物

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：



第92135214號專利申請案申請專利範圍修正本

99年07月14日

拾、申請專利範圍：

1. 一種電路，其包含：

具有一閘極區域之一隱蔽式電路構造，包括：

- 5 一基板；一具有一第一傳導性類型之第一主動區域，其係配置於該基板中；一具有一第一傳導性類型之第二主動區域，其係配置於該基板中；及一具有該第一傳導性類型之第一井，其係配置於該閘極區域下方之該基板中，該第一井係與第一主動區域以及該第二主動區域
- 10 實體接觸；其中該第一井在該等第一與第二主動區域之間提供一電子路徑，與是否將任何合理電壓施加到該電路無關；

其中該第一井大致係較該等第一及第二主動區域深；

- 15 該電路更包含一電路構造，該電路構造具有：

一具有該第一傳導性類型之第二井，其係配置於該基板中；以及具有一第二傳導性類型之第三井及第四井，該等第三井及第四井係配置於該第二井之一閘極區域的相對側上；

- 20 其中該第一井及該第二井具有一相同之深度及一相同之摻雜狀況。

2. 如申請專利範圍第1項之電路，其進一步包含複數個具有一第二傳導性類型之井，該等複數個具有一第二傳導性類型之井中之至少一者係與該第一主動區域實體接

觸。

3. 如申請專利範圍第2項之電路，其中該等複數個井中之至少一者係與該第一井分開。

4. 如申請專利範圍第2項之電路，其中該第一井係較該等複數個具有一第二傳導性類型之井為深。

5. 如申請專利範圍第1項之電路，其中該第一井係較該等第一與第二主動區域為深。

6. 如申請專利範圍第1項之電路，其中該第一井具有一包含實質上係為一平坦部份之較低表面。

10 7. 一種半導體電路，其包含：

一含有具有一第一傳導性類型之第一井之基板；排置於該第一井上之一第一閘極區域；

複數個配置於該基板中之具有該第一傳導性類型之第一主動區域，該等複數個第一主動區域中之至少兩個主動區域係藉著配置於該閘極區域下方之該基板中的具有該第一傳導性類型之該第一井而彼此分開並與具有該第一傳導性類型之該第一井實體接觸；以及

複數個具有一第二傳導性類型之井，其係部份地配置於該等複數個主動區域中之至少兩個主動區域之下方，其中該等複數個具有一第二傳導性類型之井係與該第一井分開；

該電路更包含：

具有該第一傳導性類型之一第二井；

配置於該第二井上之一第二閘極區域；以及

複數個配置於該第二井之具有一第二傳導性類型之第二主動區域，該等複數個第二主動區域中之至少兩個第二主動區域係彼此分開且位於該第二閘極區域之對立側上；

5 其中該第一井與該第二井具有一相同之深度及一相同之摻雜狀況。

8. 一種電路製造方法，其包含下列步驟：

製造一隱蔽式電路，包含下列步驟：

10 製造一第一元件，其在一基板中具有含有一第一傳導性類型之閘極區域，該第一元件至少包含具有一第二傳導性類型之第一及第二主動區域；及將一第一井插入該閘極區域下方，位於該閘極區域下方之該第一井具有一第二傳導性類型，位於該閘極區域下方之該第一井係與該等第一及第二主動區域實體接觸且大致係較該等
15 第一及第二主動區域為深，位於該閘極區域下方之該第一井在該等第一及第二主動區域之間提供一電子路徑，與是否將任何合理電壓施加到該閘極區域無關；以及

製造一電路構造，包含下列步驟：

20 於配置於具有該第一傳導性類型之該基板內之具有該第二傳導性類型之一第二井內製造具有一閘極區域之一第二元件，該第二元件於該第二井內具有包含該第一傳導性類型之第三及第四主動區域，該等具有該第一傳導性類型之第三及第四主動區域係位於該元件之該閘極區域的對立側上；

其中該第一井與該第二井具有一相同之深度及一相同之摻雜狀況。

9. 如申請專利範圍第8項之方法，其中將一第一井插入該閘極區域下方之該步驟包括的步驟為：在該閘極區域下方之該第一井內進行挖掘，以致於使位於該閘極區域下方之該井係較該等第一及第二主動區域為深。

10. 如申請專利範圍第9項之方法，其中該方法進一步包含之步驟為：將一具有第一傳導性類型的第三井插入該等第一及第二主動區域中之至少一者之一部分的下方，該第三井係與該第一井分離。

11. 如申請專利範圍第10項之方法，其中位於該閘極區域下方之該第一井係較該第三井為深。

12. 一種半導體電路之製造方法，包含：

於具有該第二傳導性類型之一基板內形成具有一第一傳導性類型之一第一井；

於該第一井上方形成一第一閘極區域；

於該基板內形成複數個具有該第一傳導性類型之第一主動區域，使得該等複數個第一主動區域中之至少兩個第一主動區域係藉由配置於該閘極區域下方之該基板內的具有該第一傳導性類型之第一井而分開且與該第一井實體接觸；以及

形成複數個具有一第二傳導性類型之井，使得該等複數個井可部份地配置於該等複數個主動區域中之至少兩個主動區域下方，其中該等複數個具有一第二傳導

性類型之井係與該第一井分開；該方法進一步包含：

形成具有該第一傳導性類型之一第二井；

於該第二井上方形成一第二閘極區域；以及

5 形成複數個配置於該第二井中之具有一第二傳導性類型之第二主動區域，使得該等複數個第二主動區域中之至少兩個主動區域係彼此分開於該第二閘極區域之對立側上；

其中該第一井與該第二井具有一相同之深度及一相同之摻雜狀況。

10