



## (12) 发明专利

(10) 授权公告号 CN 108369519 B

(45) 授权公告日 2022.03.01

(21) 申请号 201680072709.X

(22) 申请日 2016.12.09

(65) 同一申请的已公布的文献号

申请公布号 CN 108369519 A

(43) 申请公布日 2018.08.03

(30) 优先权数据

62/271,475 2015.12.28 US

15/252,323 2016.08.31 US

(85) PCT国际申请进入国家阶段日

2018.06.12

(86) PCT国际申请的申请数据

PCT/US2016/065740 2016.12.09

(87) PCT国际申请的公布数据

W02017/116652 EN 2017.07.06

(73) 专利权人 高通股份有限公司

地址 美国加利福尼亚州

(72) 发明人 G·M·赖特

(74) 专利代理机构 北京市金杜律师事务所  
11256

代理人 王茂华

(51) Int.CI.

G06F 9/38 (2006.01)

审查员 王超

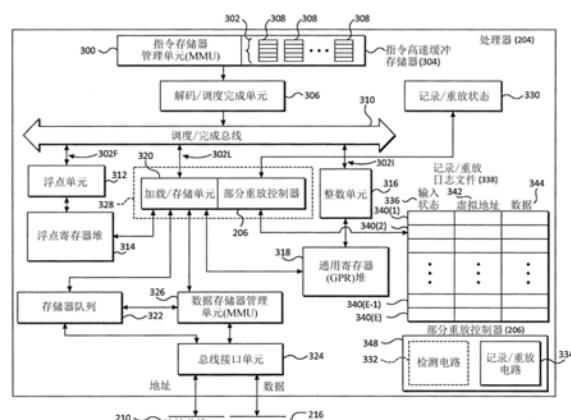
## (54) 发明名称

在使用块-原子执行模型的基于处理器的系统中重放部分执行的指令块

## (57) 摘要

本发明揭示在使用块-原子执行模型的基于处理器的系统中重放部分执行的指令块。在一个方面,在中央处理单元CPU的处理器中提供部分重放控制器。如果在所述指令块中检测到与潜在架构状态修改相关联的指令,或在指令的执行期间出现异常,重新执行所述指令块。在所述指令块的重新执行期间,所述部分重放控制器经配置以记录来自加载/存储指令的所产生的结果。因此,如果在所述指令块的重新执行期间出现异常,那么在解决了所述异常之后,在所述指令块的重新执行期间,重放在出现所述异常之前执行的加载/存储指令的先前所记录的所产生的结果。因此,可用先前产生的结果来确定性地重复导致所述指令块中的副作用操作的指令的执行,而不重复所述副作用。

B CN 108369519



1. 一种用于控制处理器中执行的指令块的执行重放的部分重放控制器,所述处理器使用块-原子执行模型,在所述块-原子执行模型中指令被分组成指令块,其中提交所述指令块中的所有指令,或者不提交所述指令中的任一指令,所述部分重放控制器包括:

检测电路,其经配置以响应于在由所述处理器执行所述指令块期间检测到与潜在架构状态修改相关联的指令或所述处理器中出现异常,将记录/重放状态设定为指令块的作用中状态,其中如果指令修改了所述处理器中的架构状态,则所述指令与潜在架构状态修改相关联,并且指令具有与所述指令块之外的功能或过程的交互;以及

记录/重放电路,其经配置以在响应于所述记录/重放状态为所述指令块的作用中状态而由所述处理器重新执行所述指令块期间:

检查记录/重放日志文件中对应于将在所述指令块中执行的下一加载/存储指令的输入状态,以确定是否为所述下一加载/存储指令记录先前产生的数据;

响应于所述先前产生的数据不记录在所述下一加载/存储指令的所述记录/重放日志文件中,将所述所执行的下一加载/存储指令的所产生数据记录在所述记录/重放日志文件中;以及

响应于所述先前产生的数据记录在所述下一加载/存储指令的所述记录/重放日志文件中,使用为所述下一加载/存储指令记录在所述记录/重放日志文件中的所述先前产生的数据执行所述下一加载/存储指令。

2. 根据权利要求1所述的部分重放控制器,其中所述检测电路包括副作用检测电路,其经配置以:

在所述处理器所述执行所述指令块期间,检测所述指令块中的所述指令,包括具有潜在副作用的加载/存储指令;以及

响应于检测到包括具有所述潜在副作用的所述加载/存储指令的所述指令,将所述记录/重放状态设定为所述指令块的所述作用中状态。

3. 根据权利要求1所述的部分重放控制器,其中所述检测电路包括副作用检测电路,其经配置以:

在所述处理器所述执行所述指令块期间,检测所述指令块中的所述指令,包括写入系统配置寄存器指令;以及

响应于检测到包括所述写入系统配置寄存器指令的所述指令,将所述记录/重放状态设定为所述指令块的所述作用中状态。

4. 根据权利要求1所述的部分重放控制器,其中所述检测电路包括副作用检测电路,其经配置以:

在所述处理器所述执行所述指令块期间,检测所述指令块中的所述指令,包括具有预期异常的指令;以及

响应于检测到所述指令,包括具有所述预期异常的所述指令,将所述记录/重放状态设定为所述指令块的所述作用中状态;

其中具有所述预期异常的所述指令包括与观察点、断点、调试步骤点、或者导致静态块异常的操作相关联的指令。

5. 根据权利要求4所述的部分重放控制器,其中具有所述预期异常的所述指令包括与导致静态块异常的操作相关联的指令,其中所述静态块异常包括由以下各项组成的群组:

指令页面错误；无效块标头；以及无效指令编码。

6. 根据权利要求1所述的部分重放控制器，其进一步经配置以：

确定是否已执行所述指令块中的所有指令；以及

响应于确定已执行所述指令块中的所有所述指令，通过所述指令块中的所述所执行指令来提交外部产生值。

7. 根据权利要求1所述的部分重放控制器，其中所述记录/重放电路进一步经配置以将所述所执行的下一加载/存储指令的所述所产生数据的所述记录/重放状态记录在所述记录/重放日志文件中。

8. 根据权利要求1所述的部分重放控制器，其中所述记录/重放电路进一步经配置以联合所述所执行的下一加载/存储指令的所述所产生数据，将所述所执行的下一加载/存储指令所寻址的虚拟地址记录在所述记录/重放日志文件中。

9. 根据权利要求1所述的部分重放控制器，其中响应于所述记录/重放状态为所述指令块的闲置执行状态，所述检测电路经配置以在所述处理器执行所述指令块期间，检测所述指令块中与所述潜在架构状态修改相关联的所述指令。

10. 根据权利要求9所述的部分重放控制器，其经配置以响应于当所述记录/重放状态处于所述闲置执行状态时，在所述指令块的所述执行期间出现异常，致使所述指令块重新执行。

11. 根据权利要求1所述的部分重放控制器，其中响应于在所述记录/重放状态处于所述作用中状态时，在所述指令块的执行期间出现异常，所述记录/重放电路进一步经配置以：

将所述指令块的所述记录/重放状态设定为锁定状态；以及

暂停将所述所执行的下一加载/存储指令的所述所产生数据记录在所述记录/重放日志文件中，且暂停使用为所述下一加载/存储指令记录的所述先前产生的数据来执行所述下一加载/存储指令。

12. 根据权利要求11所述的部分重放控制器，其中响应于所述指令块的所述记录/重放状态从先前锁定状态返回到作用中状态，所述记录/重放电路进一步经配置以恢复将所述所执行的下一加载/存储指令的所述所产生数据记录在所述记录/重放日志文件中，且使用为所述下一加载/存储指令记录的所述先前产生数据来执行所述下一加载/存储指令。

13. 根据权利要求12所述的部分重放控制器，其中响应于在所述记录/重放状态处于所述作用中状态时，在所述指令块的精确执行期间所述异常的所述出现，所述记录/重放电路进一步经配置以在所述异常的所述出现之前，通过所述指令块中的所执行指令来提交外部产生值。

14. 根据权利要求13所述的部分重放控制器，其中所述记录/重放电路进一步经配置以响应于所述指令块的所述记录/重放状态从所述先前锁定状态返回到所述作用中状态，通过在使用为所述下一加载/存储指令记录的所述先前产生数据恢复所述下一加载/存储指令的执行之后执行的所述指令块中的所述所执行指令来提交所述外部产生值。

15. 根据权利要求1所述的部分重放控制器，其集成到芯片上系统SoC中。

16. 根据权利要求1所述的部分重放控制器，其集成到选自由以下组成的群组的装置中：机顶盒；娱乐单元；导航装置；通信装置；固定位置数据单元；移动位置数据单元；移动电

话；蜂窝式电话；智能电话；平板计算机；平板手机；计算机；便携式计算机；桌上型计算机；个人数字助理PDA；监视器；计算机监视器；电视机；调谐器；无线电；卫星无线电；音乐播放器；便携式音乐播放器；数字视频播放器；视频播放器；数字视频光盘DVD播放器；便携式数字视频播放器；以及机动车。

17. 一种用于控制处理器中执行的指令块的执行重放的部分重放控制器，所述处理器使用块-原子执行模型，在所述块-原子执行模型中指令被分组成指令块，其中提交所述指令块中的所有指令，或者不提交所述指令中的任一指令，所述部分重放控制器包括：

用于响应于在由所述处理器执行所述指令块期间检测到与潜在架构状态修改相关联的指令，或所述处理器中出现异常，将用于存储记录/重放状态的装置设定为指令块的作用中状态的装置，其中如果指令修改了所述处理器中的架构状态，则所述指令与潜在架构状态修改相关联，并且指令具有与所述指令块之外的功能或过程的交互；

用于在响应于所述用于存储所述记录/重放状态的装置到所述指令块的作用中状态而由所述处理器重新执行所述指令块期间，检查用于存储记录/重放日志文件的装置中对应于将在所述指令块中执行的下一加载/存储指令的输入状态，来确定是否为所述下一加载/存储指令记录先前产生的数据的装置；

用于响应于所述先前产生的数据不记录在所述用于存储所述下一加载/存储指令的所述记录/重放日志文件中，将所述所执行的下一加载/存储指令的装置的所产生数据记录在所述用于存储所述记录/重放日志文件的装置中的装置；以及

用于响应于所述先前产生数据记录在所述用于存储所述下一加载/存储指令的所述记录/重放日志文件的装置中，使用为所述下一加载/存储指令记录在所述用于存储所述记录/重放日志文件中的所述先前产生数据来执行所述下一加载/存储指令的装置。

18. 一种在处理器中重放指令块的方法，所述处理器使用块-原子执行模型，在所述块-原子执行模型中指令被分组成指令块，其中提交所述指令块中的所有指令，或者不提交所述指令中的任一指令，所述方法包括：

响应于在由所述处理器执行所述指令块期间检测到与潜在架构状态修改相关联的指令，或所述处理器中出现异常，将记录/重放状态设定为指令块的作用中状态，其中如果指令修改了所述处理器中的架构状态，则所述指令与潜在架构状态修改相关联，并且指令具有与所述指令块之外的功能或过程的交互；以及

在响应于所述记录/重放状态是所述指令块的作用中状态而由所述处理器重新执行所述指令块期间：

检查记录/重放日志文件中对应于将在所述指令块中执行的下一加载/存储指令的输入状态，以确定是否为所述下一加载/存储指令记录先前产生的数据；

响应于所述先前产生的数据不记录在所述下一加载/存储指令的所述记录/重放日志文件中，将所述所执行的下一加载/存储指令的所产生数据记录在所述记录/重放日志文件中；以及

响应于所述先前产生的数据记录在所述下一加载/存储指令的所述记录/重放日志文件中，使用为所述下一加载/存储指令记录在所述记录/重放日志文件中的所述先前产生的数据执行所述下一加载/存储指令。

19. 根据权利要求18所述的方法，其包括：

在所述处理器所述执行所述指令块期间,检测所述指令块中的指令,包括具有潜在副作用的加载/存储指令;以及

响应于检测到包括具有所述潜在副作用的所述加载/存储指令的所述指令,将所述记录/重放状态设定为所述指令块的所述作用中状态。

20. 根据权利要求18所述的方法,其包括:

在所述处理器所述执行所述指令块期间,检测所述指令块中包括写入系统配置寄存器指令的指令;以及

响应于检测到包括所述写入系统配置寄存器指令的所述指令,将所述记录/重放状态设定为所述指令块的所述作用中状态。

21. 根据权利要求18所述的方法,其包括:

在所述处理器所述执行所述指令块期间,检测所述指令块中包括具有预期异常的指令的指令;以及

响应于检测到包括具有所述预期异常的所述指令的所述指令,将所述记录/重放状态设定为所述指令块的所述作用中状态;

其中具有所述预期异常的所述指令包括与观察点、断点、调试步骤点、或者导致静态块异常的操作相关联的指令。

22. 根据权利要求18所述的方法,其中响应于当所述记录/重放状态处于所述作用中状态时,在所述指令块的执行期间出现异常,其进一步包括:

将所述指令块的所述记录/重放状态设定为锁定状态;以及

暂停将所述所执行的下一加载/存储指令的所述所产生的数据记录在所述记录/重放日志文件中,且暂停使用为所述下一加载/存储指令记录的所述先前产生的数据来执行所述下一加载/存储指令。

23. 根据权利要求18所述的方法,其进一步包括响应于当所述记录/重放状态处于所述作用中状态时,在指令块的所述执行期间所述出现所述异常,在所述异常的所述出现之前,通过所述指令块中的所执行指令,来提交外部产生值。

24. 一种其上存储有计算机可执行指令的非暂时性计算机可读媒体,所述计算机可执行指令在由处理器执行时,致使所述处理器执行以下项,其中所述处理器使用块-原子执行模型,在所述块-原子执行模型中指令被分组成指令块,其中提交所述指令块中的所有指令,或者不提交所述指令中的任一指令:

响应于在由所述处理器执行所述指令块期间检测到与潜在架构状态修改相关联的指令,或所述处理器中出现异常,将记录/重放状态设定为指令块的作用中状态,其中如果指令修改了所述处理器中的架构状态,则所述指令与潜在架构状态修改相关联,并且指令具有与所述指令块之外的功能或过程的交互;以及

在响应于所述记录/重放状态是所述指令块的作用中状态而由所述处理器重新执行所述指令块期间:

检查记录/重放日志文件中对应于将在所述指令块中执行的下一加载/存储指令的输入状态,以确定是否为所述下一加载/存储指令记录先前产生的数据;

响应于所述先前产生的数据不记录在所述下一加载/存储指令的所述记录/重放日志文件中,将所述所执行下一加载/存储指令的所产生数据记录在所述记录/重放日志文件

中；以及

响应于所述先前产生的数据记录在所述下一加载/存储指令的所述记录/重放日志文件中，使用为所述下一加载/存储指令记录在所述记录/重放日志文件中的所述先前产生的数据执行所述下一加载/存储指令。

## 在使用块-原子执行模型的基于处理器的系统中重放部分执行的指令块

[0001] 优先权申请

[0002] 本申请案主张2015年12月28日申请且标题为“在使用块-原子执行模型的基于处理器的系统中重放部分执行的指令块”的第62/271,475号美国临时专利申请案的优先权，其内容以全文引用的方式并入本文中。

[0003] 本申请案还主张2016年8月31日申请且标题为“在使用块-原子执行模型的基于处理器的系统中重放部分执行的指令块”的第15/252,323号美国专利申请案的优先权，其内容以全文引用的方式并入本文中。

### 技术领域

[0004] 本公开的技术大体上涉及在基于处理器的系统中执行指令，且更具体地说，涉及使用块-原子执行模型的基于处理器的系统，其中指令分组成若干指令块，其中提交所述指令块中的所有指令，或不提交所述指令中的任一者。

### 背景技术

[0005] 微处理器在广泛多种应用程序中执行计算任务。常规微处理器应用包含中央处理单元(CPU)，其包含一或多个处理器，也被称为“处理器核心”，其执行软件指令。所述软件指令指示CPU基于数据来执行操作。此类数据的实例包含编码在指令获取数据中的即时值、存储在寄存器中的数据、来自存储器中的位置的数据，以及来自外部装置(例如输入/输出(I/O)装置)的数据。CPU根据所述指令执行操作以产生结果。所述结果接着可存储在寄存器或存储器中，或作为输出提供到I/O装置。

[0006] 某一CPU使用“块-原子”执行模型。在块-原子执行模型中，将一组指令(例如128个指令)分组成若干指令块。举例来说，图1说明示范性指令块100，其包括将由使用块-原子执行模型的处理器执行的多个指令102(1)到102(N)。根据块-原子执行模型的处理器操作逻辑上提取、执行和提交指令块100作为单个实体。块-原子执行模型具有降低乱序处理器(0oP)的复杂性的优点。举例来说，在执行每一指令之后，使用块-原子执行模型的0oP不必报告返回处理器的精确状态。在这点上，在图1中示出的实例指令块100中，来自原本将存储在全局寄存器中的指令102(1)、102(2)、102(4)、102(N-2)到102(N)的执行的中间产生结果104(1)、104(2)、104(4)、104(N-2)到104(N)无须保存到寄存器。将指令102(1)作为实例，可将其中间产生结果104(1)以对等方式提供到指令块100中的消费者指令102(2)，而不必保存中间产生结果104(1)。这实现较少寄存器读取和写入操作。然而，在块-原子执行模型中，由于中间产生结果不存储在全局寄存器中，必须在可在提交指令块100的外部执行结果(例如到存储器、I/O装置等)之前，执行所有指令。举例来说，如图1所示，如果在指令块100内部的指令102(4)的执行期间，出现异常108(例如精确异常，例如页面错误或调试断点或设定点)，那么不执行其余指令102(N-2)到102(N)，因为不保存中间产生结果104(1)、104(2)、104(4)，其中执行可在下一指令102(N-2)处开始。在解决了异常108之后，从开头重新执行

指令块100。

[0007] 因此,虽然使用块-原子执行模型的处理器具有降低的复杂性的优点,但使用块-原子执行模型的处理器具有在提交外部结果之前必须执行指令块中的所有指令的缺点。举例来说,在存在多线程CPU的情况下,这可能使调试更困难,因为无论什么行为导致在指令块的执行期间出现的异常或断点,这通常都不可能再现。不存储指令块的中间产生结果,其可能已从另一线程中的先前写入操作读取。这对副作用操作也存在困难,例如I/O装置副作用,其中已经在异常出现之前执行了I/O操作。举例来说,如果在异常108出现之前,起始但不完成图1中的指令块100中的I/O操作指令102(4)的执行,那么从在指令102(4)中操作的I/O读取的中间数据在指令块100的重新执行期间,可能不再可用。因此,在此实例中,在指令102(4)的第一执行期间读取的中间数据可不可再现地存储在寄存器r2中。

## 发明内容

[0008] 本文所揭示的方面包含在使用块-原子执行模型的基于处理器的系统中重放部分执行的指令块。在这点上,在一个方面,在采用块-原子执行模型的中央处理单元(CPU)的处理器中提供部分重放控制器。在块-原子执行模型中,将指令分组成在提交外部产生的结果之前完全在处理器(例如乱序处理器(OoP))中执行的指令块。这解决了可能影响外部产生结果的值的所有加载/存储相依性,且因此处理器的架构状态和其它过程取决于此类外部产生的结果。为了避免从加载/存储操作产生的结果不能够在归因于异常而加载的指令块的重新执行期间再现,部分重放控制器经配置以记录/重放在指令块的重新执行期间加载/存储指令的结果。在这点上,在某些方面,如果在指令块中检测到与潜在架构状态修改(例如潜在副作用)相关联的指令,或在指令块中的指令的执行期间出现异常,那么重新执行指令块。在指令块的重新执行期间,部分重放控制器经配置以记录来自加载/存储指令的所产生的结果。因此,如果在指令块的重新执行期间出现异常,那么可在解决了所述异常之后,在指令块的重新执行期间,可重放在出现异常之前执行的加载/存储指令的先前所记录的所产生的结果。以此方式,指令的执行导致与潜在的架构状态修改相关联的操作,或在出现异常之前,可对先前产生的结果确定性地重复,而不重复副作用。

[0009] 然而注意,如果在指令块的重新执行期间不出现异常,那么这意味着指令块中的所有指令被完全执行,所产生的结果被记录。由于在此实例中不重新执行指令块,所以不需要重放所记录的先前执行的加载/存储指令的所产生的结果。

[0010] 在这点上,在一个示范性方面,提供应用于控制在处理器中执行的指令块的执行重放的部分重放控制器。所述部分重放控制器包括检测电路,其经配置以响应于检测到与潜在架构状态修改相关联的指令,或处理器中的异常的出现,将记录/重放状态设定为指令块的作用中状态。所述部分重放控制器还包括记录/重放电路。响应于记录/重放状态为指令块的作用中状态,记录/重放电路经配置以检查记录/重放日志文件中对应于将在指令块中执行的下一加载/存储指令的输入状态,以确定是否为下一加载/存储指令记录先前产生的数据。还响应于记录/重放状态为指令块的作用中状态,记录/重放电路还经配置以响应于先前产生的数据不记录在下一加载/存储指令的记录/重放日志文件中,将执行下一加载/存储指令的所产生的数据记录在记录/重放日志文件。还响应于记录/重放状态是指令块的作用中状态,记录/重放电路还经配置以响应于先前产生的数据记录在下一加载/存储指

令的记录/重放日志文件中,使用记录/重放日志文件中为下一加载/存储指令记录的先前产生的数据来执行下一加载/存储指令。

[0011] 在另一示范性方面,提供一种用于控制在处理器中执行的指令块的执行重放的部分重放控制器。所述部分重放控制器包括用于响应于检测到与潜在架构状态修改相关联的指令,或处理器中的异常的出现,将用于存储记录/重放状态的装置设定为指令块的作用中状态的装置。所述部分重放控制器还包括用于响应于所述用于存储指令块的记录/重放状态到作用中状态的装置,检查用于存储对应于将在指令块中执行的下一加载/存储指令的记录/重放日志文件的装置中的输入状态以确定是否为下一加载/存储指令记录先前产生的数据的装置。所述部分重放控制器还包括用于响应于先前产生的数据不记录在用于存储下一加载/存储指令的记录/重放日志文件的装置中,将执行下一加载/存储指令所产生的数据记录在用于存储记录/重放日志文件的装置中的装置。所述部分重放控制器还包括用于响应于先前产生的数据存储在所述用于存储下一加载/存储指令的记录/重放日志文件的装置中,使用所述用于存储记录/重放日志文件的装置中的为下一加载/存储指令记录的先前产生数据来执行下一加载/存储指令的装置。

[0012] 在另一示范性方面中,提供一种在处理器中重放指令块的方法。所述方法包括响应于检测到与潜在架构状态修改相关联的指令,或处理器中的异常的出现,将记录/重放状态设定为指令块的作用中状态。响应于记录/重放状态为指令块的作用中状态,所述方法还包括:检查记录/重放日志文件中对应于将在指令块中执行的下一加载/存储指令的输入状态,以确定是否为下一加载/存储指令记录先前产生的数据;响应于先前产生的数据不记录在所述下一加载/存储指令的记录/重放日志文件中,将所执行的下一加载/存储指令的所产生数据记录在记录/重放日志文件中;以及响应于先前产生的数据记录在下一加载/存储指令的记录/重放日志文件中,使用记录/重放日志文件中为下一加载/存储指令记录的先前产生数据来执行下一加载/存储指令。

[0013] 在另一示范性方面,提供一种上面存储有计算机可执行指令的非暂时性计算机可读媒体。计算机可执行指令在由处理器执行时,致使所述处理器响应于检测到与潜在架构状态修改相关联的指令,或处理器中的异常的出现,将记录/重放状态设定为指令块的作用中状态。响应于记录/重放状态是指令块的作用中状态,所述计算机可执行指令在由所述处理器执行时,还致使所述处理器检查记录/重放日志文件中对应于将在指令块中执行的下一加载/存储指令的输入状态,以确定是否为所述下一加载/存储指令记录先前产生的数据。响应于记录/重放状态是指令块的作用中状态,计算机可执行指令在由所述处理器执行时,还致使所述处理器响应于先前产生的数据不记录在下一加载/存储指令的记录/重放日志文件中,将所执行的下一加载/存储指令的所产生数据记录在记录/重放日志文件中。响应于记录/重放状态是指令块的作用中状态,计算机可执行指令在由所述处理器执行时,还致使所述处理器响应于先前产生的数据记录在下一加载/存储指令的记录/重放日志文件中,使用记录/重放日志文件中为下一加载/存储指令记录的先前产生数据来执行下一加载/存储指令。

## 附图说明

[0014] 图1说明经配置以由使用块-原子执行模型的中央处理单元(CPU)执行的示范性指

令块,其中在指令块中执行的输入/输出(I/O)操作之后,在指令块中的指令的执行期间出现异常;

[0015] 图2是示范性多个处理器(“多处理器”)CPU的框图,其中每一处理器经配置以执行软件指令来实施功能,包含接入到外部存储器和I/O装置;

[0016] 图3是说明可包含于图2中的多处理器CPU中的处理器的示范性细节的框图,其中所述处理器包含部分重放控制器,其经配置以响应于在所述指令块中的指令的执行期间检测到所述指令块中与潜在架构状态修改相关联的指令,和/或响应于异常的出现,在指令块的重新执行期间记录和/或重放加载/存储指令的结果;

[0017] 图4是说明可由图3中的处理器中的部分重放控制器执行的示范性过程的流程图,所述过程用于响应于检测到与潜在架构状态修改相关联的指令和/或响应于处理器中的异常的出现,进入记录/重放作用中状态,以在指令块的重新执行期间记录和/或重放加载/存储指令的结果;

[0018] 图5说明通过图3中的处理器执行的示范性指令块,其包含与潜在架构状态修改相关联的指令,用以促进指令块的执行和重新执行期间的图3中部分重放控制器的进一步示范性论述;

[0019] 图6是说明可由图3中的部分重放控制器执行来响应于检测到指令块中与潜在架构状态修改相关联的指令,在指令块的重新执行期间记录和重放加载/存储指令的结果的示范性过程的流程图;

[0020] 图7是说明图3中的处理器中的部分重放控制器在处理器中的指令块的执行期间的示范性操作的示范性状态机;以及

[0021] 图8是说明根据本文所揭示的实例的包含多处理器CPU的示范性基于处理器的系统的框图,所述多处理器CPU包含部分重放控制器,其经配置以响应于检测到指令块中与潜在架构状态修改相关联的指令和/或指令块的闲置执行状态期间异常的出现,记录和/或重放指令块的重新执行期间的加载/存储指令的结果。

## 具体实施方式

[0022] 现参考各图,描述本发明的数个示范性方面。词语“示范性”在本文中用于表示“充当实例、例子或说明”。本文中描述为“示范性”的任何方面不必解释为比其它方面优选或有利。

[0023] 本文所揭示的方面包含在使用块-原子执行模型的基于处理器的系统中重放部分执行的指令块。在这点上,在一个方面,在采用块-原子执行模型的中央处理单元(CPU)的处理器中提供部分重放控制器。在块-原子执行模型中,将指令分组成在提交外部产生的结果之前完全在处理器(例如乱序处理器(0oP))中执行的指令块。这解决了可能影响外部产生结果的值的所有加载/存储相依性,且因此处理器的架构状态和其它过程取决于此类外部产生的结果。为了避免从加载/存储操作产生的结果不能够在归因于异常而加载的指令块的重新执行期间再现,部分重放控制器经配置以记录/重放在指令块的重新执行期间加载/存储指令的结果。在这点上,在某些方面,如果在指令块中检测到与潜在架构状态修改(例如潜在副作用)相关联的指令,或在指令块中的指令的执行期间出现异常,那么重新执行指令块。在指令块的重新执行期间,部分重放控制器经配置以记录来自加载/存储指令的所产

生结果。因此,如果在指令块的重新执行期间出现异常,那么可在解决了所述异常之后,在指令块的重新执行期间,可重放在出现异常之前执行的加载/存储指令的先前所记录的所产生结果。以此方式,指令的执行导致与潜在的架构状态修改相关联的操作,或在出现异常之前,可对先前产生的结果确定性地重复,而不重复副作用。

[0024] 在这点上,图2是包含具有多个处理器核心204 (1) 到204 (P) 的CPU 202的示范性基于处理器的系统200的框图,所述处理器核心在本文称为处理器204 (1) 到204 (P) ,其中 ‘P’ 是包含于CPU 202中的处理器204的数目。作为非限制性实例,处理器204 (1) 到204 (P) 可为乱序处理器 (OoPs) ,其经配置以基于输入数据的可用性来执行指令的乱序执行。这与必须根据其在程序中的原始次序来执行指令的按序处理器相反,以避免在等待先前指令完成来为程序中的下一指令检索数据时闲置。在此实例中,CPU 202中的一或多个处理器204 (1) 到204 (P) 包含部分重放控制器206 (1) 到206 (P) 。在此实例中,CPU 202中的每一处理器204 (1) 到204 (P) 包含部分重放控制器206 (1) 到206 (P) ,但这不是需要的。

[0025] 如将在下文在图3处开始更详细地论述,包含于处理器204 (1) 到204 (P) 中的部分重放控制器206 (1) 到206 (P) 各自经配置以响应于在指令块中的指令的执行期间检测到与潜在架构状态修改(例如潜在副作用)相关联的指令,在指令块的重新执行期间记录和/或重放加载/存储指令的结果。在论述部分重放控制器206 (1) 到206 (P) 的方面之前,首先在下文论述图2中的CPU 202的其它组件的描述。

[0026] 在这点上,继续参看图2,在此实例中,每一处理器204 (1) 到204 (P) 可包含高速缓冲存储器(“高速缓冲存储器”)208 (1) 到208 (P) (例如层级2 (L2) 高速缓冲存储器),其用于提供处理器上高速缓存的数据的存取,而不必将存储器存取请求(在“地址”处)在处理器外提供到地址总线210上。对于处理器外存储器存取请求,处理器204 (1) 到204 (P) 经配置以在地址总线210上将“地址”提供到存储器控制器212以用于存取系统存储器214。将由请求处理器204 (1) 到204 (P) 写入的“数据”经由数据总线216提供到系统存储器214。从系统存储器214读取的“数据”由系统存储器214在数据总线216上提供,以提供到请求处理器204 (1) 到204 (P) 。输入/输出 (I/O) 装置218还耦合到图2中的基于处理器的系统200中的地址总线210和数据总线216,以提供处理器204 (1) 到204 (P) 对I/O装置218的存取。基于处理器的系统200可提供作为芯片上系统 (SoC) 220,其中处理器204 (1) 到204 (P) 和图2中说明且上文所述的相关组件一起集成在芯片上。

[0027] CPU 202中的每一处理器204 (1) 到204 (P) 的示范性细节,包含示范性部分重放控制器和支持的数据结构,在图3中通常示出为“处理器204”。如其中所示,处理器204包含指令存储器管理单元 (MMU) 300,其可获取存储在指令高速缓冲存储器304中的指令302,以提供到解码/调度完成单元306。指令高速缓冲存储器304可加载将从主存储器(例如图2中的系统存储器214)执行的指令302。在此实例中,指令302一起分组到将执行的指令块308中。解码/调度完成单元306将经解码的指令块308的指令302提供到调度/完成总线310来执行。如先前论述,由于处理器204使用块-原子执行模型,因此给定指令块308中的所有指令302完全在提交所执行的指令302的结果之前执行。在此实例中,提供浮点单元312来接收指令块308中的浮点指令302F,以结合存储在浮点寄存器堆314中的所产生的结果来执行。类似地,提供整数单元316来接收所执行的指令块308中将执行的整数指令302I,其中所产生的结果存储在通用寄存器 (GPR) 堆318中。提供加载/存储单元320来从指令块308接收加载/存储

指令302L。取决于特定加载/存储指令302L,从所执行的加载/存储指令302L产生的结果可存储在通用寄存器堆318中,或存储器队列322中,以通过耦合到地址总线210和数据总线216的总线接口单元324来存取外部存储器。还将需要存取外部存储器的所执行的加载/存储指令302L提供到数据MMU 326,来基于所执行的加载/存储指令302L,管理将读取到外部存储器或写入到外部存储器的数据。

[0028] 继续参看图3,如果指令,例如图1中的示范性指令块100中的指令102 (1) 到102 (N),由处理器204作为指令块308执行,而不提供部分重放控制器206,且如果在指令块308内部的指令302的执行期间出现异常,那么不执行指令块308中的其余指令302。不保存中间产生结果,其中执行可在异常解决之后,在指令块308中的下一指令302处开始。在这点上,在异常解决之后,指令块308中的指令302将从开头重新执行。这可使处理器204执行调试指令302困难,因为无论什么行为导致指令块308中的指令302的执行期间出现异常,其通常都不可能再现。不存储来自指令块308的所执行指令302的中间产生结果,其可能已从另一线程中的先前写入操作读取。这对于可能具有或具有副作用(例如I/O装置副作用)的加载/存储指令302L来说也呈现困难,其中对I/O装置218(见图2)的I/O操作已经在异常之前执行。在这点上,如果指令块308的加载/存储指令302L在异常之前起始但不完成,那么从I/O操作读取的中间数据可能不再可用于重新执行指令块308中的指令302,因为所述中间数据未存储。

[0029] 在这点上,在处理器204中提供部分重放控制器206,以响应于检测到指令块308中与潜在架构状态修改(例如潜在副作用)相关联的指令302,在指令块308中的指令302的重新执行期间记录和/或重放加载/存储指令302L的结果。可提供部分重放控制器206作为加载/存储系统328的包含加载/存储单元320或与加载/存储单元320分开的部分。如果指令302涉及修改CPU 202(包含处理器204 (1) 到204 (P))中的架构状态的操作,那么其与潜在架构状态修改相关联,且可具有与指令块308之外的功能或过程的可观察的交互。举例来说,与潜在架构状态修改相关联的指令302可影响外部产生的结果,其可影响指令块308和/或其它处理器204 (1) 到204 (P)之外的其它过程和线程。此类指令302可具有加载/存储相依性,这可影响外部产生的结果的值,且因此处理器204 (1) 到204 (P)的架构状态和其它过程取决于此类外部产生的结果。

[0030] 举例来说,指令块308可具有可潜在地修改架构状态且因此导致副作用的指令302。非限制性实例包含:修改全局变量;写入到系统配置寄存器;产生预期异常(例如断点、设定点或观察点),以及将数据写入到存储器或I/O装置。还可从具有副作用的操作修改架构状态,例如从例如I/O装置等装置读取数据,其中数据从队列弹出,且因此不再后续读取操作上再现。如果指令302与潜在架构状态修改相关联,那么受架构状态修改影响的行为或其它过程取决于评估次序。

[0031] 对于与具有或导致副作用的潜在架构状态修改相关联的指令302,可能难以再创建或再现指令302在指令302的任何重新执行期间借此操作的条件。因此,如果在完全执行指令块308之前,将出现异常,那么用以执行与潜在架构状态修改相关联的指令302的操作的中间产生结果在异常解决之后可能不再可用或具有相同值。然而,部分重放控制器206经配置以响应于检测到指令块308中与潜在架构状态修改相关联的指令302,在指令块308的重新执行期间,记录和/或重放加载/存储指令302L的结果,可在指令块308的重新执行期间

记录中间产生结果。因此,如果出现异常,那么可在异常解决之后,在指令块308的另一重新执行期间重放此类中间结果,以确保来自影响处理器204的架构状态的指令块308的外部产生值的完整性。

[0032] 举例来说,异常可为精确异常,包含在指令块308执行边界处出现的块异常,以及在指令块308内的指令302边界处出现的指令异常。异常的实例包含算术异常:除以零、除法上溢、IEEE浮点、权限违反(非MMU)、数据页故障(页不映射、权限违反、写入保护)、不可校正的精确错误校正码(ECC)误差,以及其他精确硬件故障(TBD)。作为其它实例,所述异常也可为调试模式中的调试器断点或观察点。记录和重放先前在调试模式期间从指令块308或在观察点处产生的数据的能力可特定有用,以能够在执行期间查看所有加载或所存储数据的状态。

[0033] 然而,图3中的处理器204包含部分重放控制器206,以避免在指令块308必须由处理器204重新执行(例如归因于指令块308的执行期间出现的异常)的情况下,不能够再现从指令块308中的加载/存储指令302L产生的数据的情形。如下文更详细地论述,部分重放控制器206经配置以允许指令异常在使用块-原子执行模型的处理器204中可再现。部分重放控制器206允许使用部分块重放(PBR)模型,其中可向异常处理程序或调试器报告充足状态,以允许指令块308的引向所述异常的执行确定性地再现。在此情形中,指令块308的执行在其不对通用寄存器和存储器导致任何副作用的意义上保持原子性的。部分块重放还允许副作用操作(强有序加载和存储以及系统寄存器写入)操作,以配合在指令块308结构内。部分重放控制器206使其可能的PBR模型允许在具有副作用的情况下减弱指令块308中的指令302的块原子性。保存充足状态以允许指令块308在异常之后恢复,从而确定性地重复引向副作用操作的执行,而不接着重复副作用本身。

[0034] 下文还将更详细地论述,部分重放控制器206还可经配置以响应于处理器204中的实际异常的出现,在指令块308的重新执行期间,记录和/或重放加载/存储指令302L的结果。举例来说,此类异常可包含静态块异常,例如指令页面错误、无效块标头和无效指令编码。因此,在处理器204从异常恢复之后,部分重放控制器206可经配置以在指令块308的重新执行期间,记录和/或重放加载/存储指令302L的结果。这使得如果在指令块308的重新执行期间,所述异常再次出现,或出现另一异常,那么存储可能已从另一线程中的先前写入操作读取的指令块308的中间产生结果,且可在归因于另一异常的出现而必须重新执行指令块308的情况下重放。否则,读取来用于执行加载/存储操作(例如I/O操作)的中间数据可不再可用于重新执行指令块308,因为未存储中间数据。并且,如果异常是精确异常,那么从在异常出现之前执行的指令块308中的指令302产生的结果可由处理器204在部分提交操作中提交。因此,在处理器204从异常恢复之后,部分重放控制器206可经配置以从指令块308的开头开始执行,以记录和/或重放加载/存储指令302L的结果。先前执行的加载/存储指令302L的先前所记录的结果在指令块308的重新执行期间重放。然而,在一个实例中,来自在作为部分提交操作的一部分的指令块308的先前执行期间提交的加载/存储指令302L的任何所产生数据在指令块308完全执行时的完整提交的后续部分重新提交操作期间不重新提交。这是因为这些先前执行的加载/存储指令302L的结果先前已经提交。因此,使用部分提交功能性可增加执行效率,因为指令块308在从异常恢复之后,可能不必从开头指令302重新执行。部分重放控制器206可经配置以跟踪来自已经提交的先前所执行加载/存储指令

302L的结果,使得从加载/存储指令302L的重放产生的此类结果不重新提交。

[0035] 在这点上,图4是说明可由图3中的处理器204中的部分重放控制器206执行的用于在作用中状态下进入记录/重放状态以在指令块308的重新执行期间记录和/或重放加载/存储指令302L的结果的示范性过程400的流程图。在这点上,如图4中所说明,过程400通过部分重放控制器206检测与潜在架构状态修改相关联的指令302,或在指令块308的执行期间处理器204中出现异常而开始(图4中的框402)。如图3中的实例所示,部分重放控制器206可包含检测电路332,其经配置以在指令块308的执行期间,检测与潜在架构状态修改相关联的指令302,或处理器204中出现异常。将处理器204所执行的指令302提供到加载/存储单元320,其允许部分重放控制器206的检测电路332检测指令302是否与潜在架构状态修改相关联。

[0036] 继续参看图4,响应于检测到与潜在架构状态修改相关联的指令302,或在指令块308的执行期间出现异常,部分重放控制器206经配置以将记录/重放状态330设定为指令块308的作用中状态(图4中的框404)。举例来说,在检测到与潜在架构状态修改相关联的指令302,或处理器204中出现异常之前,可将记录/重放状态330设定成闲置执行状态。响应于记录/重放状态330为指令块308的作用中状态,处理器204重新执行指令块308。如果响应于异常的出现而将作用中状态设定为记录/重放状态330,那么在通过CPU 202(例如通过CPU 202中的操作系统)(图2)解决异常之后,重新执行指令块308。

[0037] 当响应于记录/重放状态330为作用中状态而重新执行指令块308时,在执行下一加载/存储指令302L之前,部分重放控制器206中的记录/重放电路334检查记录/重放日志文件338中对应于将在指令块308中执行的每一下一加载/存储指令302L的输入状态336(图4中的框406)。记录/重放电路334检查输入状态336,以确定下一加载/存储指令302L的先前产生的数据是否曾被记录,意味着在检测到潜在架构状态修改或指令块308的执行期间出现异常之前,正检查的下一加载/存储指令302L在指令块308的先前执行期间已经执行(图4中的框406)。如果输入状态336指示将执行的下一加载/存储指令302L先前已经执行,那么为下一加载/存储指令302L产生的结果将记录在记录/重放日志文件338中,因为这是此下一加载/存储指令302L在指令块308中的执行的第一实例。然而,如果输入状态336指示下一加载/存储指令302L在指令块308的先前执行实例中尚未执行,那么记录/重放电路334经配置以响应于记录/重放状态330为作用中状态,将所执行的下一加载/存储指令302L的所产生的数据记录在记录/重放日志文件338中(图4中的框408)。这使得如果必须再次重新执行指令块308,那么所执行的下一加载/存储指令302L的所产生的数据将在待重放的记录/重放日志文件338中可用。在这点上,记录/重放电路334还经配置以使用为记录/重放日志文件338中的下一加载/存储指令302L记录的先前产生的数据来执行下一加载/存储指令302L(图4中的框410)。

[0038] 为了促进可在图2中的CPU 202中的处理器204(1)到204(P)中提供的部分重放控制器206的进一步论述,提供图5和6来促进图3中的部分重放控制器206在指令块308的执行和重新执行期间的进一步示范性论述。在这点上,图5说明可由图3中处理器204执行的示范性指令块308(A),其包含与潜在架构状态修改相关联的指令。图6是说明可由部分重放控制器206执行来响应于检测到指令块308(A)中与潜在架构状态修改相关联的指令502,在图5中的指令块308(A)的重新执行期间记录和重放加载/存储指令302L的结果的示范性过程

600的更多细节的流程图。将结合图5中的指令块308 (A) 来参考图6中的过程600。

[0039] 在这点上,参考图5,图3中的处理器204获取指令块308 (A),以在具有设定成闲置的记录/重放状态330的新实例中执行(图6中的框602)。当将第一指令502 (1)(在此实例中,其为I/O装置加载/存储指令)提供到图3中的加载/存储单元320时,部分重放控制器206的检测电路332检测第一指令502 (1)是否与潜在架构状态修改相关联(图6中的框604)。在此实例中,第一指令502 (1)具有与潜在架构状态修改相关联的潜在副作用,因为将加载的数据的来源是来自I/O装置。因此,如果异常将在第一指令502 (1)的执行之后出现,那么在指令块308 (A)的重新执行期间重新执行第一指令502 (1)之前,从I/O装置弹出的数据可不再保持在I/O装置队列中,且可因此不可再现。因此,在此实例中,响应于在不执行第一指令502 (1)的情况下,检测到第一指令502 (1)的潜在副作用,针对指令块308 (A),部分重放控制器206将记录/重放状态330设定为作用中。这使得不产生来自第一指令502 (1)的执行的结果,其可能导致所述结果的副作用在指令块308 (A)的重新执行期间的第一指令502 (1)的下一执行实例上不可再现(图6中的框606)。之后,处理器204致使指令块308 (A)重新执行。

[0040] 在图5中的指令块308 (A)的重新执行期间,再次将第一指令502 (1)提供到图3中的处理器204中的加载/存储单元320以供执行。部分重放控制器206中的记录/重放电路334检查记录/重放日志文件338中的条目340 (1)到340 (E)中的输入状态336,以确定是否曾为第一指令502 (1)记录先前产生的数据(图6中的框608)。在此实例中,不为第一指令502 (1)记录先前产生的数据,因为归因于检测到潜在副作用,在指令块308 (A)的初始执行期间不执行第一指令502 (1)。因此,部分重放控制器206的记录/重放电路334将由于加载/存储单元320执行第一指令502 (1)而从第一指令502 (1)产生的结果504 (1)记录在记录/重放日志文件338中,使得在再次执行指令块308 (A)的情况下,例如归因于异常,可重放所产生的结果504 (1)(图6中的框610)。之后,处理器204执行第二指令502 (2),而不考虑副作用考量,使得第二指令502 (2)不是加载/存储指令。然而,图5中的实例指令块308 (A)中的第三指令502 (3)是具有潜在副作用的加载/存储操作。然而,由于记录/重放状态330已经在作用中,意味着部分重放控制器206正记录来自所执行的加载/存储指令302L的所产生的结果504 (1)到504 (Q),因此不是重新执行指令块308 (A)。从第三指令502 (3)中的全局寄存器r3获得的所产生的结果504 (3)记录在记录/重放日志文件338中。指令502 (4)到502 (Q)的执行对于部分重放控制器206正记录在记录/重放日志文件338中的加载/存储指令302L的所产生的结果504 (1)到504 (Q)继续(图6中的框608、610)。

[0041] 然而,如图5中的实例所示,指令502 (4)与指令502 (Q-2)之间出现异常508。在解决了异常508之后,在处理器204中重新执行指令块308 (A)。然而,由于指令502 (1)到502 (4)已经在指令块308 (A)的先前执行实例中执行,部分重放控制器206中的记录/重放电路334经配置以检查记录/重放日志文件338,以确定产生结果504 (1)、504 (3)到504 (4)是否记录在记录/重放日志文件338中(图6中的框608)。由于在此实例中,将所产生的结果504 (1)、504 (3)到504 (4)记录在记录/重放日志文件338,因此在此实例中,记录/重放电路334经配置以在指令块308 (A)的先前重新执行期间,使用记录在记录/重放日志文件338中的先前产生的结果504 (1)、504 (3)到504 (4),执行或“重放”先前产生的结果504 (1)到504 (Q)(图6中的框612)。因此,如果在出现异常508之后,关于指令502 (1)、502 (3)到502 (4)出现异常或副作用,那么先前产生的结果504 (1)、504 (3)到504 (4)保存在记录/重放日志文件338中,使得指

令块308 (A) 的重新执行将产生正确的结果和所产生的值。

[0042] 在此实例中,由于在出现异常508之前,指令502 (Q-2) 到502 (Q) 尚未在指令块308 (A) 的先前重新执行期间执行,因此部分重放控制器206经配置以检查记录/重放日志文件338,以确定指令502 (Q-2) 、502 (Q) 的所产生的结果504 (Q-2) 、504 (Q) 是否记录在记录/重放日志文件338中(图6中的框608)。因为在此实例中,在异常508的出现之前不记录它们,记录/重放电路334经配置以将指令502 (Q-2) 、502 (Q) 的所产生的结果504 (Q-2) 、504 (Q) 记录在记录/重放日志文件338中(图6中的框610),与重放指令502 (Q-2) 、502 (Q) 相反。因此,如果出现另一异常508,那么指令502 (Q-2) 、502 (Q) 的所产生结果504 (Q-2) 、504 (Q) 可从记录/重放日志文件338重放。在所有指令502 (1) 到502 (Q) 在图5中的指令块308 (A) 中执行(图6中的框614)之后,提交由所执行的指令502 (1) 到502 (Q) 产生的外部产生值(图6中的框616)。

[0043] 注意,哪些类型的加载/存储指令302L经配置以由检测电路332检测为具有潜在副作用是设计选择。举例来说,检测电路332可经配置以将所执行的指令块308中的每个加载/存储指令302L检测为具有潜在副作用,而不考虑加载/存储指令302L的类型。举例来说,如果处理器204正执行多线程代码,那么潜在地任何加载指令可导致非可再现结果,因为在出现异常之后,另一线程可改变此加载指令的源位置中的数据。然而,检测所执行指令块308中的每种类型的加载/存储指令302L中的潜在副作用可降低处理器204的性能,因为可能较频繁地重新执行所执行指令块308。基于所执行指令块308具有任何类型的加载/存储指令302L,记录/重放状态330将设定成作用中。此可对调试模式有用或响应于调试器断点,因为部分重放控制器206将提供在调试模式期间检视来自加载/存储指令302L的所有数据的状态的能力。然而,作为另一实例,在正常或非调试模式期间,检测电路332可经配置以仅将指令块308中的某些类型的加载/存储指令302L检测为具有涉及I/O操作的潜在副作用,而不考虑其它再现性问题。举例来说,检测电路332可经配置以仅检测指令块308中的加载/存储指令302L,其将数据从处理器204外部的地点或装置加载或将数据存储到所述地点或装置。

[0044] 部分重放控制器206的操作可较适合作为状态机的实施方案,因为可基于重新执行的状态,用所述操作来多次重新执行指令块308。在这点上,图7是可由图3中的处理器204中的部分重放控制器206用来在指令块的重新执行期间记录和/或重放加载/存储指令的结果的状态机700。在这点上,参考图7,响应于处理器204中的指令块308的执行的新实例(图7中的702),可由处理器204存取的记录/重放状态330设定为闲置状态(“闲置”),意味着记录/重放操作对于指令块308不发生。此线程的架构状态,或异常或中断,对应于指令块308的边界。在闲置状态下,处理器204执行指令块308中的指令302。如果在指令块308的初始执行期间,未检测到指令块308中的所有指令302具有潜在架构修改,且未出现异常,那么指令302的执行将最终以提交外部产生的结果而完全完成(图7中的704)。

[0045] 继续参看图7,一旦检测电路332检测到与将执行的潜在架构状态修改相关联的指令302(图7中的706),部分重放控制器206就将记录/重放状态330改变为作用中状态(“作用中”)。处理器204接着致使指令块308从开头指令302重新执行。这使得可重新执行指令块308,且可将具有潜在副作用的加载/存储指令302L的所产生结果记录在记录/重放日志文件338中。当线程在作用中时,如下文所论述,这意味着部分重放控制器206正被记录和/或重放。PBR状态的记录意味着为后续重放而记录加载和存储,加系统寄存器的读取和写入。

[0046] 在作用中状态下,部分重放控制器206经配置以存取记录/重放日志文件338,如先

前述论。部分重放控制器206经配置以用在指令块308的重新执行期间来自所执行的加载/存储指令302L的所产生结果来更新或记录记录/重放日志文件338。以此方式,如果在与潜在架构状态修改(例如潜在副作用)相关联的加载/存储指令302L的执行之后出现异常(图7中的708),那么加载/存储单元320将所产生的结果存储在记录/重放日志文件338中。如果在指令块308的重新执行期间出现异常,那么对于将通过CPU 202中的操作系统中的异常处理解决的异常,部分重放控制器206将记录/重放状态330设定为锁定状态(“锁定”)。在解决所述异常之后,将记录/重放状态330设定回到作用中状态(“作用中”),使得重新执行指令块308(图7中的710)。如先前在上文论述,可在解决异常之后,在指令块308的重新执行期间重放所产生的结果,使得在此类所记录的所产生结果将归因于改变而不同(例如与I/O装置弹出的另一线程或数据不同)的情况下,指令块308可结合先前所记录的所产生结果成功地重新执行。

[0047] 举例来说,为记录/重放日志文件338中的所执行的加载/存储指令302L记录的输入状态336可为无/空、加载(正常)、存储(正常)、废止、加载-提交(副作用)、存储-提交(副作用)、读取系统寄存器和写入系统寄存器-取决于所执行的加载/存储指令302L的类型而提交,作为非限制性实例。为所执行的加载/存储指令302L记录的虚拟地址(VA)342是加载/存储指令302L所存取的存储器或I/O装置的地址,其对调试程序有用。为所执行的加载/存储指令302L记录的数据344是由于执行加载/存储指令302L而产生的结果。

[0048] 注意,在一个实例中,当记录/重放状态330处于作用中状态(“作用中”)时出现异常,不提交来自在出现异常之前执行的指令302的任何所产生结果。一旦从锁定状态(“锁定”)解决所述异常,就重新执行指令块308(图7中的710)。然而,在替代方面中,部分重放控制器206可经配置以提交来自在异常出现之前执行的指令块308中的指令302的所产生结果。在此实例中,一旦在解决异常时重新执行其余指令302,且记录/重放状态330返回到作用中状态(“作用中”),仅提交来自先前并未执行的指令302的所产生结果。

[0049] 继续参看图7,记录/重放状态330保持在作用中状态(“作用中”),直到已执行指令块308中的所有指令302。之后,提交来自指令块308中的所执行指令302的外部产生结果(或在部分提交功能性的情况下,提交来自先前未提交的指令302的所产生结果)(图7中的712)。如先前所论述,在一个实例中,如果使用部分提交操作,那么在指令块308完全执行时的完整提交的后续部分重新提交操作期间,不重新提交来自作为部分提交操作的一部分在指令块308的先前执行期间提交的加载/存储指令302L的所产生数据。部分重放控制器206将记录/重放状态330设定回到闲置状态(“闲置”),以执行下一指令块308。如果当记录/重放状态330处于闲置状态(“闲置”)时出现异常,那么CPU 202中的操作系统保存当前架构状态,并切换锁定状态“锁定”来解决异常,使得不在指令块308中执行进一步指令302(图7中的714)。一旦在锁定状态“锁定”下解决异常,操作系统就恢复在出现异常之前存在的架构状态,并将记录/重放状态330切换回到闲置状态(“闲置”)(图7中的716)。

[0050] 综上所述,当执行具有副作用的操作的指令块308可后来呈现任何种类的异常时,仅需要图3中的处理器204中的部分重放控制器206所提供的PBR模型。然而,当预期任何精确异常导致程序终止或传送到用于块-原子执行模型的调试器时,还可使用PBR模型来增强调试。出于性能原因,PBR模型可任选地不参与可致使调用监视员服务的非误差异常(例如页面错误),且接着正常执行恢复。

[0051] 下文示出示范性异常类别的概述,其中可通过使用部分重放控制器206来保存指令块308的架构状态。然而,如果电流指令块308正结合部分重放控制器206启用的PBR模型来执行,那么还可结合精确部分块状态来进行中断。如先前所论述且如下文的表中所示,如果指令块遇到副作用或在异常出现之前已存储了所产生的数据,那么部分重放控制器可经配置以丢弃来自在异常出现之前曾在指令块中执行的指令的所产生的结果。在处理器从异常恢复之后,部分重放控制器将接着经配置以从指令块的开头指令开始执行,以记录和/或重放加载/存储指令的结果。或者,部分重放控制器可经配置以提交来自在异常出现之前在指令块中执行的指令的所产生的结果。在处理器从异常恢复之后,部分重放控制器将接着经配置以从指令块中尚未执行的下一指令开始,以记录和/或重放在重新执行期间先前尚未在指令块中执行的加载/存储指令的结果。

精度	原因	部分块重放	块具有执行副作用或存储	架构状态	可再现
精确	块	N/A	否	块的开头	是
	指令	否	否	块的开头	否
		是	否	块的开头	是
[0052]			是(正常存储丢弃)		GPR/正常存储器: 块的开头 副作用: 后副作用
			是(部分提交到执行点的正常存储)		GPR: 块的开头 正常存储器或副作用: 在异常点处

[0053] 在进一步方面中,可提供用于控制在处理器中执行的指令块的执行重放的部分重放控制器,其包含用于响应于检测到与潜在架构状态修改相关联的指令,或处理器中的异常的出现,将用于存储记录/重放状态的装置设定为指令块的作用中状态的装置。举例来说,部分重放控制器206、图3中的检测电路332或记录/重放电路334是此类用于设定的装置的实例,其中部分重放控制器206经配置以响应于检测到与潜在架构状态修改相关联的指令,或处理器204中的异常的出现,而将记录/重放状态330设定为作用中状态。部分重放控制器206还包含用于响应于所述用于存储指令块的记录/重放状态到作用中状态的装置,检查用于存储对应于将在指令块中执行的下一加载/存储指令的记录/重放日志文件的装置中的输入状态以确定是否为下一加载/存储指令记录先前产生的数据的装置。举例来说,这意味着检查输入状态可由部分重放控制器206或图3中的记录/重放电路334通过存取记录/重放日志文件338来提供。部分重放控制器206还可包含用于响应于先前产生的数据不记录在用于存储下一加载/存储指令的记录/重放日志文件的装置中,将执行下一加载/存储指令所产生的数据记录在用于存储记录/重放日志文件的装置中的装置。举例来说,所述用于存储记录/重放日志文件的装置可由部分重放控制器206或图3中的记录/重放电路334提供,以存储未记录在下一加载/存储指令的记录/重放日志文件338中的先前产生的数据。部分重放控制器206还可包含用于响应于先前产生的数据存储在所述用于存储下一加载/存储指令的记录/重放日志文件的装置中,使用所述用于存储记录/重放日志文件的装置中的为下一加载/存储指令记录的先前产生数据来执行下一加载/存储指令的装置。所述用于使用先前产生的数据来执行下一加载/存储指令的装置可由部分重放控制器206或图3中的记录/重放电路334提供。

[0054] 可在任何基于处理器的装置中提供处理器或将其集成到任何基于处理器的装置中,所述处理器包含经配置以在指令块中的指令的执行期间,响应于检测到指令块中与潜在架构状态修改相关联的指令,和/或响应于异常的出现,记录和/或重放在指令块的重新执行期间加载/存储指令的结果的部分重放控制器,例如图3中的处理器204中的部分重放控制器206,且根据本文所公开的实例中的任一者。实例包含但不限于机顶盒、娱乐单元、导航装置、通信装置、固定位置数据单元、移动位置数据单元、移动电话、蜂窝式电话、智能电话、平板计算机、平板手机、计算机、便携式计算机、桌上型计算机、个人数字助理(PDA)、监视器、计算机监视器、电视机、调谐器、无线电、卫星无线电、音乐播放器、数字音乐播放器、便携式音乐播放器、数字视频播放器、视频播放器、数字视频光盘(DVD)播放器、便携式数字视频播放器和机动车。

[0055] 在这点上,图8说明包含CPU 802的基于处理器的系统800的实例,所述CPU包含一或多个处理器804。处理器804可各自包含部分重放控制器806,其经配置以响应于在指令块中的指令的执行期间检测到潜在副作用,记录和/或重放指令块的重新执行期间的加载/存储指令的结果。举例来说,部分重放控制器806可为图3中的部分重放控制器206。CPU 802可具有耦合到处理器804以用于快速存取临时存储数据的高速缓冲存储器808。CPU 802耦合到系统总线810,且可互耦包含于基于处理器的系统800中的外围装置。CPU 802中的处理器804可通过经由系统总线810交换地址、控制和数据信息,来与这些其它装置通信。虽然图8中未说明,但可提供多个系统总线810,其中每一系统总线810构成不同构造。举例来说,作为从属装置的实例,CPU 802可将总线事务请求传送到存储器系统814中的存储器控制器812。在此实例中,存储器控制器812经配置以将存储器存取操作提供到存储器系统814中的存储器阵列816。

[0056] 其它装置可连接到系统总线810。如图8中所说明,作为实例,这些装置可包含存储器系统814、一或多个输入装置818、一或多个输出装置820、一或多个网络接口装置822以及一或多个显示器控制器824。输入装置818可包含任何类型的输入装置,包含但不限于输入按键、开关、话音处理器等。输出装置820可包含任何类型的输出装置,包含(但不限于)音频、视频、其它视觉指示器等。网络接口装置822可为经配置以允许将数据交换到网络826以及从网络826交换数据的任何装置。网络826可为任何类型的网络,包含但不限于有线或无线网络、私用或公用网络、局域网(LAN)、无线局域网(WLAN)、广域网(WAN)、BLUETOOTH网络和因特网。网络接口装置822可经配置以支持所要的任何类型的通信协议。

[0057] CPU 802还可经配置以经由系统总线810存取显示器控制器824,以控制发送到一或多个显示器828的信息。显示器828可包含任何类型的显示器,包含但不限于阴极射线管(CRT)、液晶显示器(LCD)、等离子显示器等。显示器控制器824将信息发送到显示器828,以经由一或多个视频处理器830显示,所述视频处理器处理将显示成适合于显示器828的格式的信息。

[0058] 还可在基于软件的系统中提供部分重放控制器,其经配置以响应于在指令块中的指令的执行期间检测到潜在副作用,在指令块的重新执行期间记录和/或重放加载/存储指令的结果。部分重放控制器不必在提供不具有软件指令的部分重放控制器的功能的仅硬件电路中实施。部分重放控制器,例如图3中的部分重放控制器206可提供于上面存储有计算机可执行指令的非暂时性计算机可读媒体中,所述可计算机执行指令在由处理器(例如图2

的处理器204(1)到204(P))执行时,致使所述处理器响应于检测到与潜在架构状态修改相关联的指令,处理器中出现异常,将记录/重放状态设定为指令块的作用中状态。响应于记录/重放状态为指令块的作用中状态,计算机可执行指令在由处理器执行时,致使处理器:检查记录/重放日志文件中对应于将在指令块中执行的下一加载/存储指令的输入状态,以确定是否为下一加载/存储指令记录先前产生的数据;响应于先前产生的数据不记录在下一加载/存储指令的记录/重放日志文件中,将所执行的下一加载/存储指令的所产生的数据记录在记录/重放日志文件中;以及响应于先前产生的数据记录在下一加载/存储指令的记录/重放日志文件中,使用为下一加载/存储指令而记录在记录/重放日志文件中的先前产生的数据来执行下一加载/存储指令。

[0059] “计算机可读媒体”应被认为包含存储一或多个指令集的单个媒体或多个媒体(例如集中或分布式数据库,和/或相关联的高速缓冲存储器和服务器)。还将采用术语“计算机可读媒体”来包含能够存储、编码或运载一组指令以供处理器执行且致使所述处理器执行本文所公开的方面的方面的任何一或多个任何媒体。因此将采用术语“计算机可读媒体”来包含但不限于固态存储器、光学媒体和磁性媒体。

[0060] 所属领域的技术人员将进一步了解,结合本文中所揭示的方面所描述的各种说明性逻辑块、模块、电路和算法可被实施为电子硬件、存储于存储器或另一计算机可读媒体中且由处理器或其它处理装置执行的指令,或此两者的组合。作为实例,本文中所描述的主控装置和受控装置可用于任何电路、硬件组件、集成电路(IC)或IC芯片中。本文所公开的存储器可为任何类型及大小的存储器,并且可经配置以存储所要的任何类型的信息。为清楚说明此可互换性,上文已大体上关于其功能性而描述了各种说明性组件、块、模块、电路和步骤。如何实施此功能性取决于特定应用、设计选项和/或强加于整个系统的设计约束。本领域的技术人员可针对每一具体应用以不同方式来实施所描述的功能性,但这样的实施决策不应被解释为会引起脱离本发明的范围。

[0061] 结合本文中所揭示的各方面所描述的各种说明性逻辑块、模块和电路可用以下各项来实施或执行:处理器、数字信号处理器(DSP)、专用集成电路(ASIC)、现场可编程门阵列(FPGA)或其它可编程逻辑装置、离散门或晶体管逻辑、离散硬件组件,或其经设计以执行本文中所描述的功能的任何组合。处理器可为微处理器,但在替代方案中,处理器可为任何常规处理器、控制器、微控制器或状态机。处理器还可实施为计算装置的组合,例如,DSP与微处理器的组合、多个微处理器的组合、一或多个微处理器与DSP核心结合,或任何其它此种配置。

[0062] 本文中所揭示的各方面可以硬件和存储在硬件中的指令来体现,且可驻存于例如随机存取存储器(RAM)、快闪存储器、只读存储器(ROM)、电可编程ROM(EPROM)、电可擦除可编程ROM(EEPROM)、寄存器、硬盘、可装卸式磁盘、CD-ROM或所属领域中已知的任何其它形式的计算机可读媒体中。示范性存储媒体耦合到处理器,使得处理器可从存储媒体读取信息且将信息写入到所述存储媒体。在替代方案中,存储媒体可与处理器成一体式。处理器和存储媒体可驻留在ASIC中。ASIC可驻留在远程站中。在替代方案中,处理器和存储媒体可作为离散组件驻留在远端台、基站或服务器中。

[0063] 还应注意,描述本文中的示范性方面中的任一者中所描述的操作步骤是为了提供实例和论述。可用除了所说明的序列之外的大量不同序列执行所描述的操作。另外,在单个

操作步骤中描述的操作实际上可在数个不同步骤中执行。另外,可组合在示范性方面中论述的一或多个操作步骤。应理解,所属领域的技术人员将易于显而易见,流程图中所说明的操作步骤可经受众多不同修改。所属领域的技术人员还将了解,可使用多种不同技术和技法中的任一来表示信息和信号。举例来说,可通过电压、电流、电磁波、磁场或磁粒子、光场或光粒子或其任何组合来表示在整个上文描述中可能参考的数据、指令、命令、信息、信号、位、符号和码片。

[0064] 提供本发明的先前描述来使本领域的技术人员能够制造或使用本发明。所属领域的技术人员将易于明白对本揭示的各种修改,且本文中所定义的一般原理可应用于其它变化形式而不会脱离本揭示的精神或范围。因此,本发明无意限于本文中所描述的实例和设计,而是将被赋予与本文中所揭示的原理和新颖特征相一致的最广范围。

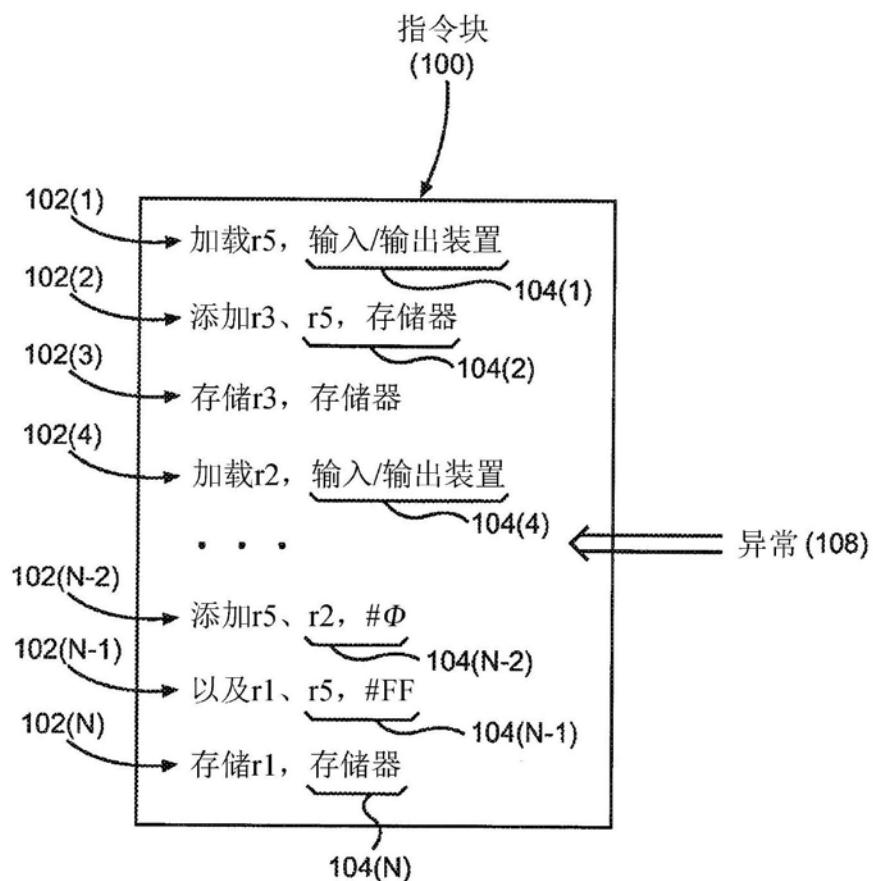


图1

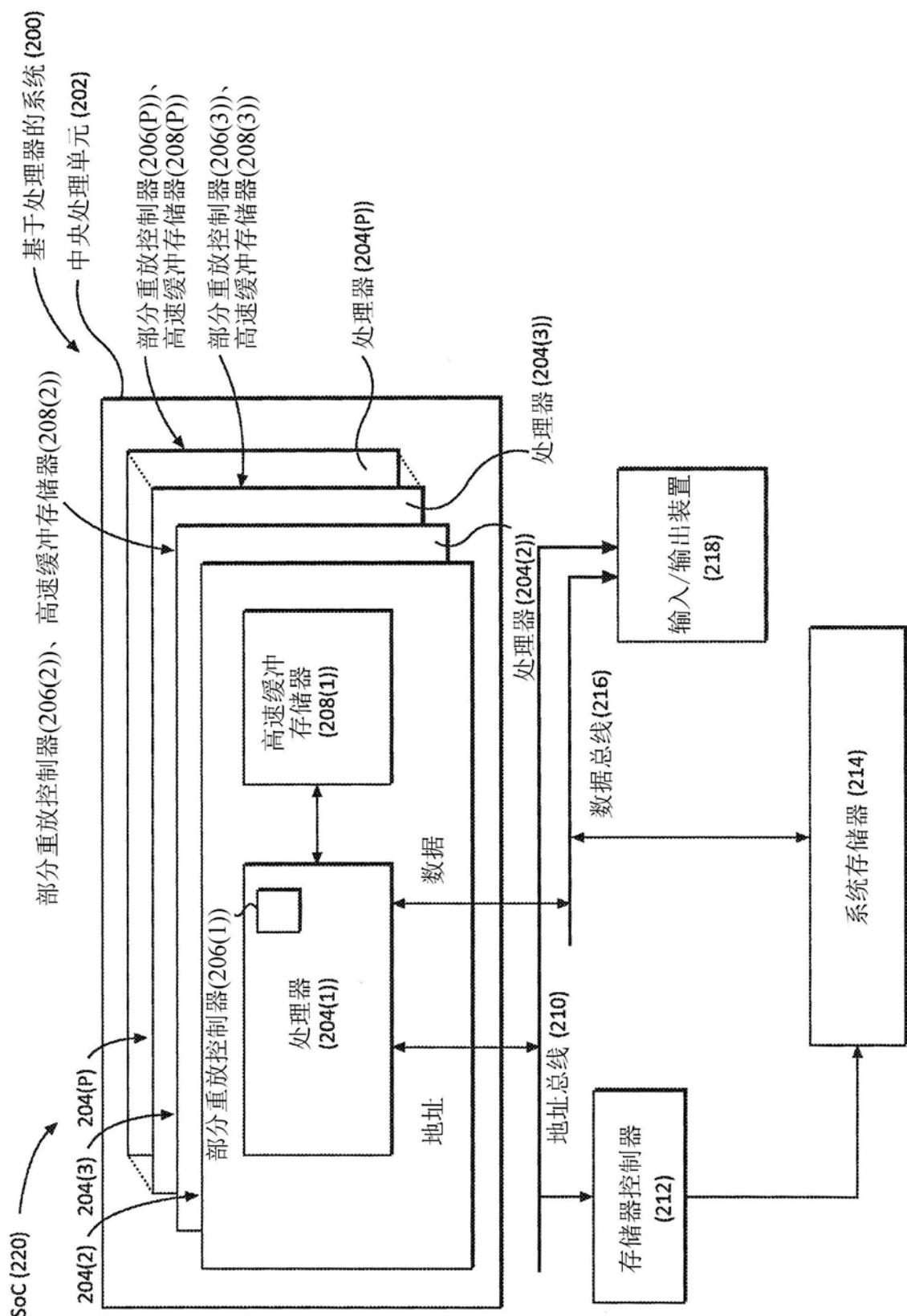


图2

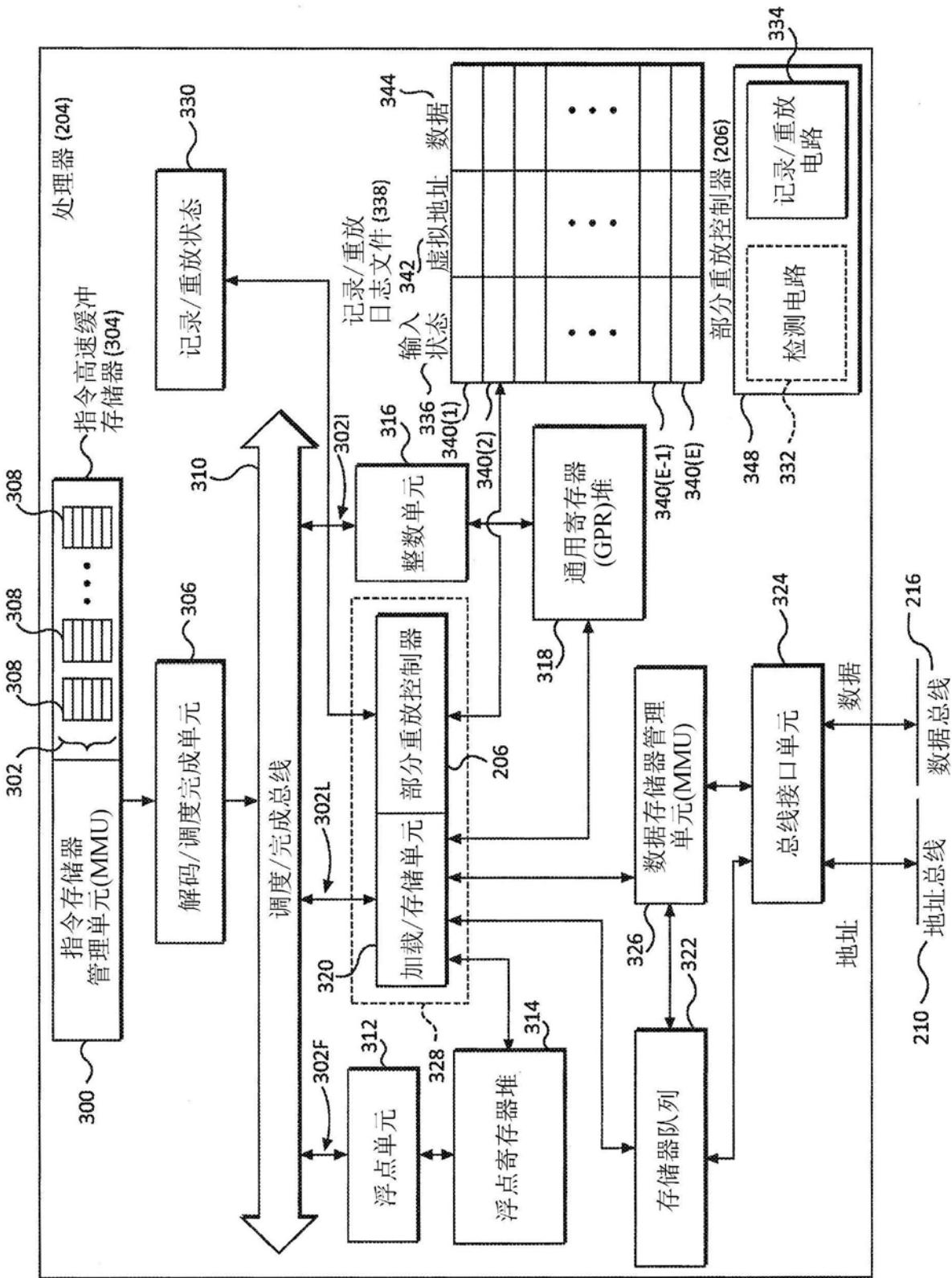


图3

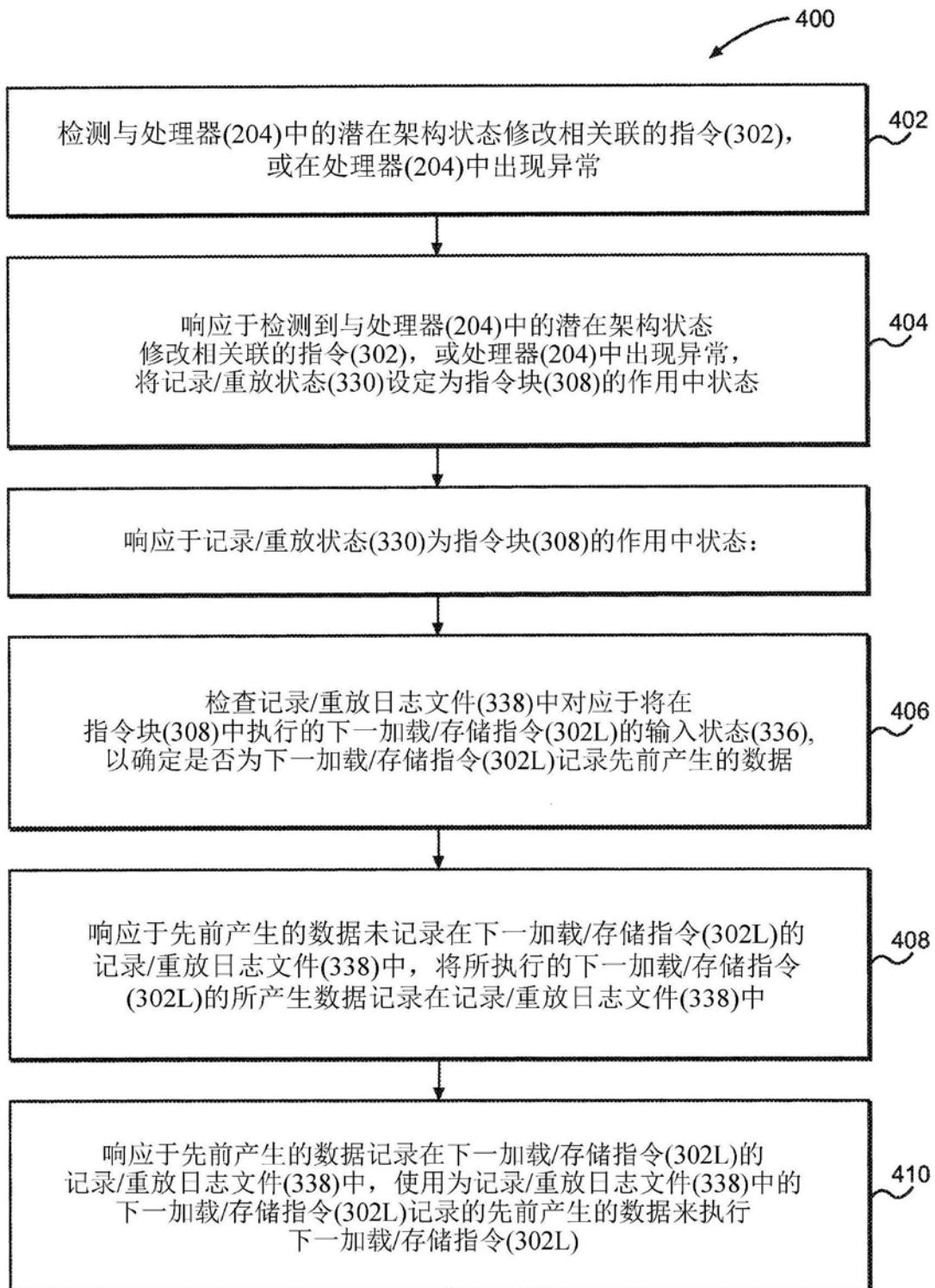


图4

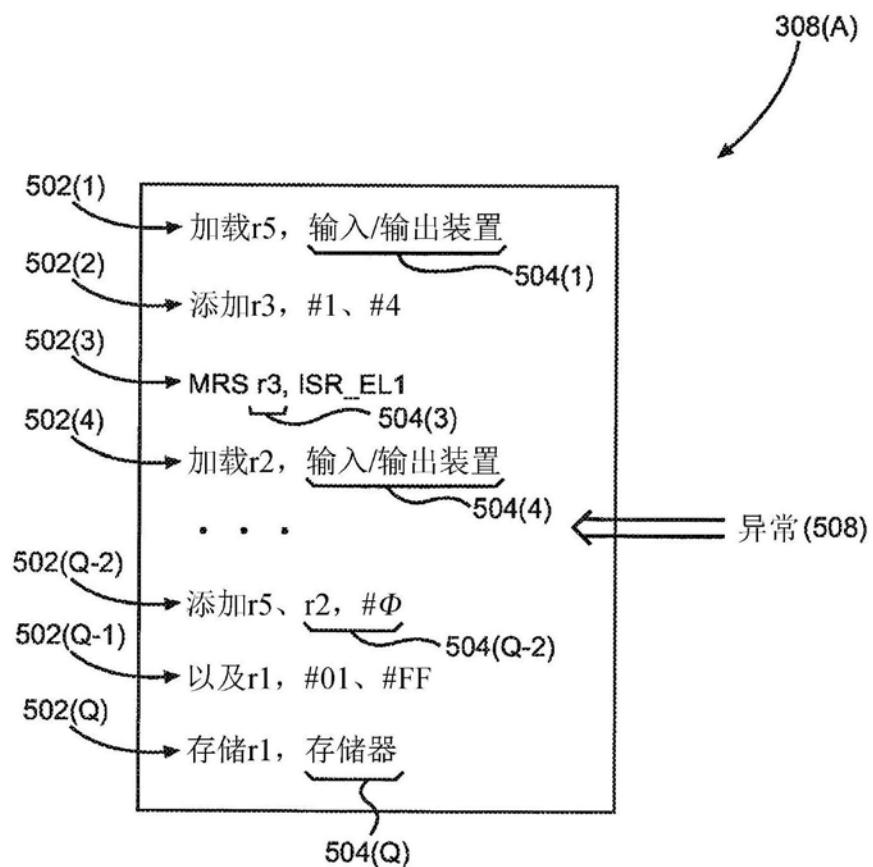


图5

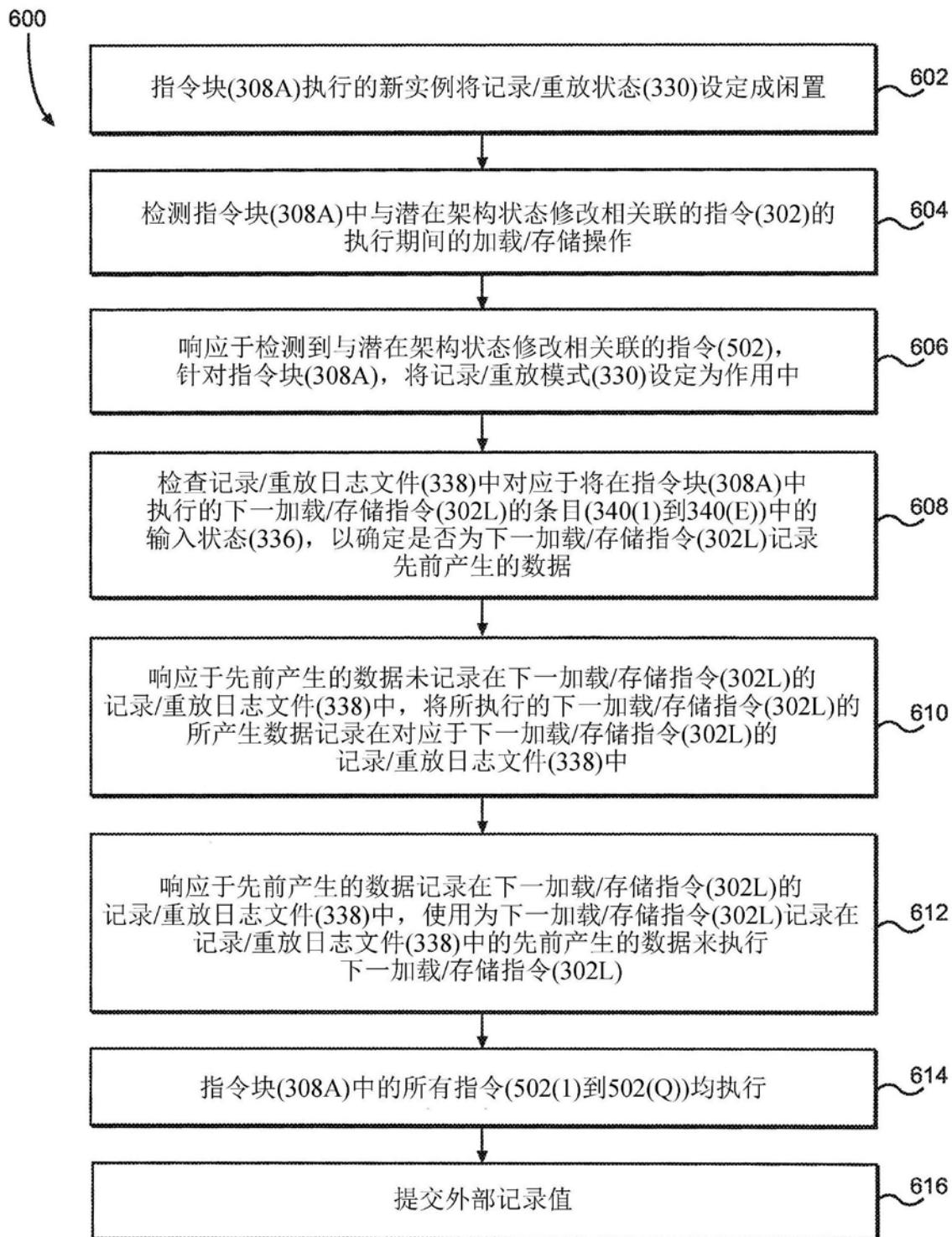


图6

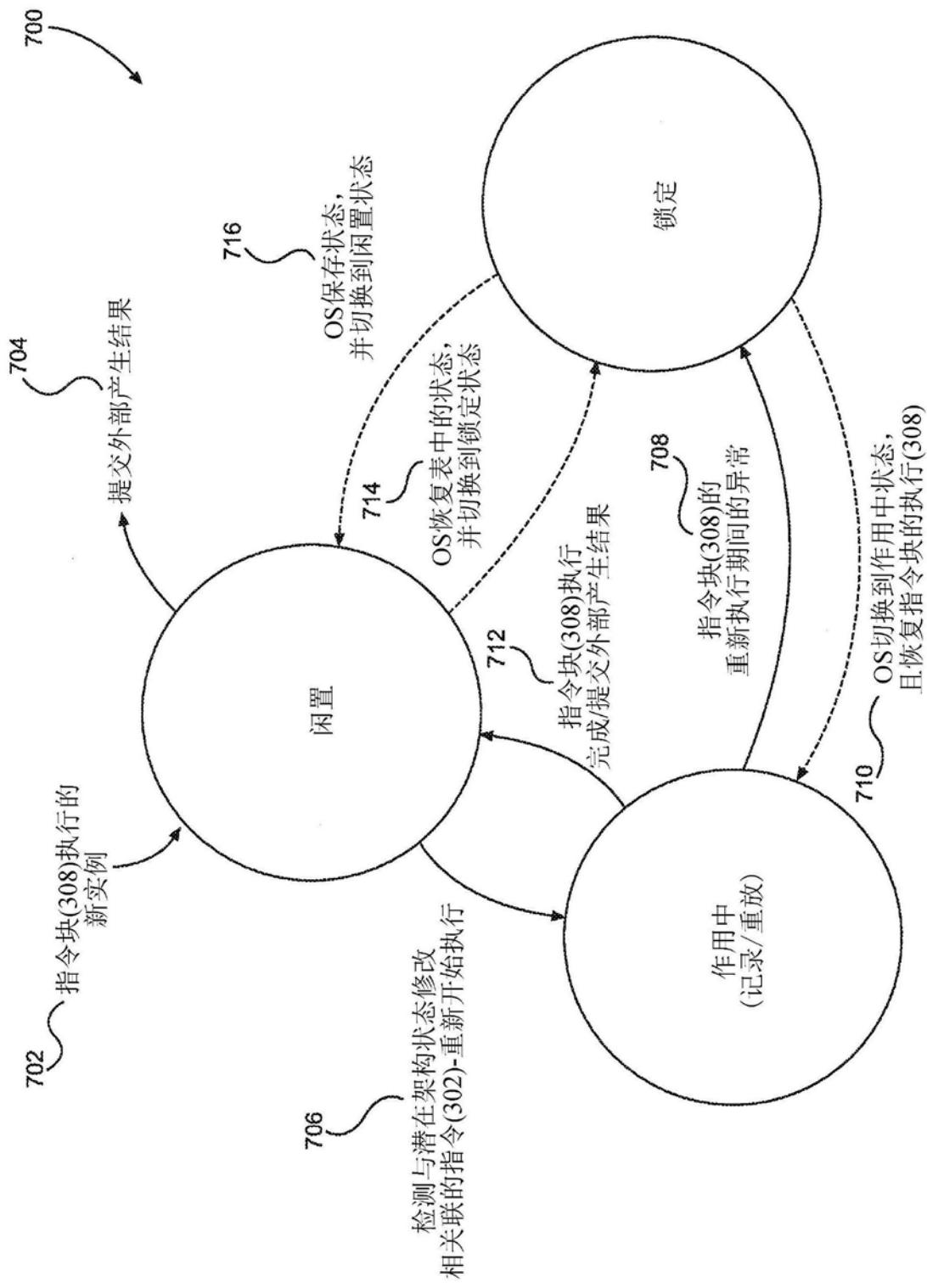


图7

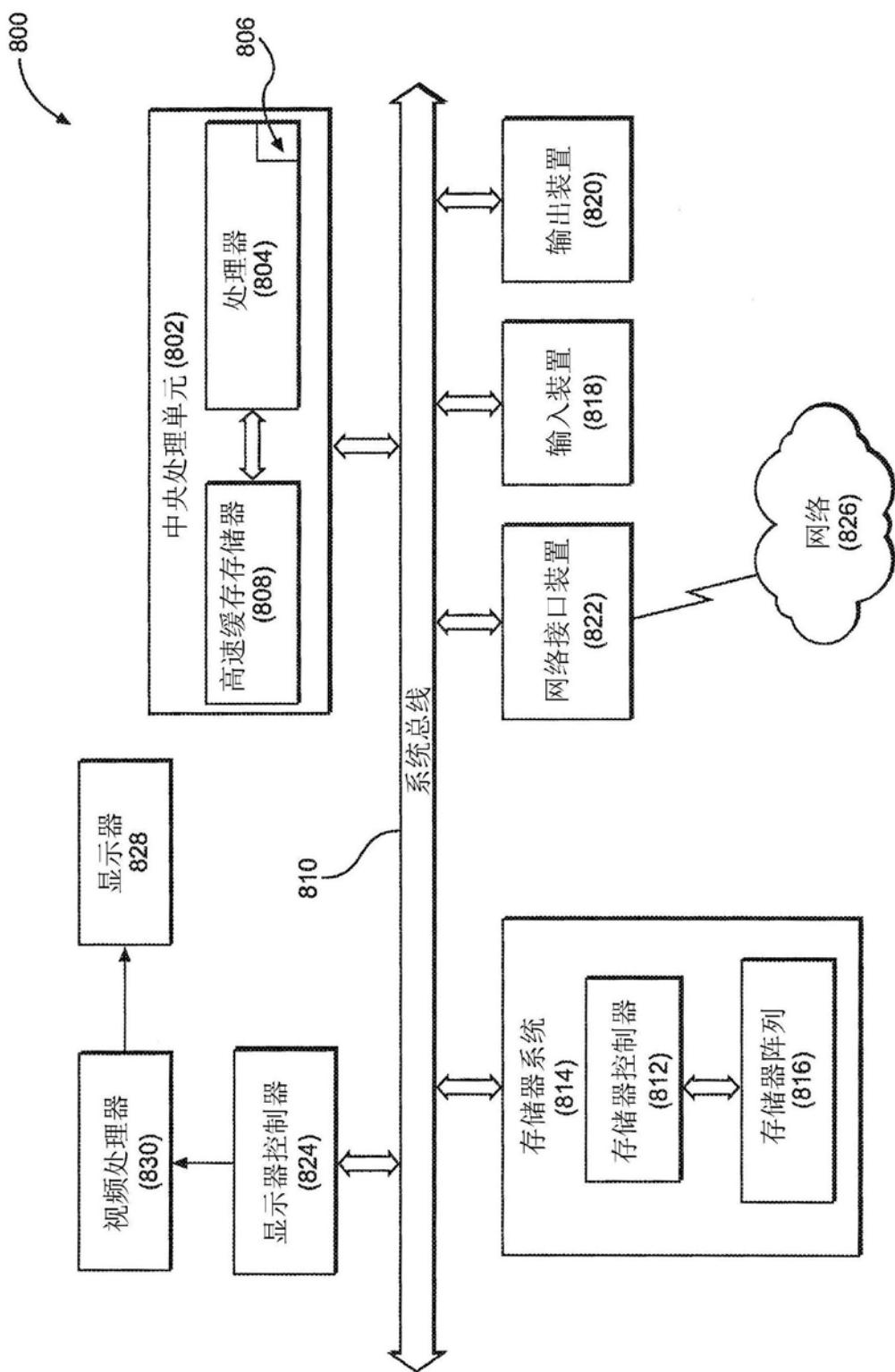


图8