

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4666401号
(P4666401)

(45) 発行日 平成23年4月6日(2011.4.6)

(24) 登録日 平成23年1月21日(2011.1.21)

(51) Int. Cl.	F I		
H05K 3/46	(2006.01)	H05K 3/46	Q
H05K 1/16	(2006.01)	H05K 3/46	G
		H05K 3/46	N
		H05K 1/16	D

請求項の数 9 (全 13 頁)

(21) 出願番号	特願2008-38803 (P2008-38803)	(73) 特許権者	594023722
(22) 出願日	平成20年2月20日 (2008. 2. 20)		サムソン エレクトロメカニクス カ ンパニーリミテッド.
(65) 公開番号	特開2008-227484 (P2008-227484A)		大韓民国、キョンギード、スウォン、ヨン トング、マエタン3ードン 314
(43) 公開日	平成20年9月25日 (2008. 9. 25)	(74) 代理人	100104156
審査請求日	平成20年2月20日 (2008. 2. 20)		弁理士 龍華 明裕
(31) 優先権主張番号	10-2007-0024071	(72) 発明者	キム、ジン チェオル
(32) 優先日	平成19年3月12日 (2007. 3. 12)		大韓民国、キョンギード、ファソン、チョ ンナムーミョン、バルサンーリ、ドンナム ファミリー アパートメント 102-9 04
(33) 優先権主張国	韓国 (KR)		

最終頁に続く

(54) 【発明の名称】 キャパシタ内蔵型印刷回路基板

(57) 【特許請求の範囲】

【請求項1】

複数のポリマーシートが積層された積層ポリマーキャパシタ層と、
前記複数のポリマーシートのうち少なくとも一つのシートにより分離され、相互交代に配置されてペアを成す少なくとも一つの第1内部電極及び第2内部電極と、
前記第1内部電極及び第2内部電極から突出して形成された複数の第1引出電極及び第2引出電極と、
前記積層ポリマーキャパシタ層の一面または両面に積層され、層間回路を構成する複数の導電パターン及び導電性ビアが形成された少なくとも一つの絶縁層と、
前記第1引出電極に連結されるよう前記積層ポリマーキャパシタ層を貫通して形成された複数の第1キャパシタ用ビアと、
前記第2引出電極に連結されるよう前記積層ポリマーキャパシタ層を貫通して形成された複数の第2キャパシタ用ビアと

10

を含み、

積層方向に見たときに、前記複数の第1引出電極及び第2引出電極は、各々が隣接する方向において一方と他方とが互い違いに配置され、前記隣接する方向と直交する方向において前記一方が前記他方と向かい合うことを特徴とするキャパシタ内蔵型印刷回路基板

【請求項2】

少なくとも一つのポリマーシートを介して複数の第1及び第2内部電極が形成され、

20

前記複数の第1及び第2内部電極は、相互異なる面積を有することを特徴とする請求項1に記載のキャパシタ内蔵型印刷回路基板。

【請求項3】

前記第1及び第2内部電極は、長方形で形成されたことを特徴とする請求項1または2に記載のキャパシタ内蔵型印刷回路基板。

【請求項4】

前記第1及び第2引出電極は、

前記第1及び第2内部電極それぞれの対向する2つの長側面に形成されたことを特徴とする請求項3に記載のキャパシタ内蔵型印刷回路基板。

【請求項5】

同一長側面方向に形成された第1及び第2引出電極は相互同一の間隔を有することを特徴とする請求項4に記載のキャパシタ内蔵型印刷回路基板。

【請求項6】

複数のポリマーシートが積層された積層ポリマーキャパシタ層と、

前記複数のポリマーシートのうち少なくとも一つのシートにより分離され、相互交代に配置されてペアを成す少なくとも一つの第1内部電極及び第2内部電極と、

前記第1内部電極及び第2内部電極から突出して形成された複数の第1引出電極及び第2引出電極と、

前記積層ポリマーキャパシタ層の一面または両面に積層され、層間回路を構成する複数の導電パターン及び導電性ビアが形成された少なくとも一つの絶縁層と、

前記第1引出電極に連結されるよう前記積層ポリマーキャパシタ層を貫通して形成された複数の第1キャパシタ用ビアと、

前記第2引出電極に連結されるよう前記積層ポリマーキャパシタ層を貫通して形成された複数の第2キャパシタ用ビアと

を含み、

前記第1及び第2内部電極は円形で形成され、

積層方向に見たときに、前記複数の第1引出電極及び第2引出電極が互い違いに配置されることを特徴とするキャパシタ内蔵型印刷回路基板。

【請求項7】

隣接した前記第1引出電極と前記第2引出電極は同一の間隔を有するよう形成されたことを特徴とする請求項6に記載のキャパシタ内蔵型印刷回路基板。

【請求項8】

前記複数の第1及び第2引出電極は、それぞれ偶数で形成されたことを特徴とする請求項7に記載のキャパシタ内蔵型印刷回路基板。

【請求項9】

少なくとも一つのポリマーシートを介して複数の第1及び第2内部電極が形成され、

前記複数の第1及び第2内部電極は、相互異なる面積を有することを特徴とする請求項6から8の何れか1項に記載のキャパシタ内蔵型印刷回路基板。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はキャパシタ内蔵印刷回路基板に関するもので、より詳しくは、内蔵されたキャパシタ層の電極構造を調節してインダクタンスを低め、積層数及び電極の面積を調節して単位面積当たりの高い容量の具現が容易なキャパシタ内蔵型印刷回路基板に関する。

【背景技術】

【0002】

キャパシタは電荷の形態でエネルギーを貯蔵する素子で、直流電源の場合、電荷が蓄積はされるものの電流は流れず、交流の場合、電荷が充放電されながらキャパシタの容量と時間に応じて電圧の変化に比例して電流が流れるようにするという特性を有している。

【0003】

10

20

30

40

50

キャパシタのこのような特性を利用してデジタル回路、アナログ回路、高周波回路などの電気、電子回路でカップリング及びデカップリング、フィルター、インピーダンスマッチング、チャージポンプ及び復調など様々な目的に使用される必須の受動素子として、一般的にチップ、ディスクなどの様々な形態で製造され印刷回路基板の表面に実装されて使用されてきた。

【 0 0 0 4 】

しかし、電子機器の小型化、複雑化により、印刷回路基板に受動素子が実装される面積が小さくなり、かつ電子機器の高速化により周波数が高くなるにつれ、受動素子とICとの間に導体及びソルダなどの様々な要因によって発生する寄生インピーダンスが種々の問題を引き起こすことにより、このような問題点を解決するためにキャパシタを印刷回路

10

【 0 0 0 5 】

現在まで殆どの印刷回路基板 (P C B) の表面には一般の個別チップ抵抗 (D i s c r e t e C h i p R e s i s t o r) または一般の個別チップキャパシタ (D i s c r e t e C h i p C a p a c i t o r) を実装しているが、最近、抵抗またはキャパシタなどの受動素子を内蔵した印刷回路基板が開発されている。

【 0 0 0 6 】

このような、受動素子内蔵型印刷回路基板の技術は新しい材料 (物質) と工程を用いて基板の外部または内層に抵抗またはキャパシタなどの受動素子を挿入して既存のチップ抵抗及びチップキャパシタの役割を代替する技術を言う。言い換えると、受動素子内蔵型印刷回路基板は基板自体の内層或いは外部に受動素子、例えば、キャパシタが内蔵されている形態であって、基板自体の大きさにかかわらず受動素子のキャパシタが印刷回路基板の一部分に統合されていれば、これを ' 内蔵型キャパシタ ' と言い、このような基板をキャパシタ内蔵型印刷回路基板 (E m b e d d e d C a p a c i t o r P C B) と言う。このようなキャパシタ内蔵型印刷回路基板の最も重要な特徴はキャパシタが印刷回路基板の一部分として備えられているため基板の表面に実装する必要がないということである。

20

【 0 0 0 7 】

様々な機能を有すると同時に小型化された無線端末機を製作するためには、さらに高い R F 周波数帯域の使用が求められ、これに連動してキャパシタなどの受動素子の自己共鳴周波数 (S R F : S e l f R e s o n a n c e F r e q u e n c y) が漸次高いことが求められ、また電源の安定化に使用されるデカップリングキャパシタの場合には高周波でインピーダンスを減らすことが求められている。

30

【 0 0 0 8 】

図 1 は、従来のキャパシタ内蔵型印刷回路基板の断面図である。

図 1 を参照すると、誘電体層 1 1 を介して内部電極 1 4 , 1 7 が形成されキャパシタを構成する。上記内部電極 1 4 , 1 7 はそれぞれビアホール 1 6 , 1 9 を通してそれぞれ (+) または (-) 電極に連結される。このような構造のキャパシタ内蔵型印刷回路基板では P C B 内に内蔵されたキャパシタの陽極及び陰極を通して流れる電流の方向を相互反対にして、流れる電流により発生する寄生インダクタンスを相殺させて全体的な寄生インダクタンスを減らすことが出来る。

40

【 0 0 0 9 】

しかし、従来のキャパシタが内蔵された印刷回路基板の場合、インダクタンスを低めるには有用であるものの容量値が小さすぎて実際に使用するには足りない部分がある。

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 1 0 】

上記のような問題点を解決するため、本発明は既存のキャパシタ内蔵型印刷回路基板に比べて単位面積当たり高い容量を具現しつつ積層キャパシタの電極構造を変えることにより、表面実装される積層構造キャパシタ (M L C C) が有する高いインダクタンスを低くすることを目的としている。

50

【課題を解決するための手段】**【0011】**

本発明は、複数のポリマーシートが積層された積層ポリマーキャパシタ層と、上記複数のポリマーシートのうち少なくとも一つのシートにより分離され、相互交代に配置されてペアを成す少なくとも一つの第1内部電極及び第2内部電極と、上記第1内部電極及び第2内部電極にそれぞれ連結される複数の第1引出電極及び第2引出電極と、上記積層ポリマーキャパシタ層の一面または両面に積層され、層間回路を構成する複数の導電パターン及び導電性ビアが形成された少なくとも一つの絶縁層と、上記第1引出電極に連結されるよう上記積層ポリマーキャパシタ層を貫通して形成された複数の第1キャパシタ用ビアと、上記第2引出電極に連結されるよう上記積層ポリマーキャパシタ層を貫通して形成された複数の第2キャパシタ用ビアとを含み、上記複数の第1及び第2引出電極は相互交代に配置され相互向い合うよう配置されたことを特徴とするキャパシタ内蔵型印刷回路基板を提供する。

10

【0012】

上記の場合、一つのポリマーシートを介して複数の第1及び第2内部電極が形成されることができ、上記複数の第1及び第2内部電極は、相互異なる面積を有することが出来る。

【0013】

上記第1及び第2内部電極は長方形で形成されることができ、この場合、上記第1及び第2引出電極は、上記第1及び第2内部電極それぞれの対向する2つの長側面に形成されることが出来る。好ましくは、同一の長側面の方向に形成された第1及び第2引出電極は相互同一の間隔を有することが出来る。

20

【0014】

また、本発明は、複数のポリマーシートが積層された積層ポリマーキャパシタ層と、上記複数のポリマーシートのうち少なくとも一つのシートにより分離され、相互交代に配置されてペアを成す少なくとも一つの第1内部電極及び第2内部電極と、上記第1内部電極及び第2内部電極にそれぞれ連結される複数の第1引出電極及び第2引出電極と、上記積層ポリマーキャパシタ層の一面または両面に積層され、層間回路を構成する複数の導電パターン及び導電性ビアが形成された少なくとも一つの絶縁層と、上記第1引出電極に連結されるよう上記積層ポリマーキャパシタ層を貫通して形成された複数の第1キャパシタ用ビアと、上記第2引出電極に連結されるよう上記積層ポリマーキャパシタ層を貫通して形成された複数の第2キャパシタ用ビアとを含み、上記第1及び第2内部電極は円形で形成され、上記複数の第1及び第2引出電極は相互交代に配置されたことを特徴とするキャパシタ内蔵型印刷回路基板を提供する。

30

【0015】

上記複数の第1及び第2引出電極において、隣接した第1引出電極と第2引出電極は同一の間隔を有するよう形成されることが出来る。この場合、上記複数の第1及び第2引出電極それぞれは偶数または奇数で形成されることが出来る。

【0016】

この場合、一つのポリマーシートを介して複数の第1及び第2内部電極が形成され、上記複数の第1及び第2内部電極は、相互異なる面積を有することが出来る。

40

【発明の効果】**【0017】**

本発明によると、内部電極面積及びポリマーシートの積層数によって容量値の設定が可能で、低いインダクタンスと高いキャパシタンスを有するキャパシタ内蔵型印刷回路基板を得ることが出来る。

【発明を実施するための最良の形態】**【0018】**

以下、図面を参照に本発明を詳しく説明する。

図2は、本発明の好ましい実施形態によるキャパシタ内蔵型印刷回路基板の断面図であ

50

る。

【 0 0 1 9 】

図 2 を参照すると、本実施形態による印刷回路基板は、内部電極が形成された積層ポリマーキャパシタ層 2 1、及び絶縁層 2 2、2 3 を含む。

【 0 0 2 0 】

上記積層ポリマーキャパシタ層 2 1 は、複数個のポリマーシートが積層されて形成される。上記複数個のポリマーシートのうち少なくとも一つのポリマーシートの一面には導電性の第 1 内部電極 2 4 がパターンニングされ、上記第 1 内部電極とペアを成す第 2 内部電極 2 7 がパターンニングされたポリマーシートが積層されて上記積層ポリマーキャパシタ層 2 1 を成す。

10

【 0 0 2 1 】

上記第 1 内部電極 2 4 は第 1 引出電極 2 5 a を通して第 1 キャパシタ用ビア 2 6 に連結され、上記第 2 内部電極 2 7 は第 2 引出電極 2 8 a を通して第 2 キャパシタ用ビア 2 9 に連結されている。図面では第 1 及び第 2 キャパシタ用ビアが一つずつ図示されているが、上記積層ポリマーキャパシタの電極には複数個の引出電極が形成され、上記引出電極ごとにキャパシタ用ビアが連結されることが出来る。

【 0 0 2 2 】

上記第 1 及び第 2 キャパシタ用ビアにより外部の電極と連結される上記積層ポリマーキャパシタ層 2 1 に形成された第 1 内部電極 2 4 及び第 2 内部電極 2 7 は相互異なる極性を有する。従って、上記第 1 内部電極及び第 2 内部電極により形成されるキャパシタは平板型キャパシタを折った形態と同じである。

20

【 0 0 2 3 】

一般的にキャパシタンスはキャパシタの面積と厚さによって異なるよう具現され、下記の数学式 1 のように計算される。

【 0 0 2 4 】

【 数 1 】

$$C = \epsilon_r \epsilon_0 \left(\frac{A}{D} \right)$$

30

【 0 0 2 5 】

ここで、 ϵ_r は誘電体の誘電定数 (dielectric constant)、 ϵ_0 は 8.855×10^{-8} 値を有する定数、A は誘電体の表面積、そして D は誘電体の厚さを表す。即ち、高容量のキャパシタを具現するためには誘電体の誘電定数が高くなければならず、誘電体の厚さが薄いほど、そして表面積が広いほど高い容量を有するキャパシタが得られる。積層されるポリマーキャパシタ層の数が多いと、誘電体の表面積が広がる効果をもたらすためキャパシタンスが増加し、ポリマーキャパシタ層の数が少ないとキャパシタンス値が低いキャパシタになる。従って、本実施例ではポリマーキャパシタ層の積層数を調節することにより印刷回路基板に内蔵されるキャパシタの容量を調節することが出来るため高容量のキャパシタを具現することが出来る。

40

【 0 0 2 6 】

上記積層ポリマーキャパシタ層 2 1 の上層及び下層には絶縁層 2 2、2 3 が形成されている。

【 0 0 2 7 】

50

上記絶縁層 2 2 , 2 3 は、FR - 4 などの補強基材の両面に銅箔を積層し、レーザードリリングまたは機械的ドリリングにより所定の位置にビアホール 2 2 b , 2 3 b を形成し、上記ビアホールの内部をメッキなどの方法により充填する。上記補強基材の両面にドライフィルムを被せ露光及び現像工程を経た後、上記銅箔をエッチングして回路パターン 2 2 a , 2 3 a を形成してパターンニングされた上記絶縁層 2 2 , 2 3 を得ることが出来る。

【 0 0 2 8 】

上記回路パターン 2 2 a , 2 3 a を形成する方法としては、エッチング及びメッキを適切に混合した様々な方法が使用できる。また、上記絶縁層としては補強基材が FR - 4 の他に印刷回路基板の用度による適切な材質の基板が使用出来る。

【 0 0 2 9 】

上記のような多層ポリマーキャパシタ層 2 1 内に様々な値を有するキャパシタを具現することができるため非常に高い設計自由度を有することが出来る。

【 0 0 3 0 】

即ち、キャパシタのキャパシタンス値は数学式 1 のようにキャパシタの内部電極の面積に比例する。本実施例による多層ポリマーキャパシタ層は平板型キャパシタを折った形態であるため積層されるポリマーキャパシタ層の数を増やすと、結果的に平板型キャパシタの内部電極の面積を増加させることと同様の効果を有するためキャパシタンス値も増加することになる。

【 0 0 3 1 】

従って、高いキャパシタンス値が求められる部分では多数の内部電極層を構成して高容量のキャパシタを具現することができ、低いキャパシタンス値が求められる部分では少ない層数の内部電極を構成して低容量のキャパシタを具現することが出来る。

【 0 0 3 2 】

また、多層ポリマーキャパシタ層に形成される内部電極の面積を調節することによりキャパシタンス値を調節することが出来る。即ち、高容量のキャパシタが求められる部分では内部電極の面積を広く設計し、低容量のキャパシタが求められる部分には内部電極の面積を狭く設計することにより、制限された厚さ及び面積を有する多層ポリマーキャパシタ内で所望の容量のキャパシタを自由に設計できる。

【 0 0 3 3 】

図 3 の (a) 乃至 (c) は本発明の一実施形態によるキャパシタ内蔵型印刷回路基板において、ポリマーシート上に形成される第 1 内部電極、第 2 内部電極及び上記第 1 及び第 2 内部電極が形成されたポリマーシートが積層された平面図である。

【 0 0 3 4 】

図 3 の (a) を参照すると、ポリマーシート 3 1 a 上に複数個の第 1 内部電極 3 4 が形成される。例えば、これらの第 1 内部電極 3 4 は互いに電氣的に絶縁して配される。本実施例では同一の面積を有する 6 つの第 1 内部電極 3 4 を形成したが、上記第 1 内部電極の数及び面積は所望のキャパシタンス値に応じて多様に具現できる。

【 0 0 3 5 】

上記第 1 内部電極 3 4 は所定の面積を有するよう形成され上記第 1 内部電極 3 4 から複数個の第 1 引出電極 3 5 a 乃至 3 5 d が引出されて形成される。

【 0 0 3 6 】

上記第 1 引出電極 3 5 a 乃至 3 5 d は、上記第 1 内部電極の一側面及びこれに対向する他側面にそれぞれ形成される。上記第 1 引出電極 3 5 a 乃至 3 5 d は、上記第 1 内部電極 3 4 を第 1 キャパシタ用ビア (未図示) と連結する役割をする。

【 0 0 3 7 】

本実施例では、上記第 1 内部電極 3 4 の一側面に 2 つの引出電極 3 5 a , 3 5 b を形成し、上記一側面に対向する他側面に 2 つの引出電極 3 5 c , 3 5 d が形成されている。上記引出電極は、上記第 1 内部電極 3 4 のそれぞれの側面に形成されることが出来る。

【 0 0 3 8 】

図 3 の (b) を参照すると、ポリマーシート 3 1 b 上に複数個の第 2 内部電極 3 7 が形

10

20

30

40

50

成される。例えば、これらの第2内部電極37は互いに電氣的に絶縁して配される。本実施例では同一の面積を有する6つの第2内部電極37を形成したが、上記第1内部電極の数及び面積は所望のキャパシタンス値に応じて多様に具現できる。

【0039】

上記第2内部電極37は、一つのポリマーシートを介して上記第1内部電極34とペアを成し、それぞれの内部電極の面積によりキャパシタンスが定められるため上記第2内部電極は上記第1内部電極と対応する大きさに形成されることが好ましい。

【0040】

上記第2内部電極37は所定の面積を有するよう形成され上記第2内部電極37から複数個の第2引出電極38a乃至38dが引出されて形成される。

10

【0041】

上記第2引出電極38a乃至38dは、上記第1内部電極の一側面及びこれに対向する他側面にそれぞれ形成される。上記第2引出電極38a乃至38dは、上記第2内部電極37を第2キャパシタ用ビア(未図示)と連結する役割をする。

【0042】

本実施例では、上記第2内部電極37の一側面に2つの引出電極38a, 38bが形成され、上記一側面に対向する他側面に2つの引出電極38c, 38dが形成されている。上記引出電極は、上記第2内部電極37のそれぞれの側面に形成されることが出来る。

【0043】

図3の(c)は、上記図3の(a)及び(b)のポリマーシート31a, 31bを積層した平面図である。

20

【0044】

図3の(c)を参照すると、第1内部電極34及び第2内部電極37は一つのポリマーシートを介して相互ペアを成し、それぞれ同一の面積を有するよう形成される。上記ポリマーシートを介して形成された第1内部電極34と第2内部電極37との間でキャパシタンスが発生することになる。

【0045】

上記第1内部電極34から引出された第1引出電極35a乃至35dと、上記第2内部電極37から引出された第2引出電極38a乃至38dは、所定の間隔(B)離隔されて相互重畳されないよう交代に形成される。

30

【0046】

本実施例では、上記第1引出電極35a乃至35dに(-)を、第2引出電極38a乃至38dに(+)を連結した。このように第1引出電極35a乃至35dと第2引出電極38a乃至38dが交代に配置されることにより、(+), (-)電極が交代に配列される構造になる。

【0047】

キャパシタの構造において電流が流れる方向は(+)電極から(-)電極に流れるため、本実施例では、それぞれの第2引出電極38a乃至38dからそれぞれの第1引出電極35a乃至35dの方向へ電流の方向があらわれ、内部電極34, 37の中央部では電流によって誘発される磁束が相殺されるため磁束が殆ど発生しない。これについては図4によりさらに詳しく説明する。

40

【0048】

図4は、積層ポリマーキャパシタ層を成す、積層された内部電極内における電流経路(矢印方向)を表した平面図である。

【0049】

相互異なる極性を有する第1内部電極44及び第2内部電極47がポリマーシート41aを介して相互対向して配置される。このようなペアを成す2つの内部電極は、積層ポリマーキャパシタ層内で繰り返して積層されている。

【0050】

上記第1内部電極44及び第2内部電極47に連結される第1引出電極45a乃至45

50

d及び第2引出電極48a乃至48dのうち同一の方向に形成された引出電極は相互同一の間隔bで形成されている。

【0051】

図4を参照すると、ポリマーシート41a上に形成された第1内部電極44は複数個の第1引出電極45a乃至45d及び導電性ビアホール(未図示)を通して(-)電極に電氣的に連結される。また、積層された他のポリマーシート上に形成された第2内部電極47は、複数個の第2引出電極48a乃至48d及び導電性ビアホール(未図示)を通して(+)電極に電氣的に連結される。

【0052】

内部電極に流れる電流は最も短い経路を通して流れる傾向により、電流は(+)引出電極から最も隣接した(-)引出電極に向かって流れる。即ち、それぞれの第2引出電極48a, 48b, 48c, 48dからそれぞれの第1引出電極45a, 45b, 45c, 45dに電流の経路が形成される。但し、本図面において電流の方向として表した矢印は電流が主に流れる方向を表したもので、正確には全ての(+)端子から全ての(-)端子に電流が流れる。

10

【0053】

従って、第1及び第2内部電極の内部領域 l_1, l_2, l_3 では相互逆方向に流れる電流により磁束が相互効果的に相殺される。これによって、積層ポリマーキャパシタ層の内部でも相互逆方向の電流による相互インダクタンスの除去または相殺が容易に発生し、これによってキャパシタのESLはさらに低減する。積層ポリマーキャパシタの内部での磁束相殺の側面(即ち、ESLの側面)では、内部電極の幅dが長さcに比べて小さいほど有利であると言える。

20

【0054】

このように内部電極を流れる電流の磁束が効果的に相殺されるためには、(+)引出電極と(-)引出電極が相互対向するよう形成され、同一の方向では(+)引出電極と(-)引出電極が交代に同一の間隔を維持しながら配置されることが必要である。

【0055】

図5の(a)乃至(c)は本発明の他の実施形態によるキャパシタ内蔵型印刷回路基板において第1内部電極が形成されたポリマーシート、第2内部電極が形成されたポリマーシート、上記第1及び第2内部電極が形成されたポリマーシートが積層された平面図である。

30

【0056】

図5の(a)を参照すると、ポリマーシート51a上に複数個の第1内部電極54が形成される。本実施例では同一の面積を有する6つの第1内部電極54を形成したが、上記第1内部電極の数及び面積は所望のキャパシタンス値に応じて多様に具現できる。

【0057】

上記第1内部電極54は所定の面積を有するよう形成され上記第1内部電極54から複数個の第1引出電極55a乃至55fが引出されて形成される。

【0058】

本実施例では、第1内部電極54の形態を円形にし、上記第1引出電極55a乃至55fは、上記第1内部電極54の円周に沿って一定の間隔で形成される。上記第1引出電極55a乃至55fは、上記第1内部電極54を第1キャパシタ用ビア(未図示)と連結する役割をする。

40

【0059】

図5の(b)を参照すると、ポリマーシート51b上に複数個の第2内部電極57が形成される。本実施例では同一の面積を有する6つの第2内部電極57を形成したが、上記第1内部電極の数及び面積は所望のキャパシタンス値に応じて多様に具現できる。

【0060】

上記第2内部電極57は、ポリマーシートを介して、上記第1内部電極54とペアを成し、それぞれの内部電極の面積によりキャパシタンスが定められるため上記第2内部電極

50

は上記第1内部電極と対応する大きさに形成されることが好ましい。

【0061】

上記第2内部電極57は所定の面積を有するよう形成され上記第2内部電極57から複数個の第2引出電極58a乃至58fが引出されて形成される。

【0062】

本実施例では上記第2内部電極57を円形にし、上記第2引出電極58a乃至58fは、上記第2内部電極の周囲に一定の間隔で形成される。上記第2引出電極58a乃至58fは、上記第2内部電極57を第2キャパシタ用ビア(未図示)と連結する役割をする。

【0063】

図5の(c)は、上記図5の(a)及び(b)のポリマーシート51a, 51bを積層した平面図である。

10

【0064】

図5の(c)を参照すると、第1内部電極54及び第2内部電極57はポリマーシートを介して相互ペアを成し、それぞれ同一の面積を有するよう形成される。上記ポリマーシートを介して形成された第1内部電極54と第2内部電極57との間でキャパシタンスが発生することになる。

【0065】

上記第1内部電極54から引出された第1引出電極55a乃至55fと、上記第2内部電極57から引出された第2引出電極58a乃至58fは、一定の間隔離隔されて相互重畳されないよう交代に形成される。

20

【0066】

本実施例では、第1内部電極54及び第2内部電極57を円形に形成し、上記それぞれの内部電極の周囲に形成された第1引出電極55a乃至55f及び第2引出電極58a乃至58fが交代に配置されるよう積層した。また、上記第1引出電極55a乃至55fに(-)を、第2引出電極58a乃至58fに(+)を連結した。このように第1引出電極55a乃至55fと第2引出電極58a乃至58fが交代に配置されることにより、(+), (-)電極が交代に配列される構造になる。

【0067】

キャパシタの構造において電流が流れる方向は(+)電極から近い(-)電極に流れるため、本実施例では、それぞれの第2引出電極58a乃至58fからそれぞれの第1引出電極55a乃至55fの方向に電流の方向があらわれ、内部電極54, 57の中央部では電流により誘発される磁束が相殺されるため磁束が殆ど発生しない。

30

【0068】

本実施例では内部電極が円形で形成され、上記円の周囲に(+)と(-)が配列されて発生する誘導係数が相互相殺されて非常に小さいインダクタンス値を有するキャパシタを製造することが出来る。

【0069】

本実施例では、偶数個の引出電極を形成して第1引出電極は第1引出電極と対向し、第2引出電極は第2引出電極と対向するよう配置されたが、奇数個の引出電極を形成する場合には第1引出電極と第2引出電極が対向するよう配置されることが出来る。

40

【0070】

図6の(a)乃至(f)は、本発明の一実施例によるキャパシタ内蔵型印刷回路基板の製造工程のフロー図である。

【0071】

図6の(a)は、一面に電極パターン64, 67が形成された複数個のポリマーシートが積層されてポリマーキャパシタ層を形成する段階である。

【0072】

図6の(b)において、FR-4などの補強基材及びその両面に積層された銅箔からなるCCL(Copper Clad Laminate)基板にレーザードリリングまたは機械的ドリリングにより所定の位置にビアホール63bを形成し、ビアホール63bの

50

内部をメッキなどの方法で充填する。その後上記ＣＣＬ基板の両面にドライフィルムを被せて露光及び現像工程を経た後、上記銅箔をエッチングして回路パターン６３aを形成してパターンニングされたＣＣＬ基板６３を用意する。

【００７３】

図６の（ｃ）において、多層ポリマーキャパシタ層６１とパターンニングされたＣＣＬ基板６３を積層する。

【００７４】

図６の（ｄ）において、多層ポリマーキャパシタ層６１に層間の連結のためのビアホール６６，６９を形成し、ビアホールの内部をメッキまたは充填材により充填する。上記ビアホールは内部電極６４，６７に連結される複数個の引出電極が貫通するよう形成される。そして、多層ポリマーキャパシタ層６１の上部にメッキなどの方法により銅箔を形成し、ドライフィルムを被せて露光及び現像した後、銅箔をエッチングして回路パターン６１aを形成する。上記回路パターン６１aの形成にはエッチングの他にもエッチング及びメッキを適切に混合した様々な方法が使用できる。

【００７５】

図６の（ｅ）において、多層ポリマーキャパシタ層６１上に絶縁層及び銅箔６２cで構成されたさらに他の断面基板６２を積層する。

【００７６】

図６の（ｆ）において、断面基板６２にビアホール６２bを加工し、ドライフィルムを被せて露光及び現像した後銅箔をエッチングして回路パターン６２aを形成する。図６の（ｆ）に図示された通り、本実施例によるキャパシタ内蔵型印刷回路基板は印刷回路基板の内部に多層の高誘電率の誘電体ポリマーシート６１が挿入された構造を有する。

【００７７】

このように、本発明は上述の実施形態及び添付の図面により限定されない。即ち、内部電極の形態、面積、積層数、及び引出電極の数などは多様に具現できる。添付の請求範囲により権利範囲を限定し、請求範囲に記載された本発明の技術的思想を外れない範囲内で様々な形態の置換、変形及び変更が可能ということは当技術分野の通常の知識を有している者に自明である。

【図面の簡単な説明】

【００７８】

【図１】従来の技術によるキャパシタ内蔵型印刷回路基板の断面図である。

【図２】本発明の好ましい実施形態によるキャパシタ内蔵型印刷回路基板の断面図である。

【図３】の（ａ）乃至（ｃ）は、本発明の一実施形態による第１内部電極が形成されたポリマーシート、第２内部電極が形成されたポリマーシート及び積層されたポリマーシート層の平面図である。

【図４】図３の（ｃ）において内部電極に流れる電流経路を表した平面図である。

【図５】（ａ）乃至（ｃ）は、本発明の他の実施形態による第１内部電極が形成されたポリマーシート、第２内部電極が形成されたポリマーシート及び積層されたポリマーシート層の平面図である。

【図６】（ａ）乃至（ｆ）は、本発明の一実施形態によるキャパシタ内蔵型印刷回路基板の製造工程のフロー図である。

【符号の説明】

【００７９】

２１ 積層ポリマーキャパシタ層

２４ 第１内部電極

２５a 第１引出電極

２６ 第１キャパシタ用ビア

２７ 第２内部電極

２８a 第２引出電極

10

20

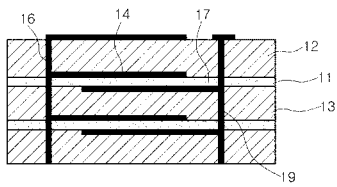
30

40

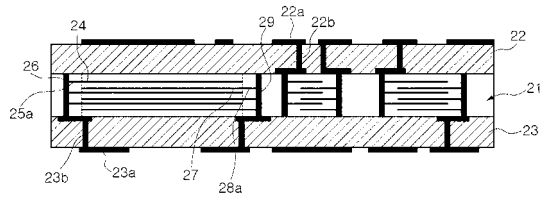
50

2 9 第 2 キャパシタ用ビア

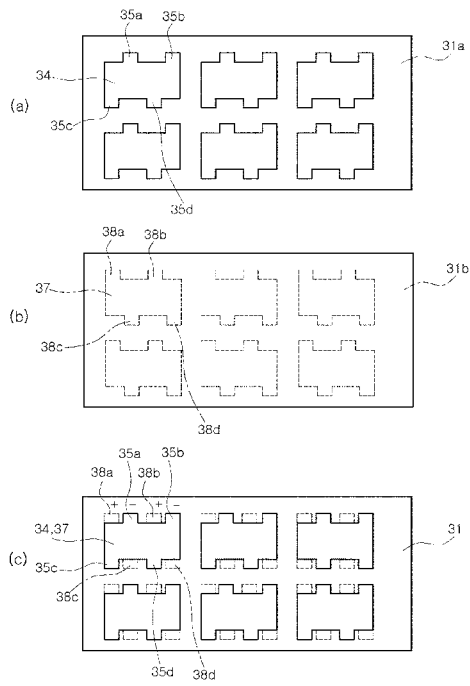
【 図 1 】



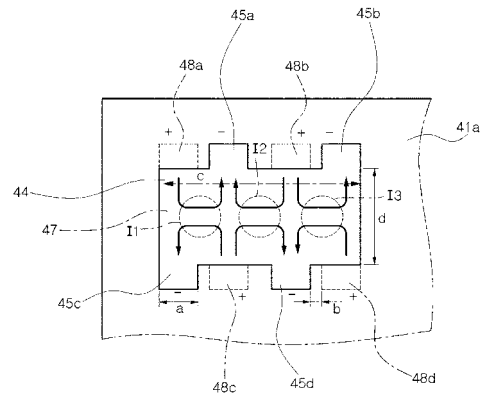
【 図 2 】



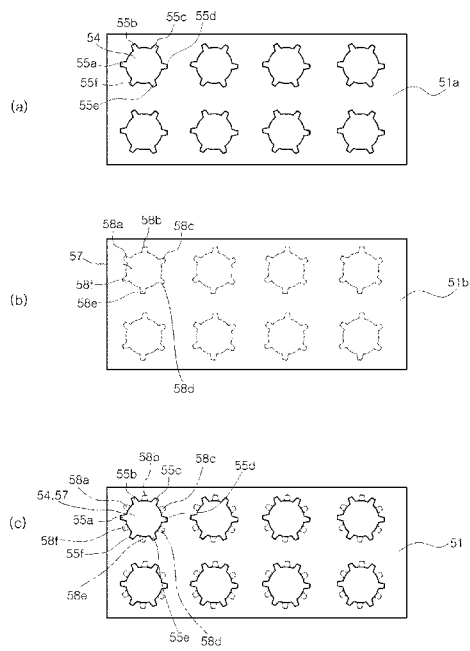
【 図 3 】



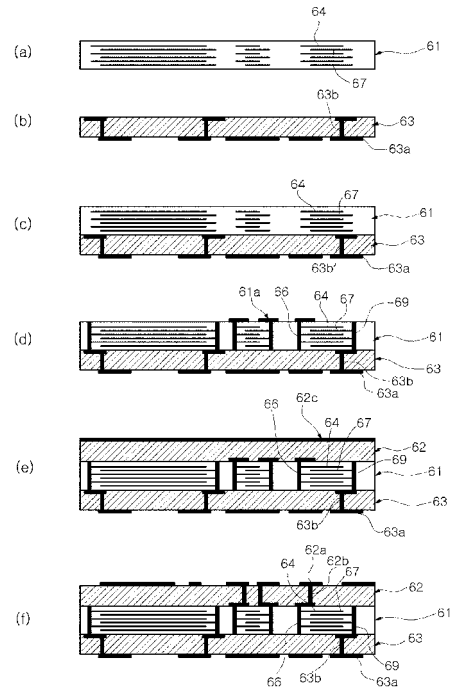
【 図 4 】



【 図 5 】



【 図 6 】



フロントページの続き

(72)発明者 キム、タエ キョウン

大韓民国、キョンギ - ド、アニョン、ドンアン - グ、ビュムガエ - ドン 1048 - 3、ハンソル
セントラルパーク ナンバー 1408

(72)発明者 オウ、ジュン ロク

大韓民国、ソウル、カンナム - グ、ノニョン - ドン 258、ドゥーサン アpartment 20
2 - 1108

審査官 原 泰造

(56)参考文献 特開2006 - 060187 (JP, A)

特開2006 - 278759 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H05K 3 / 46

H05K 1 / 16