



(12) 发明专利申请

(10) 申请公布号 CN 102856179 A

(43) 申请公布日 2013.01.02

(21) 申请号 201110180767.3

(22) 申请日 2011.06.29

(71) 申请人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市浦东新区张江路 18 号

(72) 发明人 徐伟中

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 骆苏华

(51) Int. Cl.

H01L 21/28 (2006.01)

H01L 21/336 (2006.01)

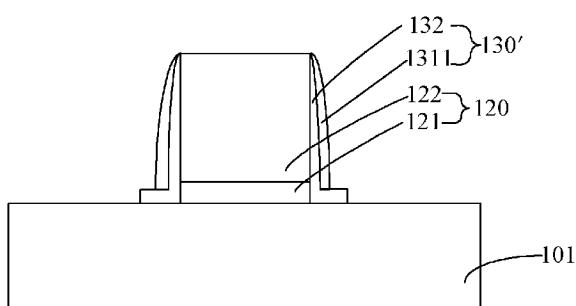
权利要求书 1 页 说明书 6 页 附图 5 页

(54) 发明名称

半导体器件的形成方法

(57) 摘要

一种半导体器件的形成方法，包括：提供衬底；在所述衬底表面形成栅极结构，及位于所述栅极结构两侧的侧墙；形成位于所述侧墙两侧衬底内的源区和漏区；去除部分侧墙，剩余在所述栅极结构两侧的侧墙为保留侧墙，所述保留侧墙的厚度范围为 5nm ~ 30nm；在衬底表面、栅极结构表面和保留侧墙表面沉积金属层；对所述金属层进行退火，在所述衬底内和栅极结构内形成金属硅化物。本发明降低金属硅化物的损失，改善利用金属硅化物减小栅极和源 / 漏区间电阻的效果，提高半导体器件的可靠性。



1. 一种半导体器件的形成方法,其特征在于,包括:  
提供衬底;  
在所述衬底表面形成栅极结构,及位于所述栅极结构两侧的侧墙;  
形成位于所述侧墙两侧衬底内的源区和漏区;  
去除部分侧墙,剩余在所述栅极结构两侧的侧墙为保留侧墙,所述保留侧墙的厚度范围为 5nm ~ 30nm;  
在衬底表面、栅极结构表面和保留侧墙表面沉积金属层;  
对所述金属层进行退火,在所述衬底内和栅极结构内形成金属硅化物。
2. 根据权利要求 1 所述半导体器件的形成方法,其特征在于,所述侧墙为氧化硅和氮化硅之一或组合。
3. 根据权利要求 1 所述半导体器件的形成方法,其特征在于,所述侧墙包括位于栅极结构表面的氧化硅层及位于所述氧化硅层表面的氮化硅层。
4. 根据权利要求 3 所述半导体器件的形成方法,其特征在于,所述氧化硅层的厚度范围为 20 ~ 200 埃,所述氮化硅层的厚度范围为 100 ~ 500 埃。
5. 根据权利要求 3 所述半导体器件的形成方法,其特征在于,所述保留侧墙包括所述氧化硅层及位于氧化硅层表面的部分氮化硅层。
6. 根据权利要求 1 所述半导体器件的形成方法,其特征在于,形成所述金属硅化物后,还包括去除所述保留侧墙或部分去除所述保留侧墙。
7. 根据权利要求 6 所述半导体器件的形成方法,其特征在于,去除所述保留侧墙的方法或部分去除所述保留侧墙的方法为湿法刻蚀或干法刻蚀。
8. 根据权利要求 6 所述半导体器件的形成方法,其特征在于,去除所述保留侧墙或部分去除所述保留侧墙后,还包括在所述衬底表面及栅极结构表面形成应力层。
9. 根据权利要求 1 所述半导体器件的形成方法,其特征在于,所述金属层的材料为镍、钴或铂的一种或组合。
10. 根据权利要求 1 所述半导体器件的形成方法,其特征在于,所述退火包括第一次退火和第二次退火,其中,第一次退火温度范围为 200 °C ~ 400 °C,第二退火温度范围为 350 °C ~ 900 °C。
11. 根据权利要求 10 所述半导体器件的形成方法,其特征在于,进行所述第一次退火后,还包括去除所述金属层,再进行第二次退火。

## 半导体器件的形成方法

### 技术领域

[0001] 本发明涉及半导体制造领域，尤其涉及一种半导体器件的形成方法。

### 背景技术

[0002] 自对准硅化物技术是一种通过在栅极和源 / 漏区上形成金属硅化物层，从而减小栅极和源 / 漏区的电阻的工艺技术。广泛地应用硅化镍层和硅化钴层作为金属硅化物层。专利公开号为 CN101432860A 的中国专利申请中提供了一种将硅化镍层作为金属硅化物层的技术方案。

[0003] 图 1 至图 4 为现有技术形成有自对准硅化物的半导体器件结构示意图，具体包括：首先如图 1 所示，提供衬底 001，所述衬底 001 上形成有栅极结构 002 及位于所述栅极结构 002 两侧衬底 001 内的源区和漏区，所述栅极结构 002 包括依次位于所述衬底 001 上的栅极氧化层 021 和栅极 022，所述栅极结构 002 两侧还形成有侧墙 030；继续参考图 1，在所述衬底 001 及栅极结构 002 上形成金属层 040，所述金属层 040 覆盖所述衬底 001 暴露出的表面和栅极结构 002。

[0004] 如图 2 所示，对所述金属层 040 进行退火工艺，经过所述退火工艺，所述金属层 040 中的金属元素与衬底 001 中的硅及栅极结构 002 顶部的硅反应，进而生成金属硅化物 051。

[0005] 同时参考图 2 和图 3，去除位于衬底 001 表面和栅极结构 002 顶部的未进行反应的金属层 040。

[0006] 如图 4 所示，在整个半导体器件区的表面形成应力层 060，包括在栅极结构 002 表面及衬底 001 的表面形成应力层 060。所述应力层 060 可以为氮化硅。

[0007] 具体地，通过所述应力层 060 对半导体器件施加机械应力，所述机械应力可以改变硅材料的能隙和载流子迁移率，提高载流子（n- 沟道晶体管中的电子，p- 沟道晶体管中的空穴）迁移率，从而提高驱动电流。

[0008] 参考图 4 和图 3，在形成所述应力层 060 前，还包括去除位于栅极两侧的侧墙 030，以使得后续形成的应力层 060 可以更直接作用于栅极结构的位置，更大程度提高应力层 060 对栅极结构的机械应力，提高载流子迁移率，从而提高驱动电流。

[0009] 经过上述工艺形成的半导体器件存在金属硅化物 051 损失严重的问题，影响利用金属硅化物 051 减小栅极和源 / 漏区间电阻的效果，降低半导体器件的可靠性。

### 发明内容

[0010] 本发明解决的问题是提供一种半导体器件的形成方法，降低金属硅化物的损失，改善利用金属硅化物减小栅极和源 / 漏区间电阻的效果，提高半导体器件的速度和可靠性。

[0011] 为解决上述问题，本发明提供一种半导体器件的形成方法，包括：

[0012] 提供衬底；

[0013] 在所述衬底表面形成栅极结构，及位于所述栅极结构两侧的侧墙；

- [0014] 形成位于所述侧墙两侧衬底内的源区和漏区；
- [0015] 去除部分侧墙，剩余在所述栅极结构两侧的侧墙为保留侧墙，所述保留侧墙的厚度范围为  $5\text{nm} \sim 30\text{nm}$ ；
- [0016] 在衬底表面、栅极结构表面和保留侧墙表面沉积金属层；
- [0017] 对所述金属层进行退火，在所述衬底内和栅极结构内形成金属硅化物。
- [0018] 可选的，所述侧墙为氧化硅和氮化硅之一或组合。
- [0019] 可选的，所述侧墙包括位于栅极结构表面的氧化硅层及位于所述氧化硅层表面的氮化硅层。
- [0020] 可选的，所述氧化硅层的厚度范围为  $20 \sim 200$  埃，所述氮化硅层的厚度范围为  $100 \sim 500$  埃。
- [0021] 可选的，所述保留侧墙包括所述氧化硅层及位于氧化硅层表面的部分氮化硅层。
- [0022] 可选的，形成所述金属硅化物后，还包括去除所述保留侧墙或部分去除保留侧墙。
- [0023] 可选的，去除所述保留侧墙的方法或部分去除所述保留侧墙的方法为湿法刻蚀或干法刻蚀。
- [0024] 可选的，形成所述金属硅化物后，还包括去除所述保留侧墙或部分去除保留侧墙。
- [0025] 可选的，去除所述保留侧墙或部分去除所述保留侧墙后，还包括在所述衬底表面及栅极结构表面形成应力层。
- [0026] 可选的，所述金属层的材料为镍、钴或铂的一种或组合。
- [0027] 可选的，所述退火包括第一次退火和第二次退火，其中，第一次退火温度范围为  $200^\circ\text{C} \sim 400^\circ\text{C}$ ，第二退火温度范围为  $350^\circ\text{C} \sim 900^\circ\text{C}$ 。
- [0028] 可选的，进行所述第一次退火后，还包括去除所述金属层，再进行第二次退火。
- [0029] 与现有技术相比，上述方案具有以下优点：
- [0030] 本发明在形成金属硅化物前去除部分侧墙，仅保留厚度为  $5\text{nm} \sim 30\text{nm}$  的保留侧墙，可以改善金属硅化物形成后，去除侧墙的刻蚀工艺对金属硅化物造成损伤的现象，降低金属硅化物的损伤量，提高利用金属硅化物减小栅极和源 / 漏区的电阻的效果，提高半导体器件的速度和可靠性。
- [0031] 进一步地，保留有保留侧墙，使得在后续形成金属硅化物工艺中，衬底内的源区和漏区可以保持合适距离，防止发生源区和漏区导通的现象。
- [0032] 进一步地，沉积金属层时，所述栅极结构两侧仅保留有保留侧墙，所述保留侧墙的厚度小于所述侧墙的厚度，降低沉积金属层时候的栅极结构两侧空间的高宽比，使得沉积空间增大，提高金属层的沉积填充效果。
- [0033] 进一步地，若为湿法去除部分侧墙以形成保留侧墙，则所述保留侧墙在位于衬底表面的宽度大于远离衬底的保留侧墙的宽度，进而进一步拉大保留侧墙两侧后续形成的金属硅化物间的距离，防止发生源区和漏区导通的现象。

## 附图说明

- [0034] 图 1 至图 4 是现有技术一实施例对应的半导体器件形成方法的结构示意图。
- [0035] 图 5 至图 12 是本发明一实施例对应的半导体器件的形成方法的结构示意图。

## 具体实施方式

[0036] 通过现有工艺形成的半导体器件存在有金属硅化物损失严重的问题,影响利用金属硅化物减小栅极和源 / 漏区的电阻的效果,降低半导体器件的可靠性。

[0037] 为解决上述问题,本发明提供一种半导体器件的形成方法,包括:提供衬底;在所述衬底表面形成栅极结构,及位于所述栅极结构两侧的侧墙;形成位于所述侧墙两侧衬底内的源区和漏区;去除部分侧墙,剩余在所述栅极结构两侧的侧墙为保留侧墙,所述保留侧墙的厚度范围为 $5\text{nm} \sim 30\text{nm}$ ;在衬底表面、栅极结构表面和保留侧墙表面沉积金属层;对所述金属层进行退火,在所述衬底内和栅极结构内形成金属硅化物。

[0038] 本发明在形成金属硅化物之前去除部分侧墙,仅保留厚度为 $5\text{nm} \sim 30\text{nm}$ 的保留侧墙,可以改善金属硅化物形成后,去除侧墙的刻蚀工艺对金属硅化物造成损伤的现象,降低金属硅化物的损伤量,提高利用金属硅化物减小栅极和源 / 漏区的电阻的效果,提高半导体器件的可靠性。

[0039] 为使本发明的上述目的、特征和优点能够更为明显易懂,下面结合附图对本发明的具体实施方式做详细的说明。

[0040] 在以下描述中阐述了具体细节以便于充分理解本发明。但是本发明能够以多种不同于在此描述的其它方式来实施,本领域技术人员可以在不违背本发明内涵的情况下做类似推广。因此本发明不受下面公开的具体实施的限制。

[0041] 首先如图 5 所示,提供衬底 101,所述衬底 101 上形成有栅极结构 120,位于所述栅极结构 120 两侧的侧墙 130,所述栅极结构 120 包括栅极氧化层 121 及位于所述栅极氧化层 121 表面的栅极 122,所述侧墙 130 的厚度范围为 $120 \sim 600$  埃。所述侧墙 130 可以为氧化硅和氮化硅之一或组合。本实施例中,所述侧墙 130 为氧化硅和氮化硅的组合。对应地,所述侧墙 130 包括位于栅极结构 120 两侧的氧化硅层 132,及位于所述氧化硅层 132 表面的氮化硅层 131。其中,所述氧化硅层 132 的厚度范围为 $20 \sim 100$  埃,所述氮化硅层 131 的厚度范围为 $100 \sim 500$  埃。所述栅极结构 120 两侧衬底 101 内形成有源区和漏区(未标示)。本实施例中,所述氧化硅层 132 的厚度为 20 埃,所述氮化硅层 131 的厚度为 400 埃。

[0042] 其中,所述侧墙 130 的形成过程为:在衬底 101 表面依次沉积氧化硅和氮化硅,所述氧化硅及氮化硅同时覆盖所述栅极结构 120;对所述氧化硅及氮化硅进行刻蚀,形成侧墙 130。参考图 5,因为在刻蚀前氧化硅先于氮化硅形成,所以刻蚀形成的侧墙 130 中,部分的氧化硅层 132 位于所述氮化硅层 131 的底部。

[0043] 如图 5 和图 6 所示,去除部分所述侧墙 130,仅在所述栅极结构 120 两侧保留有保留侧墙 130',所述保留侧墙 130' 包括氧化硅层 132 及位于所述氧化硅层 132 表面的剩余的氮化硅层 1311。保留的保留侧墙 130' 可以拉大后续形成在栅极结构两侧的金属硅化物之间的距离,防止后续形成金属硅化物的源漏区之间发生导通。其中,所述保留侧墙 130' 的厚度范围为 $5\text{nm} \sim 30\text{nm}$ ,优选地为 $5\text{nm} \sim 10\text{nm}$ 。

[0044] 本实施例中,所述保留侧墙 130' 包括氧化硅 132 及部分氮化硅层 1311。作为其他实施例,还可以仅选择氧化硅层 132 作为保留侧墙 130'。

[0045] 在该步骤中,去除部分侧墙 130 的方法为湿法刻蚀或干法刻蚀。具体地,若去除的部分侧墙 130 为氧化硅,则可以采用氢氟酸溶液进行湿法刻蚀,或者采用含氯离子气体进行干法刻蚀;若去除的部分侧墙 130 为氮化硅,则可以采用浓硝酸溶液或热磷酸溶液进行

湿法刻蚀,或者采用含氯离子气体进行干法刻蚀。

[0046] 本实施例去除的部分侧墙 130 为氮化硅材料,所以去除部分侧墙 130 的湿法刻蚀溶液为浓硝酸溶液或热磷酸溶液,所以湿法刻蚀过程中所述氧化硅层 132 未被刻蚀或少量刻蚀。如图 6 示出的保留侧墙 130' 中,所述氧化硅层 132 的宽度大于剩余的部分氮化硅层 1311。位于所述氮化硅层 1311 外侧的衬底 101 表面还保留有部分的氧化硅层 132,使得所述保留侧墙 130' 在位于衬底 101 表面的宽度大于远离衬底 101 的保留侧墙 130' 的宽度,进而进一步拉大保留侧墙 130' 两侧后续形成的金属硅化物间的距离,防止发生源区和漏区导通的现象。

[0047] 本发明在后续形成金属硅化物前去除部分侧墙 130,仅保留厚度范围为 5nm ~ 30nm 的保留侧墙 130',可以改善金属硅化物形成后,去除侧墙 130 的刻蚀工艺对金属硅化物造成损伤的现象,降低金属硅化物的损伤量,提高利用金属硅化物减小栅极和源 / 漏区的电阻的效果,提高半导体器件的可靠性。

[0048] 进一步地还保留有保留侧墙 130',以拉大后续形成在栅极结构 120 两侧的金属硅化物之间的距离,防止后续形成金属硅化物工艺中发生源漏区导通的现象。

[0049] 进一步地,若为湿法去除部分侧墙以形成保留侧墙 130',则所述保留侧墙 130' 在位于衬底 101 表面的宽度大于远离衬底 101 的保留侧墙 130' 的宽度,进而进一步拉大保留侧墙 130' 两侧后续形成的金属硅化物间的距离,防止发生源区和漏区导通的现象。

[0050] 如图 7 所示,在保留有保留侧墙 130' 的栅极结构 120 两侧及暴露的衬底 101 表面形成金属层 140。所述金属层 140 可以为镍、钴或铂的一种或组合。本实施例中,所述金属层 140 为镍金属,所述金属层 140 的厚度范围为 150 ~ 400 埃。形成所述金属层 140 可以采用溅射技术来沉积。

[0051] 沉积所述金属层 140 时,所述栅极结构 120 两侧仅保留有保留侧墙 130',所述保留侧墙 130' 的厚度小于侧墙 130 的厚度,提高沉积金属层时的栅极结构两侧空间的横向宽度,降低沉积金属层时的栅极结构两侧空间的高宽比,使得沉积空间增大,提高金属层 140 的沉积填充效果。

[0052] 在所述溅射情况下,衬底 101 及栅极 122 表面的硅原子可以与金属层 140 内部分的金属原子反应,在衬底 101 及栅极 122 表面形成少量的金属硅化物(未图示)。本实施例中,所述金属硅化物为 Ni<sub>2</sub>Si。

[0053] 进一步地,可以在金属层 140 上形成帽层(未图示),所述帽层可以由氮化钛构成。在这种情况下,氮化钛层用于防止金属层 140 氧化。此处,帽层的形成不进行赘述。

[0054] 参考图 8,对所述金属层 140 进行第一退火工艺,所述第一退火工艺约在 200℃ ~ 400℃的第一温度下进行。通过所述第一退火工艺,在衬底 101 表面的金属层 140 和衬底 101 内的硅原子反应,位于所述栅极 122 上的金属层 140 与栅极 122 内的硅原子反应,分别对应形成 Ni<sub>2</sub>Si 层 151。所述 Ni<sub>2</sub>Si 层 151 的厚度范围为 150 ~ 400 埃。

[0055] 具体地,所述第一退火工艺可以利用溅射装置进行,当利用溅射装置沉积镍时,沉积镍后可以利用原位 (In-situ) 工艺进行第一退火工艺,或者采用非原位工艺进行第一退火工艺。

[0056] 其中,在所述第一退火工艺期间,保留侧墙 130' 不会与所述金属层 140 反应,且覆盖在所述衬底 101 表面和栅极 122 顶部的较大部分的镍层未与硅原子进行反应。进行

所述第一退火工艺后,未反应的金属层 140 仍残留在衬底 101、栅极 122 顶部和保留侧墙 130' 的表面。

[0057] 如图 8 和图 9 所示,选择性去除未反应的金属层 140,以露出保留侧墙 130'、形成有 Ni<sub>2</sub>Si 层 151 的栅极 122。所述去除方法为湿法刻蚀。所述湿法刻蚀利用硫酸和过氧化氢的混合物除去未反应的金属层 140,进一步地,在除去所述未反应的金属层 140 的同时还可以去除帽层(未图示)。

[0058] 如图 9 和图 10 所示,对所述 Ni<sub>2</sub>Si 层 151 进行第二退火工艺。所述第二退火工艺在第二温度下进行,所述第二退火温度比第一退火温度高。具体地,所述第二退火温度范围在 350℃~900℃。经过所述第二退火工艺后,所述 Ni<sub>2</sub>Si 层 151 转化为 NiSi 层 152,所述 NiSi 层 152 具有热稳定性。

[0059] 通过退火工艺形成金属硅化层时,所述保留侧墙 130' 拉大形成于栅极结构 120 两侧的金属硅化物间的距离,以防止发生源区和漏区导通的现象。

[0060] 进一步地,本实施例去除所述保留侧墙 130' 的方法为湿法刻蚀,所述保留侧墙 130' 在位于衬底 101 表面的宽度大于远离衬底 101 的保留侧墙 130' 的宽度,进而进一步拉大保留侧墙 130' 两侧形成的金属硅化物间的距离,防止发生源区和漏区导通的现象。

[0061] 如图 11 和图 10 所示,去除或部分去除所述保留侧墙 130'。去除或部分去除所述保留侧墙 130',可以使得后续形成的应力层可以更直接作用于栅极结构的位置,更大程度提高应力层对栅极结构的机械应力,提高载流子迁移率,进而提高驱动电流。本实施例中,为全部去除所述保留侧墙 130',暴露出所述栅极结构 120 的两侧。

[0062] 所述去除保留侧墙 130' 的方法可以采用湿法刻蚀方法或干法刻蚀方法。具体地,若所述保留侧墙 130' 为氧化硅,则可以采用氢氟酸溶液进行湿法刻蚀,或者采用含氯离子气体进行干法刻蚀;若所述保留侧墙 130' 为氮化硅,则可以采用浓硝酸溶液或热磷酸溶液进行湿法刻蚀,或者采用含氯离子气体进行干法刻蚀。本实施例中,所述保留侧墙 130' 为氧化硅层 132 与部分的氮化硅层 1311 的组合,所以首先采用浓硝酸溶液或热磷酸溶液进行湿法刻蚀,然后再采用氢氟酸溶液进行湿法刻蚀。

[0063] 参考图 10 和图 5,所述保留侧墙 130' 的厚度范围为 5nm~30nm,优选地为 5nm~10nm,所述侧墙 130 的厚度范围为 120~600 埃。可知所述保留侧墙 130' 的厚度较侧墙 130 的厚度小,则去除所述保留侧墙 130' 的湿法刻蚀溶液或干法刻蚀气体比去除侧墙 130 的湿法刻蚀溶液或干法刻蚀气体少,所述较少量的湿法刻蚀溶液或干法刻蚀气体对所述金属硅化物如 NiSi 层 152 的损伤较少,甚至可以完全避免对所述金属硅化物如 NiSi 层 152 造成损伤。

[0064] 如图 12 所示,形成所述金属硅化物如 NiSi 层 152 后,在整个半导体器件区的表面形成应力层 160,包括在栅极结构 120 及衬底 101 的表面形成应力层 160,所述应力层 160 可以为氮化硅。

[0065] 具体地,通过所述应力层 160 对半导体器件施加机械应力,所述机械应力可以改变硅材料的能隙和载流子迁移率,以提高载流子(n-沟道晶体管中的电子,p-沟道晶体管中的空穴)迁移率,进而提高驱动电流。其中,在 NMOS 晶体管上形成的为张应力层(tensile stress liner),在 PMOS 晶体管上形成的应力层为压应力层(compressive stress liner)。据研究,使用双应力衬垫技术的集成电路能够带来 24% 的速度提升。

[0066] 后续还可以去除所述应力层 160 及在所述衬底 101 上形成层间介质层，及位于所述层间介质层内的接触孔，所述接触孔电连接所述 NiSi 层 152，使得所述 NiSi 层 152 与其他的金属层进行电连接。此处就不详细叙述。

[0067] 与现有技术相比，上述方案具有以下优点：

[0068] 本发明的实施例在形成金属硅化物之前去除部分侧墙，仅保留厚度为 5nm ~ 30nm 的保留侧墙，可以改善金属硅化物形成后，去除侧墙的刻蚀工艺对金属硅化物造成损伤的现象，降低金属硅化物的损伤量，提高利用金属硅化物减小栅极和源 / 漏区的电阻的效果，提高半导体器件的速度和可靠性。

[0069] 进一步地保留有保留侧墙，使得在后续形成金属硅化物工艺中，衬底内的源区和漏区可以保持合适距离，防止发生源区和漏区导通的现象。

[0070] 进一步地，沉积金属层时，所述栅极结构两侧仅保留有保留侧墙，所述保留侧墙的厚度小于所述侧墙的厚度，降低沉积金属层时候的栅极结构两侧空间的高宽比，使得沉积空间增大，提高金属层的沉积填充效果。

[0071] 虽然本发明披露如上，但本发明并非限定于此。任何本领域技术人员，在不脱离本发明的精神和范围内，均可作各种更动与修改，因此本发明的保护范围应当以权利要求所限定的范围为准。

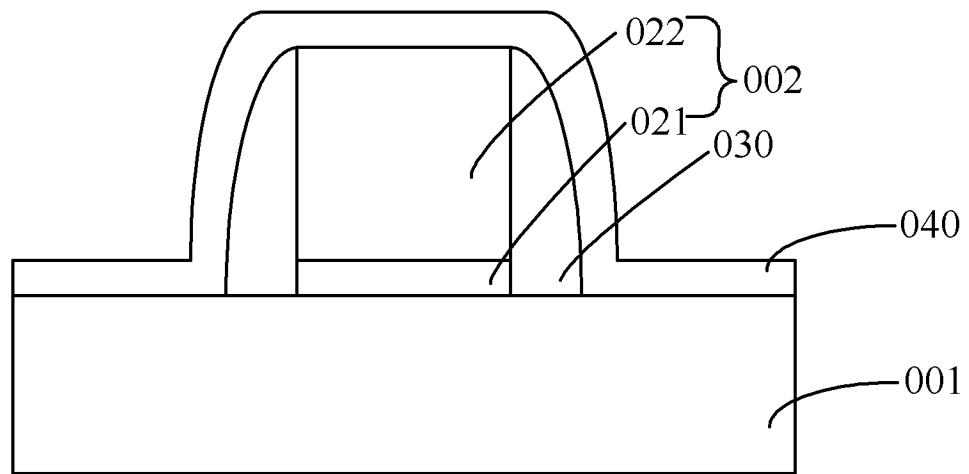


图 1

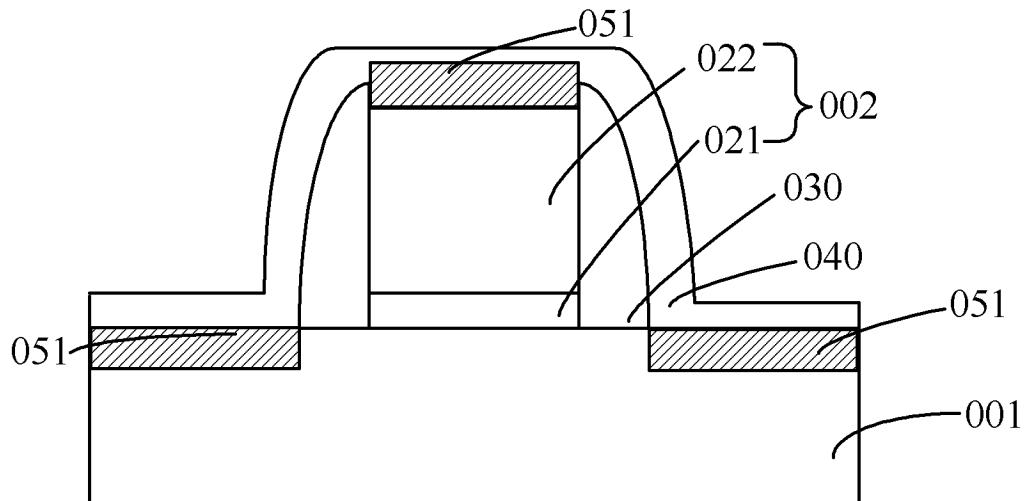


图 2

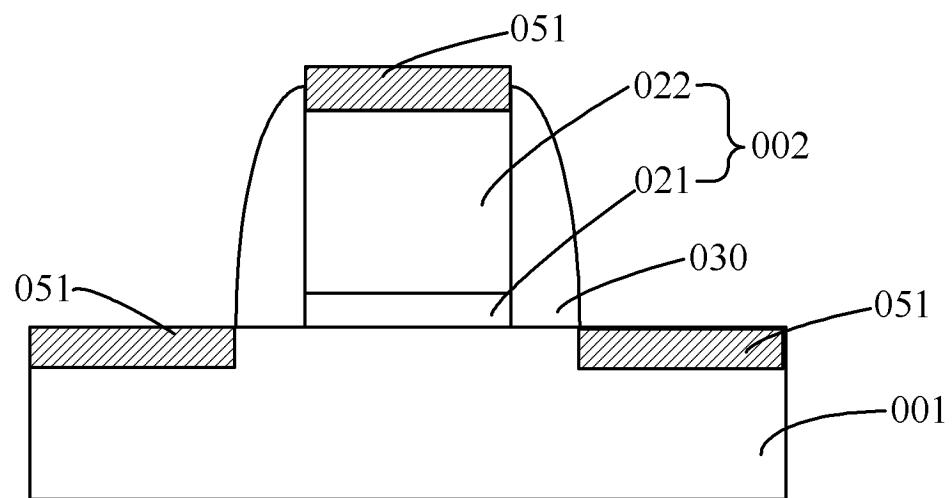


图 3

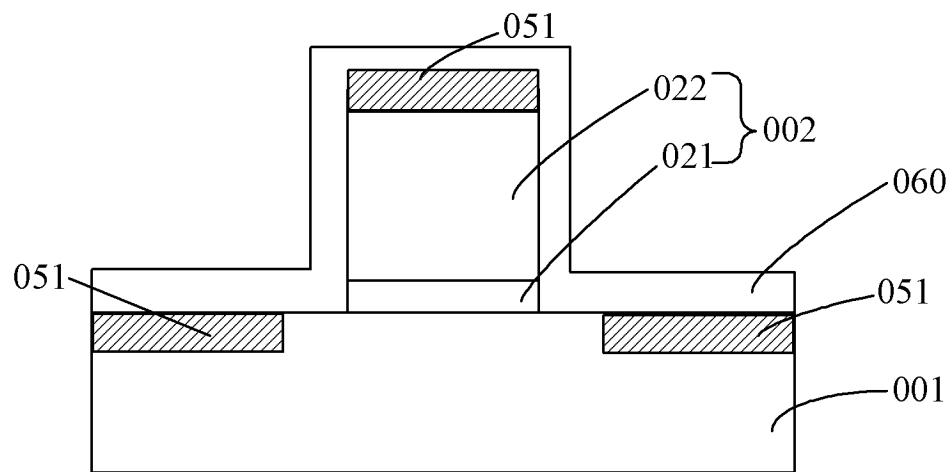


图 4

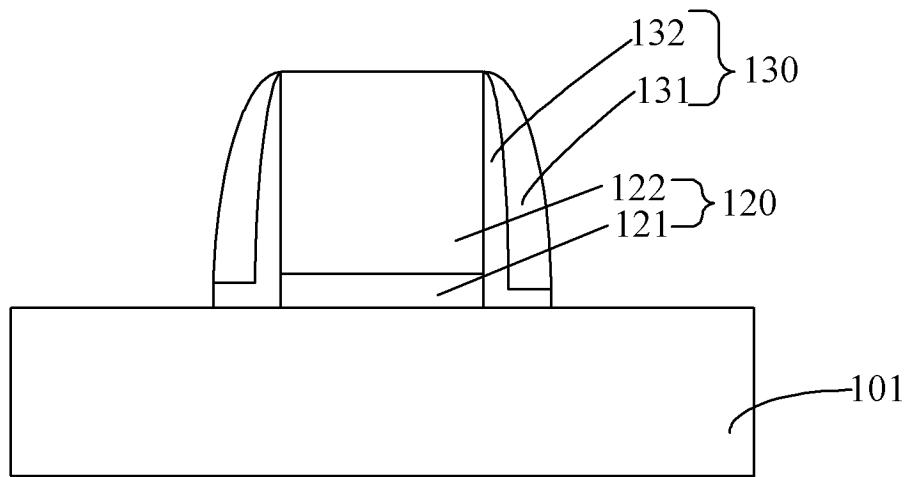


图 5

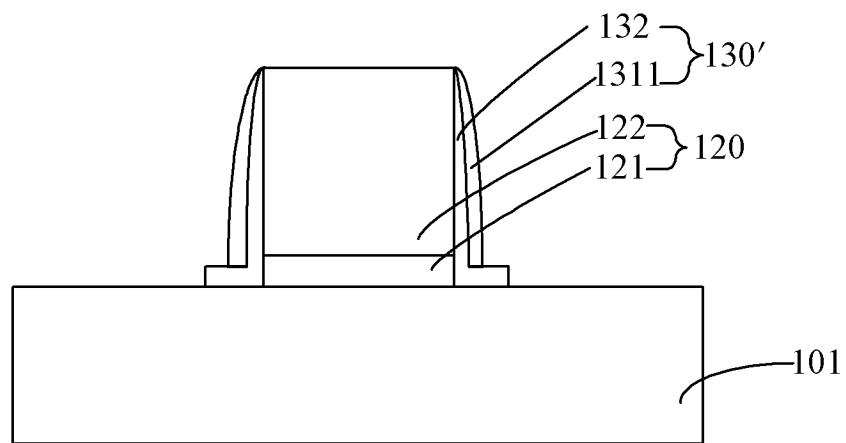


图 6

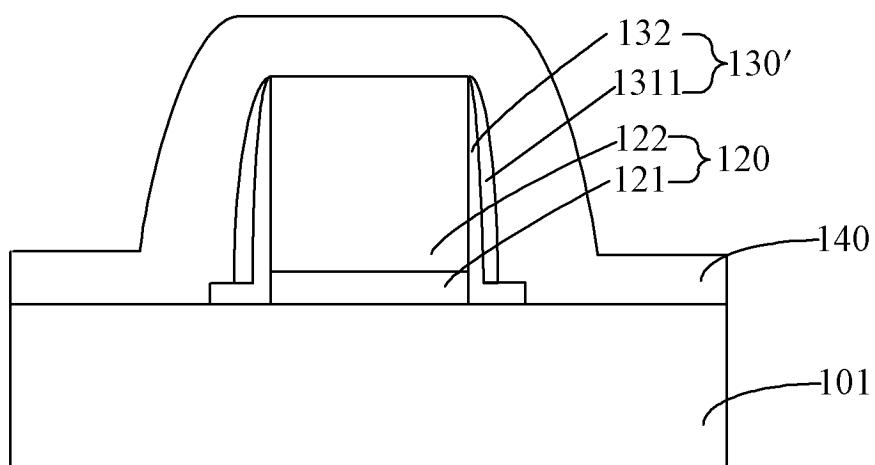


图 7

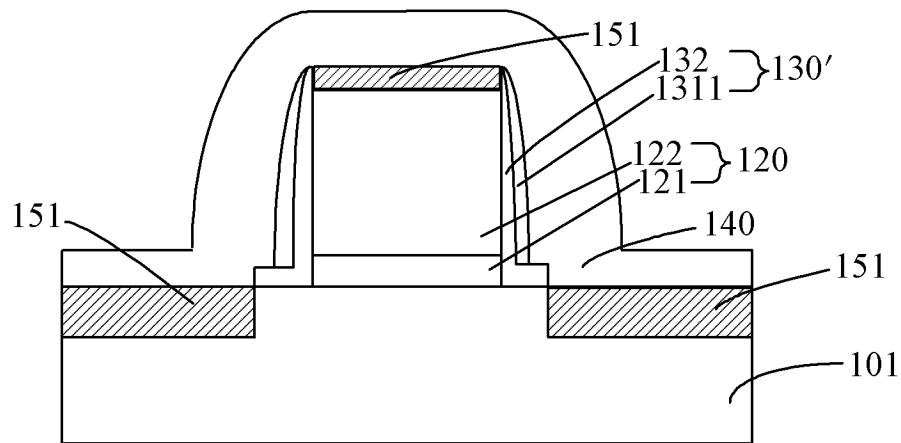


图 8

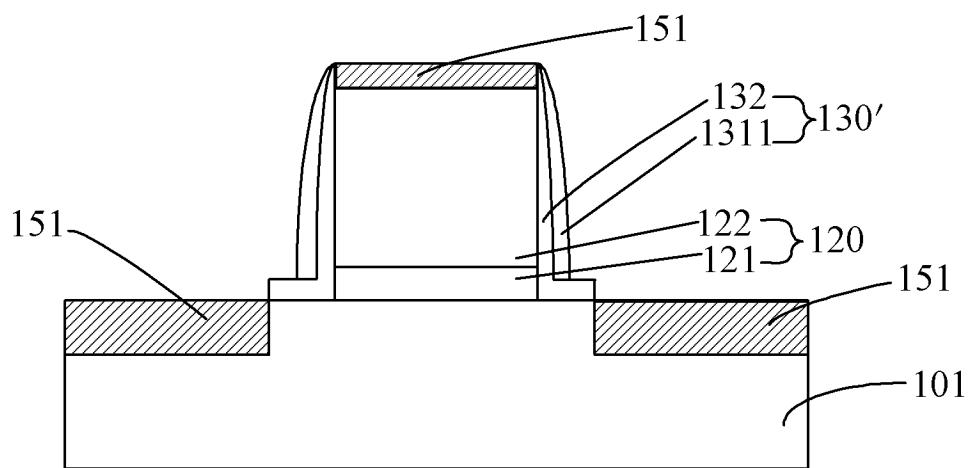


图 9

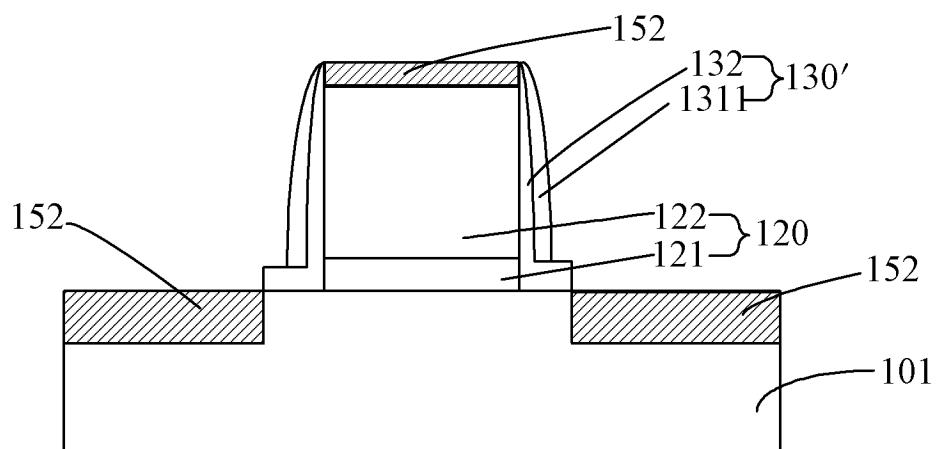


图 10

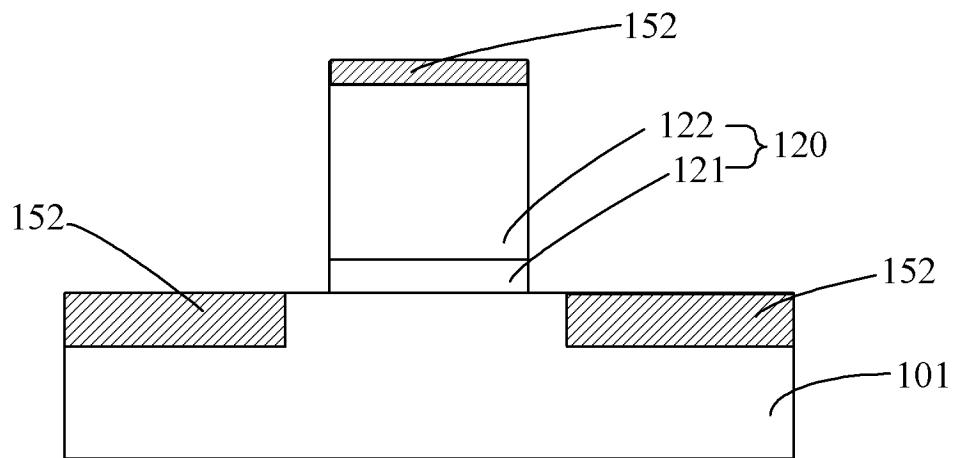


图 11

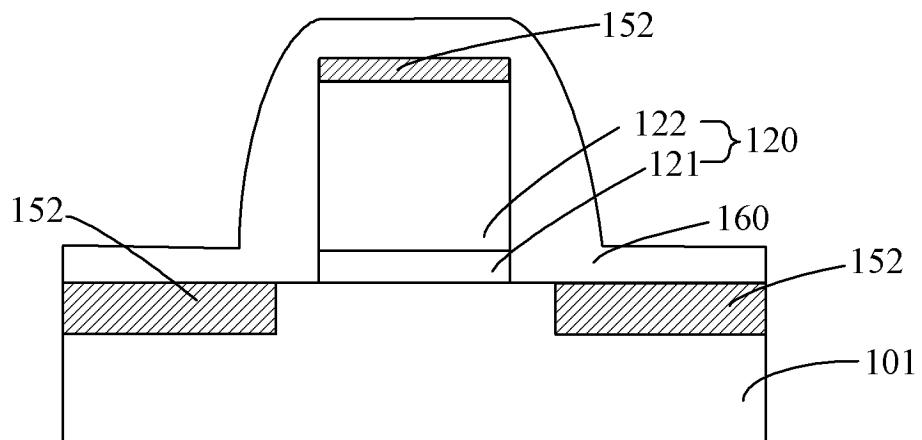


图 12