



[12] 发明专利说明书

[21] ZL 专利号 98800579.4

[45] 授权公告日 2005 年 1 月 19 日

[11] 授权公告号 CN 1185702C

[22] 申请日 1998.4.24 [21] 申请号 98800579.4

[30] 优先权

[32] 1997. 5. 9 [33] JP [31] 119220/1997

[32] 1997. 6. 16 [33] JP [31] 158688/1997

[32] 1997. 6. 16 [33] JP [31] 158689/1997

[32] 1997. 9. 22 [33] JP [31] 256503/1997

[32] 1997. 10. 28 [33] JP [31] 295317/1997

[86] 国际申请 PCT/JP1998/001905 1998.4.24

[87] 国际公布 WO1998/052220 日 1998.11.19

[85] 进入国家阶段日期 1998.12.31

[71] 专利权人 时至准钟表股份有限公司

地址 日本东京都

[72] 发明人 石田芳弘 清水洁 佐藤哲夫

西方进一 石绵修一 小村敦

大原务

审查员 刘静_1

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

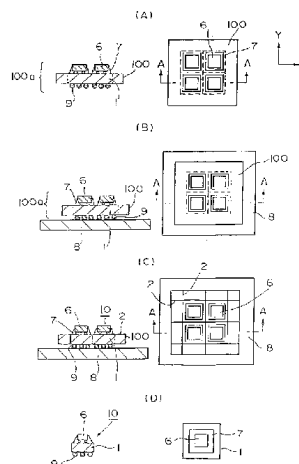
代理人 王永刚

权利要求书 9 页 说明书 24 页 附图 18 页

[54] 发明名称 半导体封装的制造方法和集合电路
基板

[57] 摘要

经过下述工序形成半导体封装：粘贴工序，用于把经过基板电路形成工序、IC 芯片装配工序、树脂密封工序和电极形成工序形成的封装集合体 100a 粘贴到基准构件 8 上；切断工序，用于在粘贴工序之后，对封装集合体进行切片，切分成一个一个的电路基板 1。



1、一种装配有 IC 芯片的半导体封装的制造方法，其特征是具备下述工序：

电路板形成工序，用于在通过切断可分开为多个电路基板的集合电路板的主面上排列并形成与上述多个电路基板的个数对应的 IC 芯片装配用的键合图形，在该集合电路基板的背面上排列并形成与上述多个电路基板的个数对应的外部连接用电极图形，

IC 芯片装配工序，用于在集合电路板的主面上，给每一电路板都搭载上一个 IC 芯片，再采用使键合图形和该 IC 芯片分别电连的办法，把 IC 芯片装配到集合电路板上，

树脂密封工序，用于用密封树脂密封已经装配上的 IC 芯片，

电极形成工序，用于在外部连接用电极图形上形成突出电极，

粘贴工序，用于把经过基板电路形成工序、IC 芯片装配工序、树脂密封工序和电极形成工序形成的封装集合体粘贴到基准构件上，

切断工序，用于采用把已经粘贴好了的上述封装集合体切分成一个一个的电路基板的办法，形成每个含有一个电路基板的多个完成品半导体封装。

2、权利要求 1 所述的半导体封装的制造方法，其特征是：

在上述粘贴工序中，把上述封装集合体的已经形成了上述突出电极的一侧粘贴到上述基准构件上。

3、权利要求 2 所述的半导体封装的制造方法，其特征是：

上述粘贴工序含有：

平坦化工序，用于用均一的高度使上述突出电极的各个顶端部分平坦化；

固定工序，用于使平坦化后的该突出电极固定到上述基准构件上。

4、权利要求3所述的半导体封装的制造方法，其特征是：
在上述平坦化工序中，研削上述突出电极的顶端部分，使该顶端部分平坦化。

5、权利要求3所述的半导体封装的制造方法，其特征是：
在上述平坦化工序中，加热上述突出电极的顶端部分，使该顶端部分平坦化。

6、权利要求2所述的半导体封装的制造方法，其特征是：
上述粘贴工序含有下述工序：
平坦面形成工序，用于采用树脂埋没上述突出电极的办法，在树脂的上面形成平坦面；
平坦面固定工序，用于把上述平坦面固定到上述基准构件上。

7、权利要求6所述的半导体封装的制造方法，其特征是：
在上述平坦面形成工序中，
在上述集成电路基板背面的外周部分上设置框体构件，
向该背面的该框体构件围起来的区域内填充树脂，使上述突出电极埋没到树脂中。

8、权利要求6所述的半导体封装的制造方法，其特征是：
在上述平坦面形成工序中，在用树脂埋没上述突出电极时，使用丝网漏印法。

9、权利要求2所述的半导体封装的制造方法，其特征是：
在上述粘贴工序中，
在上述基准构件的主表面上边，设置框体构件，
在该主表面上的用该框体构件围起来的区域上，设置根据温度可逆地变成固体状态或液体状态的材料层，

使至少包括上述突出电极的顶端部分在内的一部分浸入到液体状态的该材料层中，

采用在已经浸入后的状态下使上述材料层变成为固体状态的办法，把上述封装集合体粘贴到上述基准构件上。

10、权利要求 2 所述的半导体封装的制造方法，其特征是：

在上述粘贴工序之前，含有衬垫形成工序，用于在上述集成电路基板的背面一侧的将借助于切断从上述电路基板上切下来的隔离区域上，形成衬垫，

在上述粘贴工序中，通过上述衬垫把上述隔离区域粘贴到上述基准构件上。

11、权利要求 10 所述的半导体封装的制造方法，其特征是：

上述隔离区域是不利于形成上述突出电极的不合格电路板区域。

12、权利要求 10 所述的半导体封装的制造方法，其特征是：

上述衬垫的材料与上述突出电极的材料相同。

13、权利要求 10 所述的半导体封装的制造方法，其特征是：

在上述电极形成工序中，上述衬垫与上述突出电极一起形成。

14、权利要求 10 所述的半导体封装的制造方法，其特征是：

上述衬垫的高度与上述突出电极的高度相同。

15、权利要求 1 所述的半导体封装的制造方法，其特征是：

在上述粘贴工序中，把上述封装集合体的已经装配上上述 IC 芯片的一侧粘贴到基准构件上。

16、权利要求 15 所述的半导体封装的制造方法，其特征是：

上述粘贴工序含有下述工序：

平坦化工序，用于用均一的高度使上述 IC 芯片的各个上面一侧平坦化；

固定工序，用于使平坦化后的该上面一侧固定到上述基准构件上。

17、权利要求 16 所述的半导体封装的制造方法，其特征是：

在上述平坦化工序中，切削上述 IC 芯片的上面，使该上面平坦化。

18、权利要求 17 所述的半导体封装的制造方法，其特征是：

从上述集成电路基板的主表面到平坦化后的上述上面位置的高度比从该主表面到上述 IC 芯片内的 IC 电路面为止的高度还高。

19、权利要求 16 所述的半导体封装的制造方法，其特征是：

在上述平坦化工序中，切削已经淀积到上述 IC 芯片上边的密封树脂的上面，使该上面平坦化。

20、权利要求 19 所述的半导体封装的制造方法，其特征是：

在用金属细丝键合装配上述 IC 芯片的情况下，

从上述集成电路基板的主表面到平坦化后的上述上面位置的高度比从该主表面到上述金属细丝键合的最高点为止的高度还高。

21、权利要求 15 所述的半导体封装的制造方法，其特征是：

上述粘贴工序含有下述工序：

平坦面形成工序，用于采用用树脂埋没上述 IC 芯片的办法，把树脂的上面形成为平坦面；

平坦面固定工序，用于把上述平坦面固定到上述基准构件上。

22、权利要求 21 所述的半导体封装的制造方法，其特征是：
在上述平坦面形成工序中，
在上述集成电路基板主表面的外周部分上设置框体构件，
向用该主表面上的该框体构件围起来的区域内填充树脂，埋没上述 IC 芯片。

23、权利要求 21 所述的半导体封装的制造方法，其特征是：
在上述平坦面形成工序中，在用树脂埋没上述 IC 芯片时，使用丝网漏印法。

24、权利要求 21 所述的半导体封装的制造方法，其特征是：
在上述平坦面形成工序中，在用树脂埋没上述 IC 芯片时，使用转移铸模法。

25、权利要求 16 所述的半导体封装的制造方法，其特征是：
在上述平坦化工序中，把平板的第 1 主表面固定到已经淀积到上述 IC 芯片上的密封树脂的上面，
在上述固定工序中，把上述平板的第 2 主表面固定到上述基准构件上。

26、权利要求 25 所述的半导体封装的制造方法，其特征是：
上述平板是金属板。

27、权利要求 1 所述的半导体封装的制造方法，其特征是：
在上述切断工序中，上述密封树脂与上述封装集合体一起切断。

28、权利要求 15 所述的半导体封装的制造方法，其特征是：
在上述粘贴工序之前，含有衬垫形成工序，用于在上述集成电路基板的上述主表面一侧的将借助于切断从上述电路基板上切下来的

隔离区域上，形成衬垫，

在上述粘贴工序中，通过上述衬垫把上述隔离区域粘贴到上述基准构件上。

29、权利要求 10 或 28 所述的半导体封装的制造方法，其特征是：
上述隔离区域是制造边框。

30、权利要求 28 所述的半导体封装的制造方法，其特征是：
上述隔离区域是不利于装配上述 IC 芯片的不合格电路基板。

31、权利要求 10 或 28 所述的半导体封装的制造方法，其特征是：
在上述衬垫形成工序中，使树脂硬化形成上述衬垫。

32、权利要求 28 所述的半导体封装的制造方法，其特征是：
上述衬垫是带粘接剂的衬垫。

33、权利要求 10 或 28 所述的半导体封装的制造方法，其特征是：
在上述衬垫形成工序中，
将上述衬垫形成为线状的平面图形。

34、权利要求 30 所述的半导体封装的制造方法，其特征是：
上述隔离区域的衬垫是虚设的 IC 芯片。

35、权利要求 10 或 28 所述的半导体封装的制造方法，其特征是：
在上述衬垫形成工序中，
使上述衬垫的高度，与已经把上述封装集合体粘贴到上述基准构件上时的上述集合电路基板与该基准构件之间的间隔相同。

36、权利要求 1 所述的半导体封装的制造方法，其特征是：

在上述粘贴工序中，使上述封装集合体真空吸附到上述基准构件上。

37、权利要求 10 或 36 所述的半导体封装的制造方法，其特征是：
上述衬垫是内部有吸附用管道的吸附用构件，
在上述粘贴工序中，把切片带粘贴到上述突出电极的上端部上，
把该切片带和上述吸附用构件分别真空吸附到上述基准构件上。

38、权利要求 28 或 36 所述的半导体封装的制造方法，其特征是：
上述衬垫是内部有吸附用管道的吸附用构件，
在上述粘贴工序中，把切片带粘贴到上述 IC 芯片的上面上，把
该切片带和上述吸附用构件分别真空吸附到上述基准构件上。

39、权利要求 36 所述的半导体封装的制造方法，其特征是：
上述基准构件被构成为在内部具备在主表面上具有吸附口的吸
附用管道。

40、权利要求 1 所述的半导体封装的制造方法，其特征是：
在上述集成电路基板的边缘部分之内，仅仅在把该集成电路基板
围起来的四边之内的沿互相相向的 2 边的边缘部分上设置制造边框。

41、权利要求 40 所述的半导体封装的制造方法，其特征是：
在形成上述四边之内剩下的 2 边时，用与在切断工序中所用的切
断方法相同的切断方法。

42、权利要求 40 所述的半导体封装的制造方法，其特征是：
在形成上述四边之内剩下的 2 边时，用切片法。

43、权利要求 40 所述的半导体封装的制造方法，其特征是：

使上述四边之内剩下的2边的长度,对于多个分割数变成为相同的长度,使之变成为这样的相同长度:该长度将成为对规格尺寸的原板的一边进行等分割时的分割长度的整数分之一的长度。

44、权利要求43所述的半导体封装的制造方法,其特征是:
上述相同长度为76mm~81mm。

45、权利要求1所述的半导体封装的制造方法,其特征是:
在上述粘贴工序中,用粘接剂。

46、权利要求45所述的半导体封装的制造方法,其特征是:
作为上述粘接剂,用紫外线反应型树脂。

47、权利要求45所述的半导体封装的制造方法,其特征是:
作为上述粘接剂,用热反应型树脂。

48、权利要求45所述的半导体封装的制造方法,其特征是:
作为上述粘接剂,用溶剂反应型树脂。

49、权利要求1所述的半导体封装的制造方法,其特征是:
在上述电极形成工序中,上述突出电极是焊料球电极。

50、权利要求1所述的半导体封装的制造方法,其特征是:
在上述切断工序中,用切片锯。

51、权利要求1所述的半导体封装的制造方法,其特征是:
上述基准构件是切片带。

52、一种借助于切断分成多个电路基板的集合电路板,其特征

是：

在上述集合电路基板的边缘部分之内，仅仅在把该集合电路板围起来的四边之内的沿互相相向的2边的边缘部分上设置制造边框。

53、权利要求52所述的集合电路板，其特征是：

在形成上述四边之内剩下的2边时，所用的切断方法与把上述集合电路板切分成一个一个的上述电路板时所用的切断方法是同一方法。

54、权利要求53所述的集合电路板，其特征是：

在形成上述四边之内剩下的2边时，用切片法。

55、权利要求52所述的集合电路板，其特征是：

使上述四边之内剩下的2边的长度，对于多个分割数变成为相同的长度，使之变成为这样的长度：该长度将成为对规格尺寸的原板的一边进行等分割时的分割长度的整数分之一的长度。

56、权利要求55所述的集合电路板，其特征是：

上述相同长度为76mm~81mm。

半导体封装的制造方法和集合电路基板

本发明涉及小型而且薄型的半导体封装的制造方法,说得更详细点,涉及既不浪费集合电路基板,生产性又好的可以得到多个半导体封装的制造方法和在半导体封装的制造中所用的集合电路基板。

随着半导体封装的小型化和高密度化,已经开发出了使裸片面朝下直接装配到基板上的倒装芯片键和技术。此外,在近些年来,搭载有与摄象机一体型 VTR 和移动电话等的裸片几乎尺寸相同的小型封装,所谓 CSP(芯片尺寸/芯片规模)封装的便携机器一个接一个地问世。从这些情况可知,市场对 CSP 的要求已真正出现,因此,最近的 CSP 的开发正飞速前进。

在集合电路基板 100 的厂家那里,在制造集合电路基板时,把已含浸过树脂的 1 m 宽的滚筒状的玻璃填充薄板裁成 $1\text{m} \times 1\text{m}$ 或 $1\text{m} \times 1.2\text{m}$ 的规格尺寸。然后,在规格尺寸的薄板的两面叠层上铜箔,对它加压完成原板。再把该原板裁成便于使用的尺寸提供基板素材。

在图 20 中,示出了基板素材 110 的平面图。该基板素材 110 把规格尺寸的原板裁成 9 个。于是,该基板素材的尺寸就是宽 W 为 330mm,长 L 为 330mm。然后,从该基板素材 110 上再裁出 10 个长方形的集合电路基板。各个集合电路基板 100 的尺寸例如是宽度 W1 为 56mm,长度 L1 为 115mm。如图 20 所示,各个集合电路基板 100 排列成横 2 列纵 5 格。

其次,在图 21 中,示出了集合电路基板 100 的一个例子。集合电路基板 100 沿着周围的边沿设有用来制造封装的制造边框。就是说,沿着宽度方向设有宽度为 b1(例如 5mm)的制造边框,沿着长度方向设有宽度为 b2(例如 7mm)的制造边框。

此外,在被该集合电路基板的制造边框围起来的区域上,沿着相互垂直的 X 方向和 Y 方向形成有切断线 2,用于切断该集合电路基板 100 制成多个单个的电路基板 1。用图 21 所示的集合电路基板 100 可以裁制成 $5 \times 11 = 55$ 个 9mm 见方的电路基板 1。

其次,参照图 22 和图 23,概要地说明 CSP 型半导体封装的现有制造方法。在图 2 的(A)~(C)和图 23 的(A)~(C)中,在图的右侧分别示出了顶视图,在各个顶视图的左侧分别示出了沿其顶视图的 A-A 线的切口处的剖面图。另外,在图 22 和图 23 中,为便于说明,示出了裁成 4 个电路板 1 的例子。

在现有的半导体封装的制造工序中,具有电路板形成工序(图 22 的(A)),IC 芯片装配工序(图 22 的(B)),树脂密封工序(图 22 的(C)),基准构件贴装工序(图 23 的(A)),切片工序(图 23 的(B))和电极形成工序(图 23 的(C))。

当制造半导体封装时,首先,在电路板形成工序中,在两面贴上铜的集合电路板 100 上形成通孔(未画出)。

其次,在该集合电路板 100 的两面上,用无电解电镀和电解电镀形成铜镀层。再用阻镀剂叠层一层铜镀层,依次对该阻镀层进行暴光和显影,形成图形掩模。然后,通过该图形掩模对铜镀层进行用刻蚀液进行的图形刻蚀。借助于该图形刻蚀在集合电路板 100 的上面一侧形成排列成多个的 IC 连接用电极(键合图形)3,在底面一侧形成本身为配置成矩阵状的焊盘电极的外部连接用电极 4。

接着,进行阻焊处理,在集合电路板 100 的底面一侧,形成阻焊剂膜。该阻焊剂膜具有使本身为可焊区域的外部连接用电极 4 露出的窗口部分。采用形成该阻焊剂膜的办法,集合电路板 100 的底面将变得平坦起来。这样一来,就将完成在底面上已矩阵状地配置了多个同一形状的可焊区域的集合电路板(图 22 的(A))。

其次,在 IC 芯片装配工序中,首先,在 IC 晶片(未画出)的焊盘电极面上形成焊料突出电极 5。在该焊料突出电极 5 的形成中,有例如柱状突出电极方式,球状突出电极方式和电镀突出电极方式等的方法。在这些方法之内,由于电镀突出电极方式可以用焊盘电极间的狭窄的排列形成突出电极,故对 IC 芯片的小型化是有效的。

接着,把已形成了焊料突出电极的 IC 晶片在已粘贴上粘接带的状态下切成芯片尺寸,形成 IC 芯片 6。在切断时,用切片刀等的装置用全部切割方式在 X、Y 方向上切割 IC 晶片。然后,把粘接带上的一个一个的 IC 芯片 6 分割成单体。

接着,在这样分割后的 IC 芯片 6 的焊料突出电极上,或在已在前边说过的集合电路基板 100 的上面一侧形成的 IC 连接用电极 3 的上边的不论哪一方的规定位置上涂敷助焊剂(未画出)。然后,在集合电路基板 100 的主表面上给每一个电路基板 1 搭载上一个 IC 芯片 6。在进行搭载时,使已经形成了 IC 芯片 6 的焊料突出电极 5 的一面与集合电路基板 100 的上面相向,且使焊料突出电极 5 位于 IC 连接用电极 3 上边。接着,进行焊料软熔,使 IC 连接用电极 3 和该 IC 芯片 6 分别电连。然后在集合电路基板 100 上边,进行 IC 芯片 6 的装配(倒装芯片装配)(图 22 的(B))。

其次,在密封工序中,采用用热硬化树脂 7 进行连续到相邻的多个 IC 芯片 6 上的横向铸封的办法,把多个 IC 芯片 6 树脂密封成一个整体。因此,如图 26(C)所示,IC 芯片 6 就被以面朝下的状态固定为已密封到集合电路基板 100 的各个电路基板 1 上边的状态。

其次,在基准构件贴装工序中,把已经装配上 IC 芯片 6 的集合电路基板 100 的平坦的底面,用粘接剂或粘接带等的固定手段粘贴到基准构件 8 上边。集合电路基板 100 和基准构件 8,由于粘贴面相互平行,故得以确实地固定(图 23 的(A))。

其次,在切片工序中,如图 23 的(B)所示,用切片锯等的切割工具分别沿着已在该集合电路基板 100 上形成的 X 方向和 Y 方向的切割线 2 进行切割,再把切割后的电路基板 1 分割成一个一个的电路基板 1。在这里,在切片时,使用株式会社迪斯科(デイスコ)制造的切片机'DFD-640(商品名)'和宽度为 0.1mm 的切片刀'NBC-ZB1090S3(商品名)'。

之后,用溶解液使溶解剂等溶解,从基准构件 8 上剥离电路基板 1。

其次,在电极形成工序中,首先,在已在各个电路基板 1 的下面形成的外部连接用电极 4 的配置位置上,分别加上焊料球。接着,使焊料球软熔形成如图 23 的(C)所示的球形电极 9。

经过以上的工序完成各个倒装芯片 BGA(球栅阵列)200。

但是,在以上所说的半导体封装的制造方法中,存在着下述问题。就是说,以前,在从集合电路基板上切下来的各个电路基板上每一个上都形成了焊料球电极。因此,在本身为小型封装的 CSP 中,存在着从电路基板的外缘到位于最近的焊料球电极的中心位置的距离变短,得不到在焊料球形成工序中放

置焊料球的夹具所需的放置边框的问题。此外,由于要对每一个电路基板放置焊料球,故还存在着生产性低,因而生产价格上升等的问题。

因此,本发明的半导体封装的制造方法的目的是以上述问题为鉴,提供一种搭载于小型便携机器等上边、可靠性和生产性均优良的、便宜的半导体封装的制造方法。

此外,在现有的集合电路基板中还存在着下述问题。就是说,近些年来,随着小型便携机器的小型化的要求,封装的小型化和薄型化变成了紧迫的任务的同时,还强烈地要求以尽可能便宜的单价制造封装。

但是,在现有的集合电路基板中,却存在着与所设制造边框的面积相对地减少了可以制造多个电路基板的个数。比如,假定设沿着宽度方向的边F1的制造边框b2的宽度为7mm,则沿着两侧的边缘到2个制造边框合起来的宽度就是14mm。这一宽度大于9mm见方的电路基板1的一列的宽度。这样一来,如果在示于图21的集合电路基板100中全部去掉制造边框,则还可以从该集合电路基板100中得到60个9mm见方的电路基板。但是,实际上,由于有制造边框,故只能得到55个电路基板1。结果表明,因设有制造边框,就浪费了约9%的电路基板。

因此,本发明的集合电路基板有鉴于上述问题,目的是提供生产性优良的、适合于用来制造便宜的半导体封装的集合电路基板。

若根据本发明的半导体封装的制造方法,则在已装配有IC芯片的半导体封装的制造方法中,其特征是具备下述工序:

电路板形成工序,用于在要用切断法分开为多个电路基板的集合电路基板的主面上排列并形成与上述多个电路基板的个数对应的IC芯片装配用的键合图形,在该集合电路基板的背面上排列并形成与上述多个电路基板的个数对应的外部连接用电极图形。

IC芯片装配工序,用于在集合电路基板的主面上,给每一电路基板搭载上一个IC芯片,再采用使键合图形和该IC芯片分别电连的办法,把IC芯片装配到集合电路基板上。

树脂密封工序,用于用密封树脂密封已经装配上的IC芯片。

电极形成工序,用于在外部连接用电极图形上形成突出电极。

粘贴工序,用于把经过了基板电路形成工序、IC芯片装配工序、树脂密

封工序和电极形成工序形成的封装集合体粘贴到基准构件上。

切断工序,用于采用把已经粘贴好了的上述封装集合体切割成一个一个的电路基板的办法,形成每个含有一个电路基板的多个完成品半导体封装。

如上所述,在本发明中,在电极形成工序之后,进行切断工序。因此,对于集合电路基板的各个电路板,可以同时形成突出电极。为此,可以提高生产性,可以降低生产价格。

此外,对于集合电路基板的各个电路板,由于可以同时形成突出电极,故在突出电极形成工艺中,可以把集合电路基板的制造边框用做焊料球放置夹具的放置边框。

因此,若采用本发明的半导体封装的制造方法,则可以提供搭载到小型便携机器上的、可靠性和生产性俱佳、便宜的半导体封装的制造方法。

此外,在本发明的半导体封装的制造方法中,如果在从电路板分离出来的制造边框等的隔离区域上形成衬垫,再通过该衬垫把隔离区域固定到基准构件上,则在切断工序中,可以防止隔离区域的单个小片在切片机内跳起来。结果是可以防止切片刀或 IC 芯片破损。

此外,若采用本发明,则在把集合电路板围起来的四边之内仅仅沿着相互相向的 2 个边的边缘部分才设有制造边框。因此,从集合电路基板上可以得到更多的电路板。

因此,若采用本发明,就可以提供生产性优良的、适合于用来制造便宜的半导体封装的集合电路板。

此外,在本发明的集合电路板中,如果使基板的宽度对于多个分割数形成相同,把规格尺寸的原板的一边定为将变成等分割时的分割长度的大体上的整数分之一的长度的相同长度,则制造工序的自动化将变得容易起来,将提高集合电路基板的生产性。其结果是,采用使集合电路基板的造价变得便宜的办法,就可以使半导体封装的造价变得便宜起来。

图 1 的(A)~(D)涉及本发明的实施例 1,是供说明半导体封装的制造方法用的工序图,(A)是电极形成工序的说明图,(B)是粘贴工序的说明图,(C)是切断工序的说明图,(D)是完成半导体封装的说明图。在图(A)~(D)中,在图的右侧分别示出了顶视图,在各个顶视图的左侧分别示出了沿着其顶视图的 A-A 切口处的剖面图。

图 2 的(A)和(B)涉及本发明的实施例 1, 是用来说明平坦化工序的说明图, (A)是用来说明第 1 工序例的剖面图,(B)是用来说明第 2 工序例的剖面图。

图 3 的(A)和(B)涉及本发明的实施例 1, 是用来说明平坦化工序的说明图, (A)是用来说明第 3 工序例的剖面图,(B)是用来说明第 5 工序例的剖面图。

图 4 涉及本发明的实施例 1,是供说明切断工序用的集合电路基板的平面图。

图 5 的(A)和(B)涉及本发明的实施例 2, (A)是供说明电极形成工序用的说明图,(B)是供说明衬垫形成工序的第 1 工序例的说明图,(C) 是供说明粘贴工序用的说明图,(D) 是供说明粘贴切断工序用的说明图。

图 6 的(A)和(B)涉及本发明的实施例 2, (A) 是用第 2 工序例形成了衬垫的集合电路基板的背面图, (B)是在沿(A)的 A-A 切口处剖开的剖面图。

图 7 的(A)和(B)涉及本发明的实施例 2, (A)是用第 3 工序例形成了衬垫的集合电路基板的背面图,(B)是在沿(A)的 A-A 切口处剖开的剖面图。

图 8 涉及本发明的实施例 3,(A)是粘贴工序的说明图,(B)是切断工序的说明图。在(A)和(B)中, 在图的右侧分别示出了顶视图,在各个顶视图的左侧分别示出了沿着其顶视图的 A-A 切口处的剖面图。

图 9 的(A)和(B)涉及本发明的实施例 3, 是用来说明平坦化工序的说明图, (A)是用来说明第 1 工序例的剖面图,(B)是用来说明第 2 工序例的剖面图。

图 10 的(A)和(B)涉及本发明的实施例 3, 是用来说明平坦化工序的说明图, (A)是用来说明第 3 工序例的剖面图,(B) 是用来说明第 4 工序例的剖面图。

图 11 涉及本发明的实施例 3, 是用来说明平坦化工序的说明图, 是用来说明第 5 工序例的剖面图。

图 12 涉及本发明的实施例 4, (A)是供说明电极形成工序用的说明图,(B)是供说明衬垫形成工序的第 1 工序例的说明图,(C)是粘贴工序的说明图,(D)是切断工序的说明图。

图 13 的(A)和(B)涉及本发明的实施例 4, 是用第 1 工序例形成了衬垫的

集合电路基板的剖面图。

图 14 的(A)和(B)涉及本发明的实施例 4, (A) 是用第 1 工序例形成了衬垫的集合电路基板的剖面图。(B)是用第 3 工序例形成了衬垫的集合电路基板的剖面图。

图 15 涉及本发明的实施例 5,(A)是粘贴工序的说明图,(B)是切断工序的说明图。

图 16 涉及本发明的实施例 6, (A)是粘贴工序的说明图,(B)是切断工序的说明图。

图 17 涉及本发明的实施例 7,是集合电路基板的平面图。

图 18 的(A)和(C)涉及本发明的实施例 4, 是供说明半导体封装的制造方法用的工序图, (A)是电路板形成工序的说明图,(B)是 IC 装配工序的说明图,(C) 是树脂密封工序的说明图。在图(A)~(C)中, 在图的右侧分别示出了顶视图,在各个顶视图的左侧分别示出了沿着其顶视图的 A-A 切口处的剖面图。此外,在图(B)和(C)中,省略了 IC 连接用电极 3 和外部连接用电极 4。

图 19 的(A)和(D)是接在图 18 的(C)的后边的工序图, (A)是电极形成工序的说明图,(B)是粘贴工序的说明图,(C)是衬垫形成工序的说明图,(D)是切断工序的说明图。在图(A)~(C)中, 在图的右侧分别示出了顶视图,在各个顶视图的左侧分别示出了沿着其顶视图的 A-A 切口处的剖面图。此外, 在图(B)和(D)中,省略了 IC 连接用电极 3 和外部连接用电极 4。

图 20 是基板素材的平面图。

图 21 是现有的集合电路基板的平面图。

图 22 的(A)和(C)是说明现有的半导体封装的制造方法的工序图, (A)是电路板形成工序的说明图,(B)是 IC 装配工序的说明图,(C)是树脂密封工序的说明图。在图(A)~(C)中, 在图的右侧分别示出了顶视图,在各个顶视图的左侧分别示出了沿着其顶视图的 A-A 切口处的剖面图。在图(B)和(C)中,省略了 IC 连接用电极 3 和外部连接用电极 4。

图 23 的(A)和(C)是接在图 22 的(C)的后边的工序图, (A)是电极形成工序的说明图,(B)是粘贴工序的说明图,(C)是切断工序的说明图。在图(A)~(C)中, 在图的右侧分别示出了顶视图,在各个顶视图的左侧分别示出了沿着其顶视图的 A-A 切口处的剖面图。此外, 在图(A)和(C)中,省略了 IC 连接用电

极3和外部连接用电极4。

以下参照附图说明本发明的实施例。另外所参照的附图只不过可以理解为度,示意性地示出了各个构成成分的大小、形状和配置关系。因此,本发明并不仅仅受限于附图所示。

即便是在以下的各个实施例的半导体封装的制造方法中,电路基板形成工序、IC装配工序和树脂密封工序也用与先前说过的现有的工序(图22的(A)~(C))同样的工序进行。因此,略去对这些工序的说明。

实施例1

〈电极形成工序〉

在实施例1的半导体封装的制造方法中,在树脂密封工序之后实施电极形成工序。在该电极形成工序中,在要从集合电路基板100分割电路基板1之前的状态下,在已形成在各个电路基板1的背面一侧的外部连接用电极4的位置上,配置焊料球,使之进行软熔,如图1的(A)所示,作为突出电极形成焊料球9。

此外,如果焊料球的组成用重量%表示,则铅(Pb)为40%,锡(Sn)为60%,其熔点为180℃。另外,在IC芯片6的装配时所用的焊料突出电极的组成,若用重量%表示,则铅(Pb)为90%,锡(Sn)为10%,其熔点与焊料球的熔点不同,是250℃。

〈粘贴工序〉

其次,进行粘贴工序。在粘贴工序中,把经过基板形成工序、IC装配工序、树脂密封工序和电极形成工序形成的封装集合体100a粘贴到基准构件上。在实施例1中,如图1(B)所示,把封装集合体100a的已经形成了焊料球电极9的一侧粘贴到基准构件(例如,切片带)8上。

在粘贴工序中,也可以把封装集合体100a用粘接剂(包括粘接带)等的固定方法固定到基准构件8上。作为粘接剂,例如,可用日东电工株式会社生产的热剥离带'エレッポルダ-感压型切片带,商品名为SPV-224'。

此外,作为粘接剂也可以用紫外线反应性树脂。作为紫外线反应性树脂,例如用日东电工株式会社生产的UV带,商品名为'UE-2091J'。该UV带可以作为两面粘接剂使用。此外,该UV带若照射紫外线,则由于粘接力极端地降低,故容易剥离。还有,作为粘接剂,还可以用例如热反应型树脂或溶剂反应

型树脂。

再有,在粘贴工序中,还可以把封装集合体 100a 真空吸附到基准构件 8 上。

可是,由于在封装集合体 100a 的形成焊料球电极 9 的一侧,就是说在集合电路基板 100 的背面一侧,已经形成了焊料球电极 9,所以不平坦。因此,要想确实地粘贴封装集合体 100a 和基准构件 8,理想的是使该集合电路基板 100 的背面一侧更为平坦化后再粘贴到基准构件上。

所以,在本实施例中,在粘贴工序里对用下述第 1 ~ 第 5 工序例使集合电路基板 100 的背面一侧平坦化的例子进行说明。

(第 1 工序例)

在第 1 工序例中,首先在平坦化工序中用均一的高度使焊料球电极 9 的各个顶端部分平坦化。在进行平坦化时,切削焊料球电极 9 的顶端部分,变成如图 2(A)所示那样地平坦化。在切削顶端部分时,采用用平滑技术(gliding)等的研削手段把焊料球电极 9 的顶端部分研削掉规定量的办法,在各个顶端部分上分别形成平坦面 9a。

其次,在固定工序中,用粘接剂(包括粘接带)或者真空吸附等的固定手段固定到基准构件 8 上。

(第 2 工序例)

在第 2 工序例中,首先在平坦化工序中,用均一的高度使焊料球电极 9 的各个顶端部分平坦化。在进行平坦化时,加热焊料球电极 9 的顶端部分,如图 2 的(B)所示,使各个顶端部分平坦化。在对顶端部分加热时,使已经形成了封装集合体 100a 的焊料球电极 9 的一侧载于热板 11 上边。接着采用使该热板保持规定温度的办法,把焊料球电极 9 的顶端部分溶掉一定的量,在各个顶端部分上分别形成平坦面 9a。

其次,在固定工序中,与第 1 工序例同样地把平坦面 9a 固定到基准构件 8 上。

(第 3 工序例)

在第 3 工序例中,首先在平坦化工序中,采用用树脂 13 把焊料球电极 9 埋没起来的办法,如图 3 的(A)所示,用树脂 13 的上面形成平坦面 13a。

在形成平坦面时,首先,在集合电路基板 100 的背面上的外周设置框体构

件 12。该框体构件 12 可用金属或塑料构件等构成。

接着,向被背面上的框体构件 12 包围起来的区域填充树脂 13,使焊料球电极 9 埋没到树脂 13 中。在这里,作为树脂 13 使用热反应性树脂。然后,使所填充的树脂硬化,用硬化后的树脂 13 的上面形成平坦面 13a。

其次,在平坦面固定工序中,用粘接剂或真空吸附等的固定手段把平坦面 13 固定到基准构件上。

(第 4 工序例)

在第 4 工序例中,首先,在平坦面形成工序中,采用用树脂把焊料球电极 9 埋没起来的办法,用树脂的上面形成平坦面。在形成平坦面时,用丝网漏印法使焊料球电极 9 埋没到树脂中。在丝网漏印中,例如使用株式会社アサヒ(旭)化研的'T-31(商品名)'。然后,在大约 130℃ 的温度下使树脂硬化。

其次,在平坦面固定工序中,与第 3 工序例一样,把平坦面固定到基准构件 8 上。

(第 5 工序例)

在第 5 工序例中,首先,在基准构件 8 的主表面 8a 上边,设置框体构件 12a。该主表面 8a 和框体构件 12a 构成浴槽。基准构件 8 已载置于珀尔帖器件 14 上边。

接着,在该主表面 8a 上边的被框体构件 12a 围起来的区域上设置取决于温度而可逆地变成固体状态或液体状态的材料层 15。在这里,作为材料层 15 的材料使用水。

接着,如图 3 的(B)所示,把焊料球电极 9 的包含顶端部分在内的至少一部分浸到液体状态的材料层 15 中。

再在已含浸状态下使材料层 15 变成固体状态。在这里,采用用珀尔帖器件 14 使材料层冷却到冰点以下的温度的办法,使水冻结。其结果是以水作为粘接剂把封装集合体 100a 粘贴到基准构件 8 上。

如上所述,在第 5 工序中,平坦化和固定可以用同一工序进行。

接着,在后边要讲的切断工序中,采用用珀尔帖器件 14 把材料层加热到比冰点还高的温度的办法,使冰解冻。结果,把封装集合体 100 切分后的完成品半导体封装 10 从基准构件 8 上剥离下来。

另外,在实施例 5 中,作为材料层 15 的材料虽然用的是水,但是材料层的

材料并不受限于此。作为材料层 15 的材料,例如还可以用市售的包括阿匹松(apiezon)在内的蜡。蜡在室温下将变成固体状态,若加热使之变成比室温还高的温度则将变成液体状态。

〈切断工序〉

其次,对用上边说过的第 1 ~ 第 5 工序例的任何一个工序例粘贴到基准构件 8 上的封装集合体 100a 施行切断工序。在切断工序中,用切片技术如图 1 的(C)所示与密封树脂一起把封装集合体 100a 对每一个电路基板 1 进行切割。

在这里,在进行切片时,把已经粘贴上封装集合体 100a 的基准构件 8 设置到切片装置(未画出)上。作为切片装置使用例如株式会社迪斯科生产的切片机'DFD-640(商品名)'。此外,作为切片刀例如使用宽度为 0.1mm、直径为 52mm 的切片刀'NBC-ZB1090S3(商品名)'。使该切片刀每分转 3000 转,对于基准构件每秒移动 50mm。另外,为了进行冷却和除去切割碎屑,每分钟给切割部位加上 1.5 升左右的纯水。

此外,在粘贴工序中,在焊料球电极 9 已经埋没到树脂中的情况下,与上述封装集合体一起切断树脂。接着在切断工序后,从基准构件 8 上剥离完成品半导体封装 10。

然后,把经过切割的封装集合体 100a 分割成各个电路基板 1。

之后,用溶解液等溶解粘接剂,从基准构件 8 上剥离电路基板 1 后,得到图 1(D)所示的完成品半导体封装 10。

此外,在已用粘接剂把焊料球电极 9 粘接到了基准构件 8 上的情况下,在剥离后,用清洗剂洗干净完成品半导体封装后,除去粘接剂的残渣。作为清洗剂例如使用花王株式会社生产的商品名为クリンスル-的清洗剂。在用清洗剂洗干净后,再用纯水进行清洗。之后用烘干炉使完成品半导体封装干燥。

在这里,参照图 4 对切断工序中的切断顺序进行说明。图 4 是集合电路基板 100 的平面图。该集合电路基板 100 已用电解电镀法形成了多个电路基板的 CSP 等用的电路图形。该电路图形用公用电极 16 和 16a、树枝状的布线 16b 和 CSP 用的电路图形 16c 构成。公用电极 16a 把 2 条的公用电极 16 彼此间连接起来沿着 Y 方向延伸。电路图形 16c 沿各个公用电极

16a 的两侧配置。公用电极 16a 和电路图形 16c 通过树枝状的布线 16b 进行连接。

在用该集合电路基板 100 形成了封装集合体 100a 之后,在切断工序中,沿图 4 中 A ~ K 和 ① ~ ⑤ 的点划线分别示出的切割线切断。

可是,在包括 Y 方向的公用电极 16a 在内的部分(B-C、E-F 和 I-J 间)上的切割线的间隔,变成比别的部分(A-B、C-D、F-G、H-I 和 J-K 间)上的切割线的间隔狭窄。在切割线的间隔,就是说切割间隔狭窄的部分中,由于面积狭小,故对于基准构件的固定吸附力比别的部分处的固定吸附力弱。因此,在按照 A ~ K 的顺序沿 Y 方向的切割线切片的情况下,存在着发生使包括 Y 方向的公用电极 16a 在内的部分的基板发生变形或者切片的切片线偏离切割线等等的可能。

于是,在本实施例中,在沿着在 Y 方向上延伸的切割线进行切片时,以 A、B、D、E、G、H、I、K、C、F、J 的顺序进行切割。若以该顺序进行切割,则由于对间隔短的切割线彼此间不连续地进行切割,故可以避免基板的变形或切割线的偏离之类的问题。

此外,在沿着在 X 方向上延伸的切割线切片时,象现有技术那样以 ① ~ ⑤ 的顺序进行切片。

这样一来,就可以得到如图 1(D)所示的完成品半导体封装 10。

实施例 2

可是,在切断工序中,集合电路基板 100 之内的电路基板 1 以外的隔离区域,例如制造边框的区域也可以作为单个小片进行切开。然而,在隔离区域上,没有形成焊料球电极 9。因此,隔离区域在进行切片时,有时候不能固定到基准构件 8 上。在这种情况下,用切片法切开的隔离区域的单个小片在切片机内跳动。结果是将会发生切片刀或 IC 芯片破损之类的问题。

于是,在实施例 2 的半导体封装的制造方法中,对在集合电路基板 100 的背面一侧的隔离区域上形成衬垫,并通过该衬垫把隔离区域粘贴到基板构件 8 上的例子进行说明。

〈电极形成工序〉

在实施例 2 的半导体封装的制造方法中,在树脂密封工序之后实施电极形成工序。在本电极形成工序中,与实施例 1 一样,如图 5 的(A)所示,作为突

出电极形成焊料球电极9。

〈衬垫形成工序〉

其次,在本实施例中,在粘贴工序之前,实施衬垫形成工序。在衬垫形成工序中,在集合电路板100的背面一侧的用切断法从电路板1上切离下来的隔离区域上,如图5(B)所示,形成衬垫17。在这里,作为隔离区域在制造边框区域1a的所有的单个小片上边,都形成下述第1~第3工序例的衬垫17。

此外,衬垫17的高度定为与焊料球电极9的高度大体上相同。因为若衬垫的高度过低,则不可能把隔离区域固定到基准构件上。

此外,在存在着不利于形成突出电极的不合格的电路板的情况下,在各个不合格电路板区域上边也形成衬垫17。

(第1工序例)

在第1工序例中,如图5的(B)所示,设衬垫17的材料与焊料球电极9的材料是一样的材料。接着,与焊料球电极9的形成方法相同,在隔离区域上配置焊料球(未画出),使之软熔形成衬垫17。

另外,衬垫17在电极形成工序中,理想的是与焊料球电极9一起形成。

(第2工序例)

在第2工序例中,如图6所示,使树脂硬化形成衬垫17。衬垫17,如图6(B)所示,用线状的平面图形配置到集合电路板100的背面一侧的制造边框1A上边,使得把将要成为电路板1的区域围起来。

(第3工序例)

在第3工序例中,如图7所示,作为衬垫17,如图7的(A)所示,使用剖面形状为矩形的构件。接着如图7(B)所示,把衬垫17用线状的平面图形配置到集合电路板100的背面一侧的制造边框1a上边,使得把将作为电路板切下来的区域围起来。

〈粘贴工序〉

其次,对用上边说过的第1~第3工序例的任何一个工序例,对已经形成了衬垫17的封装集合体100a,与实施例1一样地施行粘贴工序。在粘贴工序中,在本实施例中,通过衬垫17把隔离区域粘贴到基准构件8上。

〈切断工序〉

其次,与实施例1一样地实施切断工序。在本实施例中,在进行切片时,

隔离区域也固定到基准构件 8 上。因此,可以避免切断后的隔离区域跳起来使切片刀破损的现象。

实施例 3

在实施例 3 的半导体封装的制造方法中,一直到电极形成工序为止,是与实施例 1 相同的工序。因此,略去对电极形成工序的说明。

〈粘贴工序〉

在实施例 3 中,与实施例 1 一样,在电极形成工序之后进行粘贴工序。在粘贴工序中,把经过了基板形成工序、IC 装配工序、树脂密封工序和电极形成工序形成的封装集合体 100a 粘贴到基准构件上。在实施例 3 中,如图 8(B) 所示,把封装集合体 100a 的已经形成了 IC 芯片 6 的一侧粘贴到基准构件上。

此外,在粘贴工序中,与在实施例 1 一样,也可以用粘接剂(包括粘接带)等的固定手段把封装集合体 100a 固定附着到基准构件 8 上。

还有,在切断工序后,即便是在已从基准构件 8 上剥离下来的 IC 芯片的上面残存有粘接剂,也不会影响 IC 芯片的性能。

然而,由于在封装集合体 100a 的已经装配上 IC 芯片 6 的一侧,就是说在集合电路基板 100 的主表面一侧,是不平坦的。特别是各个 IC 芯片的上侧的密封树脂的厚度不均匀。因此,要想确实地粘贴封装集合体 100a 和基准构件 8,理想的是使该集合电路基板 100 的主表面一侧更为平坦化后再粘贴到基准构件 8 上。

在这里,在本实施例中,在粘贴工序中,用下边讲述的第 1 ~ 第 5 工序例对使集合电路基板 100 的背面一侧平坦化的例子进行说明。

(第 1 工序例)

在第 1 工序例中,首先,在平坦化工序中,用均一的高度使 IC 芯片 6 的各自的上面一侧平坦化。在进行平坦化时,如图 9(A)所示,与密封树脂一起切削 IC 芯片 6 的上面,使相应的上面平坦化。但是,从集合电路基板 100 的主表面到平坦化后的上面 6a 为止的高度要比从该主表面 IC 到芯片 6 内的 IC 电路面为止的高度还高。

其次,在固定工序中,用粘接剂(包括粘接带)或者真空吸附等固定手段,把已平坦化的上面一侧固定到基准构件 8 上。

(第2工序例)

在第1工序例中,首先,在平坦化工序中,用均一的高度使IC芯片6的各自的上面一侧平坦化。在进行平坦化时,对已淀积到IC芯片6上边的密封树脂7的上面进行切削使相应的上面平坦化。但是,在已经用金属细丝键合装配上IC芯片6的情况下,要使从集合电路板100的主表面到平坦化后的上面7为止的高度 $h1$ 比从该主表面到金属细丝键合的最高点为止的高度 $h2$ 还高。

其次,在粘接工序中,与第1实施例同样,把平坦化后的上面一侧固定带基准构件8上。

(第3工序例)

在第3工序例中,首先,在平坦面形成工序中,采用用树脂13把IC芯片6埋没起来的办法,如图10(A)所示,用树脂13的上面13a形成平坦面13a。在进行平坦面13a的形成时,在集合电路板100的主表面上边的外周上设置框体构件12。该框体构件12用金属或塑料构件构成。

接着,向主表面上边的用框体构件12围起来的区域,填充树脂13埋没IC芯片6。在这里,作为树脂13,使用热反应性树脂。然后,使所填充的树脂13硬化,用硬化后的树脂13的上面形成平坦面13a。

其次,在平坦面固定工序中,用粘接剂或真空吸附等的固定手段把平坦面13a固定到基准构件上。

(第4工序例)

在第4工序例中,首先,在平坦面形成工序中,采用用树脂把IC芯片6埋没起来的办法,如图10(B)所示,用转移铸模(transmold)法用树脂埋没芯片6。

此外,在用树脂埋没IC芯片时,例如也可以用丝网漏印法。

其次,在平坦面固定工序中,与第3工序例一样,把平坦面固定到基准构件8上。

(第5工序例)

在第5工序中,首先,把平板的第1主面固定到已在上述IC芯片上边淀积的密封树脂上。在这里,作为平板使用热传导性良好的金属板,例如铝板、铜板或由铜(Cu)-钨(W)系的合金构成的金属板。另外,该平板还兼做散热

板。

以下,与实施例 2 一样,实施切断工序。

实施例 4

然而,在切断工序中,集成电路基板 100 之内的电路板 1 以外的隔离区域,例如制造边框的区域也可以作为单个小片进行切开。然而,在隔离区域上,没有形成焊料球电极 9。因此,隔离区域在进行切片时,有时候不能固定到基准构件 8 上。在这种情况下,用切片法切开的隔离区域的单个小片在切片机内跳动。结果是将会发生切片刀或 IC 芯片破损之类的问题。

于是,在实施例 4 的半导体封装的制造方法中,对在集成电路基板 100 的背面一侧的隔离区域上形成衬垫,并通过该衬垫把隔离区域粘贴到基板构件 8 上的例子进行说明。

〈电极形成工序〉

在实施例 4 的半导体封装的制造方法中,在树脂密封工序之后实施电极形成工序。在本电极形成工序中,与实施例 1 一样,如图 12(A)所示,作为突出电极形成焊料球电极 9。

〈衬垫形成工序〉

其次,在本实施例中,在粘贴工序之前,实施衬垫形成工序。在衬垫形成工序中,在集成电路基板 100 的主表面一侧的借助于切断从电路板 1 上切离下来的隔离区域上,如图 12(B)所示,形成衬垫 17。在这里,作为隔离区域在制造边框区域 1a 的所有的单个小片上边以及在不形成上述突出电极的各不合格的电路板区域 1b 上,都形成下述第 1 ~ 第 3 工序例的衬垫 17。

此外,衬垫 17 的高度定为与把封装集合体 100a 粘贴到基准构件 8 上时的集成电路基板 100 与基准构件 8 之间间隔大体上相同。因为若衬垫的高度过低,则不可能把隔离区域固定到基准构件上。

(第 1 工序例)

在第 1 工序例中,如图 13(A)所示,使树脂硬化形成衬垫 17。在这种情况下,使树脂适量滴下到制造边框 1a 上边或不合格电路板区域上边。树脂的滴下量要使得硬化后的树脂的高度与集成电路基板 100 和基准构件 8 之间的间隔相同或者比之还高。

另外,硬化后的树脂的高度,如图 13(B)所示,在比该间隔还高的情况下,

用平板等把树脂的上面挤压到适当的高度为止,形成所希望高度的衬垫 17。

此外,作为树脂,可以使用热硬化性的树脂、紫外线硬化性的树脂或热可塑性的树脂等。例如,在使用热硬化性树脂的情况下,在滴下树脂并进行涂敷后,加热该树脂使之硬化。

(第 2 工序例)

在第 2 工序例中,如图 14(A)所示,作为衬垫 17 使用带粘接剂 17a 的衬垫 17b。衬垫 17b 使用树脂或金属的板。接着,在衬垫 17b 的两面或单面的至少一部分上先放上粘接剂 17a。然后,通过粘接剂 17a 把衬垫 17b 粘贴到集成电路基板 100 的主表面上。

(第 3 工序例)

在第 3 工序例中,如图 14(B)所示,作为衬垫 17 形成虚设的 IC 芯片 17。

另外,在作为衬垫的 IC 芯片 17 和集成电路基板 100 之间的粘接力弱的情况下,可向 IC 芯片 17 和集成电路基板 100 之间,流入密封树脂。

(粘贴工序)

其次,对已用上边说过的第 1 ~ 第 3 工序例的任何一个工序例形成了衬垫 17 的封装集合体 100a,与实施例 1 同样地实施粘贴工序。在粘贴工序中,在本实施例中,通过衬垫 17 把隔离区域粘贴到基准构件 8 上。

(切断工序)

与实施例 1 同样地实施切断工序。在本实施例中,在进行切片时,把隔离区域也固定到基准构件上。因此,可以避免被切断的隔离区域跳起来使切片刀破损的现象。

实施例 5

在实施例 5 的半导体封装的制造方法中,对把在粘贴工序中与实施例 1 一样形成的封装集合体 100a 的已经形成了焊料球电极 9 的一侧真空吸附到基准基板 8 上的例子进行说明。

在粘贴工序中,在集成电路基板 100 的背面一侧的制造边框 1a 和不合格电路板区域 1b 上形成衬垫 17。在这里,作为衬垫 17 使用在焊料球电极 9 的上端部具有吸附用管道的吸附用构件。此外,在焊料球电极 9 的上端部粘贴上切片带 20。

此外,衬垫 17 的高度定为把焊料球电极 9 的高度和切片带 20 的厚度加起来的高度。例如,在焊料球电极 9 的高度约为 0.6mm,切片带 20 的厚度约为 0.1mm 的情况下,把衬垫 17 的高度定为约 0.7mm。

接着,使该切片带 20 和衬垫 17 分别真空吸附到基准构件 8 上。如图 15(A) 所示,该基准构件 8 内部具备具有主表面吸附口 18a 的吸附用管道 18。此外,该吸附用管道 18 的一端已连接到真空泵(未画出)上。

其次,在切断工序中,在已把封装集合体 100a 真空吸附到基准构件 8 上的状态下,如图 15(B)所示,用切片法切断集合电路基板 100。

实施例 6

在实施例 6 的半导体封装的制造方法中,对把在粘贴工序中与实施例 1 一样形成的封装集合体 100a 的已经安装了 IC 芯片 6 的一侧真空吸附到基准基板 8 上的例子进行说明。

在粘贴工序中,在集合电路基板 100 的主表面一侧的制造边框 1a 和不合格电路基板区域 1b 上形成衬垫 17。在这里,作为衬垫 17 使用内部具有吸附用管道的吸附用构件。此外,在焊料球电极 9 的上端部粘贴上切片带 20。

此外,衬垫的高度定为把 IC 芯片 6 的高度、IC 连接用电极 3 的厚度和切片带 20 的厚度加起来的高度。例如,在 IC 芯片 6 的高度约为 0.625mm,IC 连接用电极 3 的厚度为约 0.1mm,切片带 20 的厚度约为 0.1mm 的情况下,把衬垫 17 的高度定为约 0.825mm。

接着,使该切片带 20 和衬垫 17 分别真空吸附到基准构件 8 上。如图 16(A) 所示,该基准构件 8 主表面具有吸附口 18a 内部具备吸附用管道 18。此外,该吸附用管道 18 的一端已连接到真空泵(未画出)上。

其次,在切断工序中,在已把封装集合体 100a 真空吸附到基准构件 8 上的状态下,如图 16(B)所示,用切片法,切断集合电路基板 100。

实施例 7

在实施例 7 中,对在半导体封装的制造中所使用的集合电路基板 100 的例子进行说明。

实施例 7 中的集合电路基板 100 是借助于切断分成多个电路基板 1 的集合电路基板 100。该集合电路基板 100,如图 17 所示,在集合电路基板 100 的边缘部分之内,仅仅在沿着把该集合电路基板围起来的四边 F1 ~ F4 之内

的相互相向的两个边 F2 和 F4 的边缘部分上设置制造边框 1a。因此,在沿着该集合电路板 100 的剩下的两个边 F1 和 F3 的边缘部分上,不设制造边框。就是说,沿着剩下的两个边 F1 和 F3 的边缘部分,与电路板 1 的边缘部分一致。

然而,集合电路板 100 通常用使用模具从基板素材冲出来的办法形成。由于剪断面平整度不好,故若保持原样不动,作为基板 1 的边缘很不理想。

于是,在本实施例中,在集合电路板 100 的四边 F1 ~ F4 之内,在形成将成为电路板 1 的边缘的剩下的两个边 F1 和 F3 时,用与把集合电路板 100 切分成一个一个的上述电路板 1 时使用的切断方法相同的方法。作为该切断法,例如理想的是切片法。如果用切片法,则把剩下的两个边 F1 和 F3 不加变动地用作电路板 1 的边缘是合适的。

此外,若采用切片法,则除切削面的平整度好之外,切削面的位置精度也好。除此之外,切片法的切削边框与用其他方法的切削边框比也极少。

此外,如上所述,集合电路板用切断基板素材的办法形成。该素材基板如上所述用切断规定尺寸原板的办法形成。规定尺寸的原板通常具有 1m 的宽度。基板素材用把该 1m 的宽度等分割的办法形成。把 1m 的宽度进行 2、3、4 和 5 等分割时的分割宽度,分别变成为 500、330、250 和 200mm。从这些基板素材的分割宽度中减去基板素材的两侧的制造边框(5mm × 2),分割宽度的实效值分别变成为 490、320、240 和 190mm。

然后,对该分割宽度的实效值再进行等分割,再减去切削边框的宽度后的宽度就变成为集合电路板 100 的宽度。

然而,基板素材的素材的分割宽度取决于分割规定尺寸的原板的个数而不同。因此,因为取决于分割宽度,在基板素材之内,集合电路板的宽度以下的不使用区域的面积变大,故现有技术产生了材料利用的浪费。

于是,在本实施例中,为了减少材料利用的浪费,在集合电路板 100 的四边 F1 ~ F4 之内,使剩下的二边 F1 和 F3 的长度对于多个分割数变成为相同,把规定尺寸的原板的一边的长度定为这样的相同长度:使该长度变成为在进行等分割时的分割长度的大体上整数分之一的长度。

该相同长度,从分别示于下述的表 1 ~ 表 3 的、由各个分割长度的基板

素材可以切出来的集成电路基板 100 的一格可切的片数与集成电路基板的宽度之间的关系可知,理想的是定为宽 76mm ~ 81mm。

这样一来,若采用相同长度,则制造工序的自动化将变得容易,集成电路基板的生产性将会改善。结果是,通过降低集成电路基板的造价,得以降低半导体封装的造价。

此外,该相同长度比现有的一般的集成电路基板的宽度(56mm)还宽。因此,通过采用该相同长度,就可以期待能够使切割集成电路基板时的基板素材的分割数比现有的分割数还少。如果基板素材的分割数减少,就可以减少进行分割所需的制造边框的面积。因此,通过采用相同长度就可以更为有效地利用基板素材。

在表 1 中,示出了作为切断方法使用切片法的情况下的集成电路基板的宽度。在这里把切片法所需的切削边框定为 0.2mm。

[表 1]

(mm)

n \ b	200	250	330	500
1	190.0	240.0	320.0	490.0
2	94.9	119.9	159.9	244.9
3	63.2	79.9	106.5	163.2
4	47.4	59.9	79.9	122.4
5	37.8	47.8	63.8	97.8
6	31.5	39.8	53.2	81.5
7	27.0	34.1	45.5	69.8
8	23.6	29.8	39.8	61.1
9	20.9	26.5	35.4	54.3
10	18.8	23.8	31.8	48.8

在表 1 中,b 表示基板素材的分割长度。n 表示一格所能切割的片数,就是说,表示把分割长度再进行分割的个数。在表 1 中,在把规格尺寸(宽 1m)的原板二等分把分割长度定为 500mm 的情况下,切割片数 n 为 6 片时的集

合电路基板的宽度 W_2 将变成成为 81.5mm。同样,在把原板三等分把分割长度定为 330mm 的情况下,在 $n=4$ 片的时候, W_2 将变成成为 $W_2 = 79.9\text{mm}$ 。还有,在把原板进行四等分把分割长度 b 定为 250mm 的情况下, $n = 3$ 片时, $W_2 = 79.9\text{mm}$ 。

此外,在表 2 中,示出了作为切断方法用划线机加工的情况下的集合电路基板的宽度。表中,把划线机加工所需的切削边框定为 2mm。

[表 2] (mm)

$n \backslash b$	200	250	330	500
1	190.0	240.0	320.0	490.0
2	94.0	119.0	159.0	244.0
3	62.0	78.7	105.3	162.0
4	46.0	58.5	78.5	121.0
5	36.4	46.4	62.4	96.4
6	30.0	38.3	51.7	80.0
7	25.4	32.6	44.0	68.3
8	22.0	28.3	38.3	59.5
9	19.3	24.9	33.8	52.7
10	17.2	22.2	30.2	47.2

在表 2 中, b 表示基板素材的分割长度。 n 表示一格所能切割的片数,就是说,表示把分割长度再进行分割的个数。在表 2 中,在把规格尺寸(宽 1m)的原板二等分把分割长度定为 500mm 的情况下,切割片数 n 为 6 片时的集合电路基板的宽度 W_2 将变成成为 80.0mm。同样,在把原板三等分把分割长度定为 330mm 的情况下,在 $n=4$ 片的时候, W_2 将变成成为 $W_2 = 78.5\text{mm}$ 。还有,在把原板进行四等分把分割长度 b 定为 250mm 的情况下, $n = 3$ 片时, $W_2 = 78.7\text{mm}$ 。

此外在表 3 中,示出了作为切断方法用划线机加工,切削边框=5mm,剩下连杆进行切断的情况下的集合电路基板的宽度。表中,把划线机加工所需的

切削边框定为 0.2mm。

[表 3] (mm)

n \ b	200	250	330	500
1	190.0	240.0	320.0	490.0
2	92.5	117.5	157.5	242.5
3	60.0	76.7	103.3	160.0
4	43.8	56.3	76.3	118.8
5	34.0	44.0	60.0	94.0
6	27.5	35.8	49.2	77.5
7	22.9	30.0	41.4	65.7
8	19.4	25.6	35.6	56.9
9	16.7	22.2	31.1	50.0
10	14.5	19.5	27.5	44.5

在表 3 中, b 表示基板素材的分割长度。 n 表示一格所能切割的片数, 就是说, 表示把分割长度再进行分割的个数。在表 3 中, 在把规格尺寸(宽 1m) 的原板二等分把分割长度 b 定为 500mm 的情况下, 切割片数 n 为 6 片时的集成电路基板的宽度 W_2 将变成为 77.5mm。同样, 在把原板三等分把分割长度定为 330mm 的情况下, 在 $n=4$ 片的时候, W_2 将变成为 $W_2 = 76.3\text{mm}$ 。还有, 在把原板进行四等分把分割长度定为 250mm 的情况下, $n=3$ 片时, $W_2 = 76.7\text{mm}$ 。

因此从上述的表 1 ~ 表 3 可知, 如果把集成电路基板 100 的宽度 W_2 定为 76mm ~ 81mm, 则对于原板的多个分割数, 用相同宽度可以切出集成电路基板。

实施例 8

在实施例 8 中, 对用在实施例 7 中说明的集成电路基板制造半导体封装的例子进行说明。

在图 18 中, 作为集成电路基板 100, 为了便于图示画出了制作 4 个电路基

板 1 的例子。此外,该集成电路基板 100,在周围的 4 边之内,仅仅在沿着 2 个边的边缘部分上设有宽 5mm 的制造边框。

〈电路板形成工序〉

在制造半导体封装时,首先,在电路板形成工序中,如图 18(A)所示,在将借助于切断分成多个电路板 1 的集成电路基板 100 的主表面上,排列并形成与多个电路板的个数对应的 IC 连接用电极 3,在该集成电路基板 100 的背面上,排列并形成与多个电路板的个数对应的外部连接用电极 4。

〈IC 芯片装配工序〉

其次,在 IC 芯片装配工序中,如图 18(B)所示,在集成电路基板 100 的主表面上,给每一个电路板 1 都搭载上一个 IC 芯片 6,再采用使 IC 连接用电极 3 和 IC 芯片 6 分别电连的办法,把 IC 芯片 6 装配到集成电路基板 100 上。

〈树脂密封工序〉

其次,在树脂密封工序中,如图 18(C)所示,用密封树脂 IC 对芯片 6 进行密封。

〈电极形成工序〉

其次,在电极形成工序中,如图 19(A)所示,在外部连接用电极 4 上形成焊料球电极 9。

〈衬垫形成工序〉

其次,在本实施例中,在衬垫形成工序中,如图 19(B)所示,在集成电路基板 100 的主表面一侧的制造边框 1a 上边,形成衬垫 17。

在这里,如图 19(B)所示,在 2 个部位的制造边框 1a 上边使衬垫 17 成为分别直线状地延伸。此外,使衬垫的断面形状为矩形形状。

另外,在现有的集成电路基板中,沿周围的 4 边用四方形框状的平面图形设有制造边框。因此,在现有技术中,在制造边框上形成衬垫的情况下,衬垫的平面图形也将变成四方的框状。要形成框状的平面图形的衬垫时,通常在一旦在集成电路基板上整个面地形成了将成为衬垫的层后,进行除去电路板 1 上边区域的层部分的中间挖掉加工。

对此,在本实施例中,由于以直线状的简单形状形成衬垫 17,故不需要进行中间挖掉加工。为此,在本实施例中,与现有技术比可以容易地形成衬垫 17。此外,由于不需要进行中间挖掉加工,故几乎不会产生衬垫 17 的材料

的浪费。因此,可以降低造价。还有,由于不需要进行中间挖掉加工,故适合于制造工序的自动化,可以提高生产性。

〈 粘贴工序 〉

其次,在粘贴工序中,把经过基板电路形成工序、IC 芯片装配工序、树脂密封工序和电极形成工序形成的封装集合体 100a 粘贴到基准构件 8 上。在本实施例中,如图 19(C)所示,把封装集合体 100a 的已经形成了 IC 芯片 6 的一侧粘贴到基准构件 8 上。此外,集合电路基板 100 的制造边框 1a 的部分,通过衬垫 17 粘贴到基准构件 8 上。

〈 切断工序 〉

其次,在切断工序中,用切片法,如图 19(D)所示,采用把封装集合体 100a 切分成每个有一个电路基板 1 的办法,形成每个含有一个电路基板的多个完成品半导体封装 10。

在上边所述的实施例中,虽然对使用特定的材料,在特定的条件下形成的例子进行了说明,但是本发明可以进行许多的变更或变形。例如,在上边所述的实施例中,虽然是在树脂密封后进行电极形成工序,但是在本发明中,电极形成工序也可以在基板形成工序后,粘贴工序前的不论哪个阶段进行。例如也可以 IC 在芯片装配工序之前进行电极形成工序。

如上所述,本发明的半导体封装的制造方法,作为搭载到摄象机一体型 VTR 或小型便携机器等上的可靠性和生产性俱佳的半导体封装的制造方法是合适的。

此外,本发明的集合电路基板,适合于在制造搭载到摄象机一体型 VTR 或小型便携机器等上的可靠性和生产性俱佳的半导体封装中使用。

图 1

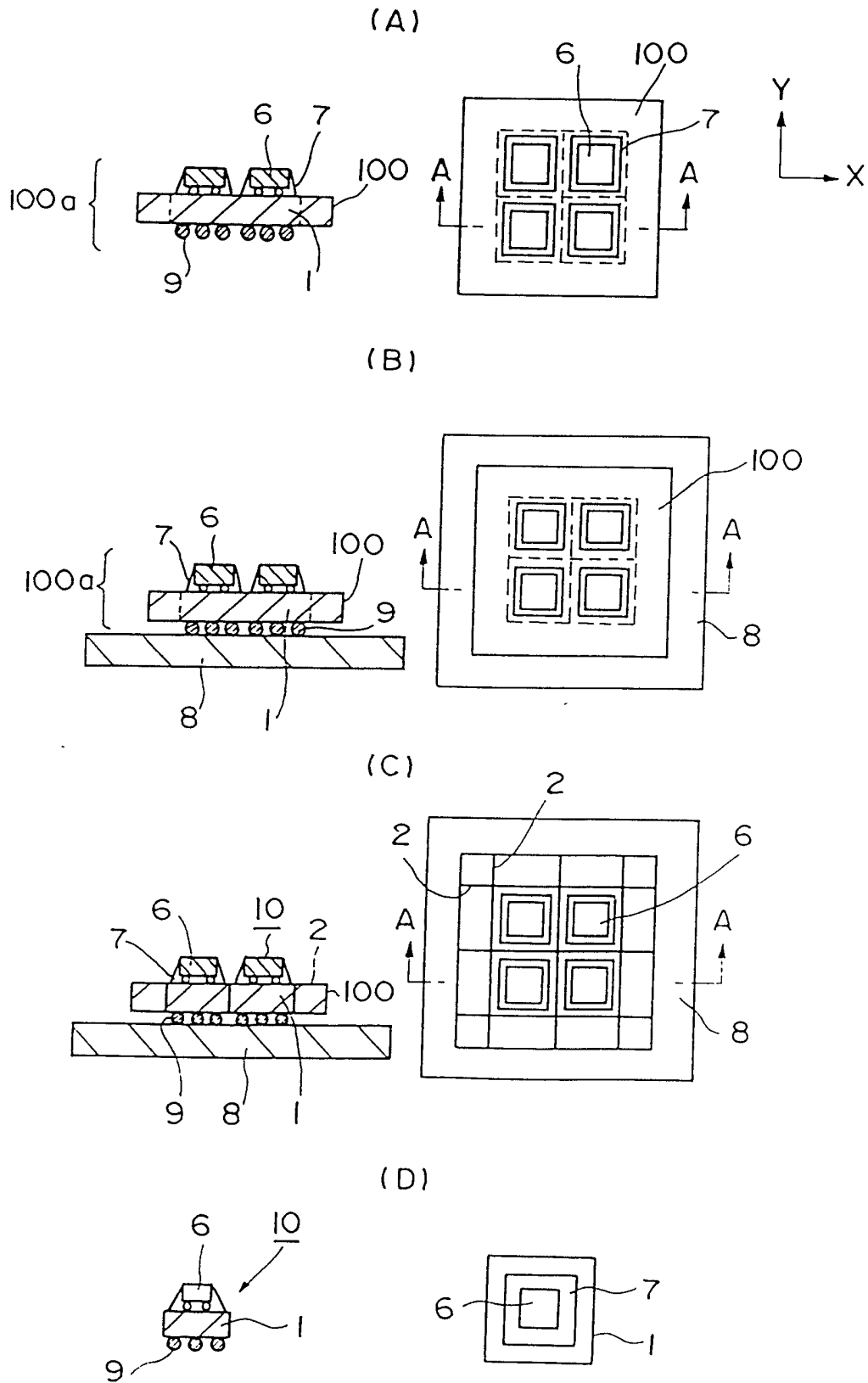


图2

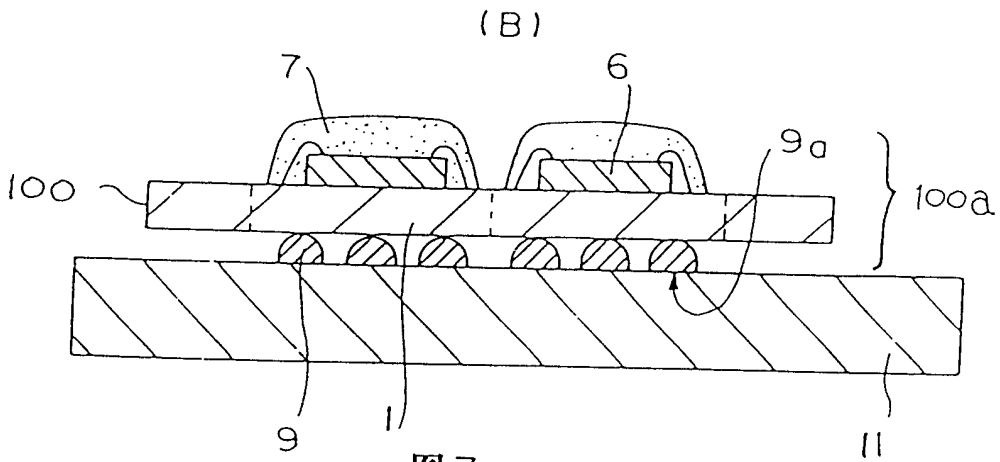
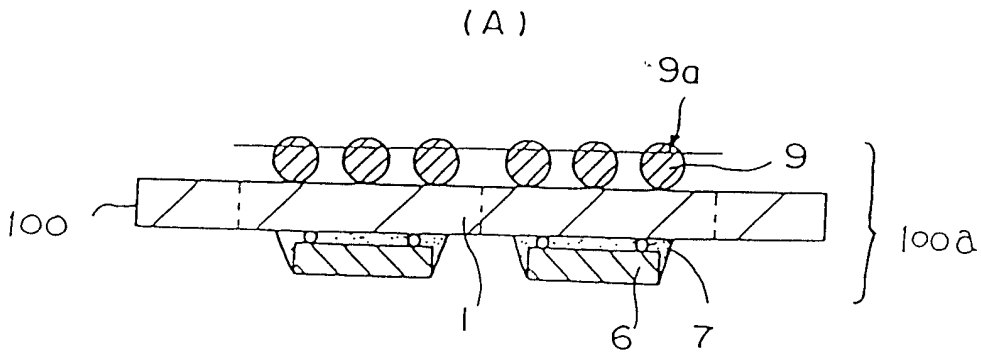


图3

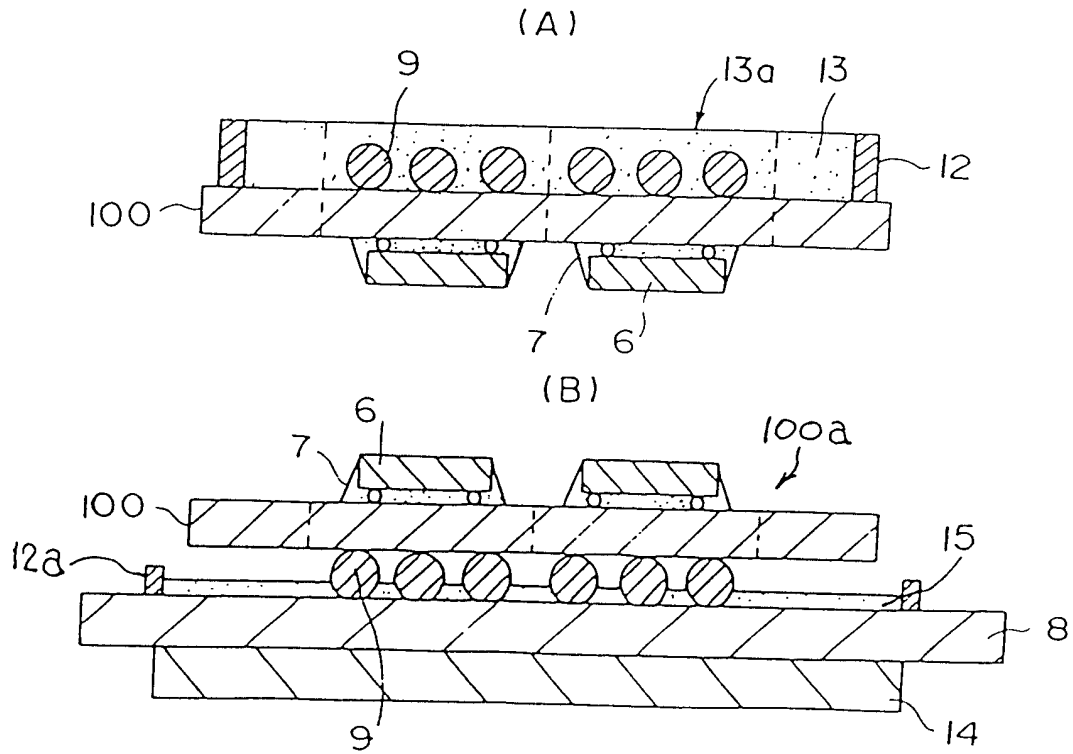


图 4

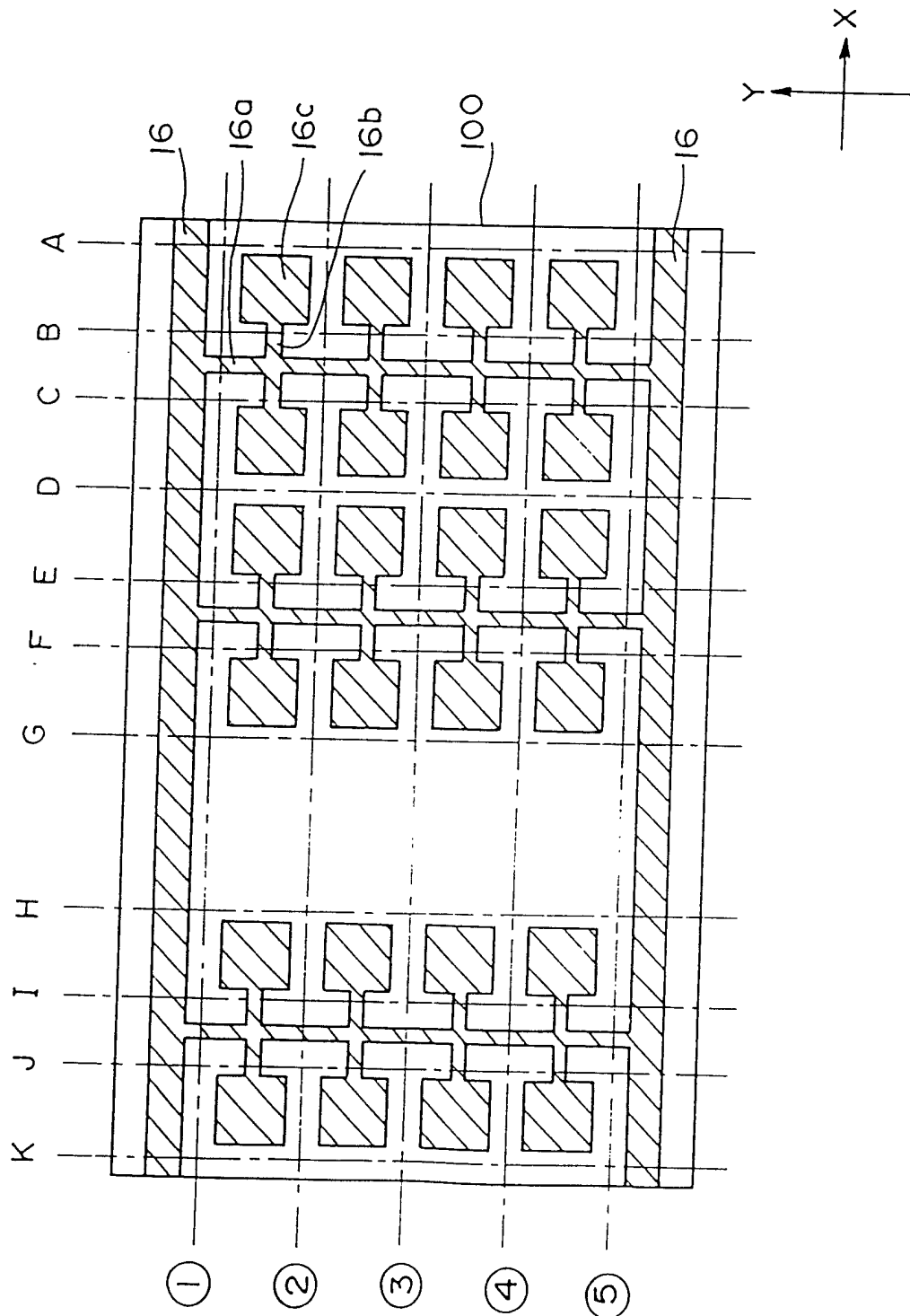


图5

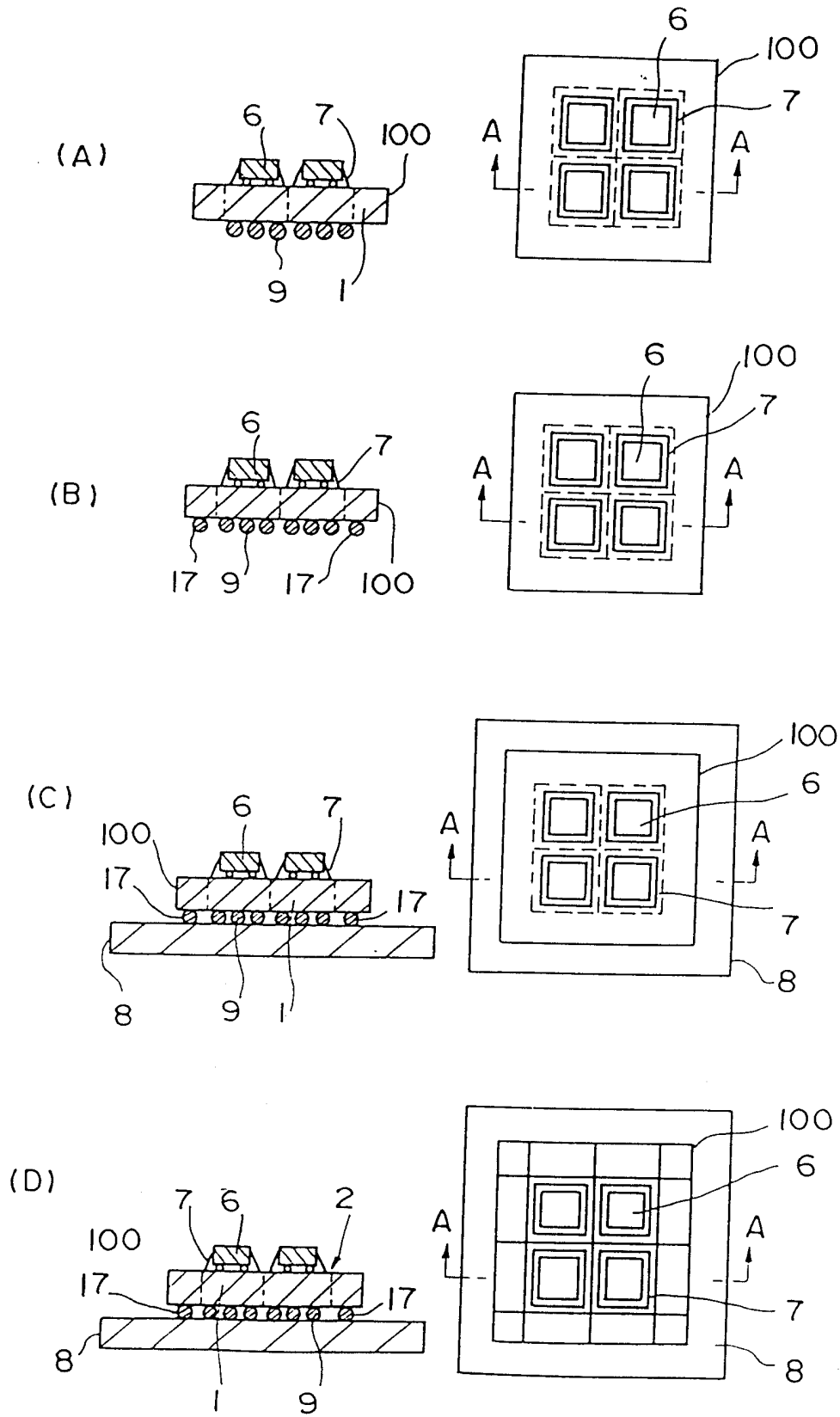


图6

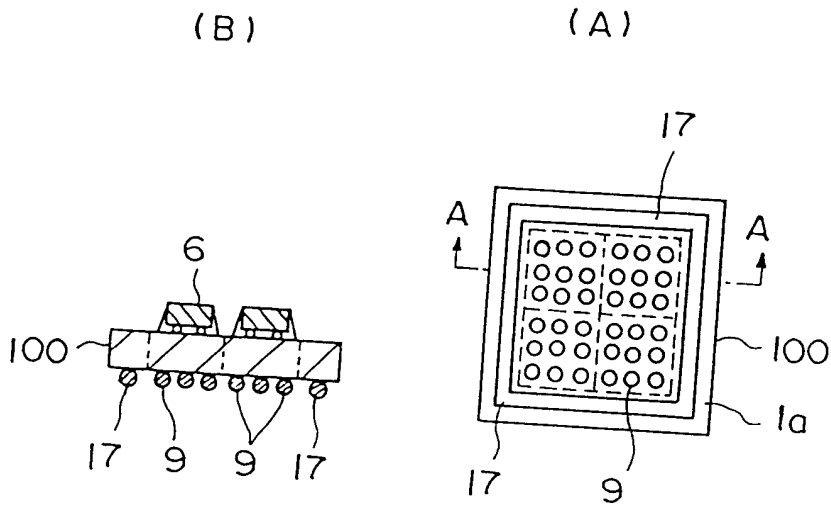


图7

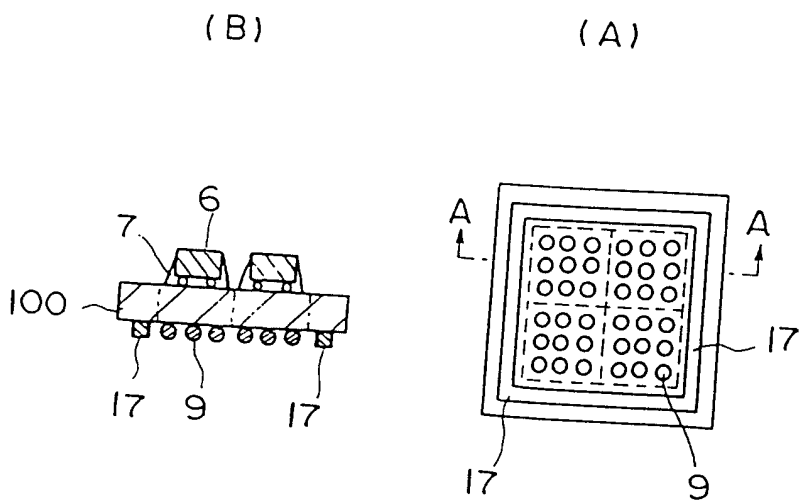


图 8

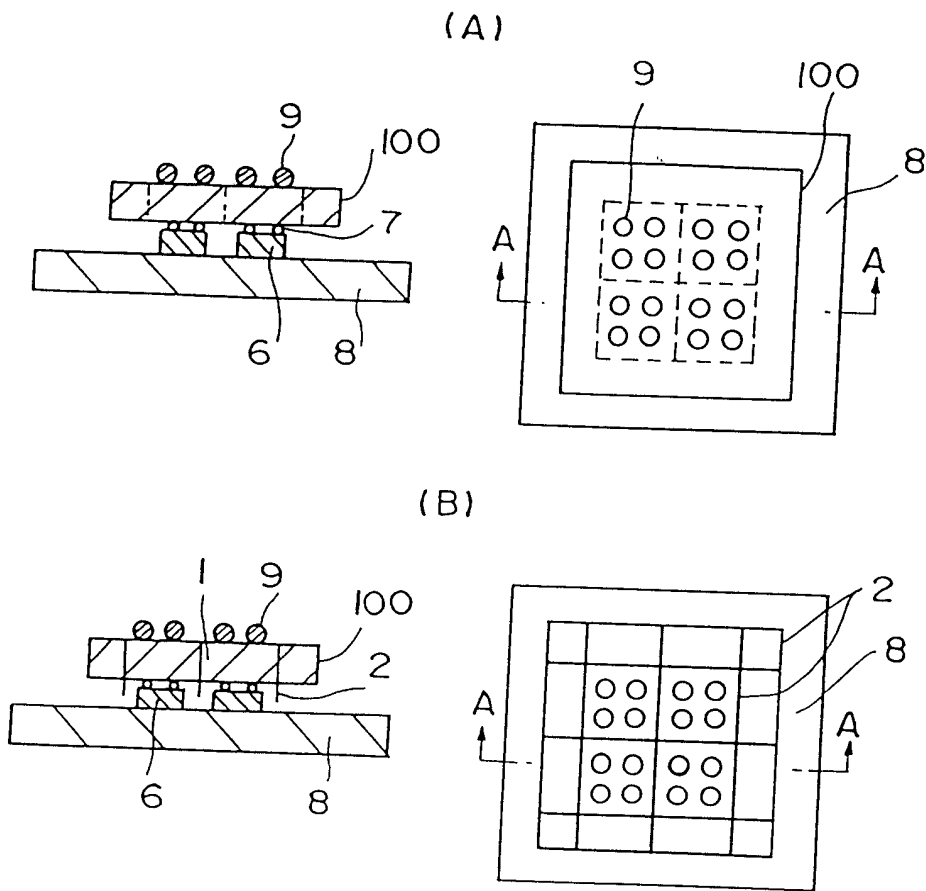


图 9

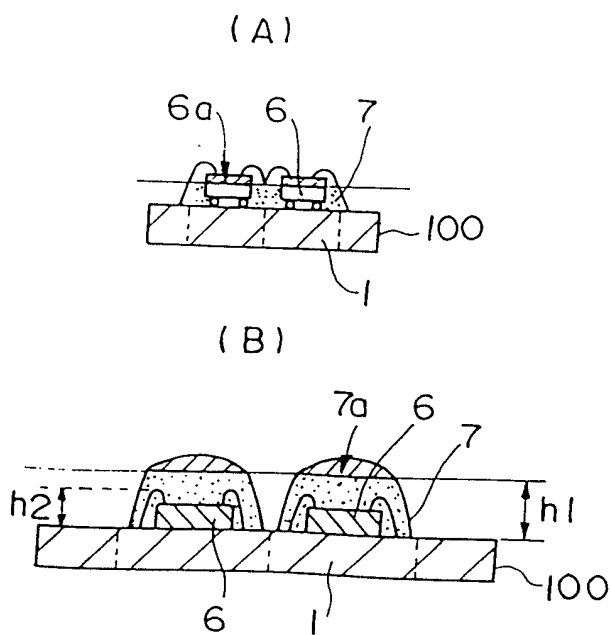
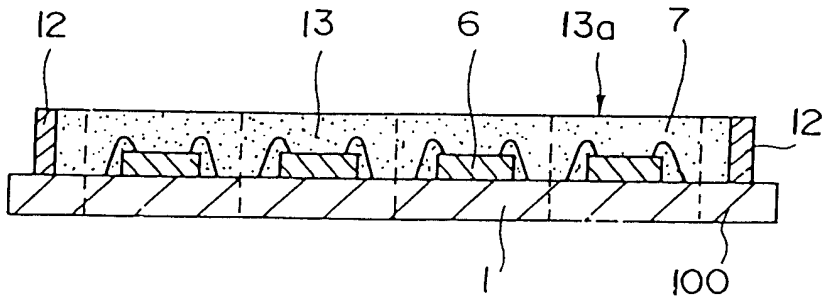


图 10

(A)



(B)

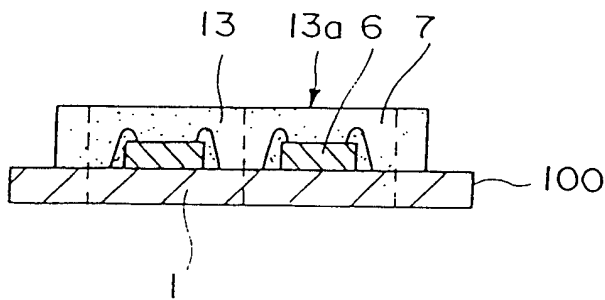


图 11

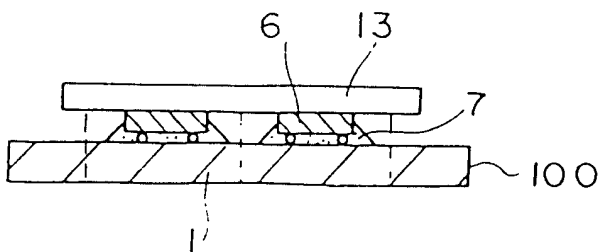


图12

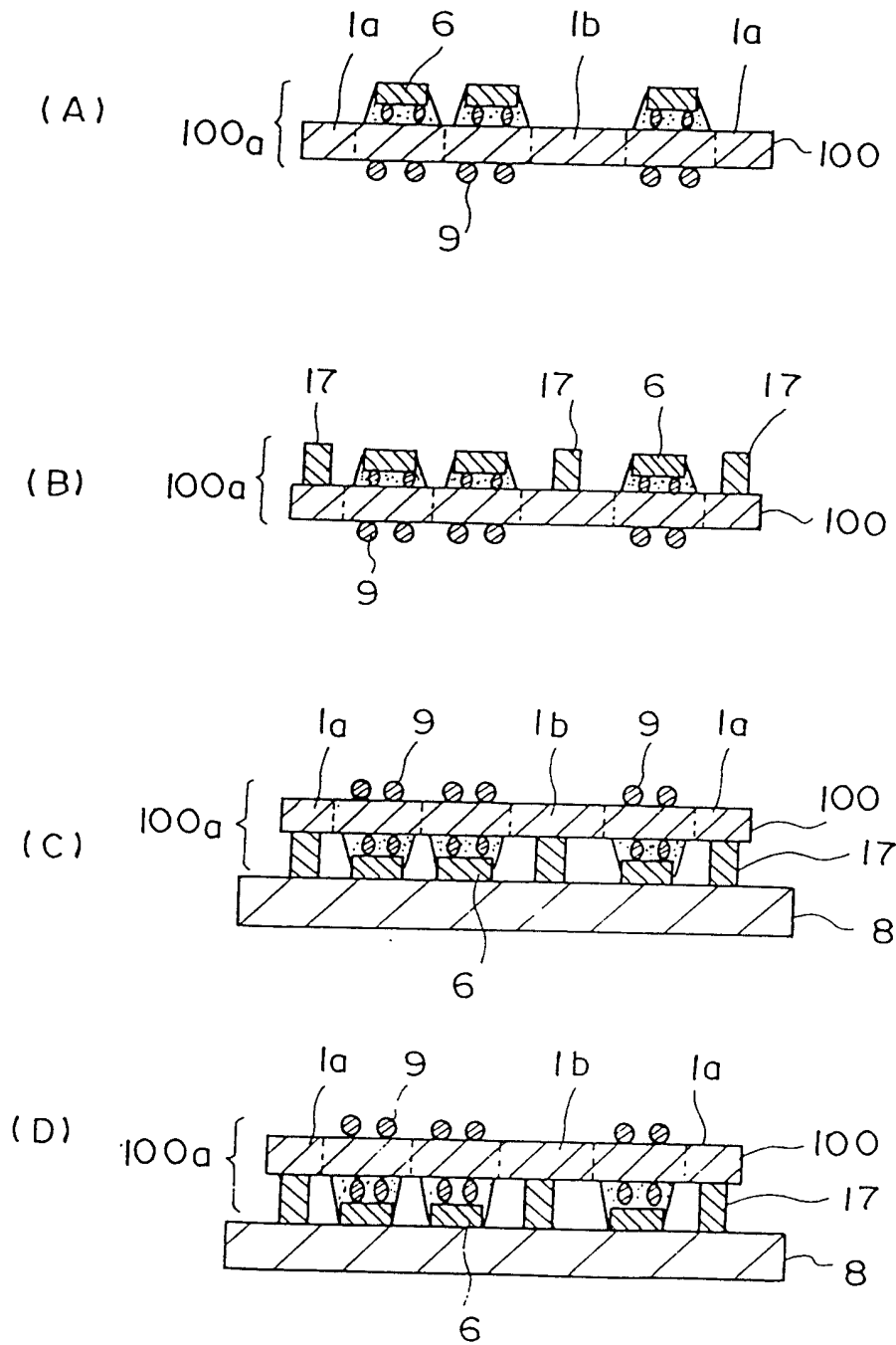
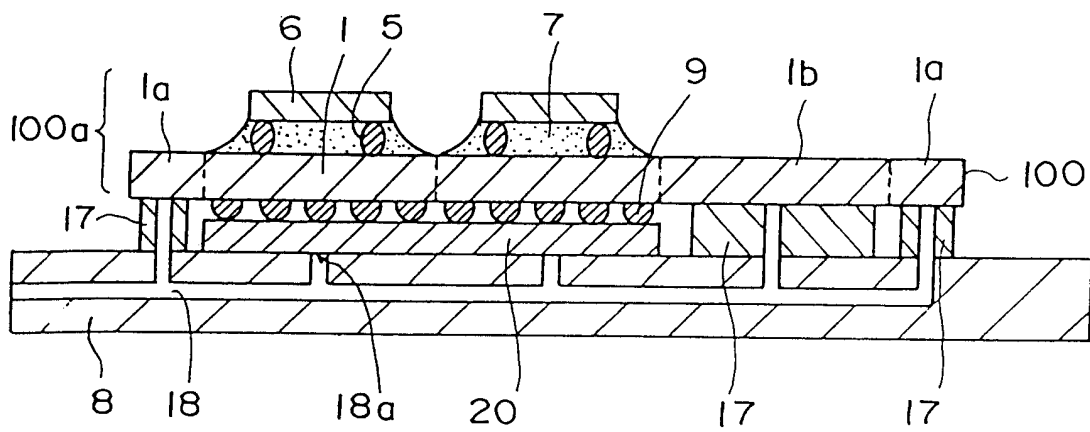


图 15

(A)



(B)

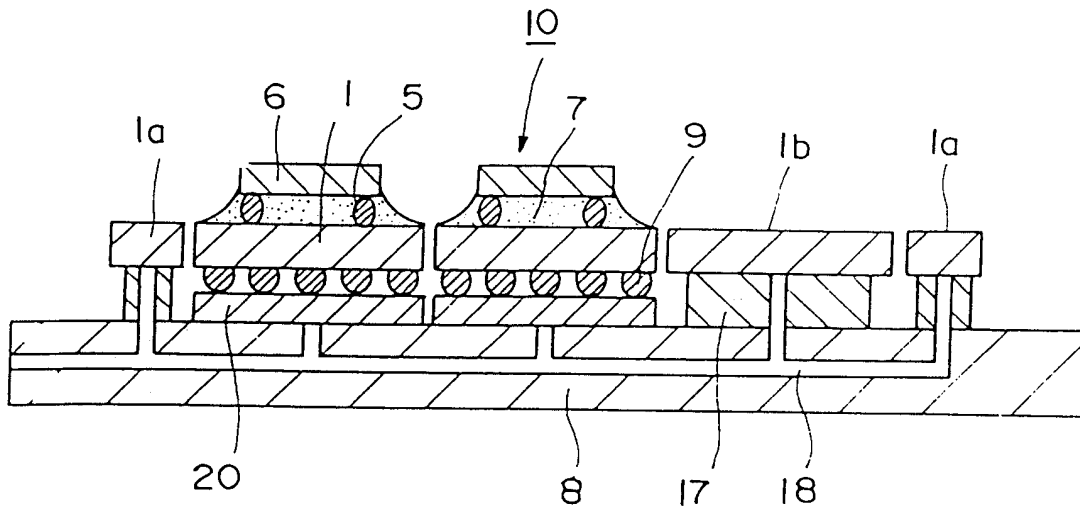
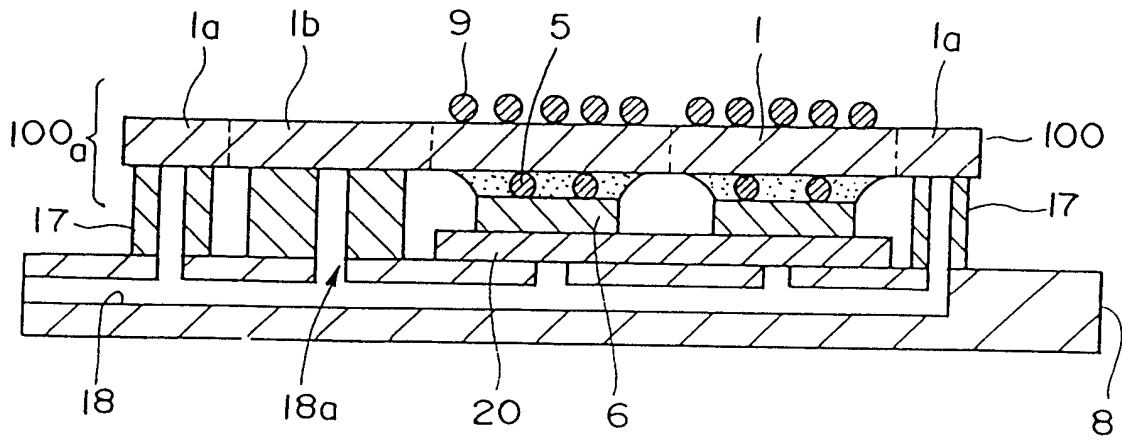


图 16

(A)



(B)

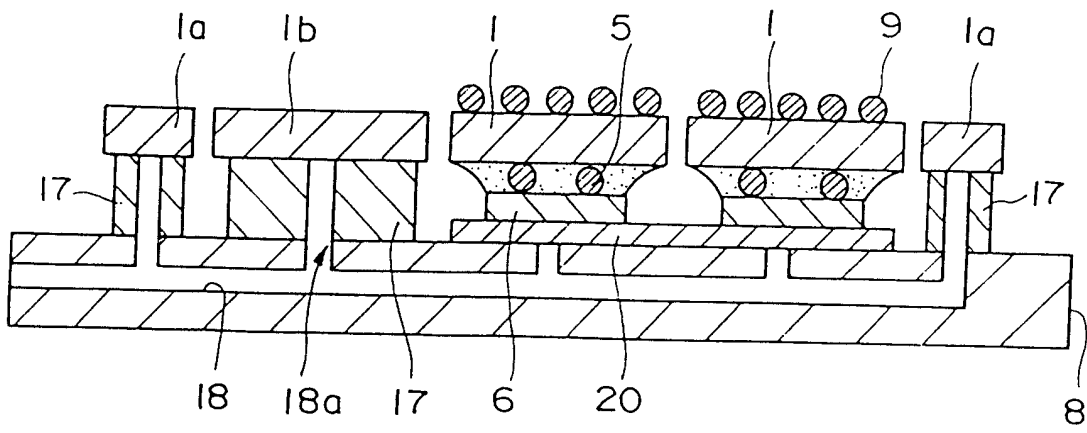


图17

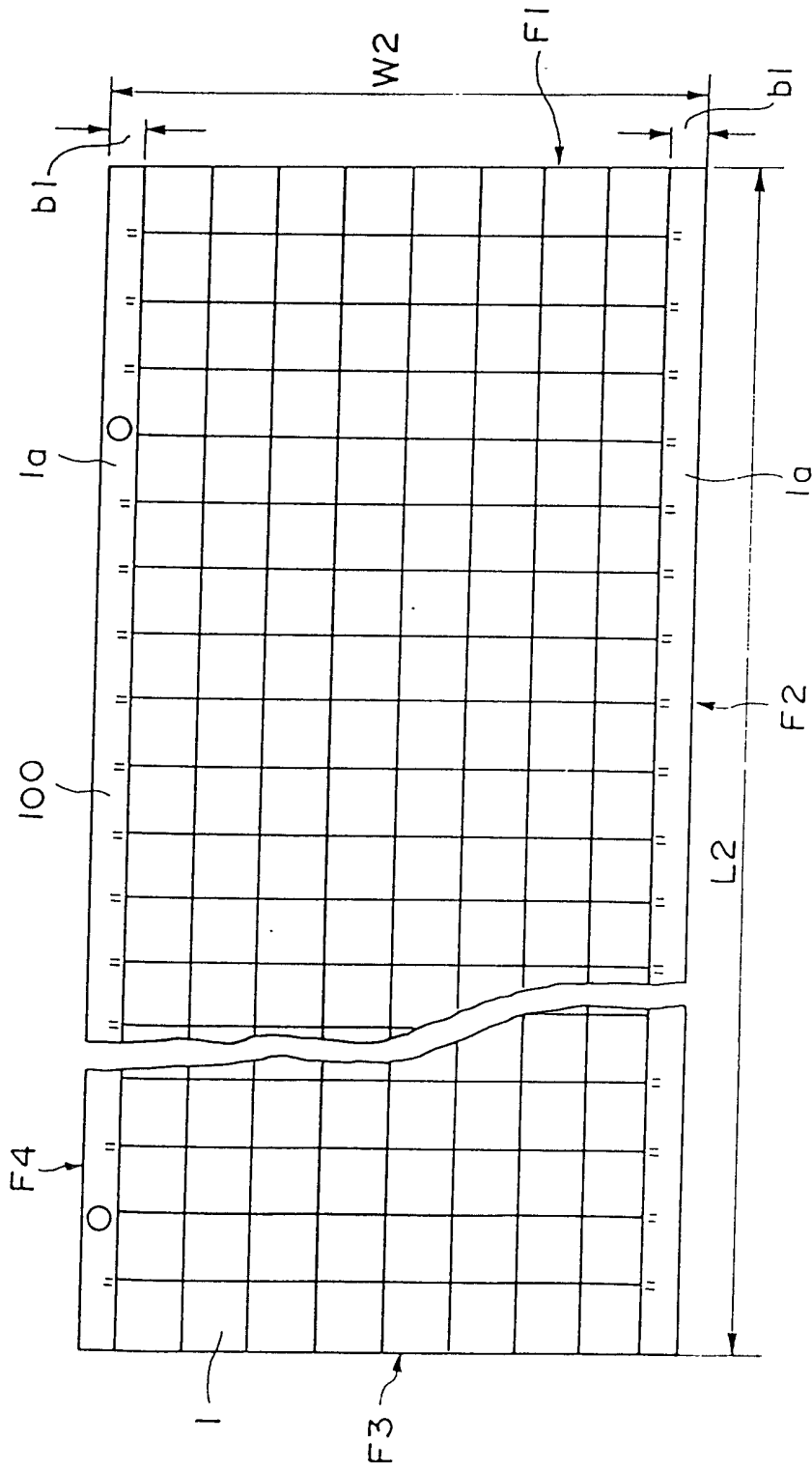


图 18

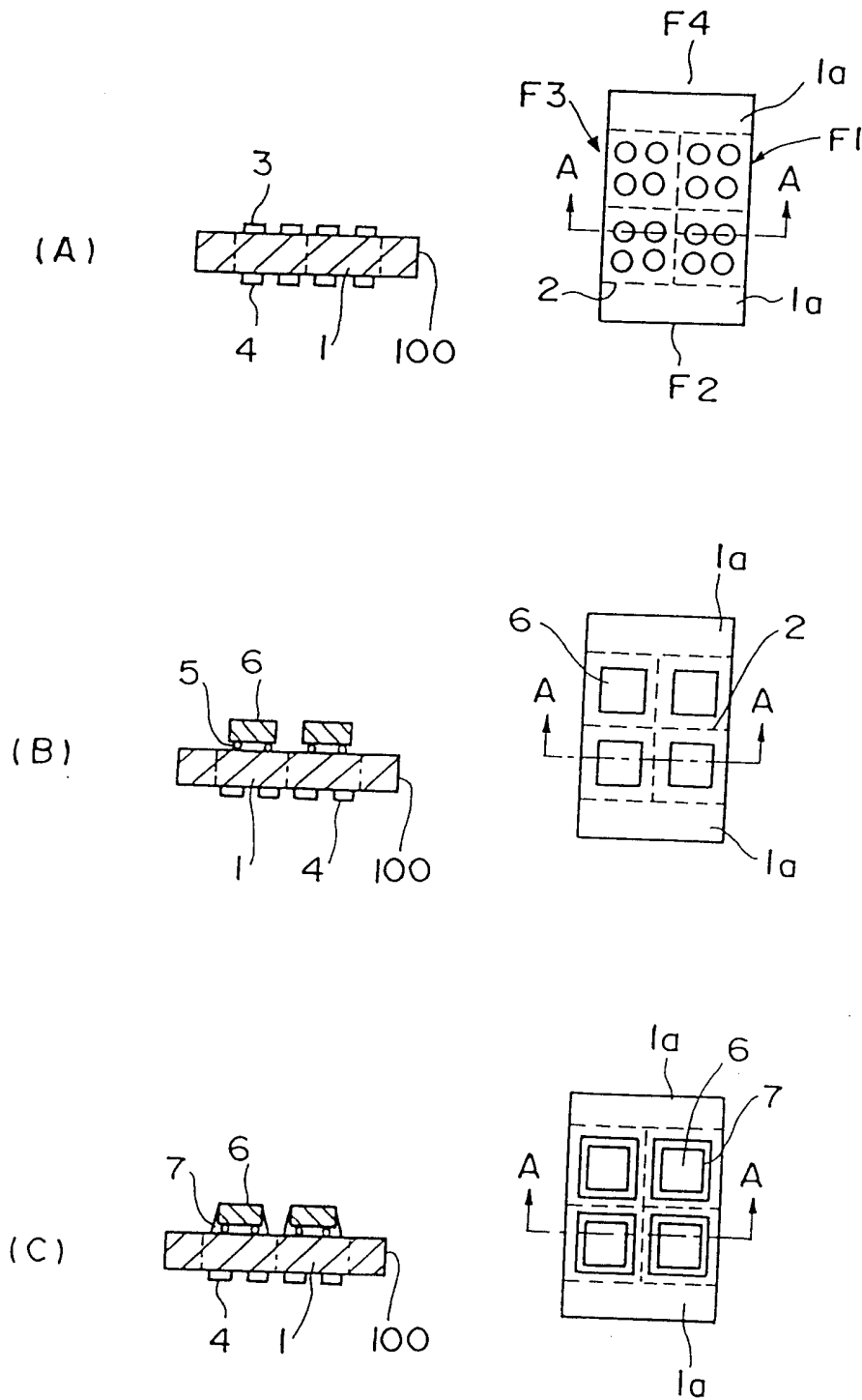


图 19

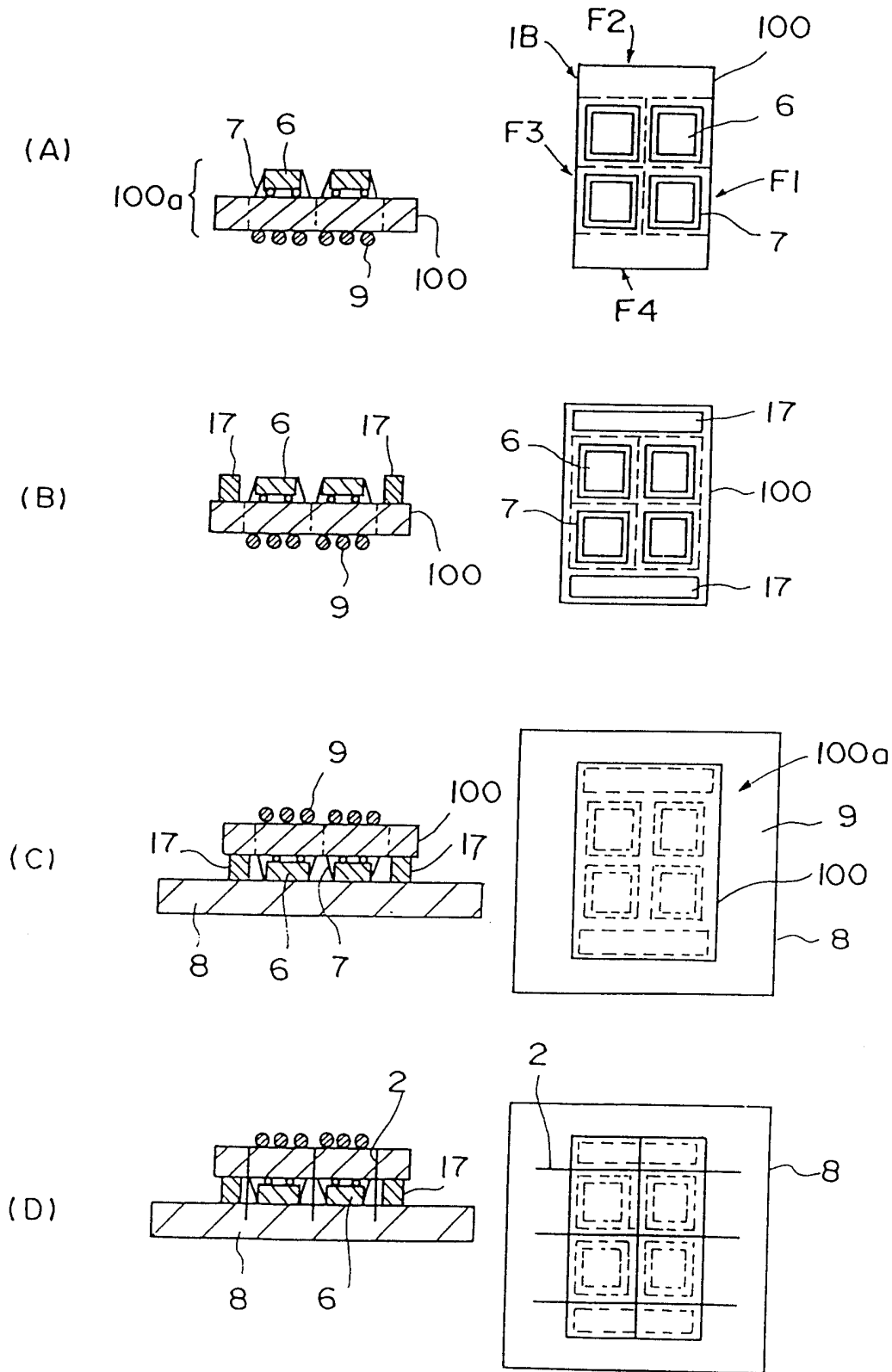


图20

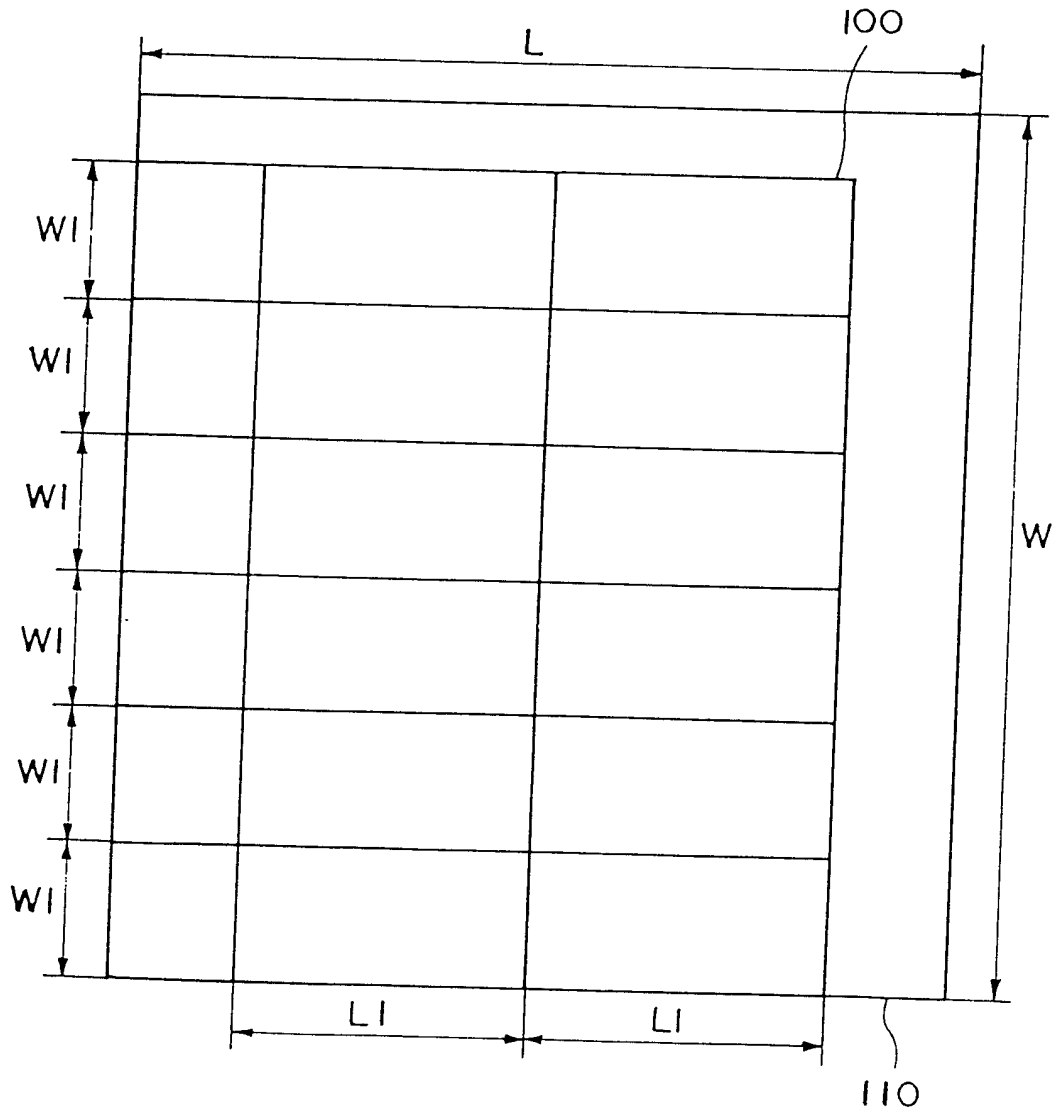


图21

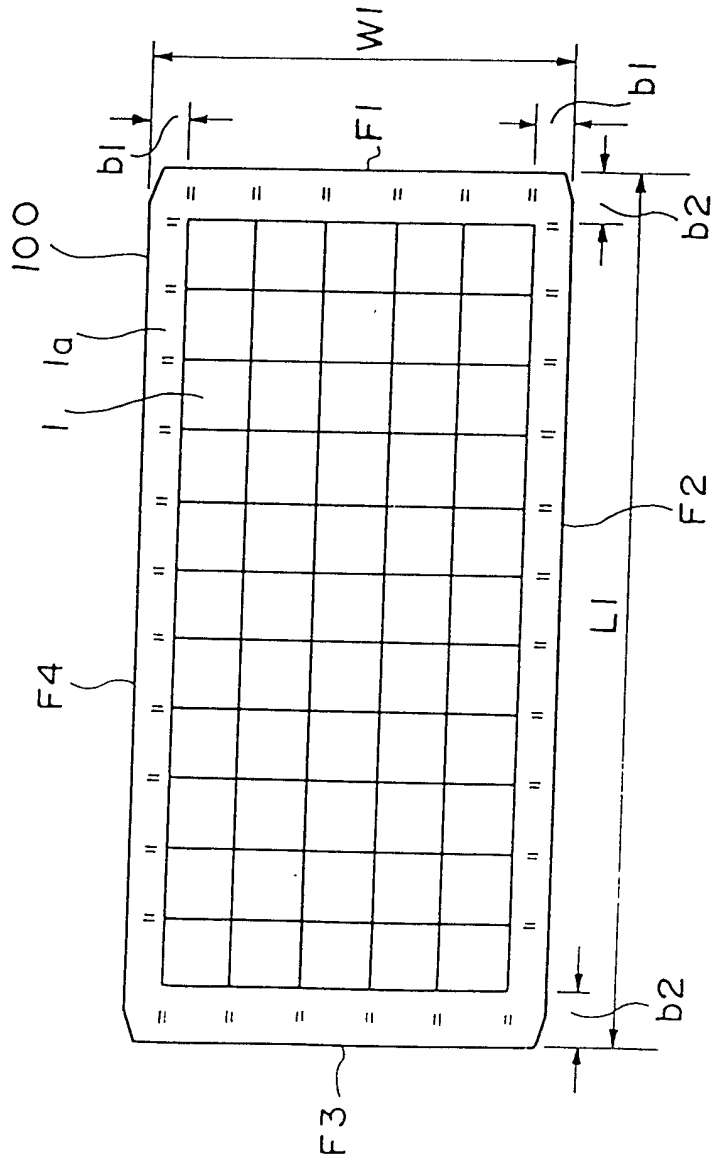


图 22

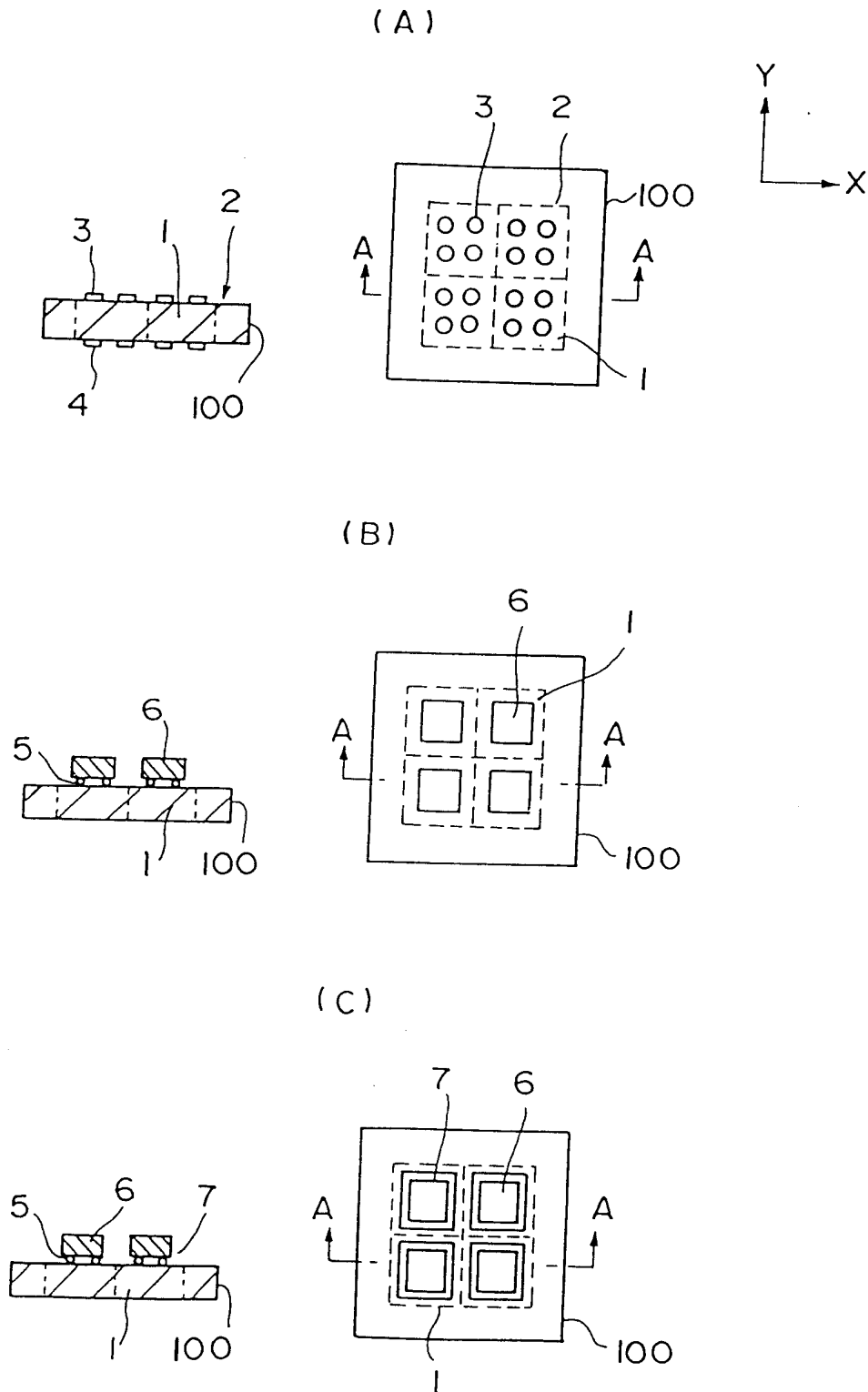
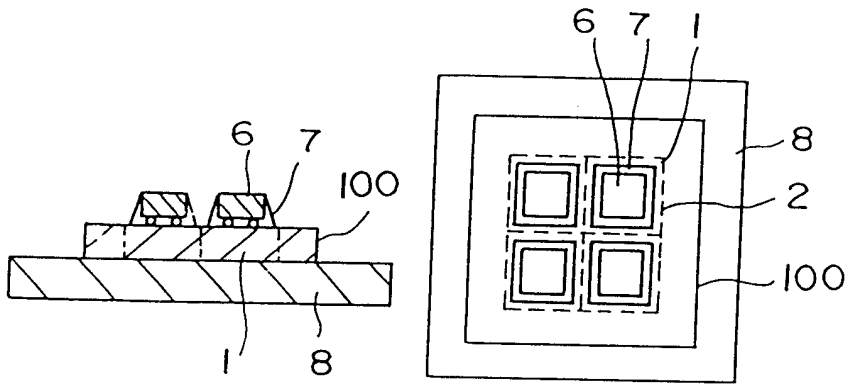
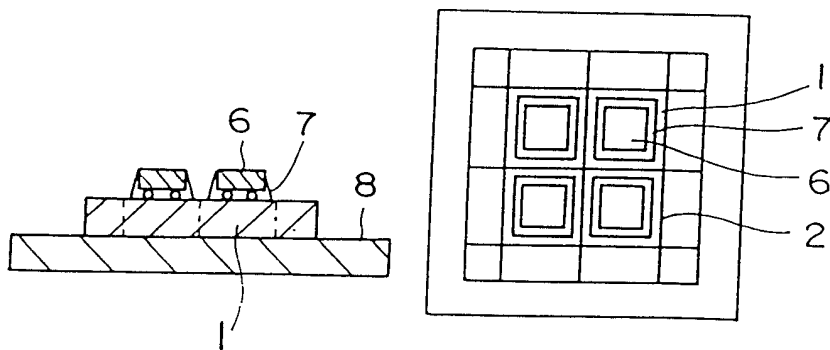


图23

(A)



(B)



(C)

