

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5713729号
(P5713729)

(45) 発行日 平成27年5月7日(2015.5.7)

(24) 登録日 平成27年3月20日(2015.3.20)

(51) Int.Cl.	F 1		
G09G 3/36 (2006.01)	G09G 3/36		
G09G 3/20 (2006.01)	G09G 3/20	6 1 1 A	
G02F 1/133 (2006.01)	G09G 3/20	6 2 4 B	
H01L 51/50 (2006.01)	G09G 3/20	6 4 1 C	
H05B 33/14 (2006.01)	G09G 3/20	6 2 2 E	
請求項の数 5 (全 37 頁) 最終頁に続く			

(21) 出願番号 特願2011-49372 (P2011-49372)
 (22) 出願日 平成23年3月7日(2011.3.7)
 (65) 公開番号 特開2011-209713 (P2011-209713A)
 (43) 公開日 平成23年10月20日(2011.10.20)
 審査請求日 平成26年2月25日(2014.2.25)
 (31) 優先権主張番号 特願2010-50869 (P2010-50869)
 (32) 優先日 平成22年3月8日(2010.3.8)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 小山 潤
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

審査官 中村 直行

最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項1】

コントローラと、
 第1の画素と、
 前記第1の画素と同じ行に配列された第2の画素と、
 前記第1の画素と同じ列に配列された第3の画素と、
 前記第1の画素及び前記第2の画素のそれぞれと電氣的に接続される第1の走査線と、
 前記第1の画素及び前記第3の画素のそれぞれと電氣的に接続される第2の走査線と、
 前記第1の画素及び前記第3の画素のそれぞれと電氣的に接続される信号線と、
 前記第1の走査線と電氣的に接続される第1の駆動回路と、
 前記第2の走査線及び前記信号線のそれぞれと電氣的に接続される第2の駆動回路と、
 を有し、
 前記コントローラは、前記第1の画素、前記第2の画素及び前記第3の画素のそれぞれ
 における、連続する2フレーム間の差分を検出する機能を有し、
 前記コントローラは、前記第1の画素及び前記第2の画素の少なくとも一において前記
 差分が検出されたか否かを示す第1の信号を出力する機能を有し、
 前記コントローラは、前記第1の画素において前記差分が検出されたか否かを示す第2
 の信号を出力する機能を有し、
 前記第1の駆動回路は、シフトレジスタと、第1のラッチと、第1のバッファと、を有
 し、

10

20

前記第 1 のラッチは、前記第 1 の信号を保持する機能を有し、

前記第 1 のバッファは、前記ラッチに保持される前記第 1 の信号に応じて、前記第 1 の走査線へ供給する信号を、前記シフトレジスタの出力信号と非選択信号とから選択する機能を有し、

前記第 2 の駆動回路は、前記第 2 の信号に応じて、前記第 2 の走査線への選択信号の供給の有無を制御する機能を有し、

前記第 2 の駆動回路は、前記第 2 の信号に応じて、前記信号線へのデータ信号の供給の有無を制御する機能を有することを特徴とする表示装置。

【請求項 2】

コントローラと、

第 1 の画素と、

前記第 1 の画素と同じ行に配列された第 2 の画素と、

前記第 1 の画素と同じ列に配列された第 3 の画素と、

前記第 1 の画素及び前記第 2 の画素のそれぞれと電氣的に接続される第 1 の走査線と、

前記第 1 の画素及び前記第 3 の画素のそれぞれと電氣的に接続される第 2 の走査線と、

前記第 1 の画素及び前記第 3 の画素のそれぞれと電氣的に接続される信号線と、

前記第 1 の走査線と電氣的に接続される第 1 の駆動回路と、

前記第 2 の走査線及び前記信号線のそれぞれと電氣的に接続される第 2 の駆動回路と、

を有し、

前記コントローラは、前記第 1 の画素、前記第 2 の画素及び前記第 3 の画素のそれぞれにおける、連続する 2 フレーム間の差分を検出する機能を有し、

前記コントローラは、前記第 1 の画素及び前記第 2 の画素の少なくとも一において前記差分が検出されたか否かを示す第 1 の信号を出力する機能を有し、

前記コントローラは、前記第 1 の画素において前記差分が検出されたか否かを示す第 2 の信号を出力する機能を有し、

前記第 1 の駆動回路は、前記第 1 の信号に応じて、前記第 1 の走査線への選択信号の供給の有無を制御する機能を有し、

前記第 2 の駆動回路は、第 2 のラッチと、第 3 のラッチと、第 2 のバッファと、を有し、

前記第 2 のラッチは、前記第 2 の信号を保持する機能を有し、

前記第 3 のラッチは、前記第 2 のラッチから転送される前記第 2 の信号に応じて、前記第 2 の走査線へ供給する信号を選択信号と非選択信号とから選択する機能を有し、

前記第 2 のバッファは、前記第 3 のラッチの出力信号に応じて、前記データ信号の前記信号線への供給の有無を制御する機能を有することを特徴とする表示装置。

【請求項 3】

コントローラと、

第 1 の画素と、

前記第 1 の画素と同じ行に配列された第 2 の画素と、

前記第 1 の画素と同じ列に配列された第 3 の画素と、

前記第 1 の画素及び前記第 2 の画素のそれぞれと電氣的に接続される第 1 の走査線と、

前記第 1 の画素及び前記第 3 の画素のそれぞれと電氣的に接続される第 2 の走査線と、

前記第 1 の画素及び前記第 3 の画素のそれぞれと電氣的に接続される信号線と、

前記第 1 の走査線と電氣的に接続される第 1 の駆動回路と、

前記第 2 の走査線及び前記信号線のそれぞれと電氣的に接続される第 2 の駆動回路と、

を有し、

前記コントローラは、前記第 1 の画素、前記第 2 の画素及び前記第 3 の画素のそれぞれにおける、連続する 2 フレーム間の差分を検出する機能を有し、

前記コントローラは、前記第 1 の画素及び前記第 2 の画素の少なくとも一において前記差分が検出されたか否かを示す第 1 の信号を出力する機能を有し、

前記コントローラは、前記第 1 の画素において前記差分が検出されたか否かを示す第 2

10

20

30

40

50

の信号を出力する機能を有し、

前記第1の駆動回路は、シフトレジスタと、第1のラッチと、第1のバッファと、を有し、

前記第1のラッチは、前記第1の信号を保持する機能を有し、

前記第1のバッファは、前記ラッチに保持される前記第1の信号に応じて、前記第1の走査線へ供給する信号を、前記シフトレジスタの出力信号と非選択信号とから選択する機能を有し、

前記第2の駆動回路は、第2のラッチと、第3のラッチと、第2のバッファと、を有し、

前記第2のラッチは、前記第2の信号を保持する機能を有し、

前記第3のラッチは、前記第2のラッチから転送される前記第2の信号に応じて、前記第2の走査線へ供給する信号を選択信号と非選択信号とから選択する機能を有し、

前記第2のバッファは、前記第3のラッチの出力信号に応じて、前記データ信号の前記信号線への供給の有無を制御する機能を有することを特徴とする表示装置。

【請求項4】

請求項1乃至請求項3のいずれか一項において、

前記第1の画素は、ゲートが前記第1の走査線と電氣的に接続され、ソース又はドレインの一方が前記信号線と電氣的に接続される第1のトランジスタを有し、

前記第1の画素は、ゲートが前記第2の走査線と電氣的に接続され、ソース又はドレインの一方が前記第1のトランジスタのソース又はドレインの他方と電氣的に接続された第2のトランジスタを有することを特徴とする表示装置。

【請求項5】

請求項4において、

前記第1のトランジスタ又は前記第2のトランジスタは、チャンネル形成領域にキャリア密度が $1 \times 10^{12} / \text{cm}^3$ 未満の酸化物半導体を有し、

前記第1のトランジスタ又は前記第2のトランジスタのチャンネル幅 $1 \mu\text{m}$ あたりのオフ電流は、 $1 \times 10^{-18} \text{A} / \mu\text{m}$ 以下であることを特徴とする表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置に関する。特に、アクティブマトリクス型の表示装置に関する。

【背景技術】

【0002】

マトリクス状に配列された複数の画素を有するアクティブマトリクス型の表示装置が普及している。一般的には、当該画素は、トランジスタと、該トランジスタのゲートに電氣的に接続される走査線と、該トランジスタのソース及びドレインの一方に電氣的に接続される信号線とを有する。さらに、当該表示装置は、当該走査線の電位及び当該信号線の電位を制御するコントローラを有し、当該コントローラによって各画素へのデータ信号の供給が制御される。

【0003】

近年では、地球環境への関心が高まり、低消費電力型の表示装置の開発が注目されている。例えば、特許文献1では、表示装置の表示の書き換え頻度を低減することで消費電力を低減する技術が開示されている。特許文献1で開示される表示装置の具体的な構成について以下に述べる。

【0004】

特許文献1で開示される表示装置では、1画面を走査する走査期間と、該走査期間に続き且つ該走査期間よりも長い休止期間とが設けられている。そして、当該休止期間において、走査線の電位を非選択信号の電位に固定すると共に、(1)信号線の電位を固定電位とする、(2)信号線の電位を固定電位とした後に浮遊状態とする、又は(3)信号線にデータ信号の周波数以下の交流の駆動信号を与えるなどの技術が開示されている。これに

10

20

30

40

50

より、休止期間における信号線の電位の変動に伴う電力の消費を低減している。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2002-182619号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

特許文献1で開示される表示装置では、マトリクス状に配列された複数の画素のそれぞれにおいて、データ信号の書き換え頻度は同一である。そのため、特定の領域において頻 10
 繁に表示が変化する映像に対しては、特許文献1で開示される表示装置は適さない。すな
 わち、頻繁に表示が変化する領域において高品質な映像を表示するためには、上記の休止
 期間を短期化して頻繁にデータ信号を書き換える必要がある。その際、その他の領域（比
 較的表示が変化しない領域）においてもデータ信号が頻繁に書き換えられる。これにより
 、特許文献1で開示される表示装置が従来の表示装置に対して有する利点（消費電力の低
 減）が希釈されることになる。

【0007】

そこで、本発明の一態様は、表示装置が特定の領域において頻繁に表示が変化する映像 20
 を表示する場合であっても、高品質な映像の表示及び消費電力の低減の両立を可能とす
 ることを課題の一とする。

【課題を解決するための手段】

【0008】

上述した課題は、データ信号の書き換え頻度を特定領域毎（例えば、画素毎）に制御す 30
 ることによって解決することが可能である。

【0009】

すなわち、本発明の一態様は、連続する2フレームの画像を形成するためのデータ信号 30
 を比較してマトリクス状に配列された複数の画素のそれぞれにおける差分を検出し、同一
 行に配列された第1の画素乃至第nの画素（nは、2以上の自然数）の少なくとも一にお
 いて差分が検出されるか否かを示す行書き換え制御信号、及び第kの画素（kは、1以上
 n以下の自然数）において差分が検出されるか否かを示す列書き換え制御信号を出力する 30
 コントローラと、行書き換え制御信号に応じて選択信号が供給されるか否かが選択される
 、第1の画素乃至第nの画素に電氣的に接続された第1の走査線と、列書き換え制御信号
 に応じて選択信号が供給されるか否かが選択される、第kの画素と同一列に配列された複
 数の画素の全てに電氣的に接続された第2の走査線と、列書き換え制御信号に応じてデー
 タ信号が供給されるか否かが選択される、第kの画素と同一列に配列された複数の画素の
 全てに電氣的に接続された信号線と、を有し、第kの画素は、ゲートが第1の走査線に電
 氣的に接続され、ソース及びドレインの一方が信号線に電氣的に接続された第1のラン
 ジスタと、ゲートが第2の走査線に電氣的に接続され、ソース及びドレインの一方が第1
 のランジスタのソース及びドレインの他方に電氣的に接続された第2のランジスタと 40
 、を有する表示装置である。

【発明の効果】

【0010】

本発明の一態様の表示装置は、データ信号のみならず行書き換え制御信号及び列書き換 50
 え制御信号を出力するコントローラを有する。なお、行書き換え制御信号は、第1の走査
 線に対する選択信号の供給を選択する信号であり、列書き換え制御信号は、第2の走査線
 に対する選択信号及び信号線に対するデータ信号の供給を選択する信号である。このよう
 に、コントローラが行書き換え制御信号及び列書き換え制御信号を出力することで、マト
 リクス状に配列された複数の画素に対するデータ信号の書き換えを画素毎に選択すること
 が可能になる。その結果、表示装置が特定の領域において頻繁に表示が変化する映像の表
 示を行う場合であっても、高品質な映像の表示及び消費電力の低減を両立させることが可

能になる。

【図面の簡単な説明】

【0011】

【図1】(A)表示装置の一例を示す図、(B)画素の一例を示す回路図。

【図2】(A)第1の走査線駆動回路の一例を示す図、(B)信号線及び第2の走査線駆動回路の一例を示す図。

【図3】第1の走査線駆動回路の動作の一例を示す図。

【図4】信号線及び第2の走査線駆動回路の動作の一例を示す図。

【図5】コントローラの一例を示す図。

【図6】コントローラの動作の一例を示す図。

10

【図7】(A)第1の走査線駆動回路の一例を示す図、(B)信号線及び第2の走査線駆動回路の一例を示す図。

【図8】(A)表示装置の一例を示す図、(B)信号線駆動回路の一例を示す図、(C)第2の走査線駆動回路の一例を示す図。

【図9】トランジスタの一例を示す断面図。

【図10】トランジスタの特性を示す図。

【図11】トランジスタの特性評価用回路図。

【図12】トランジスタの特性評価用タイミングチャート。

【図13】トランジスタの特性を示す図。

【図14】トランジスタの特性を示す図。

20

【図15】トランジスタの特性を示す図。

【図16】(A)～(C)トランジスタの一例を示す断面図。

【図17】(A)～(D)トランジスタの製造工程の一例を示す断面図。

【図18】(A)～(F)電子機器の一例を示す図。

【発明を実施するための形態】

【0012】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

30

【0013】

(アクティブマトリクス型の表示装置の一例)

はじめに、アクティブマトリクス型の表示装置の一例について図1を参照して説明する。

【0014】

図1(A)は、アクティブマトリクス型の表示装置の構成例を示す図である。図1(A)に示す表示装置は、画素部10と、第1の走査線駆動回路11と、信号線及び第2の走査線駆動回路12と、コントローラ13と、各々が平行又は略平行に配列され、且つ第1の走査線駆動回路11によって電位が制御される複数の第1の走査線14と、各々が平行又は略平行に配列され、且つ信号線及び第2の走査線駆動回路12によって電位が制御される複数の信号線15と、各々が平行又は略平行に配列され、且つ信号線及び第2の走査線駆動回路12によって電位が制御される複数の第2の走査線16と、を有する。さらに、画素部10は、マトリクス状に配列された複数の画素17を有する。なお、複数の第1の走査線14の各々は、マトリクス状に配列された複数の画素17のうち、いずれかの行に配列された複数の画素17に電気的に接続され、複数の信号線15の各々及び複数の第2の走査線16の各々は、マトリクス状に配列された複数の画素17のうち、いずれかの列に配列された複数の画素17に電気的に接続される。また、第1の走査線駆動回路11には、コントローラ13から第1の走査線駆動用スタート信号、第1の走査線駆動用クロック信号、行書き換え制御信号などの信号、及び高電源電位(V_{dd})、低電源電位(V_{ss})などの駆動用電源が入力される。また、信号線及び第2の走査線駆動回路12には

40

50

、コントローラ 13 から信号線及び第 2 の走査線駆動用スタート信号、信号線及び第 2 の走査線駆動用クロック信号、列書き換え制御信号、データ信号などの信号、及び高電源電位 (V_{dd})、低電源電位 (V_{ss}) などの駆動用電源が入力される。

【0015】

図 1 (B) は、図 1 (A) に示す表示装置が有する画素 17 の回路図の一例を示す図である。図 1 (B) に示す画素 17 は、ゲートが第 1 の走査線 14 に電氣的に接続され、ソース及びドレインの一方が信号線 15 に電氣的に接続されたトランジスタ 20 と、ゲートが第 2 の走査線 16 に電氣的に接続され、ソース及びドレインの一方がトランジスタ 20 のソース及びドレインの他方に電氣的に接続されたトランジスタ 21 と、一方の電極がトランジスタ 21 のソース及びドレインの他方に電氣的に接続され、他方の電極が共通電位 (V_{com}) を供給する配線 (共通電位線ともいう) に電氣的に接続された容量素子 22 と、一方の電極 (画素電極ともいう) がトランジスタ 21 のソース及びドレインの他方並びに容量素子 22 の一方の電極に電氣的に接続され、他方の電極 (対向電極ともいう) が対向電位を供給する配線に電氣的に接続された液晶素子 23 と、を有する。なお、トランジスタ 20、21 は、n チャンネル型のトランジスタである。また、共通電位 (V_{com}) と対向電位を同一の電位とすることが可能である。

10

【0016】

(アクティブマトリクス型の表示装置の動作の一例)

次いで、上述した表示装置の動作の一例について説明する。

【0017】

まず、コントローラ 13 に画素部 10 において画像を形成するためのデータ信号が連続的に入力される。コントローラ 13 は、入力されたデータ信号のうち、連続する 2 フレームの画像を形成するためのデータ信号を比較して、マトリクス状に配列された複数の画素 17 のそれぞれにおける差分を検出する。さらに、コントローラ 13 は、検出された差分を基に行書き換え制御信号及び列書き換え制御信号を生成する。

20

【0018】

行書き換え制御信号は、画素部 10 において同一行に配列された複数の画素 17 の少なくとも一において差分が検出されるか否かを示す信号であり、列書き換え制御信号は、各画素 17 において差分が検出されるか否かを示す信号である。すなわち、行書き換え制御信号及び列書き換え制御信号は、共に 2 値の信号である。また、信号の周波数は、列書き換え制御信号の方が行書き換え制御信号よりも高い。具体的には、行書き換え制御信号は、1 水平走査期間 (1 ゲート選択期間ともいう) 毎に信号が変化し得る信号であり、列書き換え制御信号は、当該 1 水平走査期間に含まれる信号線 15 が選択される期間 (画素 17 にデータ信号が入力される期間) 毎に信号が変化し得る信号である。なお、以下においては、便宜上「同一行に配列された複数の画素 17 の少なくとも一において差分を検出した」場合の行書き換え制御信号をハイレベルの信号と呼び、「同一行に配列された複数の画素 17 のいずれにおいても差分を検出しない」場合の行書き換え制御信号をロウレベルの信号と呼ぶこととする。同様に、「各画素 17 において差分を検出した」場合の列書き換え制御信号をハイレベルの信号と呼び、「各画素 17 において差分を検出しない」場合の列書き換え制御信号をロウレベルの信号と呼ぶこととする。

30

40

【0019】

第 1 の走査線駆動回路 11 は、複数の第 1 の走査線 14 に対して、順次選択信号を供給する機能を有する。ただし、第 1 の走査線駆動回路 11 には、行書き換え制御信号が入力される。行書き換え制御信号は、第 1 の走査線駆動回路 11 が第 1 の走査線 14 に選択信号を供給するか否かを選択する信号である。具体的には、第 1 の走査線 14 が選択される期間 (1 水平走査期間) において、行書き換え制御信号がハイレベルの信号であれば、第 1 の走査線 14 に選択信号が供給され、ロウレベルの信号であれば、複数の第 1 の走査線 14 に非選択信号が供給される。なお、ここで、選択信号とは、トランジスタ 20 をオン状態とする信号であり、非選択信号とは、トランジスタ 20 をオフ状態とする信号である。

50

【 0 0 2 0 】

信号線及び第2の走査線駆動回路12は、複数の信号線15に対して、順次データ信号を供給し、且つ複数の第2の走査線16に対して、順次選択信号を供給する機能を有する。ただし、信号線及び第2の走査線駆動回路12には、列書き換え制御信号が入力される。列書き換え制御信号は、信号線及び第2の走査線駆動回路12が、信号線15にデータ信号を供給するか否か、及び第2の走査線16に選択信号を供給するか否かを選択する信号である。具体的には、信号線15及び第2の走査線16が選択される期間において、列書き換え制御信号がハイレベルの信号であれば、信号線15にデータ信号が供給され、且つ第2の走査線16に選択信号が供給される。一方、ロウレベルの信号であれば、信号線15にデータ信号が供給されず、且つ第2の走査線16に非選択信号が供給される。なお、ここで、「信号線15にデータ信号が供給されない」とは、信号線15に固定電位若しくは特定の交流電圧が供給される、又は信号線15がフローティング状態となることを指すこととする。

10

【 0 0 2 1 】

以上のように、上述した表示装置においては、コントローラ13から行書き換え制御信号及び列書き換え制御信号を出力することで、マトリクス状に配列された複数の画素17に対するデータ信号の書き換えを画素毎に選択することが可能になる。その結果、特定の領域において頻繁に表示が変化する映像の表示を行う場合であっても、高品質な映像の表示及び消費電力の低減を両立させることが可能になる。

20

【 0 0 2 2 】

(第1の走査線駆動回路11の構成例)

次いで、上述した表示装置が有する第1の走査線駆動回路11の構成例について図2(A)を参照して説明する。図2(A)に示す第1の走査線駆動回路11は、複数の出力端子を有するシフトレジスタ110と、入力端子が行書き換え制御信号を供給する配線に電氣的に接続されたラッチ111と、入力端子がラッチ111の出力端子に電氣的に接続されたラッチ112と、入力端子がシフトレジスタ110の複数の出力端子のいずれかに電氣的に接続され、出力端子が複数の第1の走査線14のいずれかに電氣的に接続されたバッファ113とを有する。

【 0 0 2 3 】

シフトレジスタ110は、外部から入力される第1の走査線駆動用スタート信号をきっかけとして、複数の出力端子から順次選択信号を供給する機能を有する。

30

【 0 0 2 4 】

ラッチ111は、シフトレジスタ110の複数の出力端子のいずれかに電氣的に接続され、該出力端子から選択信号が供給される期間における行書き換え制御信号(2値の信号のいずれか(ハイレベルの信号又はロウレベルの信号))を保持し、且つ該行書き換え制御信号を出力する機能を有する。

【 0 0 2 5 】

ラッチ112は、ゲートラッチ信号を供給する配線に電氣的に接続され、該ゲートラッチ信号から転送信号が供給される期間におけるラッチ111の出力信号(2値の信号のいずれか(ハイレベルの信号又はロウレベルの信号))を保持し、且つ該信号を出力する機能を有する。なお、ゲートラッチ信号とは、ラッチ111が保持する信号のラッチ112への転送を行うか否かを示す信号である。すなわち、ゲートラッチ信号は、2値の信号(転送信号及び非転送信号)によって構成される。ここでは、該ゲートラッチ信号は、シフトレジスタ110が順次選択信号を供給する期間(サンプリング期間)において、非転送信号を示し、連続する2つのサンプリング期間の間の期間(垂直帰線期間)において転送信号を示す信号であるとする。

40

【 0 0 2 6 】

バッファ113は、ラッチ112の出力信号(2値の信号のいずれか(ハイレベルの信号又はロウレベルの信号))に応じて、第1の走査線14へ供給する信号をシフトレジスタ110の出力信号と非選択信号から選択する機能を有する。具体的には、ラッチ112

50

の出力信号が、ハイレベルの信号であればシフトレジスタ110の出力信号を、ロウレベルの信号であれば非選択信号を、第1の走査線14に供給する機能を有する。

【0027】

(第1の走査線駆動回路11の動作の一例)

上述した第1の走査線駆動回路11の動作の一例について、図3を参照して以下に説明する。

【0028】

まず、サンプリング期間(T1)において、シフトレジスタ110の複数の出力端子から順次選択信号が出力される。この際に、期間t1において選択信号を出力する出力端子に電氣的に接続されたラッチ111は、期間t1における行書き換え制御信号を保持し、且つ該行書き換え制御信号を出力する。なお、ここでは、期間t1における行書き換え制御信号は、ハイレベルの信号である。

10

【0029】

次いで、垂直帰線期間(T2)において、ラッチ112に転送信号が入力される。これにより、ラッチ112は、ラッチ111の出力信号(期間t1における行書き換え制御信号=ハイレベルの信号)を保持し、且つ該信号を出力する。さらに、ラッチ112の出力信号は、バッファ113に入力される。これにより、バッファ113の出力信号は、期間t1において選択信号を出力した出力端子の出力信号となる。

【0030】

次いで、サンプリング期間(T3)において、サンプリング期間(T1)と同様にシフトレジスタ110の複数の出力端子から順次選択信号が出力される。この際に、上述したラッチ111(期間t1において選択信号を出力する出力端子に電氣的に接続されたラッチ111)に期間t2において選択信号が入力される。そのため、ラッチ111は、期間t2における行書き換え制御信号を保持し、且つ該行書き換え制御信号を出力する。なお、ここでは、期間t2における行書き換え制御信号は、ロウレベルの信号である。また、サンプリング期間(T3)において、ラッチ112は、垂直帰線期間(T2)における出力信号を維持する。そのため、サンプリング期間(T3)におけるバッファ113の出力信号は、期間t1、t2において選択信号を出力した出力端子の出力信号となる。すなわち、バッファ113は、期間t2において選択信号を第1の走査線14に供給する。

20

【0031】

次いで、垂直帰線期間(T4)において、垂直帰線期間(T2)と同様にラッチ112に転送信号が入力される。これにより、ラッチ112は、ラッチ111の出力信号(期間t2における行書き換え制御信号=ロウレベルの信号)を保持し、且つ該信号を出力する。さらに、ラッチ112の出力信号は、バッファ113に入力される。これにより、バッファ113の出力信号は、非選択信号となる。

30

【0032】

次いで、サンプリング期間(T5)において、サンプリング期間(T1)、(T3)と同様にシフトレジスタ110の複数の出力端子から順次選択信号が出力される。この際に、上述したラッチ111(期間t1、t2において選択信号を出力する出力端子に電氣的に接続されたラッチ111)に期間t3において選択信号が入力される。そのため、当該ラッチ111は、期間t3における行書き換え制御信号を保持し、且つ該行書き換え制御信号を出力する。なお、ここでは、期間t3における行書き換え制御信号は、ハイレベルの信号である。また、サンプリング期間(T5)において、ラッチ112は、垂直帰線期間(T4)における出力信号を維持する。そのため、サンプリング期間(T5)におけるバッファ113の出力信号は、非選択信号となる。すなわち、バッファ113は、サンプリング期間(T5)に渡って、第1の走査線14に非選択信号を供給する。

40

【0033】

上述したような動作を行うことで、第1の走査線駆動回路11は、行書き換え制御信号に応じて、第1の走査線14に選択信号を供給するか否かを選択することが可能である。なお、上述した表示装置の動作においては、期間t1、t2、t3のそれぞれが1水平走

50

査期間となり、垂直帰線期間及び該垂直帰線期間に続くサンプリング期間が1フレーム期間となる。

【0034】

(信号線及び第2の走査線駆動回路12の構成例)

次いで、上述した表示装置が有する信号線及び第2の走査線駆動回路12の構成例について、図2(B)を参照して説明する。図2(B)に示す信号線及び第2の走査線駆動回路12は、複数の出力端子を有するシフトレジスタ120と、入力端子が列書き換え制御信号を供給する配線に電氣的に接続されたラッチ121と、入力端子がラッチ121の出力端子に電氣的に接続され、出力端子が複数の第2の走査線16のいずれかに電氣的に接続されたラッチ122と、入力端子がデータ信号を供給する配線に電氣的に接続されたラッチ123と、入力端子がラッチ123の出力端子に電氣的に接続されたラッチ124と、入力端子がラッチ124の出力端子に電氣的に接続されたデジタルアナログ変換回路(DAC)125と、入力端子がデジタルアナログ変換回路(DAC)125の出力端子に電氣的に接続され、出力端子が複数の信号線15のいずれかに電氣的に接続されたアナログバッファ126とを有する。

10

【0035】

シフトレジスタ120は、外部から入力される、信号線及び第2の走査線駆動用スタート信号をきっかけとして、複数の出力端子から順次選択信号を供給する機能を有する。

【0036】

ラッチ121は、シフトレジスタ120の複数の出力端子のいずれかに電氣的に接続され、該出力端子から選択信号が供給される期間における列書き換え制御信号(2値の信号のいずれか(ハイレベルの信号又はロウレベルの信号))を保持し、且つ該列書き換え制御信号を出力する機能を有する。

20

【0037】

ラッチ122は、ソースラッチ信号を供給する配線に電氣的に接続され、該ソースラッチ信号から転送信号が供給される期間におけるラッチ121の出力信号(2値の信号のいずれか(ハイレベルの信号又はロウレベルの信号))を保持し、且つ該信号を出力する機能を有する。なお、ソースラッチ信号とは、ラッチ121が保持する信号のラッチ122への転送を行うか否かを示す信号である。すなわち、ソースラッチ信号は、2値の信号(転送信号及び非転送信号)によって構成される。ここでは、該ソースラッチ信号は、シフトレジスタ120が順次選択信号を供給する期間(サンプリング期間)において、非転送信号を示し、連続する2つのサンプリング期間の間の期間(水平帰線期間)において転送信号を示す信号であるとする。また、ラッチ122の出力信号は、複数の第2の走査線16のいずれかを介して画素17に設けられたトランジスタ21のゲートに供給されるため、水平帰線期間においてラッチ121からハイレベルの信号が入力される際には、トランジスタ21をオン状態とする信号(選択信号)を出力し、水平帰線期間においてラッチ121からロウレベルの信号が入力される際には、トランジスタ21をオフ状態とする信号(非選択信号)を出力するように設計する必要がある。

30

【0038】

ラッチ123は、シフトレジスタ120の複数の出力端子のいずれかに電氣的に接続され、該出力端子から選択信号が供給される期間におけるデータ信号を保持し、且つ該データ信号を出力する機能を有する。なお、該データ信号は、多値のデジタル信号である。

40

【0039】

ラッチ124は、ソースラッチ信号を供給する配線に電氣的に接続され、該ソースラッチ信号から転送信号が供給される期間におけるラッチ123の出力信号(多値の信号のいずれか)を保持し、且つ該信号を出力する機能を有する。

【0040】

デジタルアナログ変換回路(DAC)125は、ラッチ124から入力されるデータ信号をデジタル信号からアナログ信号へと変換し、出力する機能を有する。

【0041】

50

アナログバッファ126は、ラッチ122の出力信号(2値の信号のいずれか(ハイレベルの信号又はロウレベルの信号))に応じて、信号線15へのデータ信号(アナログデータ信号)を供給するか否かを選択する機能を有する。具体的には、ラッチ122の出力信号が、ハイレベルの信号であれば、データ信号(アナログデータ信号)を信号線15に供給し、ロウレベルの信号であれば、データ信号(アナログデータ信号)を信号線15に供給しない機能を有する。

【0042】

(信号線及び第2の走査線駆動回路12の動作の一例)

上述した信号線及び第2の走査線駆動回路12の動作の一例について、図4を参照して以下に説明する。

【0043】

まず、サンプリング期間(Ta)において、シフトレジスタ120の複数の出力端子から順次選択信号が出力される。この際に、期間taにおいて選択信号を出力する出力端子に電氣的に接続されたラッチ121は、期間taにおける列書き換え制御信号を保持し、且つ該列書き換え制御信号を出力する。なお、ここでは、期間taにおける列書き換え制御信号は、ハイレベルの信号である。また、期間taにおいて選択信号を出力する出力端子に電氣的に接続されたラッチ123は、多値によって構成されるデータ信号(DATA(D)-1)に含まれる期間taにおける特定のデータ信号(data(D)-1)を保持し、且つ該データ信号(data(D)-1)を出力する。

【0044】

次いで、水平帰線期間(Tb)において、ラッチ122、ラッチ124に転送信号が入力される。これにより、ラッチ122は、ラッチ121の出力信号(期間taにおける列書き換え制御信号=ハイレベルの信号)を保持し、且つ該信号を出力する。当該ラッチ122の出力信号は、複数の第2の走査線16のいずれかを介して画素17に設けられたトランジスタ21のゲートに供給され、トランジスタ21がオン状態となる。また、ラッチ124は、ラッチ123の出力信号(期間taにおけるデータ信号(data(D)-1)を保持し、且つ該信号を出力する。ラッチ124の出力信号は、デジタルアナログ変換回路(DAC)125に入力される。これにより、デジタルアナログ変換回路(DAC)125は、アナログのデータ信号(data(A)-1)を出力する。デジタルアナログ変換回路(DAC)125の出力信号は、アナログバッファ126に入力される。さらに、アナログバッファ126には、ラッチ122の出力信号(期間taにおける列書き換え制御信号=ハイレベルの信号)が入力される。これにより、アナログバッファ126の出力信号は、アナログのデータ信号(data(A)-1)となる。

【0045】

次いで、サンプリング期間(Tc)において、サンプリング期間(Ta)と同様にシフトレジスタ120の複数の出力端子から順次選択信号が出力される。この際に、上述したラッチ121(期間taにおいて選択信号を出力する出力端子に電氣的に接続されたラッチ121)は、期間tbにおける列書き換え制御信号を保持し、且つ該列書き換え制御信号を出力する。なお、ここでは、期間tbにおける列書き換え制御信号は、ロウレベルの信号である。また、サンプリング期間(Tc)において、上述したラッチ123(期間taにおいて選択信号を出力する出力端子に電氣的に接続されたラッチ123)は、多値によって構成されるデータ信号(DATA(D)-2)に含まれる期間tbにおけるデータ信号(data(D)-2)を保持し、且つ該データ信号(data(D)-2)を出力する。また、サンプリング期間(Tc)において、ラッチ122、124は、水平帰線期間(Tb)における出力信号を維持する。そのため、サンプリング期間(Tc)における上述したトランジスタ21(ラッチ122の出力信号が、ゲートに供給されるトランジスタ21)は、オン状態を維持し、且つアナログバッファ126の出力信号は、アナログのデータ信号(data(A)-1)を維持する。すなわち、アナログバッファ126は、サンプリング期間(Tc)に渡って、アナログのデータ信号(data(A)-1)を信号線15に供給する。

10

20

30

40

50

【 0 0 4 6 】

次いで、水平帰線期間 (T d) において、水平帰線期間 (T b) と同様にラッチ 1 2 2、ラッチ 1 2 4 に転送信号が入力される。これにより、ラッチ 1 2 2 は、ラッチ 1 2 1 の出力信号 (期間 t b における列書き換え制御信号 = ロウレベルの信号) を保持し、且つ該信号を出力する。さらに、当該ラッチ 1 2 2 の出力信号は、複数の第 2 の走査線 1 6 のいずれかを介して画素 1 7 に設けられたトランジスタ 2 1 のゲートに供給され、トランジスタ 2 1 がオフ状態となる。また、ラッチ 1 2 4 は、ラッチ 1 2 3 の出力信号 (期間 t b におけるデータ信号 (d a t a (D) - 2) を保持し、且つ該信号を出力する。ラッチ 1 2 4 の出力信号は、デジタルアナログ変換回路 (D A C) 1 2 5 に入力される。これにより、デジタルアナログ変換回路 (D A C) 1 2 5 は、アナログのデータ信号 (d a t a (A) - 2) を出力する。デジタルアナログ変換回路 (D A C) 1 2 5 の出力信号は、アナログバッファ 1 2 6 に入力される。ただし、アナログバッファ 1 2 6 には、ラッチ 1 2 2 の出力信号 (期間 t a における列書き換え制御信号 = ロウレベルの信号) が入力される。そのため、信号線 1 5 には、アナログのデータ信号 (d a t a (A) - 2) が供給されない。

10

【 0 0 4 7 】

次いで、サンプリング期間 (T e) において、サンプリング期間 (T a)、(T c) と同様にシフトレジスタ 1 2 0 の複数の出力端子から順次選択信号が出力される。この際に、上述したラッチ 1 2 1 (期間 t a、t b において選択信号を出力する出力端子に電気的に接続されたラッチ 1 2 1) に期間 t c において選択信号が入力される。そのため、当該ラッチ 1 2 1 は、期間 t c における列書き換え制御信号を保持し、且つ該列書き換え制御信号を出力する。なお、ここでは、期間 t c における列書き換え制御信号は、ハイレベルの信号である。また、サンプリング期間 (T e) において、上述したラッチ 1 2 3 (期間 t a、t b において選択信号を出力する出力端子に電気的に接続されたラッチ 1 2 3) は、多値によって構成されるデータ信号 (D A T A (D) - 3) に含まれる期間 t c におけるデータ信号 (d a t a (D) - 3) を保持し、且つ該データ信号 (d a t a (D) - 3) を出力する。また、サンプリング期間 (T e) において、ラッチ 1 2 2、1 2 4 は、水平帰線期間 (T d) における出力信号を維持する。そのため、サンプリング期間 (T e) における上述したトランジスタ 2 1 (ラッチ 1 2 2 の出力信号が、ゲートに供給されるトランジスタ 2 1) は、オフ状態を維持し、且つ信号線 1 5 にアナログのデータ信号 (d a t a (A) - 2) が供給されない状態が維持される。

20

30

【 0 0 4 8 】

上述したような動作を行うことで、信号線及び第 2 の走査線駆動回路 1 2 は、列書き換え制御信号に応じて、信号線 1 5 にデータ信号を供給するか否か及び第 2 の走査線 1 6 に選択信号を供給するか否かを選択することが可能である。なお、上述した表示装置の動作においては、水平帰線期間及び該水平帰線期間に続くサンプリング期間が 1 水平走査期間となる。

【 0 0 4 9 】

(コントローラ 1 3 の構成例)

次いで、上述した表示装置が有するコントローラ 1 3 の構成例について図 5 を参照して説明する。図 5 に示すコントローラ 1 3 は、外部から入力される複数フレームの画像を形成するためのデータ信号を記憶するフレームメモリ 1 3 1 と、フレームメモリ 1 3 1 に記憶された連続する 2 フレームの画像を形成するためのデータ信号を比較し、差分を検出する比較回路 1 3 2 と、比較回路 1 3 2 において差分が検出された画素の座標を記憶する座標メモリ 1 3 3 と、フレームメモリ 1 3 1 からデータ信号を読み出し信号線及び第 2 の走査線駆動回路 1 2 へと出力するデータ信号読み出し回路 1 3 4 と、座標メモリ 1 3 3 が記憶する座標情報を基に列書き換え制御信号及び行書き換え制御信号を生成し、前者を信号線及び第 2 の走査線駆動回路 1 2 へと出力し、後者を第 1 の走査線駆動回路 1 1 へと出力する書き換え信号生成回路 1 3 5 とを有する。

40

【 0 0 5 0 】

50

(コントローラ13の動作の一例)

上述したコントローラ13の動作の一例について、図6を参照して以下に説明する。

【0051】

まず、外部から第1フレームの画像を形成するためのデータ信号がコントローラ13に
入力される第1フレーム期間において、フレームメモリ131が当該第1フレームの画像
を形成するためのデータ信号を記憶する。

【0052】

次いで、外部から第2フレームの画像を形成するためのデータ信号がコントローラ13
に
入力される第2フレーム期間において、フレームメモリ131が当該第2フレームの画
像を形成するためのデータ信号を記憶する。

10

【0053】

次いで、外部から第3フレームの画像を形成するためのデータ信号がコントローラ13
に
入力される第3フレーム期間において、フレームメモリ131が当該第3フレームの画
像を形成するためのデータ信号を記憶する。また、比較回路132がフレームメモリ13
1に記憶された第1フレームの画像を形成するためのデータ信号と第2フレームの画像を
形成するためのデータ信号の比較を行い、差分を検出する。さらに、座標メモリ133が
第1フレームの画像を形成するためのデータ信号と第2フレームの画像を形成するための
データ信号の間で差分が検出された画素の座標を記憶する。

【0054】

次いで、外部から第4フレームの画像を形成するためのデータ信号がコントローラ13
に
入力される第4フレーム期間において、フレームメモリ131が当該第4フレームの画
像を形成するためのデータ信号を記憶する。また、比較回路132がフレームメモリ13
1に記憶された第2フレームの画像を形成するためのデータ信号と第3フレームの画像を
形成するためのデータ信号の比較を行い、差分を検出する。さらに、座標メモリ133が
第2フレームの画像を形成するためのデータ信号と第3フレームの画像を形成するための
データ信号の間で差分が検出された画素の座標を記憶する。また、データ信号読み出し回
路134がフレームメモリ131に記憶された第1フレームの画像を形成するためのデー
タ信号を読み出し、且つ当該第1フレームの画像を形成するためのデータ信号を信号線及
び第2の走査線駆動回路12へと出力する。また、書き換え信号生成回路135が座標メ
モリ133に記憶された座標情報を基に、第1フレームの画像と第2フレームの画像の書
き換え時における行書き換え制御信号を生成し、且つ当該行書き換え制御信号を第1の走
査線駆動回路11へと出力する。なお、当該期間において、画素部10には、第1フレ
ームの画像が表示される。

20

30

【0055】

次いで、外部から第5フレームの画像を形成するためのデータ信号がコントローラ13
に
入力される第5フレーム期間において、フレームメモリ131が当該第5フレームの画
像を形成するためのデータ信号を記憶する。また、比較回路132がフレームメモリ13
1に記憶された第3フレームの画像を形成するためのデータ信号と第4フレームの画像を
形成するためのデータ信号の比較を行い、差分を検出する。さらに、座標メモリ133が
第3フレームの画像を形成するためのデータ信号と第4フレームの画像を形成するための
データ信号の間で差分が検出された画素の座標を記憶する。また、データ信号読み出し回
路134がフレームメモリ131に記憶された第2フレームの画像を形成するためのデー
タ信号を読み出し、且つ当該第2フレームの画像を形成するためのデータ信号を信号線及
び第2の走査線駆動回路12へと出力する。また、書き換え信号生成回路135が座標メ
モリ133に記憶された座標情報を基に、第2フレームの画像と第3フレームの画像の書
き換え時における行書き換え制御信号、及び第1フレームの画像と第2フレームの画像の
書き換え時における列書き換え制御信号を生成し、且つ当該行書き換え制御信号を第1の
走査線駆動回路11へと出力し、当該列書き換え制御信号を信号線及び第2の走査線駆動
回路12へと出力する。なお、当該期間において、画素部10には、第2フレームの画像
が表示される。

40

50

【 0 0 5 6 】

以下、前段落で述べた動作を順次行うことによって、画素部 1 0 において画像を順次表示することが可能である。

【 0 0 5 7 】

以上のように、上述した表示装置においては、コントローラ 1 3 から行書き換え制御信号及び列書き換え制御信号を出力することで、マトリクス状に配列された複数の画素 1 7 に対するデータ信号の書き換えを行うか否かを画素毎に選択することが可能になる。その結果、表示装置が特定の領域において頻繁に表示が変化する映像の表示を行う場合であっても、高品質な映像の表示及び消費電力の低減を両立させることが可能になる。

【 0 0 5 8 】

(アクティブマトリクス型の表示装置の変形例)

上述した構成を有する表示装置は、本発明の一態様であり、当該表示装置と異なる点を有する表示装置も本発明には含まれる。

【 0 0 5 9 】

例えば、上述した表示装置においては、第 1 の走査線駆動回路 1 1 がシフトレジスタ 1 1 0 と、ラッチ 1 1 1 と、ラッチ 1 1 2 と、バッファ 1 1 3 とを有する構成 (図 2 (A) 参照) について示したが、第 1 の走査線駆動回路 1 1 がシフトレジスタ 1 1 0 と、第 1 の入力端子がシフトレジスタ 1 1 0 の複数の出力端子のいずれかに電氣的に接続され、第 2 の入力端子が行書き換え制御信号を供給する配線に電氣的に接続され、出力端子が複数の第 1 の走査線 1 4 のいずれかに電氣的に接続された A N D ゲート 1 1 5 とを有する構成 (図 7 (A) 参照) とすることも可能である。図 7 (A) に示す第 1 の走査線駆動回路 1 1 においては、シフトレジスタ 1 1 0 の出力信号のタイミングと、行書き換え制御信号のタイミングを同期させることで、第 1 の走査線 1 4 に選択信号を供給するか否かを選択することが可能である。なお、図 7 (A) に示す第 1 の走査線駆動回路 1 1 を有する表示装置においては、画素部 1 0 における画像の表示タイミングを図 6 に示したタイミングから 1 フレーム期間分早くする、又は、行書き換え制御信号が第 1 の走査線駆動回路 1 1 に入力されるタイミングを図 6 に示したタイミングから 1 フレーム期間分遅らせる必要がある。なお、前者については、画素部 1 0 における表示を 1 フレーム期間早くするために、データ信号読み出し回路 1 3 4 のデータ信号の出力タイミング及び書き換え信号生成回路 1 3 5 の列書き換え制御信号の出力タイミングも 1 フレーム期間早くする必要がある。前者について具体的に述べると、図 6 に示す第 1 フレームのデータ信号が、第 3 フレーム期間において信号線及び第 2 の走査線駆動回路 1 2 に入力され、且つ第 1 フレームのデータ信号に基づく画像と第 2 フレームのデータ信号に基づく画像の書き換え時における列書き換え制御信号が、第 4 フレーム期間において信号線及び第 2 の走査線駆動回路 1 2 に入力される必要がある。同様に、後者について具体的に述べると、図 6 に示す第 1 フレームのデータ信号に基づく画像と第 2 フレームのデータ信号に基づく画像の書き換え時における行書き換え制御信号が、第 5 フレーム期間において第 1 の走査線駆動回路 1 1 に入力される必要がある。

【 0 0 6 0 】

また、上述した表示装置においては、信号線及び第 2 の走査線駆動回路 1 2 がシフトレジスタ 1 2 0 と、ラッチ 1 2 1、1 2 2、1 2 3、1 2 4 と、デジタルアナログ変換回路 (D A C) 1 2 5 と、アナログバッファ 1 2 6 とを有する構成 (図 2 (B) 参照) について示したが、信号線及び第 2 の走査線駆動回路 1 2 がシフトレジスタ 1 2 0 と、第 1 の入力端子がシフトレジスタ 1 2 0 の複数の出力端子のいずれかに電氣的に接続され、第 2 の入力端子が列書き換え制御信号を供給する配線に電氣的に接続され、出力端子が複数の第 2 の走査線 1 6 のいずれかに電氣的に接続された A N D ゲート 1 2 7 と、入力端子がデータ信号を供給する配線に電氣的に接続されたラッチ 1 2 8 と、入力端子がラッチ 1 2 8 の出力端子に電氣的に接続されたデジタルアナログ変換回路 (D A C) 1 2 9 と、入力端子がデジタルアナログ変換回路 (D A C) 1 2 9 の出力端子に電氣的に接続され、出力端子が複数の信号線 1 5 のいずれかに電氣的に接続されたアナログバッファ 1 3 0 とを有する

10

20

30

40

50

構成（図7（B）参照）とすることも可能である。なお、図7（B）に示す信号線及び第2の走査線駆動回路12において、ラッチ128は、シフトレジスタ120の複数の出力端子のいずれかに電氣的に接続され、該出力端子から選択信号が供給される期間におけるデータ信号を保持し、且つ該データ信号を出力する機能を有する。デジタルアナログ変換回路（DAC）129は、ラッチ128から入力されるデータ信号をデジタル信号からアナログ信号へと変換し、出力する機能を有する。アナログバッファ130は、ANDゲート127の出力信号（2値の信号のいずれか（ハイレベルの信号又はロウレベルの信号））に応じて、信号線15へデータ信号（アナログデータ信号）を供給するか否かを選択する機能を有する。具体的には、ANDゲート127の出力信号が、ハイレベルの信号であれば、データ信号（アナログデータ信号）を信号線15に供給し、ロウレベルの信号であれば、データ信号（アナログデータ信号）を信号線15に供給しない機能を有する。

10

【0061】

また、上述した表示装置においては、複数の信号線15及び複数の第2の走査線16が信号線及び第2の走査線駆動回路12によって駆動される構成（図1（A）、図2（B）参照）について示したが、複数の信号線15と、複数の第2の走査線16とが異なる駆動回路によって駆動される構成（図8（A）参照）とすることも可能である。図8（A）に示す表示装置は、図1（A）に示す表示装置が有する信号線及び第2の走査線駆動回路12を、信号線駆動回路18及び第2の走査線駆動回路19に置換した表示装置である。例えば、図8（A）に示す信号線駆動回路18は、複数の出力端子を有する信号線駆動用シフトレジスタ180と、ラッチ123、124と、デジタルアナログ変換回路（DAC）125と、アナログバッファ126とを有する構成（図8（B）参照）とすることができ、第2の走査線駆動回路19は、複数の出力端子を有する第2の走査線駆動用シフトレジスタ190と、ラッチ121、122とを有する構成（図8（C）参照）とすることができる。なお、信号線駆動用シフトレジスタ180は、外部から入力される信号線駆動用スタート信号をきっかけとして、複数の出力端子から順次選択信号を供給する機能を有し、第2の走査線駆動用シフトレジスタ190は、外部から入力される第2の走査線駆動用スタート信号をきっかけとして、複数の出力端子から順次選択信号を供給する機能を有する。

20

【0062】

（画素17に設けられるトランジスタ20、21の一例）

30

次いで、上述した表示装置の各画素に設けられるトランジスタ20、21の一例について図9を参照して説明する。具体的には、酸化物半導体層を具備するトランジスタについて示す。当該トランジスタは、当該酸化物半導体層を高純度化することで、オフ電流を極めて少なくすることが可能である（以下に詳述する）。そのため、特定の画素に対して長期間データ信号が入力されない可能性がある本明細書で開示される表示装置の各画素に設けられるトランジスタ20、21として好ましいトランジスタである。

【0063】

図9に示すトランジスタ211は、絶縁表面を有する基板220上に設けられたゲート層221と、ゲート層221上に設けられたゲート絶縁層222と、ゲート絶縁層222上に設けられた酸化物半導体層223と、酸化物半導体層223上に設けられたソース層224a及びドレイン層224bとを有する。また、図9に示すトランジスタ211においては、トランジスタ211を覆い、酸化物半導体層223に接する絶縁層225と、絶縁層225上に設けられた保護絶縁層226とが形成されている。

40

【0064】

図9に示すトランジスタ211は、上記の通り、半導体層として酸化物半導体層223を具備する。酸化物半導体層223に用いる酸化物半導体としては、四元系金属酸化物であるIn-Sn-Ga-Zn-O系、三元系金属酸化物であるIn-Ga-Zn-O系、In-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系、二元系金属酸化物であるIn-Zn-O系、Sn-Zn-O系、Al-Zn-O系、Zn-Mg-O系、Sn-Mg-O系、In-M

50

g - O系、または単元系金属酸化物であるIn - O系、Sn - O系、Zn - O系などを用いることができる。また、上記酸化物半導体にSiO₂を含んでもよい。ここで、例えば、In - Ga - Zn - O系酸化物半導体とは、少なくともInとGaとZnを含む酸化物であり、その組成比に特に制限はない。また、InとGaとZn以外の元素を含んでもよい。

【0065】

また、酸化物半導体層223は、化学式InMO₃(ZnO)_m(m>0)で表記される薄膜を用いることができる。ここで、Mは、Ga、Al、MnおよびCoから選ばれた一または複数の金属元素を示す。例えばMとして、Ga、Ga及びAl、Ga及びMn、またはGa及びCoなどを選択することができる。

10

【0066】

上述した酸化物半導体は、電気的特性変動を抑止するため、変動要因となる水素、水分、水酸基又は水素化物(水素化合物ともいう)などの不純物を意図的に排除することで高純度化し、電氣的にI型(真性)化された酸化物半導体である。

【0067】

よって酸化物半導体中の水素は少なければ少ないほどよい。また、高純度化された酸化物半導体層中には水素や酸素欠損等に由来するキャリアが極めて少なく(ゼロに近い)、キャリア密度は $1 \times 10^{12} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満である。即ち、酸化物半導体層の水素や酸素欠損等に由来するキャリア密度を限りなくゼロに近くする。酸化物半導体層中に水素や酸素欠損等に由来するキャリアが極めて少ないため、トランジスタがオフ状態のときのリーク電流(オフ電流)を少なくすることができる。また、水素や酸素欠損等に由来する不純物準位が少ないことにより、光照射、温度変化、バイアス印加等による電気特性の変動及び劣化を少なくすることができる。なお、オフ電流は少なければ少ないほど好ましい。上記酸化物半導体を半導体層として用いたトランジスタは、チャンネル幅(w)1 μm あたりの電流値が100 μA (zeptoアンペア)以下、好ましくは10 μA 以下、更に好ましくは1 μA 以下である。さらに、pn接合がなく、ホットキャリア劣化がないため、トランジスタの電気的特性がこれら要因の影響を受けない。

20

【0068】

このように酸化物半導体層に含まれる水素を徹底的に除去することにより高純度化された酸化物半導体をチャンネル形成領域に用いたトランジスタは、オフ電流を極めて小さくすることができる。つまり、トランジスタの非導通状態において、酸化物半導体層は絶縁体とみなせて回路設計を行うことができる。一方で、酸化物半導体層は、トランジスタの導通状態においては、非晶質シリコンで形成される半導体層よりも高い電流供給能力を見込むことができる。

30

【0069】

絶縁表面を有する基板220として使用することができる基板に大きな制限はない。例えば、バリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板を用いることができる。

【0070】

トランジスタ211において、下地膜となる絶縁膜を基板220とゲート層221の間に設けてもよい。下地膜は、基板からの不純物元素の拡散を防止する機能があり、窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜、又は酸化窒化シリコン膜から選ばれた一又は複数の膜による積層構造により形成することができる。

40

【0071】

ゲート層221の材料は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジウム、スカンジウム等の金属材料またはこれらを主成分とする合金材料を用いて、単層でまたは積層して形成することができる。

【0072】

ゲート絶縁層222は、プラズマCVD法又はスパッタリング法等を用いて、酸化シリ

50

コン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、酸化アルミニウム層、窒化アルミニウム層、酸化窒化アルミニウム層、窒化酸化アルミニウム層、又は酸化ハフニウム層を単層で又は積層して形成することができる。例えば、第1のゲート絶縁層としてプラズマCVD法により膜厚50nm以上200nm以下の窒化シリコン層(SiN_y ($y > 0$))を形成し、第1のゲート絶縁層上に第2のゲート絶縁層として膜厚5nm以上300nm以下の酸化シリコン層(SiO_x ($x > 0$))を積層することができる。

【0073】

ソース層224a、ドレイン層224bに用いる導電膜としては、例えば、Al、Cr、Cu、Ta、Ti、Mo、Wから選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等を用いることができる。また、Al、Cuなどの金属層の下側又は上側の一方または双方にTi、Mo、Wなどの高融点金属層を積層させた構成としても良い。また、Al膜に生ずるヒロックやウイスキアの発生を防止する元素(Si、Nd、Scなど)が添加されているAl材料を用いることで耐熱性を向上させることが可能となる。

10

【0074】

また、ソース層224a、ドレイン層224b(これらと同じ層で形成される配線層を含む)となる導電膜としては導電性の金属酸化物で形成しても良い。導電性の金属酸化物としては酸化インジウム(In_2O_3)、酸化スズ(SnO_2)、酸化亜鉛(ZnO)、酸化インジウム酸化スズ合金(In_2O_3 SnO_2 、ITOと略記する)、酸化インジウム酸化亜鉛合金(In_2O_3 ZnO)またはこれらの金属酸化物材料に酸化シリコンを含ませたものを用いることができる。

20

【0075】

絶縁層225は、代表的には酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、または酸化窒化アルミニウム膜などの無機絶縁膜を用いることができる。

【0076】

保護絶縁層226は、窒化シリコン膜、窒化アルミニウム膜、窒化酸化シリコン膜、窒化酸化アルミニウム膜などの無機絶縁膜を用いることができる。

【0077】

また、保護絶縁層226上にトランジスタ起因の表面凹凸を低減するために平坦化絶縁膜を形成してもよい。平坦化絶縁膜としては、ポリイミド、アクリル、ベンゾシクロブテン、等の有機材料を用いることができる。また上記有機材料の他に、低誘電率材料(Low-k材料)等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、平坦化絶縁膜を形成してもよい。

30

【0078】

(トランジスタのオフ電流について)

次いで、高純度化された酸化物半導体層を具備するトランジスタのオフ電流を求めた結果について説明する。

【0079】

まず、高純度化された酸化物半導体層を具備するトランジスタのオフ電流が十分に小さいことを考慮して、チャンネル幅Wが1 μm と十分に大きいトランジスタを用意してオフ電流の測定を行った。チャンネル幅Wが1 μm のトランジスタのオフ電流を測定した結果を図10に示す。図10において、横軸はゲート電圧VG、縦軸はドレイン電流IDである。ドレイン電圧VDが+1Vまたは+10Vの場合、ゲート電圧VGが-5Vから-20Vの範囲では、トランジスタのオフ電流は、検出限界である 1×10^{-12} A以下であることがわかった。また、トランジスタのオフ電流(ここでは、チャンネル幅1 μm あたりの値)は $1 \text{ aA} / \mu\text{m}$ (1×10^{-18} A/ μm)以下となることがわかった。

40

【0080】

次に、高純度化された酸化物半導体層を具備するトランジスタのオフ電流をさらに正確に求めた結果について説明する。上述したように、高純度化された酸化物半導体層を具備

50

するトランジスタのオフ電流は、測定器の検出限界である 1×10^{-12} A 以下であることがわかった。そこで、特性評価用素子を作製し、より正確なオフ電流の値（上記測定における測定器の検出限界以下の値）を求めた結果について説明する。

【0081】

はじめに、電流測定方法に用いた特性評価用素子について、図11を参照して説明する。

【0082】

図11に示す特性評価用素子は、測定系800が3つ並列に接続されている。測定系800は、容量素子802、トランジスタ804、トランジスタ805、トランジスタ806、トランジスタ808を有する。トランジスタ804、トランジスタ808には、高純度化された酸化物半導体層を具備するトランジスタを適用した。

10

【0083】

測定系800において、トランジスタ804のソース及びドレインの一方と、容量素子802の一方の端子と、トランジスタ805のソース及びドレインの一方は、電源（V2を与える電源）に接続されている。また、トランジスタ804のソース及びドレインの他方と、トランジスタ808のソース及びドレインの一方と、容量素子802の他方の端子と、トランジスタ805のゲートとは、電氣的に接続されている。また、トランジスタ808のソース及びドレインの他方と、トランジスタ806のソース及びドレインの一方と、トランジスタ806のゲートとは、電源（V1を与える電源）に電氣的に接続されている。また、トランジスタ805のソース及びドレインの他方と、トランジスタ806のソ

20

【0084】

なお、トランジスタ804のゲートには、トランジスタ804のオン状態と、オフ状態を制御する電位Vext_b2が供給され、トランジスタ808のゲートには、トランジスタ808のオン状態と、オフ状態を制御する電位Vext_b1が供給される。また、出力端子からは電位Voutが出力される。

【0085】

次に、上記の特性評価用素子を用いた電流測定方法について説明する。

【0086】

まず、オフ電流を測定するために電位差を付与する初期期間の概略について説明する。初期期間においては、トランジスタ808のゲートに、トランジスタ808をオン状態とする電位Vext_b1を入力して、トランジスタ804のソース及びドレインの他方と電氣的に接続されるノード（つまり、トランジスタ808のソース及びドレインの一方、容量素子802の他方の端子、及びトランジスタ805のゲートに電氣的に接続されるノード）であるノードAに電位V1を与える。ここで、電位V1は、例えば高電位とする。また、トランジスタ804はオフ状態としておく。

30

【0087】

その後、トランジスタ808のゲートに、トランジスタ808をオフ状態とする電位Vext_b1を入力して、トランジスタ808をオフ状態とする。トランジスタ808をオフ状態とした後に、電位V1を低電位とする。ここでも、トランジスタ804はオフ状態としておく。また、電位V2は電位V1と同じ電位とする。以上により、初期期間が終了する。初期期間が終了した状態では、ノードAとトランジスタ804のソース及びドレインの一方との間に電位差が生じ、また、ノードAとトランジスタ808のソース及びドレインの他方との間に電位差が生じることになるため、トランジスタ804及びトランジスタ808には僅かに電荷が流れる。つまり、オフ電流が発生する。

40

【0088】

次に、オフ電流の測定期間の概略について説明する。測定期間においては、トランジスタ804のソース及びドレインの一方の電位（V2）、並びにトランジスタ808のソース及びドレインの他方の電位（V1）は低電位に固定しておく。一方で、測定期間中は、上記ノードAの電位は固定しない（フローティング状態とする）。これにより、トランジ

50

スタ 804、トランジスタ 808 に電荷が流れ、時間の経過と共にノード A に保持される電荷量の変動する。そして、ノード A に保持される電荷量の変動に伴って、ノード A の電位が変動する。つまり、出力端子の出力電位 V_{out} も変動する。

【0089】

上記電位差を付与する初期期間、および、その後の測定期間における各電位の関係の詳細（タイミングチャート）を図 12 に示す。

【0090】

初期期間において、まず、電位 V_{ext_b2} を、トランジスタ 804 がオン状態となるような電位（高電位）とする。これによって、ノード A の電位は V_2 すなわち低電位（ V_{SS} ）となる。なお、ノード A に低電位（ V_{SS} ）を与えるのは必須ではない。その後、電位 V_{ext_b2} を、トランジスタ 804 がオフ状態となるような電位（低電位）として、トランジスタ 804 をオフ状態とする。そして、次に、電位 V_{ext_b1} を、トランジスタ 808 がオン状態となるような電位（高電位）とする。これによって、ノード A の電位は V_1 、すなわち高電位（ V_{DD} ）となる。その後、 V_{ext_b1} を、トランジスタ 808 がオフ状態となるような電位とする。これによって、ノード A がフローティング状態となり、初期期間が終了する。

【0091】

その後の測定期間においては、電位 V_1 及び電位 V_2 を、ノード A に電荷が流れ込む、またはノード A から電荷が流れ出すような電位とする。ここでは、電位 V_1 及び電位 V_2 を低電位（ V_{SS} ）とする。ただし、出力電位 V_{out} を測定するタイミングにおいては、出力回路を動作させる必要が生じるため、一時的に V_1 を高電位（ V_{DD} ）とすることがある。なお、 V_1 を高電位（ V_{DD} ）とする期間は、測定に影響を与えない程度の短期間とする。

【0092】

上述のようにして電位差を与え、測定期間が開始されると、時間の経過と共にノード A に保持される電荷量の変動し、これに従ってノード A の電位が変動する。これは、トランジスタ 805 のゲートの電位が変動することを意味するから、時間の経過と共に、出力端子の出力電位 V_{out} の電位も変化することとなる。

【0093】

得られた出力電位 V_{out} から、オフ電流を算出する方法について、以下に説明する。

【0094】

オフ電流の算出に先だって、ノード A の電位 V_A と、出力電位 V_{out} との関係を求めておく。これにより、出力電位 V_{out} からノード A の電位 V_A を求めることができる。上述の関係から、ノード A の電位 V_A は、出力電位 V_{out} の関数として次式のように表すことができる。

【0095】

【数 1】

$$V_A = F(V_{out})$$

【0096】

また、ノード A の電荷 Q_A は、ノード A の電位 V_A 、ノード A に接続される容量 C_A 、定数（ $const$ ）を用いて、次式のように表される。ここで、ノード A に接続される容量 C_A は、容量素子 802 の容量と他の容量の和である。

【0097】

【数 2】

$$Q_A = C_A V_A + const$$

【0098】

ノード A の電流 I_A は、ノード A に流れ込む電荷（またはノード A から流れ出す電荷）の時間微分であるから、ノード A の電流 I_A は次式のように表される。

10

20

30

40

50

【 0 0 9 9 】

【 数 3 】

$$I_A \equiv \frac{\Delta Q_A}{\Delta t} = \frac{C_A \cdot \Delta F(V_{out})}{\Delta t}$$

【 0 1 0 0 】

このように、ノード A に接続される容量 C_A と、出力端子の出力電位 V_{out} から、ノード A の電流 I_A を求めることができる。

【 0 1 0 1 】

以上に示す方法により、オフ状態においてトランジスタのソースとドレイン間を流れるリーク電流（オフ電流）を測定することができる。 10

【 0 1 0 2 】

ここでは、チャンネル長 $L = 10 \mu\text{m}$ 、チャンネル幅 $W = 50 \mu\text{m}$ の、高純度化された酸化物半導体層を具備するトランジスタ 804、高純度化された酸化物半導体層を具備するトランジスタ 808 を作製した。また、並列された各測定系 800 において、容量素子 802 の各容量値を、 100 fF 、 1 pF 、 3 pF とした。

【 0 1 0 3 】

なお、上述した測定では、 $V_{DD} = 5 \text{ V}$ 、 $V_{SS} = 0 \text{ V}$ とした。また、測定期間においては、電位 V_1 を原則として V_{SS} とし、 $10 \sim 300 \text{ sec}$ ごとに、 100 msec の期間だけ V_{DD} として V_{out} を測定した。また、素子に流れる電流 I の算出に用いられる t は、約 30000 sec とした。 20

【 0 1 0 4 】

図 13 に、上記電流測定に係る経過時間 $Time$ と、出力電位 V_{out} との関係を示す。図 13 より、時間の経過にしたがって、電位が変化している様子が確認できる。

【 0 1 0 5 】

図 14 には、上記電流測定によって算出された室温（ 25°C ）におけるオフ電流を示す。なお、図 14 は、トランジスタ 804 又はトランジスタ 808 のソース - ドレイン電圧 V と、オフ電流 I との関係を表すものである。図 14 から、ソース - ドレイン電圧が 4 V の条件において、オフ電流は約 $40 \text{ zA} / \mu\text{m}$ であることが分かった。また、ソース - ドレイン電圧が 3.1 V の条件において、オフ電流は $10 \text{ zA} / \mu\text{m}$ 以下であることが分かった。なお、 1 zA は 10^{-21} A を表す。 30

【 0 1 0 6 】

さらに、上記電流測定によって算出された 85°C の温度環境下におけるオフ電流について図 15 に示す。図 15 は、 85°C の温度環境下におけるトランジスタ 804 又はトランジスタ 808 のソース - ドレイン電圧 V と、オフ電流 I との関係を表すものである。図 15 から、ソース - ドレイン電圧が 3.1 V の条件において、オフ電流は $100 \text{ zA} / \mu\text{m}$ 以下であることが分かった。

【 0 1 0 7 】

以上により、高純度化された酸化物半導体層を具備するトランジスタでは、オフ電流が十分に小さくなることが確認された。 40

【 0 1 0 8 】

（画素 17 に設けられるトランジスタ 20、21 の変形例）

また、上述した表示装置においては、各画素に設けられるトランジスタ 20、21 として、チャンネルエッチ型と呼ばれるボトムゲート構造のトランジスタ 211 を適用する構成（図 9 参照）について示したが、トランジスタ 20、21 は当該構成に限定されない。例えば、図 16（A）～（C）に示すトランジスタを適用することが可能である。

【 0 1 0 9 】

図 16（A）に示すトランジスタ 510 は、チャンネル保護型（チャンネルストップ型ともいう）と呼ばれるボトムゲート構造の一つである。

【 0 1 1 0 】

トランジスタ510は、絶縁表面を有する基板220上に、ゲート層221、ゲート絶縁層222、酸化物半導体層223、酸化物半導体層223のチャネル形成領域を覆うチャネル保護層として機能する絶縁層511、ソース層224a、及びドレイン層224bを含む。また、ソース層224a、ドレイン層224b、及び絶縁層511を覆い、保護絶縁層226が形成されている。

【0111】

図16(B)示すトランジスタ520はボトムゲート型のトランジスタであり、絶縁表面を有する基板である基板220上に、ゲート層221、ゲート絶縁層222、ソース層224a、ドレイン層224b、及び酸化物半導体層223を含む。また、ソース層224a及びドレイン層224bを覆い、酸化物半導体層223に接する絶縁層225が設けられている。絶縁層225上にはさらに保護絶縁層226が形成されている。

10

【0112】

トランジスタ520においては、ゲート絶縁層222は基板220及びゲート層221上に接して設けられ、ゲート絶縁層222上にソース層224a、ドレイン層224bが接して設けられている。そして、ゲート絶縁層222、及びソース層224a、ドレイン層224b上に酸化物半導体層223が設けられている。

【0113】

図16(C)に示すトランジスタ530は、トップゲート構造のトランジスタの一つである。トランジスタ530は、絶縁表面を有する基板220上に、絶縁層531、酸化物半導体層223、ソース層224a、及びドレイン層224b、ゲート絶縁層222、ゲート層221を含み、ソース層224a、ドレイン層224bにそれぞれ配線層532a、配線層532bが接して設けられ電氣的に接続している。

20

【0114】

なお、絶縁層511、531は、代表的には酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、または酸化窒化アルミニウム膜などの無機絶縁膜を用いることができる。また、配線層532a、配線層532bに用いる導電膜としては、例えば、Al、Cr、Cu、Ta、Ti、Mo、Wから選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等を用いることができる。また、Al、Cuなどの金属層の下側又は上側の一方または双方にTi、Mo、Wなどの高融点金属層を積層させた構成としても良い。また、Al膜に生ずるヒロックやウイスキアの発生を防止する元素(Si、Nd、Scなど)が添加されているAl材料を用いることで耐熱性を向上させることが可能となる。

30

【0115】

(画素17に設けられるトランジスタ20、21の作製工程の一例)

以下では、本明細書で開示される表示装置の各画素に設けられるトランジスタ20、21の作製工程の一例について説明する。具体的には、ボトムゲート構造の1種であるチャネルエッチ型のトランジスタ410の作製工程について図17を参照して説明する。なお、図17(D)には、シングルゲート構造のトランジスタを示すが、必要に応じて、チャネル形成領域を複数有するマルチゲート構造のトランジスタとすることができる。

【0116】

以下、図17(A)~(D)を参照して、基板400上にトランジスタ410を作製する工程について説明する。

40

【0117】

まず、絶縁表面を有する基板400上に導電膜を形成した後、第1のフォトリソグラフィ工程によりゲート層411を形成する。なお、当該工程において用いられるレジストマスクは、インクジェット法によって形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減することができる。

【0118】

絶縁表面を有する基板400に使用することができる基板に大きな制限はないが、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。例えば、

50

バリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板を用いることができる。また、ガラス基板としては、後の加熱処理の温度が高い場合には、歪み点が730以上のものを用いると良い。

【0119】

下地層となる絶縁層を基板400とゲート層411の間に設けてもよい。下地層は、基板400からの不純物元素の拡散を防止する機能があり、窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜、又は酸化窒化シリコン膜から選ばれた一又は複数の膜による積層構造により形成することができる。

【0120】

また、ゲート層411の材料は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジウム、スカンジウム等の金属材料又はこれらを主成分とする合金材料を用いて、単層で又は積層して形成することができる。

10

【0121】

例えば、ゲート層411の2層の積層構造としては、アルミニウム層上にモリブデン層を積層した2層構造、銅層上にモリブデン層を積層した2層構造、銅層上に窒化チタン層若しくは窒化タンタル層を積層した2層構造、窒化チタン層とモリブデン層を積層した2層構造とすることが好ましい。3層の積層構造としては、タングステン層または窒化タングステン層と、アルミニウムとシリコンの合金層またはアルミニウムとチタンの合金層と、窒化チタン層またはチタン層とを積層した3層構造とすることが好ましい。

【0122】

次いで、ゲート層411上にゲート絶縁層402を形成する。

20

【0123】

ゲート絶縁層402は、プラズマCVD法又はスパッタリング法等を用いて、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、若しくは酸化アルミニウム層を単層で又は積層して形成することができる。例えば、成膜ガスとして、シラン(SiH_4)、酸素及び窒素を用いてプラズマCVD法により酸化窒化シリコン層を形成すればよい。また、ゲート絶縁層402として酸化ハフニウム(HfO_x)、酸化タンタル(TaO_x)等のHigh-k材料を用いることもできる。ゲート絶縁層402の膜厚は、100nm以上500nm以下とし、積層の場合は、例えば、膜厚50nm以上200nm以下の第1のゲート絶縁層と、第1のゲート絶縁層上に膜厚5nm以上300nm以下の第2のゲート絶縁層とを積層して形成する。

30

【0124】

ここでは、ゲート絶縁層402としてプラズマCVD法により膜厚100nm以下の酸化窒化シリコン層を形成する。

【0125】

また、ゲート絶縁層402として、高密度プラズマ装置を用い、酸化窒化シリコン層の形成を行ってもよい。ここで高密度プラズマ装置とは、 $1 \times 10^{11} / \text{cm}^3$ 以上のプラズマ密度を達成できる装置を指している。例えば、3kW~6kWのマイクロ波電力を印加してプラズマを発生させて、絶縁層の成膜を行う。

【0126】

チャンパーに材料ガスとしてシラン(SiH_4)、亜酸化窒素(N_2O)、及び希ガスを導入し、10Pa~30Paの圧力下で高密度プラズマを発生させてガラス等の絶縁表面を有する基板上に絶縁層を形成する。その後、シラン(SiH_4)の供給を停止し、大気に曝すことなく亜酸化窒素(N_2O)と希ガスを導入して絶縁層表面にプラズマ処理を行ってもよい。少なくとも亜酸化窒素(N_2O)と希ガスを導入して絶縁層表面に行われるプラズマ処理は、絶縁層の成膜より後に行う。上記プロセス順序を経た絶縁層は、膜厚が薄く、例えば100nm未満であっても信頼性を確保することができる絶縁層である。

40

【0127】

ゲート絶縁層402の形成の際、チャンパーに導入するシラン(SiH_4)と亜酸化窒素(N_2O)の流量比は、1:10から1:200の範囲とする。また、チャンパーに導

50

入する希ガスとしては、ヘリウム、アルゴン、クリプトン、キセノンなどを用いることができるが、中でも安価であるアルゴンを用いることが好ましい。

【0128】

また、高密度プラズマ装置により得られた絶縁層は、一定した厚さの膜形成ができるため段差被覆性に優れている。また、高密度プラズマ装置により得られる絶縁層は、薄い膜の厚みを精密に制御することができる。

【0129】

上記プロセス順序を経た絶縁層は、従来の平行平板型のPCVD装置で得られる絶縁層とは大きく異なっており、同じエッチャントを用いてエッチング速度を比較した場合において、平行平板型のPCVD装置で得られる絶縁膜の10%以上または20%以上遅く、高密度プラズマ装置で得られる絶縁層は緻密な膜と言える。

10

【0130】

なお、後の工程でI型化又は実質的にI型化される酸化物半導体（高純度化された酸化物半導体）は界面準位、界面電荷に対して極めて敏感であるため、ゲート絶縁層との界面は重要である。そのため高純度化された酸化物半導体に接するゲート絶縁層は、高品質化が要求される。従って μ 波（2.45GHz）を用いた高密度プラズマCVD装置は、緻密で絶縁耐圧の高い高品質な絶縁膜を形成できるので好ましい。高純度化された酸化物半導体と高品質ゲート絶縁層が密接することにより、界面準位を低減して界面特性を良好なものとすることができるからである。ゲート絶縁層としての膜質が良好であることは勿論のこと、酸化物半導体との界面準位密度を低減し、良好な界面を形成できることが重要である。

20

【0131】

次いで、ゲート絶縁層402上に、膜厚2nm以上200nm以下の酸化物半導体膜430を形成する。なお、酸化物半導体膜430をスパッタ法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁層402の表面に付着している粉状物質（パーティクル、ゴミともいう）を除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側にRF電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などを用いてもよい。

【0132】

酸化物半導体膜430は、In-Ga-Zn-O系、In-Sn-O系、In-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系、In-Zn-O系、Sn-Zn-O系、Al-Zn-O系、In-O系、Sn-O系、Zn-O系の酸化物半導体膜を用いる。ここでは、酸化物半導体膜430として、In-Ga-Zn-O系金属酸化物ターゲットを用いてスパッタ法により成膜する。この段階での断面図が図17(A)に相当する。また、酸化物半導体膜430は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、又は希ガス（代表的にはアルゴン）及び酸素の混合雰囲気下においてスパッタ法により形成することができる。また、スパッタ法を用いる場合、 SiO_2 を2重量%以上10重量%以下含むターゲットを用いて成膜を行い、酸化物半導体膜430に結晶化を阻害する SiO_x （ $x > 0$ ）を含ませ、後の工程で行う脱水化または脱水素化のための加熱処理の際に結晶化してしまうのを抑制することもできる。

30

40

【0133】

また、酸化物半導体としてIn-Zn-O系の材料を用いる場合、用いるターゲットの組成比は、原子数比で、 $In : Zn = 50 : 1 \sim 1 : 2$ （モル数比に換算すると $In_2O_3 : ZnO = 25 : 1 \sim 1 : 4$ ）、好ましくは $In : Zn = 20 : 1 \sim 1 : 1$ （モル数比に換算すると $In_2O_3 : ZnO = 10 : 1 \sim 1 : 2$ ）、さらに好ましくは $In : Zn = 1.5 : 1 \sim 15 : 1$ （モル数比に換算すると $In_2O_3 : ZnO = 3 : 4 \sim 15 : 2$ ）とする。例えば、In-Zn-O系酸化物半導体の形成に用いるターゲットは、原子数比が $In : Zn : O = X : Y : Z$ のとき、 $Z > 1.5X + Y$ とする。

50

【0134】

ここでは、In、Ga、及びZnを含む金属酸化物ターゲット ($\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ [mol]、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 0.5$ [atom]) を用いて、基板とターゲットの間との距離を100mm、圧力0.2Pa、直流(DC)電源0.5kW、アルゴン及び酸素(アルゴン:酸素=30sccm:20sccm、酸素流量比率40%)雰囲気下で成膜する。なお、パルス直流(DC)電源を用いると、成膜時に発生する粉状物質が軽減でき、膜厚分布も均一となるために好ましい。ここでは、酸化物半導体膜として、In-Ga-Zn-O系金属酸化物ターゲットを用いてスパッタ法により膜厚20nmのIn-Ga-Zn-O系膜を成膜する。また、In、Ga、及びZnを含む金属酸化物ターゲットとして、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ [atom]、又は $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 2$ [atom]の組成比を有する金属酸化物ターゲットを用いることもできる。

10

【0135】

スパッタ法にはスパッタ用電源に高周波電源を用いるRFスパッタ法とDCスパッタ法があり、さらにパルスのバイアスを与えるパルスDCスパッタ法もある。RFスパッタ法は主に絶縁膜を成膜する場合に用いられ、DCスパッタ法は主に金属膜を成膜する場合に用いられる。

【0136】

また、材料の異なるターゲットを複数設置できる多元スパッタ装置もある。多元スパッタ装置は、同一チャンバーで異なる材料膜を積層成膜することも、同一チャンバーで複数種類の材料を同時に放電させて成膜することもできる。

20

【0137】

また、チャンバー内部に磁石機構を備えたマグネトロンスパッタ法を用いるスパッタ装置や、グロー放電を使わずマイクロ波を用いて発生させたプラズマを用いるECRスパッタ法を用いるスパッタ装置がある。

【0138】

また、スパッタ法を用いる成膜方法として、成膜中にターゲット物質とスパッタガス成分とを化学反応させてそれらの化合物薄膜を形成するリアクティブスパッタ法や、成膜中に基板にも電圧をかけるバイアススパッタ法もある。

【0139】

次いで、酸化物半導体膜430を第2のフォトリソグラフィ工程により島状の酸化物半導体層に加工する。また、当該工程において用いられるレジストマスクは、インクジェット法によって形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

30

【0140】

なお、ここでの酸化物半導体膜430のエッチングは、ウェットエッチングに限定されずドライエッチングを用いてもよい。

【0141】

ドライエッチングに用いるエッチングガスとしては、塩素を含むガス(塩素系ガス、例えば塩素(Cl_2)、塩化硼素(BCl_3)、塩化シリコン(SiCl_4)、四塩化炭素(CCl_4)など)が好ましい。

40

【0142】

また、フッ素を含むガス(フッ素系ガス、例えば四弗化炭素(CF_4)、弗化硫黄(SF_6)、弗化窒素(NF_3)、トリフルオロメタン(CHF_3)など)、臭化水素(HBr)、酸素(O_2)、これらのガスにヘリウム(He)やアルゴン(Ar)などの希ガスを添加したガス、などを用いることができる。

【0143】

ドライエッチング法としては、平行平板型RIE(Reactive Ion Etching)法や、ICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用いることができる。所望の加工形状にエッチングで

50

きるように、エッチング条件（コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等）を適宜調節する。

【0144】

また、ウェットエッチング後のエッチング液はエッチングされた材料とともに洗浄によって除去される。その除去された材料を含むエッチング液の廃液を精製し、含まれる材料を再利用してもよい。当該エッチング後の廃液から酸化物半導体層に含まれるインジウム等の材料を回収して再利用することにより、資源を有効活用し低コスト化することができる。

【0145】

所望の加工形状にエッチングできるように、材料に合わせてエッチング条件（エッチング液、エッチング時間、温度等）を適宜調節する。

10

【0146】

次いで、酸化物半導体層の脱水化または脱水素化を行う。脱水化または脱水素化を行う第1の加熱処理の温度は、400 以上750 以下、好ましくは400 以上基板の歪み点未満とする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下450 において1時間の加熱処理を行った後、大気に触れることなく、酸化物半導体層への水や水素の再混入を防ぎ、酸化物半導体層431を得る（図17（B）参照）。

【0147】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、GRTA（Gas Rapid Thermal Anneal）装置、LRTA（Lamp Rapid Thermal Anneal）装置等のRTA（Rapid Thermal Anneal）装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。気体には、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物と反応しない不活性気体を用いられる。

20

【0148】

例えば、第1の加熱処理として、650 ~ 700 の高温に加熱した不活性ガス中に基板を移動させて入れ、数分間加熱した後、基板を移動させて高温に加熱した不活性ガス中から出すGRTAを行ってもよい。GRTAを用いると短時間での高温加熱処理が可能となる。

30

【0149】

なお、第1の加熱処理においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N（99.9999%）以上、好ましくは7N（99.99999%）以上、（即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下）とすることが好ましい。

40

【0150】

また、酸化物半導体層の第1の加熱処理は、島状の酸化物半導体層に加工する前の酸化物半導体膜430に対して行うこともできる。その場合には、第1の加熱処理後に、加熱装置から基板を取り出し、第2のフォトリソグラフィ工程を行う。

【0151】

酸化物半導体層に対する脱水化または脱水素化の加熱処理は、酸化物半導体層の形成後、酸化物半導体層上にソース電極層及びドレイン電極層を積層させた後、ソース電極層及びドレイン電極層上に保護絶縁膜を形成した後、のいずれで行っても良い。

【0152】

また、ゲート絶縁層402に開口部を形成する場合、その工程は酸化物半導体膜430

50

に脱水化または脱水素化処理を行う前でも行った後に行ってもよい。

【0153】

次いで、ゲート絶縁層402、及び酸化物半導体層431上に、金属導電膜を形成する。金属導電膜はスパッタ法や真空蒸着法で形成すればよい。金属導電膜の材料としては、アルミニウム(A1)、クロム(Cr)、銅(Cu)、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)から選ばれた元素、上述した元素を成分とする合金、又は上述した元素を組み合わせた合金等が挙げられる。また、マンガン(Mn)、マグネシウム(Mg)、ジルコニウム(Zr)、ベリリウム(Be)、イットリウム(Y)のいずれか一または複数から選択された材料を用いてもよい。また、金属導電膜は、単層構造でも、2層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、銅又は銅を主成分とする膜の単層構造、アルミニウム膜上にチタン膜を積層する2層構造、窒化タンタル膜又は窒化銅膜上に銅膜を積層する2層構造、チタン膜上にアルミニウム膜を積層し、さらにアルミニウム膜上にチタン膜を積層する3層構造などが挙げられる。また、アルミニウム(A1)に、チタン(Ti)、タンタル(Ta)、タングステン(W)、モリブデン(Mo)、クロム(Cr)、ネオジウム(Nd)、スカンジウム(Sc)から選ばれた元素を単数、又は複数組み合わせた膜、合金膜、もしくは窒化膜を用いてもよい。

10

【0154】

金属導電膜後に加熱処理を行う場合には、この加熱処理に耐えうる耐熱性を金属導電膜に持たせることが好ましい。

20

【0155】

第3のフォトリソグラフィ工程により金属導電膜上にレジストマスクを形成し、選択的にエッチングを行ってソース層415a、ドレイン層415bを形成した後、レジストマスクを除去する(図17(C)参照)。

【0156】

なお、金属導電膜のエッチングの際に、酸化物半導体層431は除去されないようにそれぞれの材料及びエッチング条件を適宜調節する。

【0157】

ここでは、金属導電膜としてチタン膜を用いる。また、酸化物半導体層431にはIn-Ga-Zn-O系酸化物を用いたので、両者のエッチングの際の選択比を考慮して、エッチャントとしてアンモニア過水(アンモニア、水、過酸化水素水の混合液)を用いる。

30

【0158】

なお、第3のフォトリソグラフィ工程では、酸化物半導体層431は一部のみがエッチングされ、溝部(凹部)を有する酸化物半導体層となることもある。また、当該工程において用いるレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0159】

また、フォトリソグラフィ工程で用いるフォトマスク数及び工程数を削減するため、透過した光が複数の強度となる露光マスクである多階調マスクによって形成されたレジストマスクを用いてエッチング工程を行ってもよい。多階調マスクを用いて形成したレジストマスクは複数の膜厚を有する形状となり、アッシングを行うことでさらに形状を変形することができるため、異なるパターンに加工する複数のエッチング工程に用いることができる。よって、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。よって露光マスク数を削減することができ、対応するフォトリソグラフィ工程も削減できるため、工程の簡略化が可能となる。

40

【0160】

次いで、亜酸化窒素(N₂O)、窒素(N₂)、またはアルゴン(Ar)などのガスを用いたプラズマ処理を行う。このプラズマ処理によって露出している酸化物半導体層の表面に付着した吸着水などを除去する。また、酸素とアルゴンの混合ガスを用いてプラズマ処理を行ってもよい。

50

【 0 1 6 1 】

プラズマ処理を行った後、大気に触れることなく、酸化物半導体層の一部に接する保護絶縁膜となる酸化物絶縁層 4 1 6 を形成する。

【 0 1 6 2 】

酸化物絶縁層 4 1 6 は、少なくとも 1 nm 以上の膜厚とし、スパッタ法など、酸化物絶縁層 4 1 6 に水、水素等の不純物を混入させない方法を適宜用いて形成することができる。酸化物絶縁層 4 1 6 に水素が含まれると、その水素が酸化物半導体層へ侵入して酸化物半導体層 4 3 1 のバックチャンネルが低抵抗化（N型化）してしまい、寄生チャンネルが形成される恐れがある。よって、酸化物絶縁層 4 1 6 はできるだけ水素を含まない膜になるように、成膜方法に水素を用いないことが重要である。

10

【 0 1 6 3 】

ここでは、酸化物絶縁層 4 1 6 として膜厚 2 0 0 nm の酸化シリコン膜をスパッタ法を用いて成膜する。成膜時の基板温度は、室温以上 3 0 0 以下とすればよく、ここでは 1 0 0 とする。酸化シリコン膜のスパッタ法による成膜は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、または希ガス（代表的にはアルゴン）及び酸素雰囲気下において行うことができる。また、ターゲットとして酸化シリコンターゲットまたはシリコンターゲットを用いることができる。例えば、シリコンターゲットを用いて、酸素、及び窒素雰囲気下でスパッタ法により酸化シリコン膜を形成することができる。

【 0 1 6 4 】

次いで、不活性ガス雰囲気下、または酸素ガス雰囲気下で第 2 の加熱処理（好ましくは 2 0 0 以上 4 0 0 以下、例えば 2 5 0 以上 3 5 0 以下）を行う。例えば、窒素雰囲気下で 2 5 0 、1 時間の第 2 の加熱処理を行う。第 2 の加熱処理を行うと、酸化物半導体層の一部（チャンネル形成領域）が酸化物絶縁層 4 1 6 と接した状態で加熱される。これにより、酸化物半導体層の一部（チャンネル形成領域）に酸素が供給される。

20

【 0 1 6 5 】

以上の工程を経ることによって、酸化物半導体層に極めて抵抗の高い領域と比較的抵抗の低い領域を自己整合的に形成できる。すなわち、上記のように酸化物半導体層に対して脱水化または脱水素化のための加熱処理（第 1 の加熱処理）を行うが、その際、酸素欠損が生じて酸化物半導体層は導電性が高くなる。その後、ソース層 4 1 5 a およびドレイン層 4 1 5 b、さらには酸化物絶縁層 4 1 6 を形成後、第 2 の加熱処理をおこなうと、酸化物半導体層のうち、酸化物絶縁層 4 1 6 に接した部分（チャンネル形成領域 4 1 3）には酸素が供給されて、酸素欠損が解消され、I 型もしくは実質的に I 型となる。一方、酸化物半導体層のうち、ソース層 4 1 5 a およびドレイン層 4 1 5 b に接していた部分には、そのような酸素の供給はないので、酸素欠損は解消されず、比較的抵抗の低い状態が維持される。これらの部分は、トランジスタにおいて、ソース領域やドレイン領域として機能する。すなわち、ソース層 4 1 5 a に重なるソース領域 4 1 4 a と、ドレイン層 4 1 5 b に重なるドレイン領域 4 1 4 b とが自己整合的に形成される。以上の工程でトランジスタ 4 1 0 が形成される。

30

【 0 1 6 6 】

8 5 、 2×10^6 V / cm、1 2 時間のゲートバイアス・熱ストレス試験（B T 試験）においては、不純物（水素等）が酸化物半導体に存在していると、不純物と酸化物半導体の主成分との結合手が、強電界（B：バイアス）と高温（T：温度）により切断され、生成された未結合手がしきい値電圧（ V_{th} ）のドリフトを誘発することとなる。これに対して、酸化物半導体の不純物、特に水素や水等を極力除去し、上述の高密度プラズマ CVD 装置を用いて緻密で絶縁耐圧の高い高品質な絶縁膜を形成し、酸化物半導体との界面特性を良好にすることにより、B T 試験に対しても安定なトランジスタを得ることができる。

40

【 0 1 6 7 】

さらに大気中、1 0 0 以上 2 0 0 以下、1 時間以上 3 0 時間以下での加熱処理を行ってもよい。ここでは 1 5 0 で 1 0 時間加熱処理を行う。この加熱処理は一定の加熱温

50

度を保持して加熱してもよいし、室温から、100 以上200 以下の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。また、この加熱処理を、酸化物絶縁膜の形成前に、減圧下で行ってもよい。減圧下で加熱処理を行うと、加熱時間を短縮することができる。この加熱処理によって、酸化物半導体層から酸化物絶縁層中に水素をとりこむことができる。

【0168】

なお、ドレイン層415bと重畳した酸化物半導体層においてドレイン領域414bを形成することにより、トランジスタの信頼性の向上を図ることができる。具体的には、ドレイン領域414bを形成することで、ドレイン層415bからドレイン領域414b、チャンネル形成領域413にかけて、導電性を段階的に変化させうるような構造とすることができる。

10

【0169】

また、酸化物半導体層におけるソース領域又はドレイン領域は、酸化物半導体層の膜厚が15nm以下と薄い場合は膜厚方向全体にわたって形成されるが、酸化物半導体層の膜厚が30nm以上50nm以下とより厚い場合は、酸化物半導体層の一部、ソース層又はドレイン層と接する領域及びその近傍が低抵抗化しソース領域又はドレイン領域が形成され、酸化物半導体層においてゲート絶縁層に近い領域はI型とすることもできる。

【0170】

酸化物絶縁層416上にさらに保護絶縁層を形成してもよい。例えば、RFスパッタ法を用いて窒化シリコン膜を形成する。RFスパッタ法は、量産性がよいため、保護絶縁層の成膜方法として好ましい。保護絶縁層は、水分や、水素イオンや、OH⁻などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、窒化シリコン膜、窒化アルミニウム膜、窒化酸化シリコン膜、酸化窒化アルミニウムなどを用いる。ここでは、保護絶縁層として保護絶縁層403を、窒化シリコン膜を用いて形成する(図17(D)参照)。

20

【0171】

(表示装置を搭載した各種電子機器について)

以下では、本明細書で開示される表示装置を搭載した電子機器の例について図18を参照して説明する。

【0172】

図18(A)は、ノート型のパーソナルコンピュータを示す図であり、本体2201、筐体2202、表示部2203、キーボード2204などによって構成されている。

30

【0173】

図18(B)は、携帯情報端末(PDA)を示す図であり、本体2211には表示部2213と、外部インターフェイス2215と、操作ボタン2214等が設けられている。また、操作用の付属品としてスタイラス2212がある。

【0174】

図18(C)は、電子ペーパーの一例として、電子書籍2220を示す図である。電子書籍2220は、筐体2221および筐体2223の2つの筐体で構成されている。筐体2221および筐体2223は、軸部2237により一体とされており、該軸部2237を軸として開閉動作を行うことができる。このような構成により、電子書籍2220は、紙の書籍のように用いることが可能である。

40

【0175】

筐体2221には表示部2225が組み込まれ、筐体2223には表示部2227が組み込まれている。表示部2225および表示部2227は、続き画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成とすることで、例えば右側の表示部(図18(C)では表示部2225)に文章を表示し、左側の表示部(図18(C)では表示部2227)に画像を表示することができる。

【0176】

また、図18(C)では、筐体2221に操作部などを備えた例を示している。例えば

50

、筐体 2 2 2 1 は、電源 2 2 3 1、操作キー 2 2 3 3、スピーカー 2 2 3 5などを備えている。操作キー 2 2 3 3により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子（イヤホン端子、USB端子、またはACアダプタおよびUSBケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍 2 2 2 0は、電子辞書としての機能を持たせた構成としてもよい。

【 0 1 7 7 】

また、電子書籍 2 2 2 0は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

10

【 0 1 7 8 】

なお、電子ペーパーは、情報を表示するものであればあらゆる分野に適用することが可能である。例えば、電子書籍以外にも、ポスター、電車などの乗り物の車内広告、クレジットカード等の各種カードにおける表示などに適用することができる。

【 0 1 7 9 】

図 1 8 (D) は、携帯電話機を示す図である。当該携帯電話機は、筐体 2 2 4 0 および筐体 2 2 4 1 の二つの筐体で構成されている。筐体 2 2 4 1 は、表示パネル 2 2 4 2、スピーカー 2 2 4 3、マイクロフォン 2 2 4 4、ポインティングデバイス 2 2 4 6、カメラ用レンズ 2 2 4 7、外部接続端子 2 2 4 8などを備えている。また、筐体 2 2 4 1 は、当該携帯電話機の充電を行う太陽電池セル 2 2 4 9、外部メモリスロット 2 2 5 0などを備えている。また、アンテナは筐体 2 2 4 1 内部に内蔵されている。

20

【 0 1 8 0 】

表示パネル 2 2 4 2 はタッチパネル機能を備えており、図 1 8 (D) には映像表示されている複数の操作キー 2 2 4 5 を点線で示している。なお、当該携帯電話は、太陽電池セル 2 2 4 9 から出力される電圧を各回路に必要な電圧に昇圧するための昇圧回路を実装している。また、上記構成に加えて、非接触 IC チップ、小型記録装置などを内蔵した構成とすることもできる。

【 0 1 8 1 】

表示パネル 2 2 4 2 は、使用形態に応じて表示の方向が適宜変化する。また、表示パネル 2 2 4 2 と同一面上にカメラ用レンズ 2 2 4 7 を備えているため、テレビ電話が可能である。スピーカー 2 2 4 3 およびマイクロフォン 2 2 4 4 は音声通話に限らず、テレビ電話、録音、再生などが可能である。さらに、筐体 2 2 4 0 と筐体 2 2 4 1 はスライドし、図 1 8 (D) のように展開している状態から重なり合った状態とすることができ、携帯に適した小型化が可能である。

30

【 0 1 8 2 】

外部接続端子 2 2 4 8 は AC アダプタや USB ケーブルなどの各種ケーブルと接続可能であり、充電やデータ通信が可能になっている。また、外部メモリスロット 2 2 5 0 に記録媒体を挿入し、より大量のデータの保存および移動に対応できる。また、上記機能に加えて、赤外線通信機能、テレビ受信機能などを備えたものであってもよい。

40

【 0 1 8 3 】

図 1 8 (E) は、デジタルカメラを示す図である。当該デジタルカメラは、本体 2 2 6 1、表示部 (A) 2 2 6 7、接眼部 2 2 6 3、操作スイッチ 2 2 6 4、表示部 (B) 2 2 6 5、バッテリー 2 2 6 6 などによって構成されている。

【 0 1 8 4 】

図 1 8 (F) は、テレビジョン装置を示す図である。テレビジョン装置 2 2 7 0 では、筐体 2 2 7 1 に表示部 2 2 7 3 が組み込まれている。表示部 2 2 7 3 により、映像を表示することが可能である。なお、ここでは、スタンド 2 2 7 5 により筐体 2 2 7 1 を支持した構成を示している。

【 0 1 8 5 】

50

テレビジョン装置 2 2 7 0 の操作は、筐体 2 2 7 1 が備える操作スイッチや、別体のリモコン操作機 2 2 8 0 により行うことができる。リモコン操作機 2 2 8 0 が備える操作キー 2 2 7 9 により、チャンネルや音量の操作を行うことができ、表示部 2 2 7 3 に表示される映像を操作することができる。また、リモコン操作機 2 2 8 0 に、当該リモコン操作機 2 2 8 0 から出力する情報を表示する表示部 2 2 7 7 を設ける構成としてもよい。

【 0 1 8 6 】

なお、テレビジョン装置 2 2 7 0 は、受信機やモデムなどを備えた構成とするのが好適である。受信機により、一般のテレビ放送の受信を行うことができる。また、モデムを介して有線または無線による通信ネットワークに接続することにより、一方向（送信者から受信者）または双方向（送信者と受信者間、あるいは受信者間同士など）の情報通信を行うことが可能である。

10

【符号の説明】

【 0 1 8 7 】

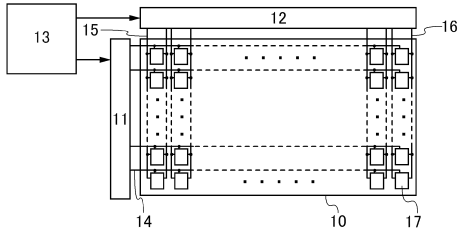
1 0	画素部	
1 1	第 1 の走査線駆動回路	
1 2	信号線及び第 2 の走査線駆動回路	
1 3	コントローラ	
1 4	第 1 の走査線	
1 5	信号線	
1 6	第 2 の走査線	20
1 7	画素	
1 8	信号線駆動回路	
1 9	第 2 の走査線駆動回路	
2 0	トランジスタ	
2 1	トランジスタ	
2 2	容量素子	
2 3	液晶素子	
1 1 0	シフトレジスタ	
1 1 1	ラッチ	
1 1 2	ラッチ	30
1 1 3	バッファ	
1 1 5	A N D ゲート	
1 2 0	シフトレジスタ	
1 2 1	ラッチ	
1 2 2	ラッチ	
1 2 3	ラッチ	
1 2 4	ラッチ	
1 2 5	デジタルアナログ変換回路 (D A C)	
1 2 6	アナログバッファ	
1 2 7	A N D ゲート	40
1 2 8	ラッチ	
1 2 9	デジタルアナログ変換回路 (D A C)	
1 3 0	アナログバッファ	
1 3 1	フレームメモリ	
1 3 2	比較回路	
1 3 3	座標メモリ	
1 3 4	データ信号読み出し回路	
1 3 5	書き換え信号生成回路	
1 8 0	信号線駆動用シフトレジスタ	
1 9 0	第 2 の走査線駆動用シフトレジスタ	50

2 1 1	トランジスタ	
2 2 0	基板	
2 2 1	ゲート層	
2 2 2	ゲート絶縁層	
2 2 3	酸化物半導体層	
2 2 4 a	ソース層	
2 2 4 b	ドレイン層	
2 2 5	絶縁層	
2 2 6	保護絶縁層	
4 0 0	基板	10
4 0 2	ゲート絶縁層	
4 0 3	保護絶縁層	
4 1 0	トランジスタ	
4 1 1	ゲート層	
4 1 3	チャンネル形成領域	
4 1 4 a	ソース領域	
4 1 4 b	ドレイン領域	
4 1 5 a	ソース層	
4 1 5 b	ドレイン層	
4 1 6	酸化物絶縁層	20
4 3 0	酸化物半導体膜	
4 3 1	酸化物半導体層	
5 1 0	トランジスタ	
5 1 1	絶縁層	
5 2 0	トランジスタ	
5 3 0	トランジスタ	
5 3 1	絶縁層	
5 3 2 a	配線層	
5 3 2 b	配線層	
8 0 0	測定系	30
8 0 2	容量素子	
8 0 4	トランジスタ	
8 0 5	トランジスタ	
8 0 6	トランジスタ	
8 0 8	トランジスタ	
2 2 0 1	本体	
2 2 0 2	筐体	
2 2 0 3	表示部	
2 2 0 4	キーボード	
2 2 1 1	本体	40
2 2 1 2	スタイラス	
2 2 1 3	表示部	
2 2 1 4	操作ボタン	
2 2 1 5	外部インターフェイス	
2 2 2 0	電子書籍	
2 2 2 1	筐体	
2 2 2 3	筐体	
2 2 2 5	表示部	
2 2 2 7	表示部	
2 2 3 1	電源	50

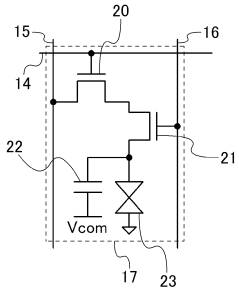
2 2 3 3	操作キー	
2 2 3 5	スピーカー	
2 2 3 7	軸部	
2 2 4 0	筐体	
2 2 4 1	筐体	
2 2 4 2	表示パネル	
2 2 4 3	スピーカー	
2 2 4 4	マイクロフォン	
2 2 4 5	操作キー	
2 2 4 6	ポインティングデバイス	10
2 2 4 7	カメラ用レンズ	
2 2 4 8	外部接続端子	
2 2 4 9	太陽電池セル	
2 2 5 0	外部メモリスロット	
2 2 6 1	本体	
2 2 6 3	接眼部	
2 2 6 4	操作スイッチ	
2 2 6 5	表示部 (B)	
2 2 6 6	バッテリー	
2 2 6 7	表示部 (A)	20
2 2 7 0	テレビジョン装置	
2 2 7 1	筐体	
2 2 7 3	表示部	
2 2 7 5	スタンド	
2 2 7 7	表示部	
2 2 7 9	操作キー	
2 2 8 0	リモコン操作機	

【図1】

(A)

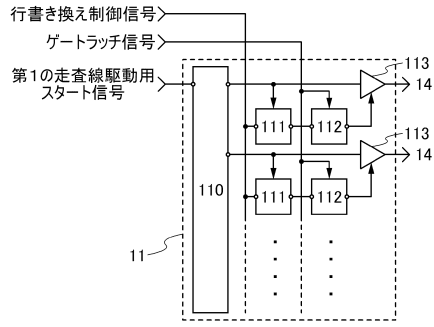


(B)

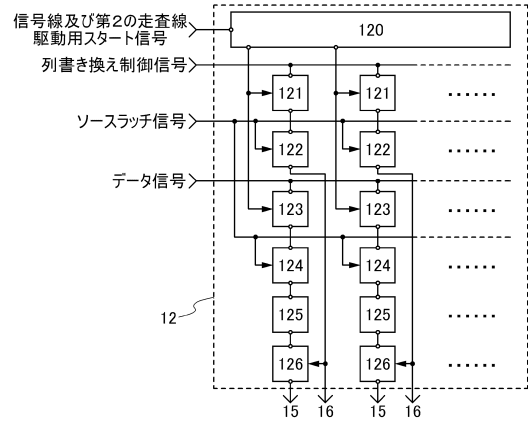


【図2】

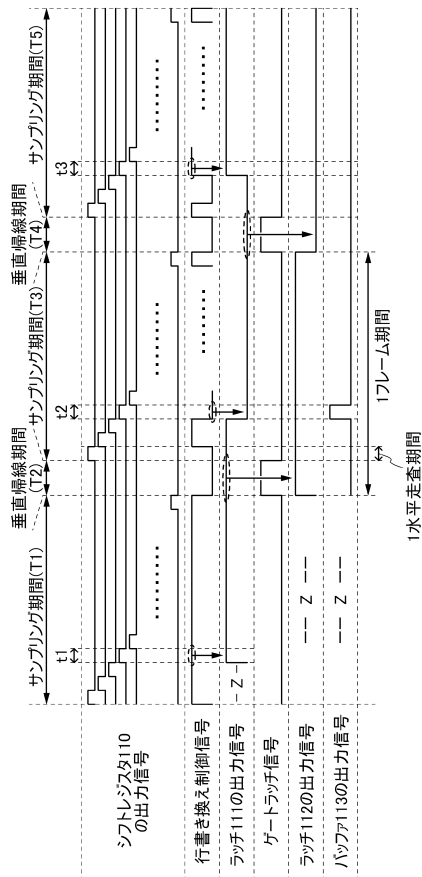
(A)



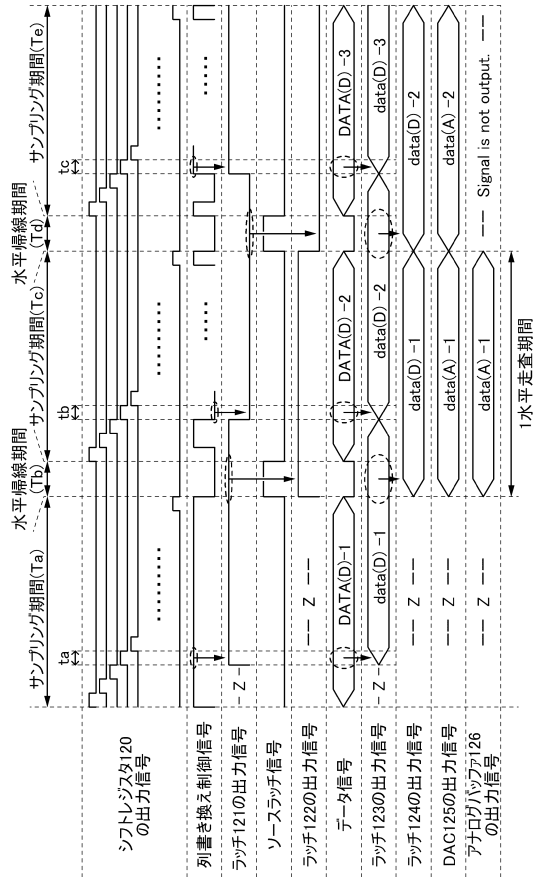
(B)



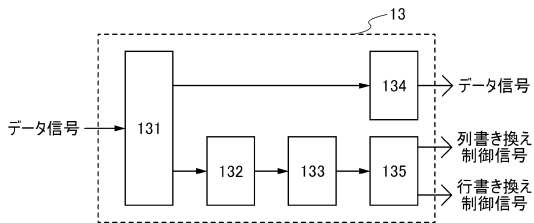
【図3】



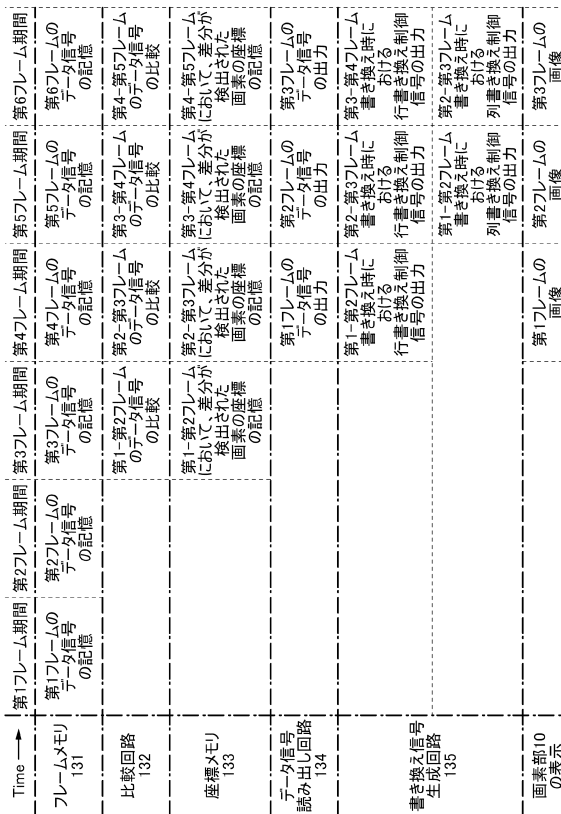
【図4】



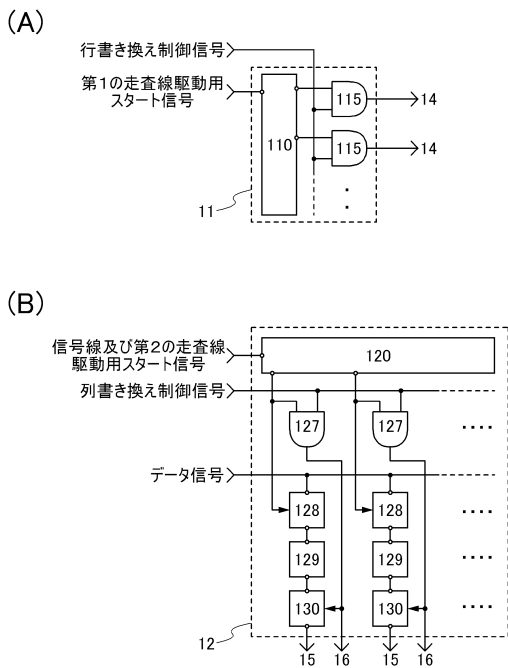
【図5】



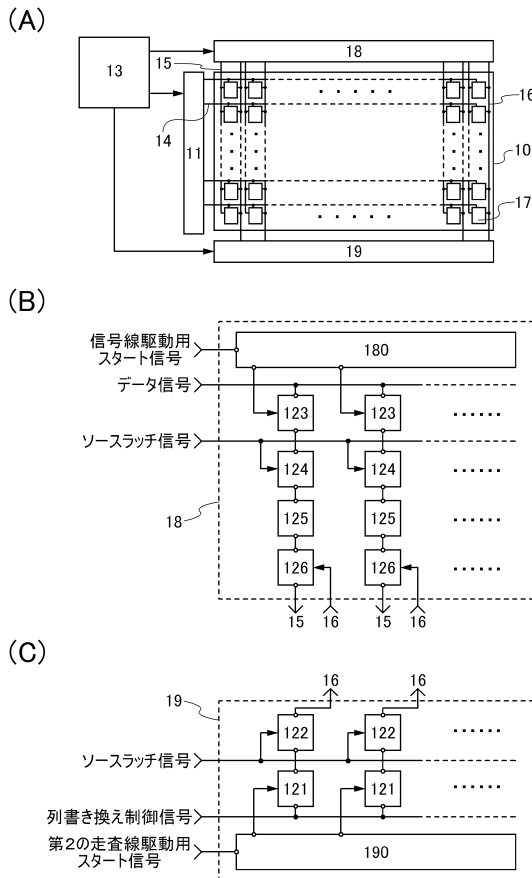
【図6】



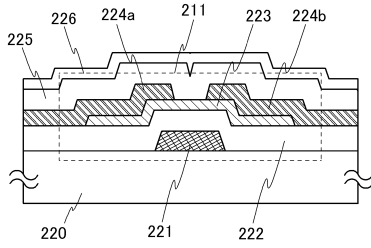
【図7】



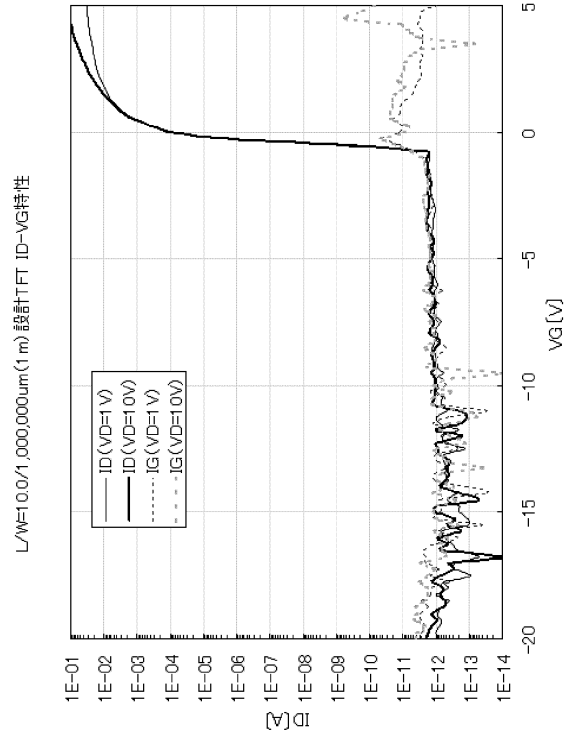
【図8】



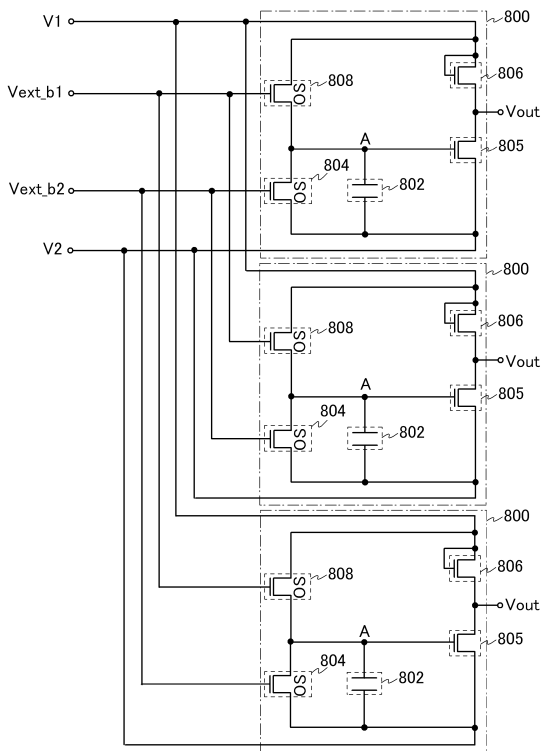
【図 9】



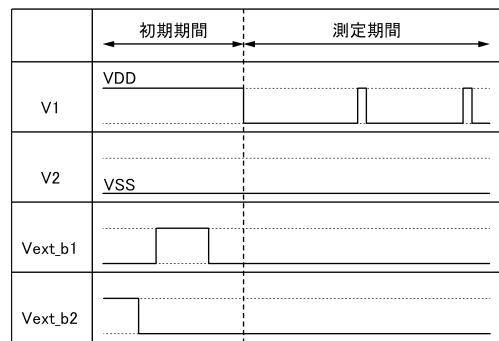
【図 10】



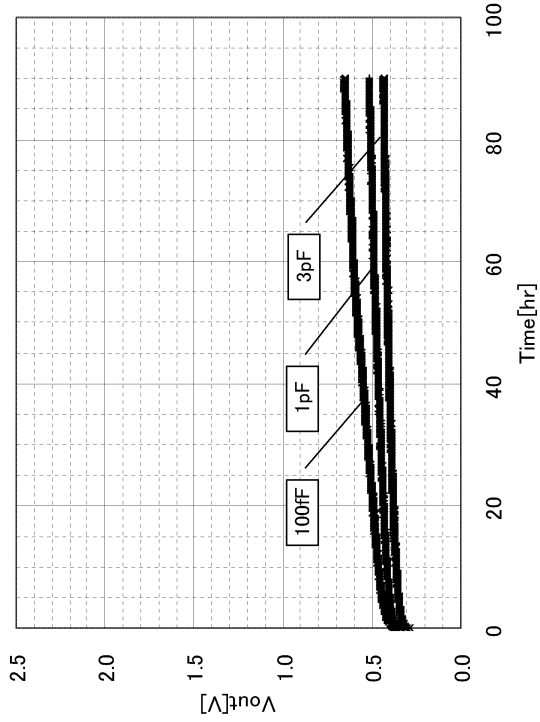
【図 11】



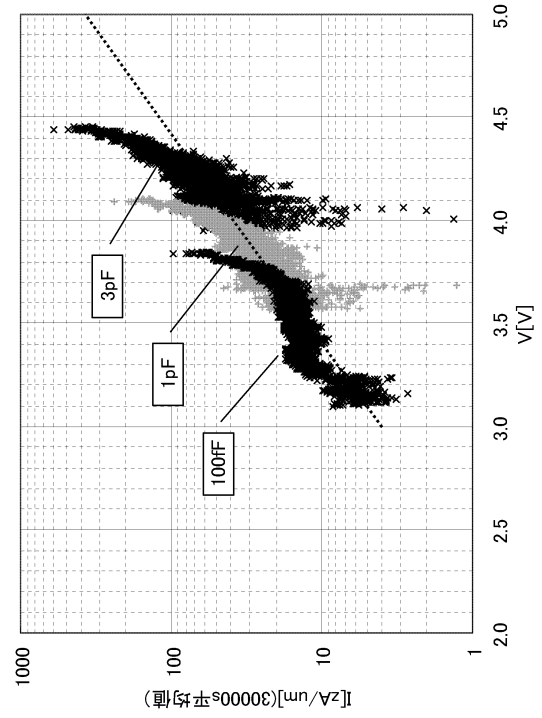
【図 12】



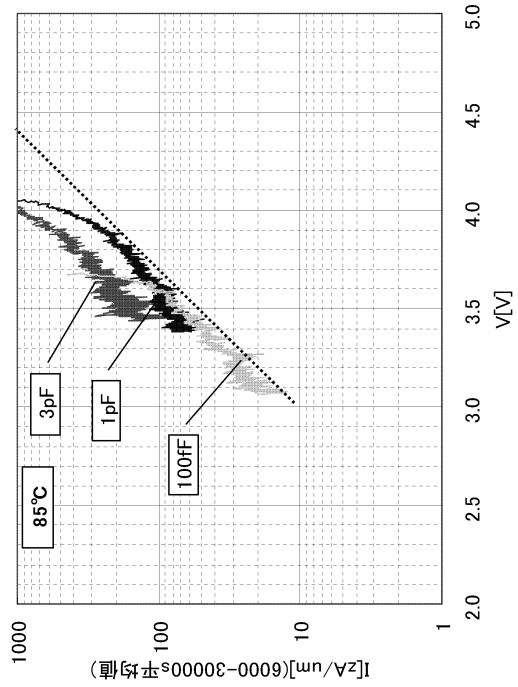
【図 13】



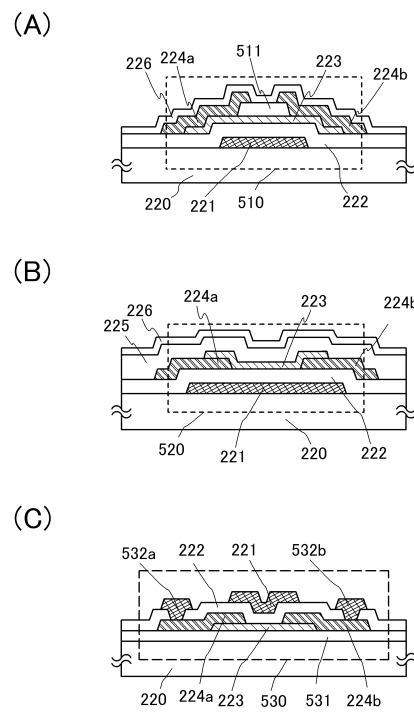
【図 14】



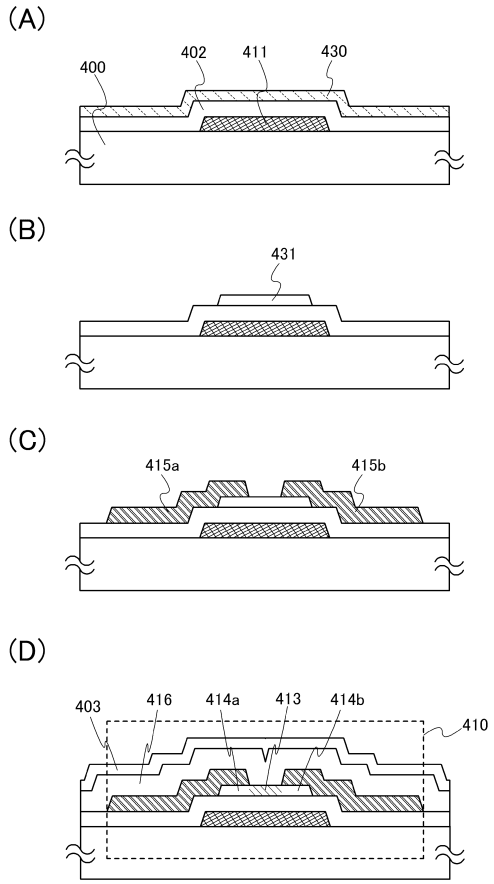
【図 15】



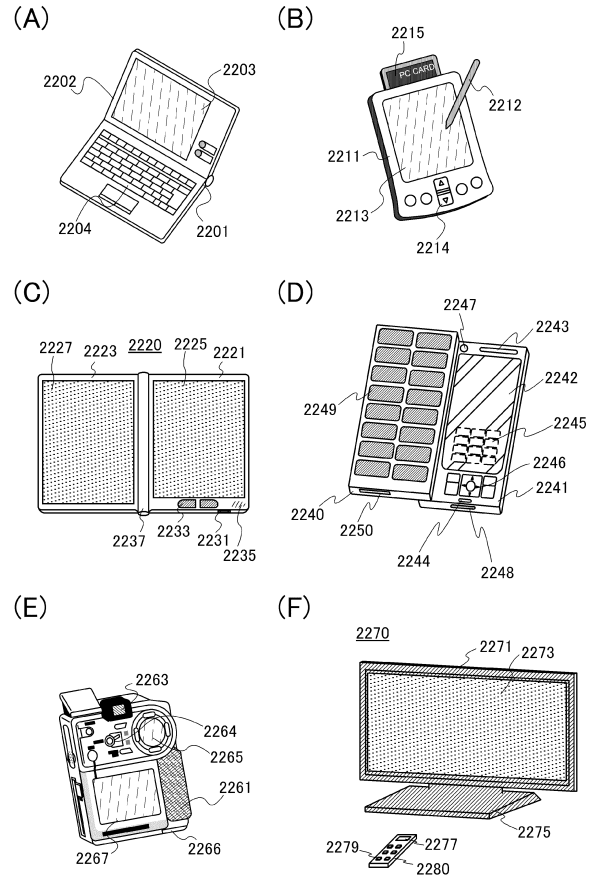
【図 16】



【 図 17 】



【 図 18 】



フロントページの続き

(51) Int.Cl. F I

G 0 9 G	3/20	6 2 2 B
G 0 9 G	3/20	6 2 2 G
G 0 2 F	1/133	5 5 0
H 0 5 B	33/14	A
H 0 5 B	33/14	Z

(56) 参考文献 特開 2 0 0 0 - 2 8 4 7 5 5 (J P , A)
特開平 0 9 - 3 2 9 8 0 7 (J P , A)
特開平 0 9 - 0 0 5 7 8 9 (J P , A)
特開 2 0 0 9 - 1 1 6 3 2 4 (J P , A)

(58) 調査した分野(Int.Cl. , DB名)

G 0 9 G	3 / 0 0	-	3 / 3 8
G 0 2 F	1 / 1 3 3		
H 0 1 L	5 1 / 5 0		
H 0 5 B	3 3 / 1 4		