

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7613576号  
(P7613576)

(45)発行日 令和7年1月15日(2025.1.15)

(24)登録日 令和7年1月6日(2025.1.6)

|                         |         |       |         |  |
|-------------------------|---------|-------|---------|--|
| (51)国際特許分類              | F I     |       |         |  |
| H 1 0 D 12/00 (2025.01) | H 0 1 L | 29/78 | 6 5 5 F |  |
| H 1 0 D 30/66 (2025.01) | H 0 1 L | 29/78 | 6 5 2 Q |  |
| H 1 0 D 62/10 (2025.01) | H 0 1 L | 29/78 | 6 5 3 A |  |
|                         | H 0 1 L | 29/78 | 6 5 5 B |  |
|                         | H 0 1 L | 29/78 | 6 5 2 P |  |
| 請求項の数 15 (全28頁) 最終頁に続く  |         |       |         |  |

|                   |                             |          |   |
|-------------------|-----------------------------|----------|---|
| (21)出願番号          | 特願2023-524066(P2023-524066) | (73)特許権者 | 000005234<br>富士電機株式会社<br>神奈川県川崎市川崎区田辺新田1番1号 |
| (86)(22)出願日       | 令和4年3月30日(2022.3.30)        | (74)代理人  | 110000877<br>弁理士法人R Y U K A国際特許事務所          |
| (86)国際出願番号        | PCT/JP2022/016190           | (72)発明者  | 唐本 祐樹<br>神奈川県川崎市川崎区田辺新田1番1号<br>富士電機株式会社内    |
| (87)国際公開番号        | WO2022/249753               | (72)発明者  | 三塚 要<br>神奈川県川崎市川崎区田辺新田1番1号<br>富士電機株式会社内     |
| (87)国際公開日         | 令和4年12月1日(2022.12.1)        | (72)発明者  | 伊倉 巧裕<br>神奈川県川崎市川崎区田辺新田1番1号<br>富士電機株式会社内    |
| 審査請求日             | 令和5年4月27日(2023.4.27)        | 審査官      | 戸川 匠  |
| (31)優先権主張番号       | 特願2021-87222(P2021-87222)   |          |   |
| (32)優先日           | 令和3年5月24日(2021.5.24)        |          |   |
| (33)優先権主張国・地域又は機関 | 日本国(JP)                     |          |   |
| 最終頁に続く            |                             |          |   |

(54)【発明の名称】 半導体装置

(57)【特許請求の範囲】

【請求項1】

半導体基板を備える半導体装置であって、  
前記半導体基板は、  
活性部と、  
前記半導体基板の上面において前記活性部に設けられ、延伸方向に沿って延伸する複数のゲートトレンチ部と  
を有し、  
前記活性部と前記半導体基板の端辺との間に設けられるゲート配線と、  
前記端辺に沿って互いに離れて配置され、前記複数のゲートトレンチ部をそれぞれ前記ゲート配線に接続する複数のゲートポリシリコンと  
を更に備え、  
前記半導体基板の深さ方向において、前記半導体基板の前記上面の全体にわたり、前記ゲート配線の下面は前記ゲートポリシリコンの下面よりも前記半導体基板の前記上面から離れ、  
前記活性部において、前記半導体基板は、  
第1導電型のドリフト領域と、  
前記半導体基板の上面に露出し、前記ドリフト領域よりもドーピング濃度の高い第1導電型のエミッタ領域と、  
深さ方向において、前記エミッタ領域と前記ドリフト領域の間に設けられた第2導電型

10

20

のベース領域と

を有し、

前記ゲートポリシリコンは、前記延伸方向における前記活性部の最も外側に設けられた前記エミッタ領域よりも外側で、前記ゲートトレンチ部と接続する

半導体装置。

【請求項 2】

半導体基板を備える半導体装置であって、

前記半導体基板は、

活性部と、

前記半導体基板の上面において前記活性部に設けられ、延伸方向に沿って延伸する複数のゲートトレンチ部と

10

を有し、

前記活性部と前記半導体基板の端辺との間に設けられるゲート配線と、

前記端辺に沿って互いに離れて配置され、前記複数のゲートトレンチ部をそれぞれ前記ゲート配線に接続する複数のゲートポリシリコンと

を更に備え、

前記半導体基板の深さ方向において、前記半導体基板の前記上面の全体にわたり、前記ゲート配線の下面は前記ゲートポリシリコンの下面よりも前記半導体基板の前記上面から離れ、

前記活性部において、前記半導体基板は、

20

第 1 導電型のドリフト領域と、

前記半導体基板の前記上面に露出する第 2 導電型のコンタクト領域と、

深さ方向において、前記コンタクト領域と前記ドリフト領域の間に設けられ、前記コンタクト領域よりもドーピング濃度の低い第 2 導電型のベース領域と

を有し、

前記ゲートポリシリコンは、前記延伸方向における前記活性部の最も外側に設けられた前記コンタクト領域よりも外側で、前記ゲートトレンチ部と接続する

半導体装置。

【請求項 3】

半導体基板を備える半導体装置であって、

30

前記半導体基板は、

活性部と、

前記半導体基板の上面において前記活性部に設けられ、延伸方向に沿って延伸する複数のゲートトレンチ部と

を有し、

前記活性部と前記半導体基板の端辺との間に設けられるゲート配線と、

前記端辺に沿って互いに離れて配置され、前記複数のゲートトレンチ部をそれぞれ前記ゲート配線に接続する複数のゲートポリシリコンと、

前記活性部において、前記半導体基板の前記上面の上方に設けられるエミッタ電極と

を更に備え、

40

前記半導体基板の深さ方向において、前記半導体基板の前記上面の全体にわたり、前記ゲート配線の下面は前記ゲートポリシリコンの下面よりも前記半導体基板の前記上面から離れ、

前記ゲートポリシリコンは、前記延伸方向において前記エミッタ電極よりも外側で、前記ゲートトレンチ部と接続する

半導体装置。

【請求項 4】

半導体基板を備える半導体装置であって、

前記半導体基板は、

活性部と、

50

前記半導体基板の上面において前記活性部に設けられ、延伸方向に沿って延伸する複数のゲートトレンチ部と、

延伸方向に沿って延伸する複数のダミートレンチ部とを有し、

前記活性部と前記半導体基板の端辺との間に設けられるゲート配線と、

前記端辺に沿って互いに離れて配置され、前記複数のゲートトレンチ部をそれぞれ前記ゲート配線に接続する複数のゲートポリシリコンと、

前記活性部において、前記半導体基板の前記上面の上方に設けられ、前記ダミートレンチ部と接続するエミッタ電極と

を更に備え、

10

前記半導体基板の深さ方向において、前記半導体基板の前記上面の全体にわたり、前記ゲート配線の下面は前記ゲートポリシリコンの下面よりも前記半導体基板の前記上面から離れ、

上面視において、前記ゲートポリシリコンは、前記ダミートレンチ部と重ならない半導体装置。

**【請求項 5】**

半導体基板を備える半導体装置であって、

前記半導体基板は、

活性部と、

前記半導体基板の上面において前記活性部に設けられ、延伸方向に沿って延伸する複数のゲートトレンチ部と

20

を有し、

前記活性部と前記半導体基板の端辺との間に設けられるゲート配線と、

前記端辺に沿って互いに離れて配置され、前記複数のゲートトレンチ部をそれぞれ前記ゲート配線に接続する複数のゲートポリシリコンと

を更に備え、

前記半導体基板の深さ方向において、前記半導体基板の前記上面の全体にわたり、前記ゲート配線の下面は前記ゲートポリシリコンの下面よりも前記半導体基板の前記上面から離れ、

前記複数のゲートトレンチ部の内少なくとも1つのゲートトレンチ部は、前記複数のゲートポリシリコンの内1つのゲートポリシリコンと接続し、

30

少なくとも1つの前記ゲートトレンチ部は、

前記延伸方向に沿って延伸する2つの直線部分と、

前記2つの直線部分を接続する先端部と

を有し、

前記2つの直線部分を含む前記ゲートトレンチ部の、前記延伸方向と垂直な配列方向における幅は、前記配列方向における当該前記ゲートトレンチ部と接続する前記ゲートポリシリコンの幅より大きく、

前記ゲートポリシリコンは、前記ゲートトレンチ部の前記先端部と接続する半導体装置。

40

**【請求項 6】**

半導体基板を備える半導体装置であって、

前記半導体基板は、

活性部と、

前記半導体基板の上面において前記活性部に設けられ、延伸方向に沿って延伸する複数のゲートトレンチ部と

を有し、

前記活性部と前記半導体基板の端辺との間に設けられるゲート配線と、

前記端辺に沿って互いに離れて配置され、前記複数のゲートトレンチ部をそれぞれ前記ゲート配線に接続する複数のゲートポリシリコンと

50

を更に備え、

前記半導体基板の深さ方向において、前記半導体基板の前記上面の全体にわたり、前記ゲート配線の下面は前記ゲートポリシリコンの下面よりも前記半導体基板の前記上面から離れ、

前記複数のゲートトレンチ部の内少なくとも1つのゲートトレンチ部は、前記複数のゲートポリシリコンの内1つのゲートポリシリコンと接続し、

少なくとも1つの前記ゲートトレンチ部は、前記延伸方向に沿って延伸する1つの直線部分を有し、

前記延伸方向と垂直な配列方向における前記ゲートトレンチ部の前記直線部分の幅は、前記配列方向における当該前記ゲートトレンチ部と接続する前記ゲートポリシリコンの幅より大きい

半導体装置。

【請求項7】

半導体基板を備える半導体装置であって、

前記半導体基板は、

活性部と、

前記半導体基板の上面において前記活性部に設けられ、延伸方向に沿って延伸する複数のゲートトレンチ部と

を有し、

前記活性部と前記半導体基板の端辺との間に設けられるゲート配線と、

前記端辺に沿って互いに離れて配置され、前記複数のゲートトレンチ部をそれぞれ前記ゲート配線に接続する複数のゲートポリシリコンと

を更に備え、

前記半導体基板の深さ方向において、前記半導体基板の前記上面の全体にわたり、前記ゲート配線の下面は前記ゲートポリシリコンの下面よりも前記半導体基板の前記上面から離れ、

前記複数のゲートトレンチ部の内少なくとも1つのゲートトレンチ部は、前記複数のゲートポリシリコンの内1つのゲートポリシリコンと接続し、

前記ゲートトレンチ部の少なくとも一部は、前記ゲート配線の下方まで延伸して設けられ、

前記ゲートポリシリコンは、深さ方向において前記ゲートトレンチ部と前記ゲート配線の間設けられる

半導体装置。

【請求項8】

半導体基板を備える半導体装置であって、

前記半導体基板は、

活性部と、

前記半導体基板の上面において前記活性部に設けられ、延伸方向に沿って延伸する複数のゲートトレンチ部と

を有し、

前記活性部と前記半導体基板の端辺との間に設けられるゲート配線と、

前記端辺に沿って互いに離れて配置され、前記複数のゲートトレンチ部をそれぞれ前記ゲート配線に接続する複数のゲートポリシリコンと

を更に備え、

前記半導体基板の深さ方向において、前記半導体基板の前記上面の全体にわたり、前記ゲート配線の下面は前記ゲートポリシリコンの下面よりも前記半導体基板の前記上面から離れ、

前記複数のゲートトレンチ部の内少なくとも1つのゲートトレンチ部は、前記複数のゲートポリシリコンの内1つのゲートポリシリコンと接続し、

少なくとも2つの前記ゲートポリシリコンの長手方向は、前記延伸方向との成す角度が

10

20

30

40

50

異なる

半導体装置。

【請求項 9】

半導体基板を備える半導体装置であって、

前記半導体基板は、

活性部と、

前記半導体基板の上面において前記活性部に設けられ、延伸方向に沿って延伸する複数のゲートトレンチ部と

を有し、

前記活性部と前記半導体基板の端辺との間に設けられるゲート配線と、

前記端辺に沿って互いに離れて配置され、前記複数のゲートトレンチ部をそれぞれ前記ゲート配線に接続する複数のゲートポリシリコンと

を更に備え、

前記半導体基板の深さ方向において、前記半導体基板の前記上面の全体にわたり、前記ゲート配線の下面は前記ゲートポリシリコンの下面よりも前記半導体基板の前記上面から離れ、

前記複数のゲートトレンチ部の内少なくとも1つのゲートトレンチ部は、前記複数のゲートポリシリコンの内1つのゲートポリシリコンと接続し、

前記半導体基板は、

前記延伸方向と垂直な2つの第1端辺と、

前記延伸方向と平行な2つの第2端辺と

を有し、

前記ゲート配線は、

前記第1端辺と前記活性部との間に設けられた第1配線と、

前記第2端辺と前記活性部との間に設けられた第2配線と、

前記第1配線および前記第2配線を接続する曲線部分と

を有し、

前記ゲートトレンチ部の少なくとも一部は、前記ゲート配線の前記曲線部分の下方まで延伸して設けられ、

少なくとも1つの前記ゲートポリシリコンは、深さ方向において前記ゲートトレンチ部と前記曲線部分の間に設けられ、

少なくとも1つの前記ゲートポリシリコンは、前記ゲート配線の前記第1配線から前記ゲートトレンチ部に向かう方向に長手を有する

半導体装置。

【請求項 10】

前記複数のゲートトレンチ部の内少なくとも1つのゲートトレンチ部は、前記複数のゲートポリシリコンの内1つのゲートポリシリコンと接続する

請求項 1 から 4 のいずれか一項に記載の半導体装置。

【請求項 11】

前記ゲートポリシリコンは、前記ゲート配線が延伸する方向に沿って、離散的に設けられている

請求項 5 から 8 または 10 のいずれか一項に記載の半導体装置。

【請求項 12】

前記半導体基板は、

前記延伸方向と垂直な2つの第1端辺と、

前記延伸方向と平行な2つの第2端辺と

を有し、

前記ゲート配線は、

前記第1端辺と前記活性部との間に設けられた第1配線と、

前記第2端辺と前記活性部との間に設けられた第2配線と

10

20

30

40

50

を有し、  
 前記ゲートポリシリコンは、  
 前記第 1 配線の下方に設けられ、  
 前記第 2 配線の下方に設けられない  
 請求項 5 から 8、10 または 11 のいずれか一項に記載の半導体装置。

【請求項 13】

前記ゲートポリシリコンは、前記ゲート配線から前記ゲートトレンチ部に向かう方向に長手を有する

請求項 5、6、8 または 10 のいずれか一項に記載の半導体装置。

【請求項 14】

前記ゲートポリシリコンは、前記延伸方向に長手を有する

請求項 13 に記載の半導体装置。

【請求項 15】

前記半導体基板は、  
 前記延伸方向と垂直な 2 つの第 1 端辺と、  
 前記延伸方向と平行な 2 つの第 2 端辺と

を有し、

前記ゲート配線は、

前記第 1 端辺と前記活性部との間に設けられた第 1 配線と、

前記第 2 端辺と前記活性部との間に設けられた第 2 配線と、

前記第 1 配線および前記第 2 配線を接続する曲線部分と

を有し、

前記第 1 配線に接続する前記ゲートポリシリコンの長手方向と、前記曲線部分に接続する前記ゲートポリシリコンの長手方向とが異なる

請求項 8 に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関する。

【背景技術】

【0002】

従来、IGBT (Insulated Gate Bipolar Transistor) 等の半導体装置において、エッジ終端領域で発生したホールにより絶縁破壊が起こることが知られている (例えば、特許文献 1 参照)。また、ゲートランナーとしてゲートポリシリコン層を設ける構成が知られている (例えば、特許文献 2 参照)。また、ゲート配線の信頼性を高くする技術が知られている (例えば、特許文献 3 参照)。

特許文献 1 特開 2018 - 206873 号公報

特許文献 2 国際公開第 2016 - 098409 号公報

特許文献 3 特開 2017 - 135245 号公報

【解決しようとする課題】

【0003】

IGBT 装置等の半導体装置においては、ターンオフ時の破壊を抑制することが好ましい。

【一般的開示】

【0004】

上記課題を解決するために、本発明の第 1 の態様においては、半導体基板を備える半導体装置を提供する。半導体基板は、活性部を有してよい。半導体基板は、複数のゲートトレンチ部を有してよい。ゲートトレンチ部は、半導体基板の上面において活性部に設けられてよい。ゲートトレンチ部は、延伸方向に沿って延伸してよい。半導体装置は、ゲート配線を備えてよい。ゲート配線は、活性部と半導体基板の端辺との間に設けられてよい。

10

20

30

40

50

半導体装置は、複数のゲートポリシリコンを備えてよい。ゲートポリシリコンは、端辺に沿って互いに離れて配置されてよい。ゲートポリシリコンは、複数のゲートトレンチ部をそれぞれゲート配線に接続してよい。

【0005】

複数のゲートトレンチ部の内少なくとも1つのゲートトレンチ部は、複数のゲートポリシリコンの内1つのゲートポリシリコンと接続してよい。

【0006】

少なくとも1つのゲートトレンチ部は、延伸方向に沿って延伸する2つの直線部分を有してよい。少なくとも1つのゲートトレンチ部は、2つの直線部分を接続する先端部を有してよい。2つの直線部分を含むゲートトレンチ部の、延伸方向と垂直な配列方向における幅は、配列方向における当該ゲートトレンチ部と接続するゲートポリシリコンの幅より大きくてよい。

10

【0007】

少なくとも1つのゲートトレンチ部は、延伸方向に沿って延伸する1つの直線部分を有してよい。延伸方向と垂直な配列方向におけるゲートトレンチ部の幅は、配列方向における当該ゲートトレンチ部と接続するゲートポリシリコンの幅より大きくてよい。

【0008】

ゲートポリシリコンは、ゲート配線が延伸する方向に沿って、離散的に設けられていてよい。

【0009】

20

半導体基板は、延伸方向と垂直な2つの第1端辺を有してよい。半導体基板は、延伸方向と平行な2つの第2端辺を有してよい。ゲート配線は、第1端辺と活性部との間に設けられた第1配線を有してよい。ゲート配線は、第2端辺と活性部との間に設けられた第2配線を有してよい。ゲートポリシリコンは、第1配線の下方に設けられてよい。ゲートポリシリコンは、第2配線の下方に設けられなくてよい。

【0010】

ゲートポリシリコンは、ゲート配線からゲートトレンチ部に向かう方向に長手を有してよい。ゲートポリシリコンは、延伸方向に長手を有してよい。

【0011】

ゲートトレンチ部の少なくとも一部は、ゲート配線の下方まで延伸して設けられてよい。ゲートポリシリコンは、深さ方向においてゲートトレンチ部とゲート配線の間に設けられてよい。

30

【0012】

少なくとも2つのゲートポリシリコンの長手方向は、延伸方向との成す角度が異なってよい。

【0013】

ゲート配線は、第1配線および第2配線を接続する曲線部分を有してよい。第1配線に接続するゲートポリシリコンの長手方向と、曲線部分に接続するゲートポリシリコンの長手方向とが異なってよい。

【0014】

40

ゲートトレンチ部の少なくとも一部は、ゲート配線の曲線部分の下方まで延伸して設けられてよい。少なくとも1つのゲートポリシリコンは、深さ方向においてゲートトレンチ部と曲線部分の間に設けられてよい。少なくとも1つのゲートポリシリコンは、ゲート配線の第1配線からゲートトレンチ部に向かう方向に長手を有してよい。

【0015】

なお、上記の発明の概要は、本発明の特徴の全てを列挙したものではない。また、これらの特徴群のサブコンビネーションもまた、発明となりうる。

【図面の簡単な説明】

【0016】

【図1】半導体装置100の一例を示す上面図である。

50

- 【図 2】図 1 における領域 D の比較例を示す図である。
- 【図 3】図 2 における g - g 断面の一例を示す図である。
- 【図 4】図 2 における a - a 断面の一例を示す図である。
- 【図 5】図 2 における b - b 断面の一例を示す図である。
- 【図 6】図 2 における c - c 断面の一例を示す図である。
- 【図 7】図 1 における領域 D の実施例の一例を示す図である。
- 【図 8】図 7 における d - d 断面の一例を示す図である。
- 【図 9】図 7 における e - e 断面の一例を示す図である。
- 【図 10】図 7 における f - f 断面の一例を示す図である。
- 【図 11】図 1 における領域 D の実施例の他の例を示す図である。
- 【図 12】図 11 における h - h 断面の一例を示す図である。
- 【図 13】図 1 における領域 D の実施例の他の例を示す図である。
- 【図 14】図 1 における領域 E の比較例を示す図である。
- 【図 15】図 1 における領域 E の実施例の一例を示す図である。
- 【図 16】図 1 における領域 E の実施例の他の例を示す図である。
- 【図 17】図 1 における領域 E の実施例の他の例を示す図である。
- 【図 18】エッジ終端構造部 90 の一例を示す図である。
- 【図 19】図 1 における i - i 断面の一例を示す図である。
- 【発明を実施するための形態】

【0017】

以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は請求の範囲にかかる発明を限定するものではない。また、実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

【0018】

本明細書においては半導体基板の深さ方向と平行な方向における一方の側を「上」、他方の側を「下」と称する。基板、層またはその他の部材の 2 つの主面のうち、一方の面を上面、他方の面を下面と称する。「上」、「下」の方向は、重力方向または半導体装置の実装時における方向に限定されない。

【0019】

本明細書では、X 軸、Y 軸および Z 軸の直交座標軸を用いて技術的事項を説明する場合がある。直交座標軸は、構成要素の相対位置を特定するに過ぎず、特定の方向を限定するものではない。例えば、Z 軸は地面に対する高さ方向を限定して示すものではない。なお、+ Z 軸方向と - Z 軸方向とは互いに逆向きの方向である。正負を記載せず、Z 軸方向と記載した場合、+ Z 軸および - Z 軸に平行な方向を意味する。

【0020】

本明細書では、半導体基板の上面および下面に平行な直交軸を X 軸および Y 軸とする。また、半導体基板の上面および下面と垂直な軸を Z 軸とする。本明細書では、Z 軸の方向を深さ方向と称する場合がある。また、本明細書では、X 軸および Y 軸を含めて、半導体基板の上面および下面に平行な方向を、水平方向と称する場合がある。

【0021】

また、半導体基板の深さ方向における中心から、半導体基板の上面までの領域を、上面側と称する場合がある。同様に、半導体基板の深さ方向における中心から、半導体基板の下面までの領域を、下面側と称する場合がある。

【0022】

本明細書において「同一」または「等しい」のように称した場合、製造ばらつき等に起因する誤差を有する場合も含んでよい。当該誤差は、例えば 10% 以内である。

【0023】

本明細書においては、不純物がドーピングされたドーピング領域の導電型を P 型または N 型として説明している。本明細書においては、不純物とは、特に N 型のドナーまたは P 型のアクセプタのいずれかを意味する場合があり、ドーパントと記載する場合がある。本

10

20

30

40

50

明細書においては、ドーピングとは、半導体基板にドナーまたはアクセプタを導入し、N型の導電型を示す半導体またはP型の導電型を示す半導体とすることを意味する。

【0024】

本明細書においては、ドーピング濃度とは、熱平衡状態におけるドナーの濃度またはアクセプタの濃度を意味する。本明細書においては、ネット・ドーピング濃度とは、ドナー濃度を正イオンの濃度とし、アクセプタ濃度を負イオンの濃度として、電荷の極性を含めて足し合わせた正味の濃度を意味する。一例として、ドナー濃度を $N_D$ 、アクセプタ濃度を $N_A$ とすると、任意の位置における正味のネット・ドーピング濃度は $N_D - N_A$ となる。本明細書では、ネット・ドーピング濃度を単にドーピング濃度と記載する場合がある。

【0025】

ドナーは、半導体に電子を供給する機能を有している。アクセプタは、半導体から電子を受け取る機能を有している。ドナーおよびアクセプタは、不純物自体には限定されない。例えば、半導体中に存在する空孔(V)、酸素(O)および水素(H)が結合したVOH欠陥は、電子を供給するドナーとして機能する。本明細書では、VOH欠陥を水素ドナーと称する場合がある。

【0026】

本明細書においてP+型またはN+型と記載した場合、P型またはN型よりもドーピング濃度が高いことを意味し、P-型またはN-型と記載した場合、P型またはN型よりもドーピング濃度が低いことを意味する。本明細書の単位系は、特に断りがなければSI単位系である。長さの単位をcmで表示することがあるが、諸計算はメートル(m)に換算してから行ってよい。

【0027】

本明細書において化学濃度とは、電気的な活性化の状態によらずに測定される不純物の原子密度を指す。化学濃度(原子密度)は、例えば二次イオン質量分析法(SIMS)により計測できる。上述したネット・ドーピング濃度は、電圧-容量測定法(CV法)により測定できる。また、拡がり抵抗測定法(SR法)により計測されるキャリア濃度を、ネット・ドーピング濃度としてよい。CV法またはSR法により計測されるキャリア濃度は、熱平衡状態における値としてよい。また、N型の領域においては、ドナー濃度がアクセプタ濃度よりも十分大きいので、当該領域におけるキャリア濃度を、ドナー濃度としてもよい。同様に、P型の領域においては、当該領域におけるキャリア濃度を、アクセプタ濃度としてもよい。本明細書では、N型領域のドーピング濃度をドナー濃度と称する場合があり、P型領域のドーピング濃度をアクセプタ濃度と称する場合がある。

【0028】

また、ドナー、アクセプタまたはネット・ドーピングの濃度分布がピークを有する場合、当該ピーク値を当該領域におけるドナー、アクセプタまたはネット・ドーピングの濃度としてよい。ドナー、アクセプタまたはネット・ドーピングの濃度がほぼ均一な場合等においては、当該領域におけるドナー、アクセプタまたはネット・ドーピングの濃度の平均値をドナー、アクセプタまたはネット・ドーピングの濃度としてよい。本明細書において、単位体積当りの濃度表示に $at\ ms/cm^3$ 、または、 $/cm^3$ を用いる。この単位は、半導体基板内のドナーまたはアクセプタ濃度、または、化学濃度に用いられる。 $at\ ms$ 表記は省略してもよい。

【0029】

SR法により計測されるキャリア濃度が、ドナーまたはアクセプタの濃度より低くてもよい。拡がり抵抗を測定する際に電流が流れる範囲において、半導体基板のキャリア移動度が結晶状態の値よりも低い場合がある。キャリア移動度の低下は、格子欠陥等による結晶構造の乱れ(ディスオーダー)により、キャリアが散乱されることで生じる。

【0030】

CV法またはSR法により計測されるキャリア濃度から算出したドナーまたはアクセプタの濃度は、ドナーまたはアクセプタを示す元素の化学濃度よりも低くてもよい。一例として、シリコンの半導体においてドナーとなるリンまたはヒ素のドナー濃度、あるいはアク

10

20

30

40

50

セプタとなるボロン（ホウ素）のアクセプタ濃度は、これらの化学濃度の99%程度である。一方、シリコンの半導体においてドナーとなる水素のドナー濃度は、水素の化学濃度の0.1%から10%程度である。本明細書における各濃度は、室温における値でよい。室温における値は、一例として300K（ケルビン）（約26.9）における値を用いてよい。

#### 【0031】

図1は、半導体装置100の一例を示す上面図である。図1においては、各部材を半導体基板10の上面に投影した位置を示している。図1においては、半導体装置100の一部の部材だけを示しており、一部の部材は省略している。

#### 【0032】

半導体装置100は、半導体基板10を備えている。半導体基板10は、半導体材料で形成された基板である。一例として半導体基板10はシリコン基板であるが、半導体基板10の材料はシリコンに限定されない。

#### 【0033】

半導体基板10は、上面視において第1端辺161および第2端辺162を有する。本明細書で単に上面視と称した場合、半導体基板10の上面側から見ることを意味している。本例の半導体基板10は、上面視において互いに向かい合う2組の第1端辺161を有する。また、本例の半導体基板10は、上面視において互いに向かい合う2組の第2端辺162を有する。図1においては、第1端辺161は、X軸方向と平行である。第2端辺162は、Y軸方向と平行である。またZ軸は、半導体基板10の上面と垂直である。また、第1端辺161は、後述するゲートトレンチ部の延伸方向と垂直である。第2端辺162は、後述するゲートトレンチ部の延伸方向と平行である。

#### 【0034】

半導体基板10には活性部160が設けられている。活性部160は、半導体装置100が動作した場合に半導体基板10の上面と下面との間で、深さ方向に主電流が流れる領域である。活性部160の上方には、エミッタ電極が設けられているが図1では省略している。

#### 【0035】

本例において、活性部160には、IGBT等のトランジスタ素子を含むトランジスタ部70が設けられている。他の例では、トランジスタ部70およびFWD（Free Wheel Diode）等のダイオード素子を含むダイオード部が、半導体基板10の上面における所定の配列方向に沿って、交互に配置されていてもよい。トランジスタ部70には、逆阻止IGBTが設けられていてもよい。本例では、Y軸方向に沿って、3つのトランジスタ部70（トランジスタ部70-1、トランジスタ部70-2およびトランジスタ部70-3）が設けられている。各トランジスタ部70の間には、P+型のウェル領域や後述するゲートポリシリコンが設けられてよい。

#### 【0036】

トランジスタ部70は、半導体基板10の下面と接する領域に、P+型のコレクタ領域を有する。また、トランジスタ部70は、半導体基板10の上面側に、N+型のエミッタ領域、P-型のベース領域、ゲート導電部およびゲート絶縁膜を有するゲート構造が周期的に配置されている。

#### 【0037】

半導体装置100は、半導体基板10の上方に1つ以上のパッドを有してよい。本例の半導体装置100は、ゲートパッド164を有している。半導体装置100は、アノードパッド、カソードパッドおよび電流検出パッド等のパッドを有してもよい。各パッドは、第1端辺161の近傍に配置されている。第1端辺161の近傍とは、上面視における第1端辺161と、エミッタ電極との間の領域を指す。半導体装置100の実装時において、各パッドは、ワイヤ等の配線を介して外部の回路に接続されてよい。

#### 【0038】

ゲートパッド164には、ゲート電位が印加される。ゲートパッド164は、活性部1

10

20

30

40

50

60のゲートトレンチ部の導電部に電氣的に接続される。半導体装置100は、ゲートパッド164とゲートトレンチ部とを接続するゲート配線130を備える。図1においては、ゲート配線130に斜線のハッチングを付している。

【0039】

ゲート配線130は、上面視において活性部160と、第1端辺161または第2端辺162との間に配置されている。本例のゲート配線130は、上面視において活性部160を囲んでいる。上面視においてゲート配線130に囲まれた領域を活性部160としてもよい。また、ゲート配線130は、ゲートパッド164と接続されている。ゲート配線130は、半導体基板10の上方に配置されている。ゲート配線130は、アルミニウム等を含む金属配線であってよい。

10

【0040】

本例において、ゲート配線130は、第1配線131、第2配線132および曲線部分133を有する。第1配線131は、第1端辺161と活性部160の間に設けられる。第2配線132は、第2端辺162と活性部160の間に設けられる。曲線部分133は、第1配線131および第2配線132を接続する。曲線部分133は、半導体基板10の4つの角近傍に設けられてよい。曲線部分133は、曲線を有する部分であってよい。本例では、ゲート配線130は、2つの第1配線131、2つの第2配線132および4つの曲線部分133を有する。

【0041】

外周ウェル領域11は、ゲート配線130と重なって設けられている。つまり、ゲート配線130と同様に、外周ウェル領域11は、上面視において活性部160を囲んでいる。外周ウェル領域11は、ゲート配線130と重ならない範囲にも、所定の幅で延伸して設けられている。外周ウェル領域11は、第2導電型の領域である。本例の外周ウェル領域11はP+型である(図2参照)。外周ウェル領域11の不純物濃度は、 $5.0 \times 10^{17} \text{ at } \text{ms} / \text{cm}^3$ 以上でかつ $5.0 \times 10^{19} \text{ at } \text{ms} / \text{cm}^3$ 以下であってよい。外周ウェル領域11の不純物濃度は、 $2.0 \times 10^{18} \text{ at } \text{ms} / \text{cm}^3$ 以上でかつ $2.0 \times 10^{19} \text{ at } \text{ms} / \text{cm}^3$ 以下であってよい。

20

【0042】

また、半導体装置100は、ポリシリコン等で形成されたPN接合ダイオードである不図示の温度センス部や、活性部160に設けられたトランジスタ部70の動作を模擬する不図示の電流検出部を備えてもよい。温度センス部は、配線を介してアノードパッドおよびカソードパッドと接続してよい。温度センス部を設ける場合、X軸方向およびY軸方向における半導体基板10の中央に設けられるのが好ましい。

30

【0043】

本例の半導体装置100は、上面視において、活性部160と第1端辺161または第2端辺162との間に、エッジ終端構造部90を備える。本例のエッジ終端構造部90は、外周ゲート配線130と第1端辺161または第2端辺162との間に配置されている。エッジ終端構造部90は、半導体基板10の上面側の電界集中を緩和する。エッジ終端構造部90は、活性部160を囲んで環状に設けられたガードリング、フィールドプレートおよびリサーフのうちの少なくとも一つを備えていてよい。エッジ終端構造部90は、図18で詳細に説明する。

40

【0044】

図2は、図1における領域Dの比較例を示す図である。図2は、図1における領域Dの拡大図である。領域Dは、ゲート配線130の第1配線131近傍のトランジスタ部70を含む領域である。本例の半導体装置100は、半導体基板10の上面側の内部に設けられたゲートトレンチ部40、ダミートレンチ部30、外周ウェル領域11、エミッタ領域12およびコンタクト領域15を備える。ゲートトレンチ部40およびダミートレンチ部30は、それぞれがトレンチ部の一例である。

【0045】

本例の半導体装置100は、半導体基板10の上面の上方に設けられたエミッタ電極5

50

2 およびゲート配線 1 3 0 (第 1 配線 1 3 1) を備える。エミッタ電極 5 2 およびゲート配線 1 3 0 は互いに分離して設けられる。また、エミッタ電極 5 2 およびゲート配線 1 3 0 と、半導体基板 1 0 の上面との間には層間絶縁膜が設けられる。図 2 において、層間絶縁膜を省略している。

#### 【 0 0 4 6 】

エミッタ電極 5 2 は、ゲートトレンチ部 4 0、ダミートレンチ部 3 0、外周ウェル領域 1 1、エミッタ領域 1 2 およびコンタクト領域 1 5 の上方に設けられる。エミッタ電極 5 2 は、コンタクトホール 5 4 を通って、半導体基板 1 0 の上面におけるエミッタ領域 1 2、コンタクト領域 1 5 と接触する。また、エミッタ電極 5 2 は、層間絶縁膜に設けられたコンタクトホール 5 6 を通って、ダミートレンチ部 3 0 内のダミー導電部と接続される。本例では、エミッタ電極 5 2 は、ダミーポリシリコン 3 6 を介して、ダミートレンチ部 3 0 内のダミー導電部と接続される。エミッタ電極 5 2 は、Y 軸方向におけるダミートレンチ部 3 0 の先端において、ダミートレンチ部 3 0 のダミー導電部と接続されてよい。ダミーポリシリコン 3 6 は、導電材料であるポリシリコンで形成される。ダミーポリシリコン 3 6 は、半導体基板 1 0 の上方に設けられてよい。

10

#### 【 0 0 4 7 】

ゲート配線 1 3 0 は、層間絶縁膜に設けられたコンタクトホール 5 8 を通って、ゲートポリシリコン 4 6 と接続する。ゲートポリシリコン 4 6 は、ゲートトレンチ部 4 0 と接続する。つまり、ゲート配線 1 3 0 は、ゲートポリシリコン 4 6 を介して、ゲートトレンチ部 4 0 と接続する。ゲート配線 1 3 0 は、Y 軸方向におけるゲートトレンチ部 4 0 の先端部 4 1 において、ゲートトレンチ部 4 0 のゲート導電部と接続されてよい。ゲート配線 1 3 0 は、ダミートレンチ部 3 0 内のダミー導電部とは接続されない。ゲートポリシリコン 4 6 は、導電材料であるポリシリコンで形成される。ゲートポリシリコン 4 6 は、半導体基板 1 0 の上方に設けられてよい。ゲートポリシリコン 4 6 は、ゲート配線 1 3 0 の延伸方向 (X 軸方向) に沿って設けられている。ゲートポリシリコン 4 6 は、端辺 (図 1 の第 1 端辺 1 6 1) に沿って設けられている。比較例において、ゲートポリシリコン 4 6 は、X 軸方向に連続して設けられている。

20

#### 【 0 0 4 8 】

エミッタ電極 5 2 は、金属を含む材料で形成される。例えば、エミッタ電極 5 2 の少なくとも一部の領域はアルミニウムまたはアルミニウム シリコン合金、例えば AlSi、AlSiCu 等の金属合金で形成される。エミッタ電極 5 2 は、アルミニウム等で形成された領域の下層に、チタンやチタン化合物等で形成されたバリアメタルを有してよい。さらにコンタクトホール内において、バリアメタルとアルミニウム等に接するようにタンゲステン等を埋め込んで形成されたプラグを有してもよい。

30

#### 【 0 0 4 9 】

トランジスタ部 7 0 は、配列方向に複数配列されたトレンチ部を有する。本例において、トレンチ部は、半導体基板 1 0 の上面において、活性部 1 6 0 および外周ウェル領域 1 1 に設けられている。トレンチ部は、トランジスタ部 7 0 において上面視においてストライプ状に設けられている。トランジスタ部 7 0 には、配列方向に沿って 1 以上のゲートトレンチ部 4 0 と、1 以上のダミートレンチ部 3 0 とが交互に設けられている。本例において、1 つのゲートトレンチ部 4 0 と、1 つのダミートレンチ部 3 0 とが交互に設けられている。図 2 における配列方向は X 軸方向である。

40

#### 【 0 0 5 0 】

本例のゲートトレンチ部 4 0 は、配列方向と垂直な延伸方向に沿って延伸する 2 つの直線部分 3 9 (延伸方向に沿って直線状であるトレンチの部分) と、2 つの直線部分 3 9 を接続する先端部 4 1 を有してよい。図 2 における延伸方向は Y 軸方向である。

#### 【 0 0 5 1 】

先端部 4 1 の少なくとも一部は、上面視において曲線状に設けられることが好ましい。2 つの直線部分 3 9 の Y 軸方向における端部どうしを先端部 4 1 が接続することで、直線部分 3 9 の端部における電界集中を緩和できる。

50

## 【 0 0 5 2 】

トランジスタ部 7 0 において、ダミートレンチ部 3 0 はゲートトレンチ部 4 0 のそれぞれの直線部分 3 9 の間に設けられる。それぞれの直線部分 3 9 の間には、1 本のダミートレンチ部 3 0 が設けられてよく、複数本のダミートレンチ部 3 0 が設けられていてもよい。本例において、それぞれの直線部分 3 9 の間には、1 本のダミートレンチ部 3 0 が設けられている。

## 【 0 0 5 3 】

外周ウェル領域 1 1 の拡散深さは、ゲートトレンチ部 4 0 およびダミートレンチ部 3 0 の深さよりも深くてもよい。ゲートトレンチ部 4 0 およびダミートレンチ部 3 0 の Y 軸方向の端部は、上面視において外周ウェル領域 1 1 に設けられる。つまり、各トレンチ部の Y 軸方向の端部において、各トレンチ部の深さ方向の底部は、外周ウェル領域 1 1 に覆われている。これにより、各トレンチ部の当該底部における電界集中を緩和できる。また、半導体装置 1 0 0 は、上面視において全体が外周ウェル領域 1 1 に設けられるゲートトレンチ部 4 0 またはダミートレンチ部 3 0 を備えてもよい。

10

## 【 0 0 5 4 】

配列方向において各トレンチ部の間には、メサ部が設けられている。メサ部は、半導体基板 1 0 の内部において、トレンチ部に挟まれた領域を指す。一例としてメサ部の上端は半導体基板 1 0 の上面である。メサ部の下端の深さ位置は、トレンチ部の下端の深さ位置と同一である。本例のメサ部は、半導体基板 1 0 の上面において、トレンチに沿って延伸方向 ( Y 軸方向 ) に延伸して設けられている。本例では、トランジスタ部 7 0 にはメサ部 6 0 が設けられている。

20

## 【 0 0 5 5 】

それぞれのメサ部 6 0 には、第 1 導電型のエミッタ領域 1 2 および第 2 導電型のコンタクト領域 1 5 の少なくとも一方が設けられてよい。本例のエミッタ領域 1 2 は N + 型であり、コンタクト領域 1 5 は P + 型である。エミッタ領域 1 2 およびコンタクト領域 1 5 は、深さ方向において、ベース領域と半導体基板 1 0 の上面との間に設けられてよい。

## 【 0 0 5 6 】

トランジスタ部 7 0 のメサ部 6 0 は、半導体基板 1 0 の上面に露出したエミッタ領域 1 2 を有する。エミッタ領域 1 2 は、ゲートトレンチ部 4 0 に接して設けられている。ゲートトレンチ部 4 0 に接するメサ部 6 0 は、半導体基板 1 0 の上面に露出したコンタクト領域 1 5 が設けられていてよい。本例において、メサ部 6 0 において半導体基板 1 0 の上面に露出して、ゲート配線 1 3 0 に最も近く配置された領域は、コンタクト領域 1 5 である。

30

## 【 0 0 5 7 】

メサ部 6 0 におけるコンタクト領域 1 5 およびエミッタ領域 1 2 のそれぞれは、X 軸方向における一方のトレンチ部から、他方のトレンチ部まで設けられる。一例として、メサ部 6 0 のコンタクト領域 1 5 およびエミッタ領域 1 2 は、トレンチ部の延伸方向 ( Y 軸方向 ) に沿って交互に配置されている。

## 【 0 0 5 8 】

他の例においては、メサ部 6 0 のコンタクト領域 1 5 およびエミッタ領域 1 2 は、トレンチ部の延伸方向 ( Y 軸方向 ) に沿ってストライプ状に設けられていてもよい。例えばトレンチ部に接する領域にエミッタ領域 1 2 が設けられ、エミッタ領域 1 2 に挟まれた領域にコンタクト領域 1 5 が設けられる。

40

## 【 0 0 5 9 】

図 3 は、図 2 における g - g 断面の一例を示す図である。g - g 断面は、エミッタ領域 1 2 を通過する X Z 面である。なお、図 3 の寸法は、図 2 の寸法と必ずしも一致しない。本例の半導体装置 1 0 0 は、当該断面において、半導体基板 1 0 、層間絶縁膜 3 8 、エミッタ電極 5 2 、コレクタ電極 2 4 および保護膜 1 5 0 を有する。

## 【 0 0 6 0 】

層間絶縁膜 3 8 は、半導体基板 1 0 の上面 2 1 に設けられている。層間絶縁膜 3 8 は、ホウ素またはリン等の不純物が添加されたシリケートガラス等の絶縁膜、熱酸化膜、およ

50

び、その他の絶縁膜の少なくとも一層を含む膜である。層間絶縁膜 38 には、図 2 において説明したコンタクトホール 54 が設けられている。

【0061】

エミッタ電極 52 は、層間絶縁膜 38 の上方に設けられる。エミッタ電極 52 は、層間絶縁膜 38 のコンタクトホール 54 を通って、半導体基板 10 の上面 21 と接触している。なお、エミッタ電極 52 は、外周ウェル領域 11 の上方には設けられていてもよい。外周ウェル領域 11 の上方には、ゲート配線 130 が設けられていてもよい。本例では、ゲート配線 130 の下方には、ゲートポリシリコン 46 が設けられている。

【0062】

コレクタ電極 24 は、半導体基板 10 の下面 23 に設けられる。エミッタ電極 52 およびコレクタ電極 24 は、アルミニウム等の金属材料で形成されている。本明細書において、エミッタ電極 52 とコレクタ電極 24 とを結ぶ方向（Z 軸方向）を深さ方向と称する。

10

【0063】

それぞれのメサ部 60 には、第 2 導電型のベース領域 14 が設けられる。エミッタ領域 12 およびコンタクト領域 15 は、半導体基板 10 の上面 21 とベース領域 14 の間に設けられる。本例のベース領域 14 は P - 型である。

【0064】

半導体基板 10 は、第 1 導電型のドリフト領域 18 を有する。本例のドリフト領域 18 は N - 型である。

【0065】

メサ部 60 には、N + 型のエミッタ領域 12 および P - 型のベース領域 14 が、半導体基板 10 の上面 21 側から順番に設けられている。ベース領域 14 の下方にはドリフト領域 18 が設けられている。また、メサ部 60 には、N + 型の蓄積領域（不図示）が設けられてもよい。

20

【0066】

エミッタ領域 12 は半導体基板 10 の上面 21 に露出しており、且つ、ゲートトレンチ部 40 と接して設けられている。エミッタ領域 12 は、メサ部 60 の両側のトレンチ部と接してよい。エミッタ領域 12 は、ドリフト領域 18 よりもドーピング濃度が高い。

【0067】

ベース領域 14 は、エミッタ領域 12 の下方に設けられている。本例のベース領域 14 は、エミッタ領域 12 と接して設けられている。ベース領域 14 は、メサ部 60 の両側のトレンチ部と接してよい。ベース領域 14 の不純物濃度のピーク値は、一例として、 $2.5 \times 10^{17} \text{ at } \text{ms} / \text{cm}^3$  である。ベース領域 14 の不純物濃度は、 $5.0 \times 10^{16} \text{ at } \text{ms} / \text{cm}^3$  以上でかつ  $1.0 \times 10^{18} \text{ at } \text{ms} / \text{cm}^3$  以下であってよい。

30

【0068】

また他の断面において、メサ部 60 には、P + 型のコンタクト領域 15 および P - 型のベース領域 14 が、半導体基板 10 の上面 21 側から順番に設けられている。ベース領域 14 の下方にはドリフト領域 18 が設けられている。

【0069】

ドリフト領域 18 の下には N + 型のバッファ領域 20 が設けられてよい。バッファ領域 20 のドーピング濃度は、ドリフト領域 18 のドーピング濃度よりも高い。バッファ領域 20 は、ドリフト領域 18 よりもドーピング濃度の高い濃度ピークを有してよい。濃度ピークのドーピング濃度とは、濃度ピークの頂点におけるドーピング濃度を指す。また、ドリフト領域 18 のドーピング濃度は、ドーピング濃度分布がほぼ平坦な領域におけるドーピング濃度の平均値を用いてよい。

40

【0070】

バッファ領域 20 は、水素（プロトン）またはリン等の N 型ドーパントをイオン注入することで形成してよい。本例のバッファ領域 20 は水素をイオン注入して形成される。バッファ領域 20 は、ベース領域 14 の下端から広がる空乏層が、P + 型のコレクタ領域 2

50

2 に到達することを防ぐフィールドストップ層として機能してよい。

【0071】

バッファ領域 20 の下には、P+型のコレクタ領域 22 が設けられる。コレクタ領域 22 のアクセプタ濃度は、ベース領域 14 のアクセプタ濃度より高い。コレクタ領域 22 は、ベース領域 14 と同一のアクセプタを含んでよく、異なるアクセプタを含んでもよい。コレクタ領域 22 のアクセプタは、例えばボロンである。アクセプタとなる元素は、上述した例に限定されない。

【0072】

コレクタ領域 22 は、半導体基板 10 の下面 23 に露出しており、コレクタ電極 24 と接続している。コレクタ電極 24 は、半導体基板 10 の下面 23 全体と接触してよい。エミッタ電極 52 およびコレクタ電極 24 は、アルミニウム等の金属材料で形成される。

10

【0073】

半導体基板 10 の上面 21 側には、1 以上のゲートトレンチ部 40、および、1 以上のダミートレンチ部 30 が設けられる。本例において、半導体基板 10 の上面 21 側には、複数のゲートトレンチ部 40、および、複数のダミートレンチ部 30 が設けられる。本各トレンチ部は、半導体基板 10 の上面 21 から、ベース領域 14 を貫通して、ドリフト領域 18 に到達している。エミッタ領域 12 およびコンタクト領域 15 の少なくともいずれかが設けられている領域においては、各トレンチ部はこれらのドーピング領域も貫通して、ドリフト領域 18 に到達している。トレンチ部がドーピング領域を貫通するとは、ドーピング領域を形成してからトレンチ部を形成する順序で製造したものに限定されない。トレンチ部を形成した後に、トレンチ部の間にドーピング領域を形成したのも、トレンチ部がドーピング領域を貫通しているものに含まれる。

20

【0074】

ゲートトレンチ部 40 は、半導体基板 10 の上面 21 に設けられたゲートトレンチ、ゲート絶縁膜 42 およびゲート導電部 44 を有する。ゲート導電部 44 は、導電材料であるポリシリコンで形成される。ゲート導電部 44 は、ゲートポリシリコン 46 と同一の材料で形成されてよい。ゲート絶縁膜 42 は、ゲートトレンチの内壁を覆って設けられる。ゲート絶縁膜 42 は、ゲートトレンチの内壁の半導体を酸化または窒化して形成してよい。図 3 において、ゲート導電部 44 は、ゲートトレンチの内部においてゲート絶縁膜 42 よりも内側に設けられる。つまりゲート絶縁膜 42 は、ゲート導電部 44 と半導体基板 10 とを絶縁する。

30

【0075】

ゲートトレンチ部 40 内のゲート導電部 44 は、深さ方向において、ベース領域 14 よりも長く設けられてよい。当該断面におけるゲートトレンチ部 40 は、半導体基板 10 の上面 21 において層間絶縁膜 38 により覆われる。ゲート導電部 44 は、ゲート配線 130 に電氣的に接続されている。ゲート導電部 44 に所定のゲート電圧が印加されると、ベース領域 14 のうちゲートトレンチ部 40 に接する界面の表層に電子の反転層によるチャネルが形成される。

【0076】

ダミートレンチ部 30 は、当該断面において、ゲートトレンチ部 40 と同一の構造を有してよい。ダミートレンチ部 30 は、半導体基板 10 の上面 21 に設けられたダミートレンチ、ダミー絶縁膜 32 およびダミー導電部 34 を有する。ダミー導電部 34 は、導電材料であるポリシリコンで形成される。ダミー導電部 34 は、ダミーポリシリコン 36 と同一の材料で形成されてよい。ダミー導電部 34 は、エミッタ電極 52 に電氣的に接続されている。ダミー絶縁膜 32 は、ダミートレンチの内壁を覆って設けられる。図 3 において、ダミー導電部 34 は、ダミートレンチの内部に設けられ、且つ、ダミー絶縁膜 32 よりも内側に設けられる。ダミー絶縁膜 32 は、ダミー導電部 34 と半導体基板 10 とを絶縁する。ダミー導電部 34 は、深さ方向においてゲート導電部 44 と同一の長さを有してよい。

40

【0077】

50

本例のゲートトレンチ部 40 およびダミートレンチ部 30 は、半導体基板 10 の上面 21 において層間絶縁膜 38 により覆われている。なお、ダミートレンチ部 30 およびゲートトレンチ部 40 の底部は、下側に凸の曲面状（断面においては曲線状）であってよい。

【0078】

エミッタ電極 52 の上面には、保護膜 150 が設けられる。エミッタ電極 52 の上面に保護膜 150 が設けられることにより、電極を保護することができる。保護膜 150 は、パターンニングされて設けられてもよい。保護膜 150 は、一例として、ポリイミド膜である。

【0079】

図 4 は、図 2 における a - a 断面の一例を示す図である。a - a 断面は、コンタクトホール 56 を通過する YZ 面である。なお、図 4 の寸法は、図 2 の寸法と必ずしも一致しない。本例の半導体装置 100 は、当該断面において、半導体基板 10、層間絶縁膜 38、エミッタ電極 52、コレクタ電極 24 および保護膜 150 を有する。なお図 4 では、半導体基板 10 の下面 23 近傍の図示を省略している。当該断面において、ダミートレンチ部 30 内のダミー導電部 34 は、コンタクトホール 56 を介して、エミッタ電極 52 と接続している。また、ゲート配線 130 は、ゲート導電部 44 と接続している。

【0080】

図 5 は、図 2 における b - b 断面の一例を示す図である。b - b 断面は、コンタクトホール 54 を通過する YZ 面である。なお、図 5 の寸法は、図 2 の寸法と必ずしも一致しない。本例の半導体装置 100 は、当該断面において、半導体基板 10、層間絶縁膜 38、エミッタ電極 52、コレクタ電極 24 および保護膜 150 を有する。なお図 5 では、半導体基板 10 の下面 23 近傍の図示を省略している。当該断面において、半導体基板 10 の上面 21 は、コンタクトホール 54 を介して、エミッタ電極 52 と接続している。

【0081】

図 6 は、図 2 における c - c 断面の一例を示す図である。c - c 断面は、ゲートトレンチ部 40 の直線部分 39 を通過する YZ 面である。なお、図 6 の寸法は、図 2 の寸法と必ずしも一致しない。本例の半導体装置 100 は、当該断面において、半導体基板 10、層間絶縁膜 38、エミッタ電極 52、コレクタ電極 24 および保護膜 150 を有する。なお図 6 では、半導体基板 10 の下面 23 近傍の図示を省略している。当該断面において、ゲート配線 130 は、ゲート導電部 44 と接続している。

【0082】

図 5 において、ゲートポリシリコン 46 と外周ウェル領域 11 との間に薄い絶縁膜 43 が設けられている。絶縁膜 43 は、ゲート絶縁膜 42 およびダミー絶縁膜 32 を形成する際に設けられる。半導体装置 100 のターンオフ時等では、エッジ終端構造部 90 からエミッタ電極 52 に抜けるホール電流が生じる。ホール電流によって、外周ウェル領域 11 の電位が上昇し、ゲートポリシリコン 46 と外周ウェル領域 11 の間で電位差が発生する。ゲートポリシリコン 46 と外周ウェル領域 11 の間に薄い絶縁膜 43 が存在すると、当該電位差により絶縁膜 43 が破壊される場合がある。例えば当該電位差が 80 V を超えた場合、ゲートポリシリコン 46 と外周ウェル領域 11 との間の絶縁膜 43 が絶縁破壊する可能性があり、チップ不良の原因となる。

【0083】

図 7 は、図 1 における領域 D の実施例の一例を示す図である。図 7 は、図 1 における領域 D の拡大図である。図 7 の半導体装置 100 は、ゲートポリシリコン 46 の構成が図 2 の半導体装置 100 とは異なる。図 7 の半導体装置 100 のそれ以外の構成は、図 2 の半導体装置 100 と同一であってよい。

【0084】

図 7 では、複数のゲートポリシリコン 46 が設けられている。複数のゲートポリシリコン 46 は、ゲート配線 130 の延伸方向（X 軸方向）に沿って設けられている。ゲートポリシリコン 46 は、ゲート配線 130 の延伸方向に沿って、離散的に設けられている。複数のゲートポリシリコン 46 は、端辺（図 1 の第 1 端辺 161）に沿って設けられている

10

20

30

40

50

。複数のゲートポリシリコン 46 を設けることにより、上面視においてゲートポリシリコン 46 を設ける面積を少なくすることができる。

【0085】

また、複数のゲートポリシリコン 46 は、複数のゲートトレンチ部 40 をそれぞれゲート配線 130 に接続している。本例では、複数のゲートトレンチ部 40 の内少なくとも 1 つのゲートトレンチ部 40 は、複数のゲートポリシリコン 46 の内 1 つのゲートポリシリコン 46 と接続する。つまり、1 つのゲートトレンチ部 40 は、1 つのゲートポリシリコン 46 と接続している。本例では、1 つのゲートトレンチ部 40 は、先端部 41 において 1 つのゲートポリシリコン 46 と接続している。このような構成を有することにより、ゲートポリシリコン 46 を離散的に設けても、ゲート導電部 44 とゲート配線 130 とを電氣的に接続することができる。

10

【0086】

本例では、2 つの直線部分 39 を含むゲートトレンチ部 40 の配列方向における幅 D1 は、配列方向における当該ゲートトレンチ部 40 と接続するゲートポリシリコン 46 の幅 D2 より大きくてよい。このような構成を有することにより、配列方向においてゲートトレンチ部 40 と重なる領域にのみゲートポリシリコン 46 を設けることができ、上面視においてゲートポリシリコン 46 を設ける面積を少なくすることができる。

【0087】

ゲートトレンチ部 40 とゲートポリシリコン 46 の接触面積を大きくするため、幅 D2 は大きい方が好ましい。幅 D2 は、幅 D1 の 50% 以上であってよい。幅 D2 は、幅 D1 の 80% 以上であってよい。

20

【0088】

また、本例において、ゲートポリシリコン 46 は、ゲート配線 130 からゲートトレンチ部 40 に向かう方向に長手を有する。ゲートポリシリコン 46 は、ゲートトレンチ部 40 の延伸方向に長手を有する。本例では、ゲートポリシリコン 46 は、Y 軸方向に長手を有する。

【0089】

図 8 は、図 7 における d - d 断面の一例を示す図である。d - d 断面は、コンタクトホール 56 を通過する YZ 面である。当該断面ではゲート配線 130 の第 1 配線 131 の下方にゲートポリシリコン 46 が設けられているため、図 4 と同一である。したがって当該断面において、ゲート配線 130 は、ゲート導電部 44 と接続している。

30

【0090】

図 9 は、図 7 における e - e 断面の一例を示す図である。e - e 断面は、コンタクトホール 54 を通過する YZ 面である。図 9 の断面は、ゲートポリシリコン 46 が設けられない点で図 5 の断面とは異なる。図 9 の断面のそれ以外の構成は、図 5 と同一であってよい。

【0091】

図 7 で説明した通り、本例では上面視においてゲートポリシリコン 46 を設ける面積を少なくしている。図 9 の断面ではゲートポリシリコン 46 が設けられないため、ゲート配線 130 と外周ウェル領域 11 の間には、絶縁膜 43 よりも厚い層間絶縁膜 38 が設けられている。したがって、ホール電流によって、外周ウェル領域 11 の電位が上昇した場合でも、ゲート配線 130 と外周ウェル領域 11 の間の絶縁膜が破壊されるのを抑制できる。

40

【0092】

図 10 は、図 7 における f - f 断面の一例を示す図である。f - f 断面は、ゲートトレンチ部 40 の直線部分 39 を通過する YZ 面である。図 10 の断面は、ゲートポリシリコン 46 が設けられない点で図 6 の断面とは異なる。図 10 の断面のそれ以外の構成は、図 6 と同一であってよい。当該断面ではゲートポリシリコン 46 が設けられないため、ゲート配線 130 は、ゲート導電部 44 と接続していない。

【0093】

図 11 は、図 1 における領域 D の実施例の他の例を示す図である。図 11 は、図 1 における領域 D の拡大図である。図 11 の半導体装置 100 は、ゲートポリシリコン 46 およ

50

びゲートトレンチ部40の構成が図7の半導体装置100とは異なる。図11の半導体装置100のそれ以外の構成は、図7の半導体装置100と同一であってよい。

【0094】

本例では、ゲートトレンチ部40の少なくとも一部は、ゲート配線130まで延伸して設けられている。また、ゲートトレンチ部40の少なくとも一部は、ゲート配線130の下方まで延伸して設けられている。図11において、ゲートトレンチ部40の先端部41は、上面視においてゲート配線130と重なっている。ゲートトレンチ部40の少なくとも一部をゲート配線130まで設けることにより、上面視においてゲートポリシリコン46を設ける面積を更に少なくすることができる。したがって、図9の断面のようなゲート配線130と外周ウェル領域11の間に厚い絶縁膜が設けられている領域を多くすることができターンオフ時の絶縁膜の破壊を抑制することができる。

10

【0095】

図12は、図11におけるh-h断面の一例を示す図である。h-h断面は、コンタクトホール56を通過するYZ面である。図12の断面は、ゲートポリシリコン46およびゲートトレンチ部40の構成が図8の断面とは異なる。図12の断面のそれ以外の構成は、図8の断面と同一であってよい。

【0096】

本例では、ゲートポリシリコン46は、深さ方向においてゲートトレンチ部40とゲート配線130の間に設けられる。このような構成を有することで、上面視においてゲートポリシリコン46を設ける面積を更に少なくすることができる。また上面視においてゲートポリシリコン46を設ける面積を更に少なくするため、ゲートポリシリコン46は、ゲートトレンチ部40とゲート配線130の間にのみ設けられることが好ましい。

20

【0097】

図13は、図1における領域Dの実施例の他の例を示す図である。図13の半導体装置100は、ゲートポリシリコン46およびゲートトレンチ部40の構成が図7の半導体装置100とは異なる。図13の半導体装置100のそれ以外の構成は、図7の半導体装置100と同一であってよい。

【0098】

本例のゲートトレンチ部40は、配列方向と垂直な延伸方向に沿って延伸する1つの直線部分39のみを有する。本例のゲートトレンチ部40は、1つのゲートトレンチ部40の直線部分39は、1つのゲートポリシリコン46と接続している。

30

【0099】

本例では、配列方向におけるゲートトレンチ部40の幅D3は、配列方向における当該ゲートトレンチ部と接続するゲートポリシリコン46の幅D4より大きい。このような構成を有することにより、配列方向においてゲートトレンチ部40と重なる領域にのみゲートポリシリコン46を設けることができ、上面視においてゲートポリシリコン46を設ける面積を少なくすることができる。したがって、ゲート配線130と外周ウェル領域11の間に厚い絶縁膜が設けられている領域を多くすることができターンオフ時の絶縁膜の破壊を抑制することができる。

【0100】

ゲートトレンチ部40とゲートポリシリコン46の接触面積を大きくするため、幅D4は大きい方が好ましい。幅D4は、幅D3の50%以上であってよい。幅D4は、幅D3の80%以上であってよい。

40

【0101】

また、本例において、ゲートポリシリコン46は、ゲート配線130からゲートトレンチ部40に向かう方向に長手を有する。ゲートポリシリコン46は、ゲートトレンチ部40の延伸方向に長手を有する。本例では、ゲートポリシリコン46は、Y軸方向に長手を有する。

【0102】

図14は、図1における領域Eの比較例を示す図である。図14は、図1における領域

50

Eの拡大図である。領域Eは、ゲート配線130の曲線部分133近傍のトランジスタ部70を含む領域である。本例の半導体装置100は、半導体基板10の上面側の内部に設けられたゲートトレンチ部40、ダミートレンチ部30および外周ウェル領域11を備える。図14では、エミッタ領域12およびコンタクト領域15を省略している。

#### 【0103】

ゲートポリシリコン46は、ゲート配線130の曲線部分133に沿って設けられている。したがって、ゲートポリシリコン46も、曲線を有している。また、ゲートトレンチ部40の先端部41は、ゲートポリシリコン46に沿って設けられている。外周ウェル領域11は、図14に示すように段差状に設けられてよい。比較例において、ゲートポリシリコン46は、X軸方向に連続して設けられている。

10

#### 【0104】

図15は、図1における領域Eの実施例の一例を示す図である。図15は、図1における領域Eの拡大図である。図15の半導体装置100は、ゲートポリシリコン46の構成が図14の半導体装置100とは異なる。図15の半導体装置100のそれ以外の構成は、図14の半導体装置100と同一であってよい。

#### 【0105】

図15では、複数のゲートポリシリコン46が設けられている。複数のゲートポリシリコン46は、ゲートトレンチ部40の延伸方向と垂直な配列方向(X軸方向)に沿って設けられている。ゲートポリシリコン46は、X軸方向に沿って、離散的に設けられている。複数のゲートポリシリコン46は、ゲート配線130の曲線部分133に沿って設けられている。複数のゲートポリシリコン46を設けることにより、ゲート配線130の曲線部分133近傍においても上面視においてゲートポリシリコン46を設ける面積を少なくすることができる。したがって、ゲート配線130の曲線部分133近傍においてゲート配線130と外周ウェル領域11の間に厚い絶縁膜が設けられている領域を多くすることができターンオフ時の絶縁膜の破壊を抑制することができる。また、図7と同様に、1つのゲートトレンチ部40は、先端部41において1つのゲートポリシリコン46と接続している。

20

#### 【0106】

図15において、図7と同様に2つの直線部分39を含むゲートトレンチ部40の配列方向における幅D5は、配列方向における当該ゲートトレンチ部40と接続するゲートポリシリコン46の幅D6より大きくてよい。このような構成を有することにより、配列方向においてゲートトレンチ部40と重なる領域にのみゲートポリシリコン46を設けることができ、上面視においてゲートポリシリコン46を設ける面積を少なくすることができる。したがって、ゲート配線130と外周ウェル領域11の間に厚い絶縁膜が設けられている領域を多くすることができターンオフ時の絶縁膜の破壊を抑制することができる。

30

#### 【0107】

ゲートトレンチ部40とゲートポリシリコン46の接触面積を大きくするため、幅D6は大きい方が好ましい。幅D6は、幅D5の50%以上であってよい。幅D6は、幅D5の80%以上であってよい。

#### 【0108】

また、本例において、ゲートポリシリコン46は、ゲート配線130からゲートトレンチ部40に向かう方向に長手を有する。ゲートポリシリコン46は、ゲートトレンチ部40の延伸方向に長手を有する。本例では、ゲートポリシリコン46は、Y軸方向に長手を有する。

40

#### 【0109】

図16は、図1における領域Eの実施例の他の例を示す図である。図16は、図1における領域Eの拡大図である。図16の半導体装置100は、ゲートポリシリコン46の構成が図15の半導体装置100とは異なる。図16の半導体装置100のそれ以外の構成は、図15の半導体装置100と同一であってよい。図16におけるゲートポリシリコン46を、X軸方向負側からゲートポリシリコン46-1、ゲートポリシリコン46-2、

50

ゲートポリシリコン 46 - 3 とする。また、各ゲートポリシリコン 46 の長手方向をそれぞれ長手方向 E 1、長手方向 E 2、長手方向 E 3 とする。また、各ゲートポリシリコン 46 と接続するゲート配線 130 の部分の延伸方向をそれぞれ、延伸方向 E 4、延伸方向 E 5、延伸方向 E 6 とする。

【0110】

本例では、ゲートポリシリコン 46 と接続するゲート配線 130 の部分の延伸方向に基づいて、各ゲートポリシリコン 46 の長手方向を変化させている。例えば、ゲートポリシリコン 46 と接続するゲート配線 130 の部分の延伸方向と略垂直になるように各ゲートポリシリコン 46 の長手方向を変化させている。略垂直とは、垂直に対して ±10% の誤差を含んでよい。したがって、ゲートポリシリコン 46 - 1、ゲートポリシリコン 46 - 2、ゲートポリシリコン 46 - 3 の順に、長手方向とゲートトレンチ部 40 の延伸方向との成す角度が小さくなっている。このように各ゲートポリシリコン 46 の長手方向を変化させることにより、ゲート配線 130 とゲートトレンチ部 40 を最短距離で接続することができ、遅滞なくゲート電位を印加させることができる。

10

【0111】

本例において、少なくとも 2 つのゲートポリシリコン 46 の長手方向は、ゲートトレンチ部 40 の延伸方向（Y 軸方向）との成す角度が異なる。図 16 では、ゲートポリシリコン 46 - 2 の長手方向 E 2 とゲートトレンチ部 40 の延伸方向の成す角度 2 とゲートポリシリコン 46 - 3 の長手方向 E 3 とゲートトレンチ部 40 の延伸方向の成す角度 3 が異なる。なお、ゲートポリシリコン 46 - 1 の長手方向 E 1 とゲートトレンチ部 40 の延伸方向の成す角度 1 とゲートポリシリコン 46 - 2 の長手方向 E 2 とゲートトレンチ部 40 の延伸方向の成す角度 2 は、異なっても、同一でもよい。角度 1、角度 2 および角度 3 は、それぞれ互いに異なってもよい。

20

【0112】

図 17 は、図 1 における領域 E の実施例の他の例を示す図である。図 17 は、図 1 における領域 E の拡大図である。図 17 の半導体装置 100 は、ゲートポリシリコン 46 およびゲートトレンチ部 40 の構成が図 15 の半導体装置 100 とは異なる。図 17 の半導体装置 100 のそれ以外の構成は、図 15 の半導体装置 100 と同一であってよい。

【0113】

本例では、ゲートトレンチ部 40 の少なくとも一部は、ゲート配線 130 まで延伸して設けられている。また、ゲートトレンチ部 40 の少なくとも一部は、ゲート配線 130 の下方まで延伸して設けられている。図 17 において、ゲートトレンチ部 40 の先端部 41 は、上面視においてゲート配線 130 と重なっている。ゲートトレンチ部 40 の少なくとも一部をゲート配線 130 まで設けることにより、上面視においてゲートポリシリコン 46 を設ける面積を更に少なくすることができる。したがって、ゲート配線 130 と外周ウェル領域 11 の間に厚い絶縁膜が設けられている領域を多くすることができターンオフ時の絶縁膜の破壊を抑制することができる。なお図 12 のように、ゲートポリシリコン 46 は、深さ方向においてゲートトレンチ部 40 とゲート配線 130 の間に設けられてよい。

30

【0114】

領域 D の実施例と領域 E の実施例は、適宜組み合わせる。例えば図 7 の実施例と図 16 の実施例を組み合わせる。図 7 において、ゲート配線 130 の延伸方向は、各ゲートポリシリコン 46 の長手方向と略垂直である。第 1 配線 131 近傍では図 7 の構成を有し、曲線部分 133 近傍では図 16 の構成を有することで、ゲート配線 130 全体でゲートポリシリコン 46 と接続するゲート配線 130 の部分の延伸方向に基づいて、各ゲートポリシリコン 46 の長手方向を変化させることができる。図 7 の実施例と図 16 の実施例を組み合わせることで、各ゲートトレンチ部 40 とゲート配線 130 とを最短距離で接続することができる。図 7 の実施例と図 16 の実施例を組み合わせると、第 1 配線 131 に接続するゲートポリシリコン 46 の長手方向と、曲線部分 133 に接続するゲートポリシリコン 46 の長手方向とが異なっている。

40

【0115】

50

また、図7の実施例と図17の実施例を組み合わせてもよい。この場合、図17に示すようにゲートトレンチ部40の少なくとも一部は、ゲート配線130の曲線部分133の下方まで延伸して設けられる。また、少なくとも1つのゲートポリシリコン46は、深さ方向においてゲートトレンチ部40と曲線部分133の間に設けられる。また、図7に示すように、少なくとも1つのゲートポリシリコン46は、ゲート配線130の第1配線131からゲートトレンチ部40に向かう方向に長手を有する。実施例の組み合わせの例は、これらに限定されない。

#### 【0116】

図18は、エッジ終端構造部90の一例を示す図である。図18では、図6のc-c断面近傍のエッジ終端構造部90を示している。エッジ終端構造部90には、ポリシリコン47、複数のガードリング92、酸化膜94、フィールドプレート96が設けられている。

10

#### 【0117】

各ガードリング92は、上面21において活性部160を囲むように設けられてよい。複数のガードリング92は、活性部160において発生した空乏層を半導体基板10の外側へ広げる機能を有してよい。これにより、半導体基板10内部における電界集中を防ぐことができ、半導体装置100の耐圧を向上できる。

#### 【0118】

本例のガードリング92は、上面21近傍にイオン照射により形成されたP+型の半導体領域である。ガードリング92の底部の深さは、ゲートトレンチ部40およびダミートレンチ部30の底部の深さより深くてよい。

20

#### 【0119】

ガードリング92の上面は、層間絶縁膜38および酸化膜94により覆われている。フィールドプレート96は、金属等の導電材料で形成される。フィールドプレート96は、エミッタ電極52と同じ材料で形成されてよい。フィールドプレート96は、層間絶縁膜38上に設けられている。フィールドプレート96は、ポリシリコン47を介してガードリング92に接続されている。前述した通り、エッジ終端構造部90では、ターンオフ時にエッジ終端構造部90からエミッタ電極52に抜けるホール電流が生じる。

#### 【0120】

図19は、図1におけるi-i断面の一例を示す図である。i-i断面は、ゲート配線130の第2配線132を通過するXZ面である。なお、図19の各寸法は、他の図と必ずしも一致しない。

30

#### 【0121】

当該断面では、ゲートトレンチ部40は、ゲート配線130と接続しない。したがって、ゲートポリシリコン46が設けられていない。ゲートポリシリコン46は、ゲート配線130の第2配線132の下方に設けらなくてよい。図8に示すように、ゲートポリシリコン46は、ゲート配線130の第1配線131の下方に設けられてよい。このような構成にすることで、ゲート配線130の第2配線132近傍においてゲート配線130と外周ウェル領域11の間に厚い絶縁膜が設けられている領域を多くすることができターンオフ時の絶縁膜の破壊を抑制することができる。

#### 【0122】

以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えることが可能であることが当業者に明らかである。その様な変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、請求の範囲の記載から明らかである。

40

#### 【0123】

請求の範囲、明細書、および図面中において示した装置、システム、プログラム、および方法における動作、手順、ステップ、および段階等の各処理の実行順序は、特段「より前に」、「先立って」等と明示しておらず、また、前の処理の出力を後の処理で用いるのでない限り、任意の順序で実現しうることに留意すべきである。請求の範囲、明細書、および図面中の動作フローに関して、便宜上「まず、」、「次に、」等を用いて説明したと

50

しても、この順で実施することが必須であることを意味するものではない。

【符号の説明】

【0124】

10・・・半導体基板、11・・・外周ウェル領域、12・・・エミッタ領域、14・・・ベース領域、15・・・コンタクト領域、18・・・ドリフト領域、20・・・バッファ領域、21・・・上面、22・・・コレクタ領域、23・・・下面、24・・・コレクタ電極、30・・・ダミートレンチ部、32・・・ダミー絶縁膜、34・・・ダミー導電部、36・・・ダミーポリシリコン、38・・・層間絶縁膜、39・・・直線部分、40・・・ゲートトレンチ部、41・・・先端部、42・・・ゲート絶縁膜、43・・・絶縁膜、44・・・ゲート導電部、46・・・ゲートポリシリコン、47・・・ポリシリコン、52・・・エミッタ電極、54・・・コンタクトホール、56・・・コンタクトホール、58・・・コンタクトホール、60・・・メサ部、70・・・トランジスタ部、90・・・エッジ終端構造部、92・・・ガードリング、94・・・酸化膜、96・・・フィールドプレート、100・・・半導体装置、130・・・ゲート配線、131・・・第1配線、132・・・第2配線、133・・・曲線部分、150・・・保護膜、160・・・活性部、161・・・第1端辺、162・・・第2端辺、164・・・ゲートパッド

10

20

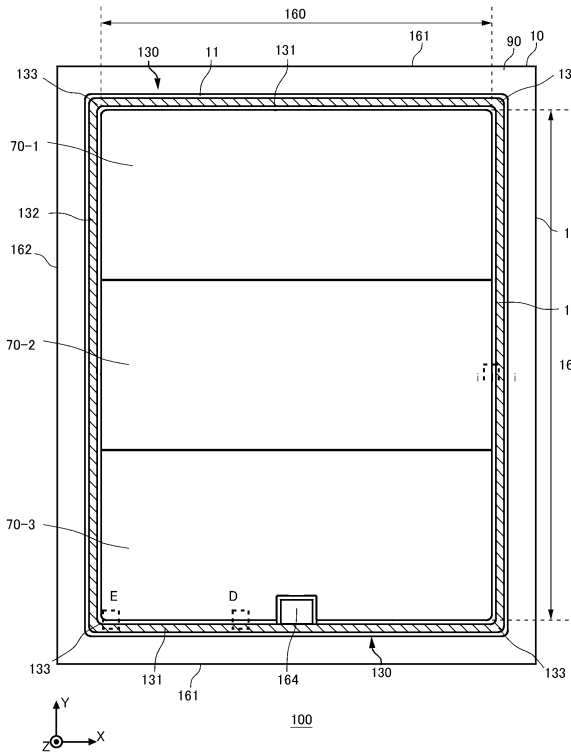
30

40

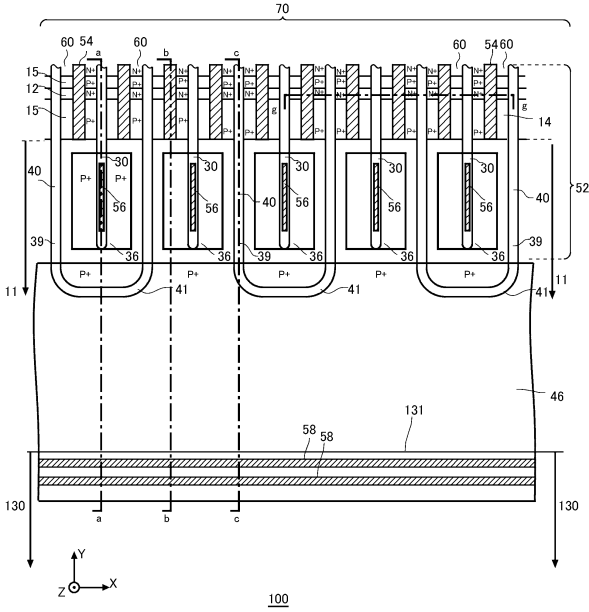
50

【図面】

【図 1】



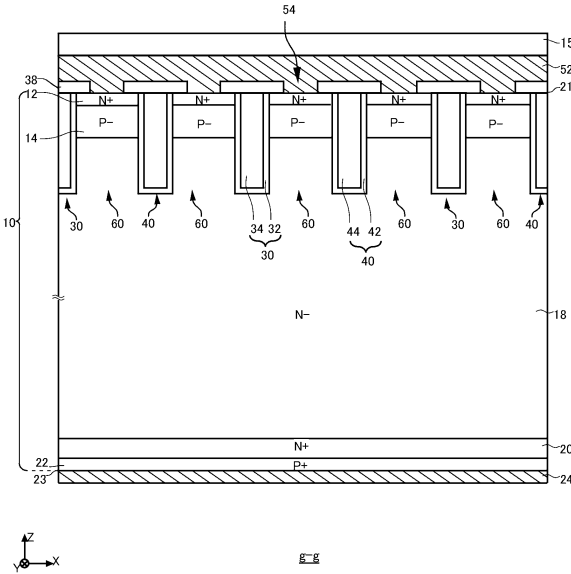
【図 2】



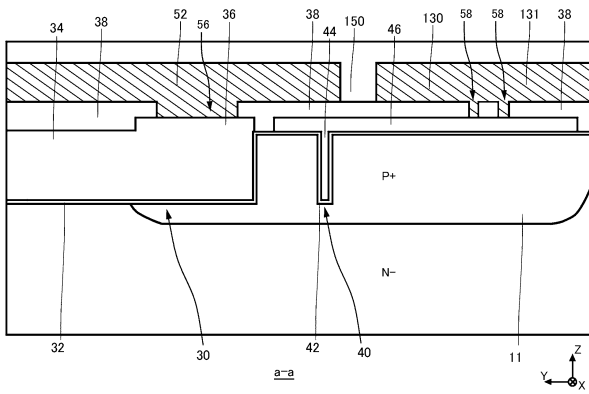
10

20

【図 3】



【図 4】



30

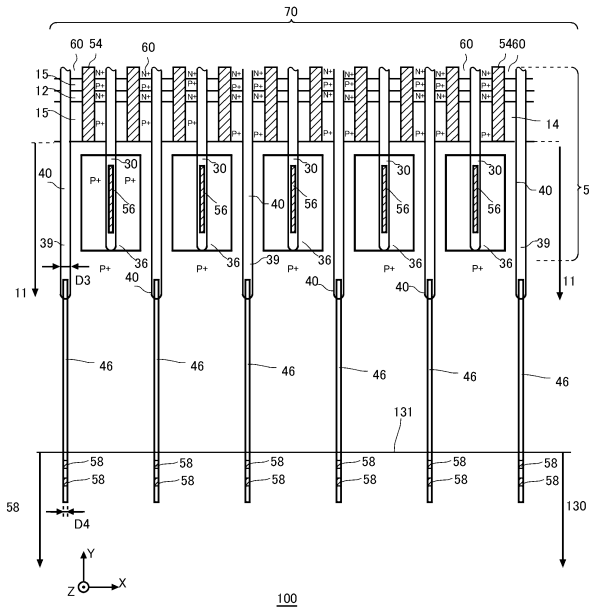
40

50

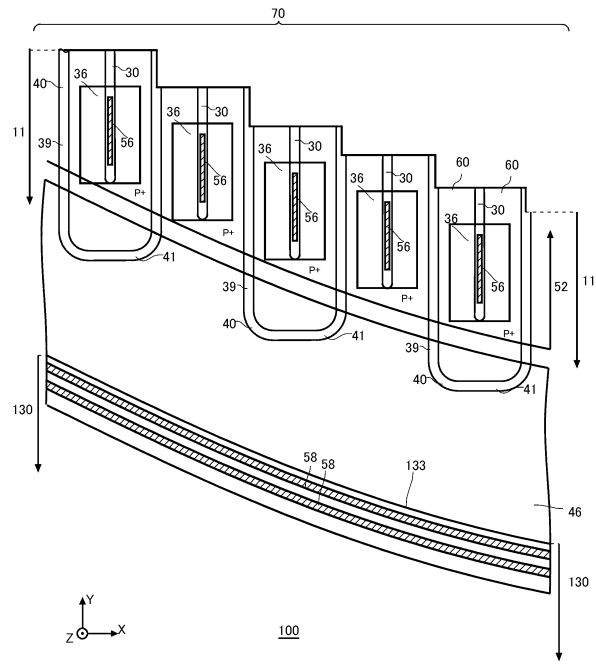




【図 13】



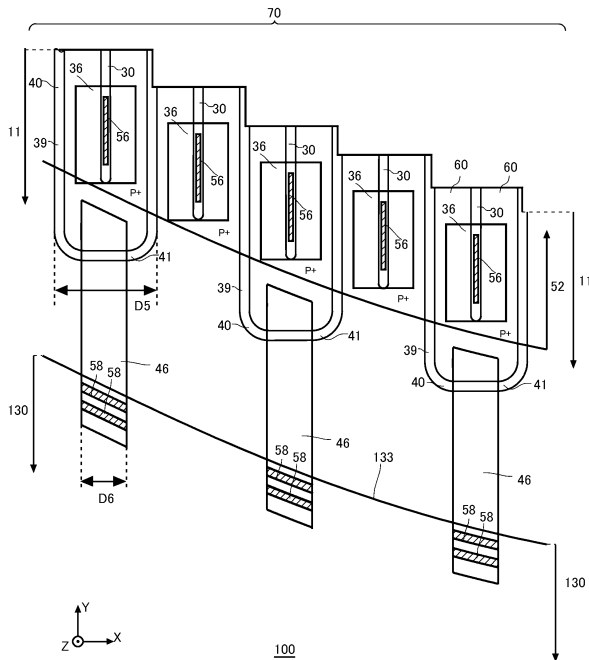
【図 14】



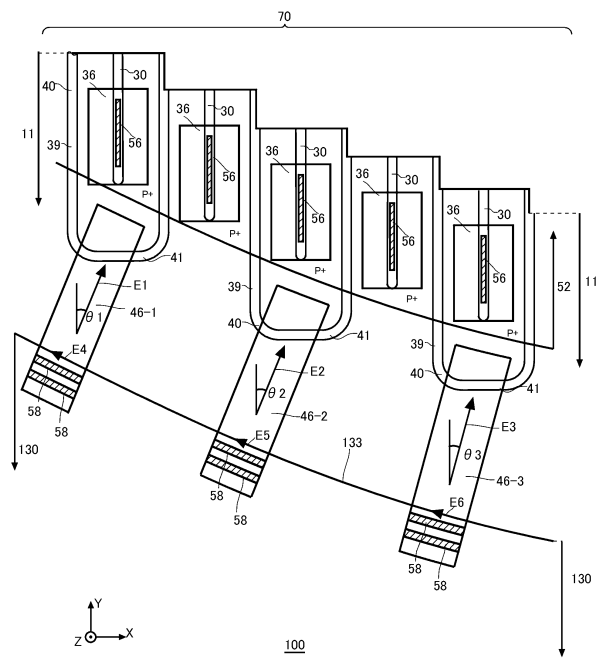
10

20

【図 15】



【図 16】

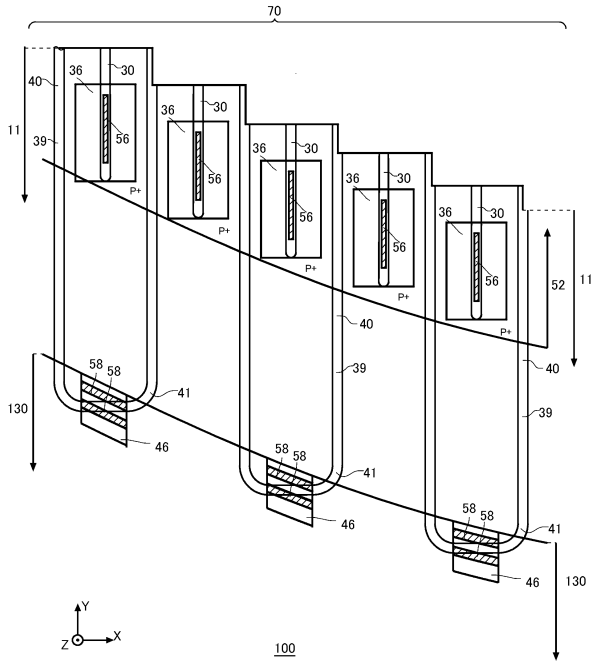


30

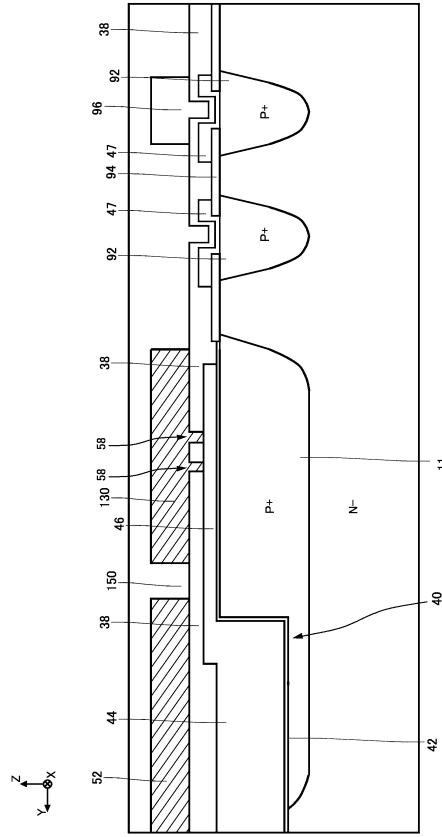
40

50

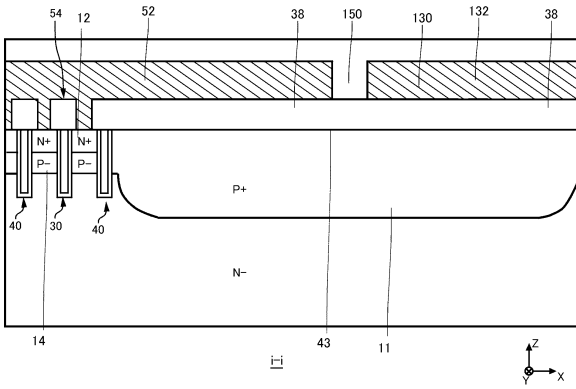
【 17 】



【 18 】



【 19 】



10

20

30

40

50

## フロントページの続き

## (51)国際特許分類

F I

|         |       |         |
|---------|-------|---------|
| H 0 1 L | 29/06 | 3 0 1 V |
| H 0 1 L | 29/06 | 3 0 1 G |
| H 0 1 L | 29/78 | 6 5 2 M |
| H 0 1 L | 29/06 | 3 0 1 F |

## (56)参考文献

特開 2 0 1 7 - 1 1 2 1 3 4 ( J P , A )  
国際公開第 2 0 1 9 / 1 5 9 6 5 7 ( W O , A 1 )  
特開 2 0 1 4 - 0 5 3 5 5 2 ( J P , A )  
特開 2 0 1 8 - 1 5 7 2 0 0 ( J P , A )  
国際公開第 2 0 1 5 / 0 1 9 8 6 2 ( W O , A 1 )  
特開 2 0 0 4 - 2 2 1 2 3 0 ( J P , A )

## (58)調査した分野 (Int.Cl., D B 名)

H 0 1 L 2 9 / 0 6  
H 0 1 L 2 9 / 7 3 9  
H 0 1 L 2 9 / 7 8