



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I474486 B

(45)公告日：中華民國 104 (2015) 年 02 月 21 日

(21)申請案號：098107350

(22)申請日：中華民國 98 (2009) 年 03 月 06 日

(51)Int. Cl. : **H01L29/786 (2006.01)**

(30)優先權：2008/03/18 日本 2008-070451

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：神保安弘 JINBO, YASUHIRO (JP)

(74)代理人：林志剛

(56)參考文獻：

US 5595944

US 5893730

US 6515336

審查人員：廖崑男

申請專利範圍項數：20 項 圖式數：12 共 56 頁

(54)名稱

薄膜電晶體

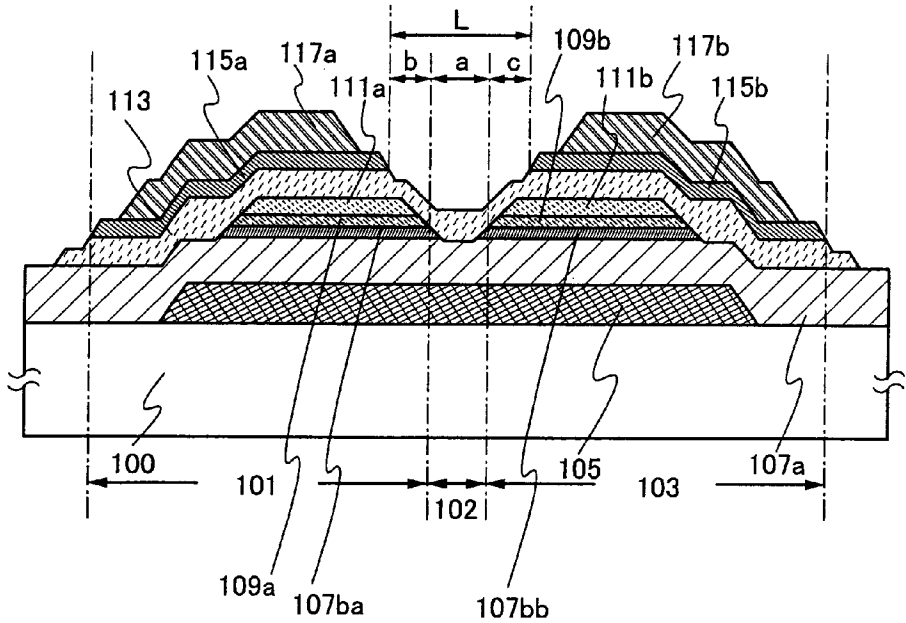
THIN FILM TRANSISTOR

(57)摘要

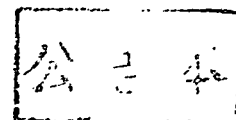
薄膜電晶體包括：覆蓋閘極電極層的第一絕緣層；與閘極電極層的至少一部分重疊的源區及汲區；與閘極電極層及一對雜質半導體層至少部分地重疊，並在第一絕緣層上在通道長度方向上彼此相離地設置的一對第二絕緣層；於第二絕緣層上並接觸於第二絕緣層並彼此相離地設置的一對微晶半導體層；覆蓋第一絕緣層、一對第二絕緣層及一對微晶半導體層並在一對微晶半導體層之間延伸的非晶半導體層。第一絕緣層為氧化矽層，並且一對第二絕緣層為氧氮化矽層。

A thin film transistor includes a first insulating layer covering the gate electrode layer; source and drain regions which at least partly overlaps with the gate electrode layer; a pair of second insulating layers which is provided apart from each other in a channel length direction over the first insulating layer and which at least partly overlaps with the gate electrode layer and the pair of impurity semiconductor layers; a pair of microcrystalline semiconductor layers provided apart from each other on and in contact with the second insulating layers; and an amorphous semiconductor layer covering the first insulating layer, the pair of second insulating layers, and the pair of microcrystalline semiconductor layers and which extends to exist between the pair of microcrystalline semiconductor layers. The first insulating layer is a silicon nitride layer and each of the pair of the second insulating layers is a silicon oxynitride layer.

圖1A



- 100 . . . 基板
- 101 . . . 第一薄膜電
晶體
- 102 . . . 第二薄膜電
晶體
- 103 . . . 第三薄膜電
晶體
- 105 . . . 閘極電極層
- 107a . . . 第一絕緣
層
- 107ba . . . 第二絕緣
層
- 107bb . . . 第二絕緣
層
- 109a . . . 微晶半導
體層
- 109b . . . 微晶半導
體層
- 111a . . . 緩衝層
- 111b . . . 緩衝層
- 113 . . . 非晶半導體
層
- 115a . . . 雜質半導
體層
- 115b . . . 雜質半導
體層
- 117a . . . 佈線層
- 117b . . . 佈線層
- a . . . 距離
- b . . . 距離
- c . . . 距離
- L . . . 長度



發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：98107350

※申請日：98年03月06日

※IPC分類：

H01L 29/786 (2006.01)

一、發明名稱：(中文／英文)

薄膜電晶體

Thin film transistor

二、中文發明摘要：

薄膜電晶體包括：覆蓋閘極電極層的第一絕緣層；與閘極電極層的至少一部分重疊的源區及汲區；與閘極電極層及一對雜質半導體層至少部分地重疊，並在第一絕緣層上在通道長度方向上彼此相離地設置的一對第二絕緣層；於第二絕緣層上並接觸於第二絕緣層並彼此相離地設置的一對微晶半導體層；覆蓋第一絕緣層、一對第二絕緣層及一對微晶半導體層並在一對微晶半導體層之間延伸的非晶半導體層。第一絕緣層為氮化矽層，並且一對第二絕緣層為氧氮化矽層。

三、英文發明摘要： THIN FILM TRANSISTOR

A thin film transistor includes a first insulating layer covering the gate electrode layer; source and drain regions which at least partly overlaps with the gate electrode layer; a pair of second insulating layers which is provided apart from each other in a channel length direction over the first insulating layer and which at least partly overlaps with the gate electrode layer and the pair of impurity semiconductor layers; a pair of microcrystalline semiconductor layers provided apart from each other on and in contact with the second insulating layers; and an amorphous semiconductor layer covering the first insulating layer, the pair of second insulating layers, and the pair of microcrystalline semiconductor layers and which extends to exist between the pair of microcrystalline semiconductor layers. The first insulating layer is a silicon nitride layer and each of the pair of the second insulating layers is a silicon oxynitride layer.

四、指定代表圖：

(一) 本案指定代表圖為：第(1A)圖。

(二) 本代表圖之元件符號簡單說明：

100：基板

101：第一薄膜電晶體

102：第二薄膜電晶體

103：第三薄膜電晶體

105：閘極電極層

107a：第一絕緣層

107ba：第二絕緣層

107bb：第二絕緣層

109a：微晶半導體層

109b：微晶半導體層

111a：緩衝層

111b：緩衝層

113：非晶半導體層

115a：雜質半導體層

115b：雜質半導體層

117a：佈線層

117b：佈線層

a：距離

b：距離

c：距離

L：長度

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明關於一種薄膜電晶體。

【先前技術】

作為一種電場效應電晶體，已知以設置在具有絕緣表面的基板上的半導體層為通道形成區域的薄膜電晶體。作為用於薄膜電晶體的半導體層，公開了使用非晶矽、微晶矽以及多晶矽的技術（參照專利文獻 1 至專利文獻 5）。薄膜電晶體例如使用於電視裝置，並且作為構成顯示幕的各像素的開關電晶體已經實現了實用化。

〔專利文獻 1〕日本專利申請公開 2001-053283 號公報

〔專利文獻 2〕日本專利申請公開平 5-129608 號公報

〔專利文獻 3〕日本專利申請公開 2005-049832 號公報

〔專利文獻 4〕日本專利申請公開平 7-131030 號公報

〔專利文獻 5〕日本專利申請公開 2005-191546 號公報

以非晶矽層為通道形成區域的薄膜電晶體具有如下問題：電場效應遷移率低，並且導通電流低。另一方面，以微晶矽層為通道形成區域的薄膜電晶體具有如下問題：雖然其電場效應遷移率高於以非晶矽層為通道形成區域的薄膜電晶體的電場效應遷移率，但是其在導通電流高的同時

截止電流也高，因此不能獲得充分的開關特性。

以多晶矽層為通道形成區域的薄膜電晶體的電場效應遷移率格外高於上述兩種薄膜電晶體的電場效應遷移率，而可以獲得高導通電流。由此，使用多晶矽層的薄膜電晶體不僅可以用作設置在像素中的開關電晶體，還可以用作構成被要求高速工作的驅動電路的電晶體。

但是，以多晶矽層為通道形成區域的薄膜電晶體的製造程序具有如下問題：因為其程序中需要半導體層的晶化步驟，所以與上述使用非晶矽層或微晶矽層的薄膜電晶體的製造程序相比製造成本高。此外，還具有如下問題：當使用雷射退火技術進行半導體層的晶化時，因為雷射光束的照射面積小，所以不能高效地生產大面積的液晶面板。

用於顯示面板的製造的玻璃基板的尺寸逐年增大，即第三代（例如 $550\text{mm}\times 650\text{mm}$ ）、第四代（例如 $680\text{mm}\times 880\text{mm}$ ）、第五代（例如 $1000\text{mm}\times 1200\text{mm}$ ）、第六代（例如 $1500\text{mm}\times 1800\text{mm}$ ）、第七代（例如 $1900\text{mm}\times 2200\text{mm}$ ）、第八代（例如 $2200\text{mm}\times 2400\text{mm}$ ），並預測今後大面積化將進一步進展，即增大到第九代（例如 $2400\text{mm}\times 2800\text{mm}$ ）、第十代（例如 $2800\text{mm}\times 3000\text{mm}$ ）。但是，仍然沒有確立可以在大面積的玻璃基板上高產率地製造能夠高速工作的薄膜電晶體（例如，上述使用多晶矽層的薄膜電晶體）的技術。雖然作為在大面積基板上製造能夠高速工作的薄膜電晶體的技術，對以微晶矽為通道形成區域的薄膜電晶體的技術進行開發，但是其特性還不

充分。

【發明內容】

於是，所公開的本發明的實施例的目的之一在於解決關於薄膜電晶體的導通電流及截止電流的上述問題。此外，所公開的本發明的實施例的目的之一還在於提供能夠高速工作的薄膜電晶體。

所公開的發明之一實施例是一種薄膜電晶體，包括：閘極電極層；覆蓋所述閘極電極層地設置的第一絕緣層；與所述閘極電極層的至少一部分重疊，形成源區及汲區並彼此相離地設置的一對雜質半導體層；在所述第一絕緣層上，與所述閘極電極層及所述一對雜質半導體層的至少一部分重疊並在通道長度方向上彼此相離地設置的一對第二絕緣層；於第二絕緣層上並接觸於所述第二絕緣層並彼此相離地設置的一對微晶半導體層；覆蓋所述第一絕緣層、所述一對第二絕緣層及所述一對微晶半導體層並在所述一對微晶半導體層之間延伸的非晶半導體層，其中所述第一絕緣層為氮化矽層，並且所述一對第二絕緣層各為氧氮化矽層。

所公開的發明之一實施例是一種薄膜電晶體，包括：閘極電極層；覆蓋所述閘極電極層地設置的第一絕緣層；與所述第一絕緣層的至少一部分接觸地設置於所述第一絕緣層上的非晶半導體層；在所述非晶半導體層上彼此相離地設置，並且形成源區及汲區的一對雜質半導體層；設

置在所述第一絕緣層和所述非晶半導體層之間，並且與所述一對雜質半導體層的至少一部分重疊並彼此相離地設置的一對微晶半導體層；在所述第一絕緣層上與所述微晶半導體層接觸並彼此相離地設置的一對第二絕緣層，其中所述第一絕緣層為氮化矽層，並且所述一對第二絕緣層各為氧氮化矽層。

所公開的發明之一實施例是一種薄膜電晶體，包括：閘極電極層；覆蓋所述閘極電極層地設置的第一絕緣層；與所述閘極電極層的至少一部分重疊並彼此相離地設置的一對微晶半導體層；接觸於所述第一絕緣層及所述一對微晶半導體層並彼此相離地設置的一對第二絕緣層；至少覆蓋所述一對微晶半導體層地設置的非晶半導體層；在所述非晶半導體層上彼此相離地設置，並且形成源區及汲區的一對雜質半導體層，其中非晶半導體層在所述一對微晶半導體層之間延伸，並且所述第一絕緣層為氮化矽層，所述一對第二絕緣層各為氧氮化矽層。

在現有的一般的薄膜電晶體中，利用施加到閘極電極的電壓（閘極電極的電位和源區的電位的電位差）來控制源區和汲區之間的載流子（電子或電洞）的流動，並所述載流子流過源區到汲區的半導體層中。但是，當使用上述結構的薄膜電晶體時，在源區和汲區之間流過的載流子流過與閘極電極層重疊地設置的微晶半導體層中以及從該微晶半導體層上的部分向通道長度方向上延伸地設置的非晶半導體層中。

在上述結構的薄膜電晶體中，微晶半導體層不是設置在薄膜電晶體的通道長度方向的整個區域，而是彼此相離地設置，並在這些微晶半導體層之間具有非晶半導體層。換言之，上述結構的薄膜電晶體具有如下結構：在源區和汲區之間的通道長度方向的一定距離中，流過通道的載流子流過非晶半導體層。

在上述結構的薄膜電晶體中，第一絕緣層為氮化矽層，並且第二絕緣層為氧氮化矽層。換言之，在載流子流過的區域中，在接觸於非晶半導體層並在該非晶半導體層之下設置有氮化矽層，而在接觸於微晶半導體層並在該微晶半導體層之下設置有氧氮化矽層。這是為了避免下述兩個問題。

第一個問題如下：若將非晶半導體層的閘極絕緣膜由氧氮化矽形成，則電晶體的臨界值電壓向正電位側偏移，再者次臨界值擺幅（也稱為 S 值）增大。

第二個問題如下：在氮化矽層上形成微晶半導體層很困難，即使可以形成其結晶性也低。

在上述結構的薄膜電晶體中，微晶半導體層的供體濃度最好盡可能高。這是因為藉由使微晶半導體層的供體濃度高，可以提高電場效應遷移率，而可以實現高速工作。

此外，氧氮化矽是指如下：作為其組成氧含量多於氮含量，並在藉由盧瑟福背散射光譜學法（RBS：Rutherford Backscattering Spectrometry）及氫前方散射法（HFS：Hydrogen Forward Scattering）進行測量時，其包

含 50 原子 % 至 70 原子 % 的氧；0.5 原子 % 至 15 原子 % 的氮；25 原子 % 至 35 原子 % 的矽；以及 0.1 原子 % 至 10 原子 % 的氫。另外，氮氧化矽是指如下：作為其組成氮含量多於氧含量，並在藉由 RBS 及 HFS 進行測量時，其包含 5 原子 % 至 30 原子 % 的氧；20 原子 % 至 55 原子 % 的氮；25 原子 % 至 35 原子 % 的矽；以及 10 原子 % 至 30 原子 % 的氫。注意，當將構成氧氮化矽或氮氧化矽的原子總量設定為 100 原子 % 時，氮、氧、矽及氫的含量比例在上述範圍內。

在上述結構的薄膜電晶體中，最好在與所述第二絕緣層重疊的區域中所述第一絕緣層的厚度形成為厚，並使所述微晶半導體層的側面和所述第二絕緣層的側面大致對準。這是因為可以在一個蝕刻步驟中對第二絕緣層和微晶半導體層進行構圖，並且第一絕緣層和第二絕緣層的主要成分大多一致。

微晶半導體層的導電率為 $1 \times 10^{-5} \text{ S} \cdot \text{cm}^{-1}$ 以上且 $5 \times 10^{-2} \text{ S} \cdot \text{cm}^{-1}$ 以下，並且非晶半導體層的導電率低於微晶半導體層。微晶半導體層的供體濃度為 $1 \times 10^{18} \text{ cm}^{-3}$ 以上且 $1 \times 10^{21} \text{ cm}^{-3}$ 以下。一對微晶半導體層至少在薄膜電晶體的通道長度方向上延伸，其具有所述導電率而產生高導通電流。另一方面，延伸到通道形成區域，並且形成所謂偏移區的非晶半導體層有助於截止電流的降低。此外，偏移區形成在彼此相離地設置的一對微晶半導體層之間。

雜質半導體是指從添加有一種導電型的雜質元素接收有助於導電率的大多數的載流子的半導體。具有一種導電

型的雜質元素是作為載流子有可能成為供應電子的供體或供應電洞的受體的元素，並且作為供體，典型地可以舉出週期表第 15 族元素，而作為受體，典型地可以舉出週期表第 13 族元素。

微晶半導體是指例如晶粒徑為 2nm 以上且 200nm 以下，最好為 10nm 以上且 80nm 以下，更最好為 20nm 以上且 50nm 以下，並且導電率為大致 $10^{-7}\text{S}\cdot\text{cm}^{-1}$ 至 $10^{-4}\text{S}\cdot\text{cm}^{-1}$ 的半導體，利用價電子控制來提高到 $10^1\text{S}\cdot\text{cm}^{-1}$ 左右的半導體。注意，微晶半導體的概念不局限於上述的晶粒徑及導電率的值，若具有同等的物性值，例如賦予一種導電型的雜質濃度或晶化率，則不一定限於上述晶粒徑等。

非晶半導體是指沒有結晶結構（在原子的排列中沒有長程有序）的半導體。此外，在非晶矽中也可以包含氫等。

導通電流是指在當對閘極電極施加適當的閘電壓以在通道形成區域中使電流流過時（即，當薄膜電晶體為導通狀態時），在源區和汲區之間，即在通道形成區域中流過的電流。此外，在此導通狀態是指閘電壓（閘極電極的電位和源區的電位的電位差）超過電晶體的臨界值電壓的狀態。

截止電流是指當薄膜電晶體的閘電壓低於臨界值電壓時（即，當薄膜電晶體為截止狀態時），在源區和汲區之間，即在通道形成區域中流過的電流。

藉由採用設置多個微晶半導體層並使這些彼此相離，

並且在源區和汲區之間的通道長度方向的一定距離中，使流過通道形成區域的載流子流過非晶半導體層的結構，可以獲得導通電流高，且截止電流低的具有優良的開關特性的薄膜電晶體。

藉由設置氧氮化矽層作為接觸於微晶半導體層的絕緣層，可以形成結晶性高的半導體層。

藉由設置氮化矽層作為接觸於非晶半導體層的絕緣層，且設置氧氮化矽層作為接觸於微晶半導體層的絕緣層，可以獲得次臨界值擺幅小，且臨界值電壓不偏移（或臨界值電壓的偏移小）的電特性良好的薄膜電晶體。

【實施方式】

下面，參照附圖說明所公開的發明的幾個實施例。注意，本發明不局限於以下說明，本技術領域的技術人員可以很容易地理解一個事實就是，其方式和詳細內容可以在不脫離所公開的發明的宗旨及其範圍的情況下被變換為各種各樣的形式。在以下所說明的本發明的結構中，有時在不同附圖之間共同使用同一元件符號表示同一部分。

實施例 1

在實施例 1 中，參照圖 1A 和 1B 說明根據本發明的方式的薄膜電晶體的結構的一個例子。

圖 1A 所示的薄膜電晶體包括如下：基板 100 上的閘極電極層 105；閘極電極層 105 上的第一絕緣層 107a；第

一絕緣層 107a 上的彼此相離地設置的第二絕緣層 107ba 及第二絕緣層 107bb；分別在第二絕緣層 107ba 上並與第二絕緣層 107ba 接觸及在第二絕緣層 107bb 上並與第二絕緣層 107bb 接觸，並彼此相離地設置的微晶半導體層 109a 及微晶半導體層 109b；分別設置在微晶半導體層 109a 上及微晶半導體層 109b 上且彼此相離地設置的緩衝層 111a 及緩衝層 111b。大致重疊地設置緩衝層 111a、微晶半導體層 109a 及第二絕緣層 107ba，並大致重疊地設置緩衝層 111b、微晶半導體層 109b 及第二絕緣層 107bb。此外，覆蓋第二絕緣層 107ba、第二絕緣層 107bb、微晶半導體層 109a、微晶半導體層 109b、緩衝層 111a 及緩衝層 111b 的側面以及上面地設置非晶半導體層 113。在非晶半導體層 113 上設置添加有賦予一種導電型的雜質元素的一對雜質半導體層 115a 及雜質半導體層 115b。雜質半導體層 115a 及雜質半導體層 115b 形成源區和汲區。另外，在雜質半導體層 115a 及雜質半導體層 115b 上設置有佈線層 117a 及佈線層 117b。

微晶半導體層 109a 及微晶半導體層 109b 的導電率最好為 $0.9\text{S}\cdot\text{cm}^{-1}$ 至 $2\text{S}\cdot\text{cm}^{-1}$ 的範圍內。

微晶半導體層是包括具有非晶和結晶結構（包括單晶、多晶）的中間結構的半導體。一般而言，微晶半導體是具有自由能方面很穩定的第三狀態的半導體，並且是具有短程有序且具有晶格畸變的結晶的半導體，其粒徑為 2nm 以上且 200nm 以下，最好為 10nm 以上且 80nm 以下，更

最好的是，20nm 以上且 50nm 以下的柱狀或針狀晶體相對於基板表面以法線方向生長。另外，微晶半導體的導電率為大致 $10^{-7}\text{S}\cdot\text{cm}^{-1}$ 至 $10^{-4}\text{S}\cdot\text{cm}^{-1}$ ，利用價電子控制來提高到 $10^1\text{S}\cdot\text{cm}^{-1}$ 左右。作為微晶半導體的代表實例的微晶矽的拉曼光譜偏移到低於顯示單晶矽的 520cm^{-1} 的波數一側。即，在顯示單晶矽的 520cm^{-1} 和顯示非晶矽的 480cm^{-1} 之間有微晶矽的拉曼光譜的高峰值。此外，使該微晶矽包含至少 1 原子%或更多的氫或鹵素，以便終止懸空鍵。進而，藉由還包含氦、氬、氪、氙等的稀有氣體元素，進一步促進其晶格畸變，可以提高結晶的穩定性而獲得良好的微晶半導體層。例如在美國專利 4,409,134 號中公開有關於這種微晶半導體層的記載。注意，微晶半導體的概念不僅固定於上述的晶粒徑及導電率的值，若具有同等的物性值，例如賦予一種導電型的雜質濃度或晶化率，則不局限於上述晶粒徑等。

微晶半導體層 109a 及微晶半導體層 109b 的厚度為 5nm 以上且 50nm 以下，最好為 5nm 以上且 30nm 以下。

最好對微晶半導體層 109a 及微晶半導體層 109b 添加成為供體的雜質元素，以便獲得充分的導通電流。在此情況下，氧濃度、以及氮濃度設定得小於成為供體的雜質元素的濃度的 10 倍，典型為小於 $3\times 10^{19}\text{cm}^{-3}$ ，更最好為小於 $3\times 10^{18}\text{cm}^{-3}$ ，並且最好將碳的濃度設定為 $3\times 10^{18}\text{cm}^{-3}$ 以下。這是為了抑制微晶半導體層中的缺陷的產生。此外，當氧或氮進入於微晶半導體層中時，難以實現半導體的結

晶化。因此，當使用添加有成爲供體的雜質元素的微晶半導體層時，藉由使微晶半導體層中的氧濃度、氮濃度較低並且添加有成爲供體的雜質元素，可以提高微晶半導體層的結晶性。

此外，藉由與成膜同時或者成膜後對微晶半導體層添加有成爲受體的雜質元素，可以控制形成的電晶體的臨界值電壓。作爲成爲受體的雜質元素，典型有硼，並且將 B_2H_6 、 BF_3 等雜質氣體以 1ppm 至 1000ppm、最好以 1ppm 至 100ppm 的比例混入於氫化矽，即可。並且，將硼的濃度設定爲成爲供體的雜質元素的 1/10 左右、例如爲 $1 \times 10^{14} \text{cm}^{-3}$ 至 $6 \times 10^{16} \text{cm}^{-3}$ ，即可。

緩衝層 111a 及緩衝層 111b 由非晶半導體形成。或者，使用添加有氟或氯等鹵素的非晶半導體。緩衝層 111a 及緩衝層 111b 的厚度爲 30nm 至 200nm，最好爲 50nm 至 150nm。作爲非晶半導體，可以舉出非晶矽。

此外，藉由使緩衝層 111a 及緩衝層 111b 的側面相對於基板爲具有 30° 至 60° 的錐形，以該微晶半導體層爲結晶生長的核，可以提高微晶半導體層和非晶半導體層的介面附近的微晶半導體層 109a 及微晶半導體層 109b 的結晶性。由此，可以實現薄膜電晶體的高速工作，並可以提高導通電流。

作爲緩衝層 111a 及緩衝層 111b，藉由形成非晶半導體層，還形成包含氫、氮或鹵素的非晶半導體層，可以防止微晶半導體層所具有的晶粒表面的自然氧化。尤其是在

微晶半導體層中，在非晶半導體和微晶粒接觸的區域，因應力集中而容易產生裂縫。當該裂縫接觸於氧時晶粒被氧化，而形成氧化矽層。然而，藉由在添加有成爲供體的雜質元素的半導體層的表面上形成緩衝層 111a 及緩衝層 111b，可以防止微晶粒的氧化。由此，可以減少載流子被俘獲的缺陷，或者可以縮少妨礙載流子的進程的區域。由此，可以實現薄膜電晶體的高速工作，並可以提高導通電流。

第二絕緣層 107ba 及第二絕緣層 107bb 由氧氮化矽形成。藉由第二絕緣層 107ba 及第二絕緣層 107bb 使用氧氮化矽形成，因爲微晶半導體層 109a 及微晶半導體層 109b 與氧氮化矽層接觸地設置，所以可以提高結晶性。此外，第二絕緣層 107ba 及第二絕緣層 107bb 形成爲 5nm 至 20nm 的厚度，最好爲 10nm 至 15nm。這是爲了避免蝕刻中的控制的困難，且獲得良好的電特性。

再者，藉由第二絕緣層 107ba 及第二絕緣層 107bb 由氧氮化矽形成，來提高微晶半導體層 109a 及微晶半導體層 109b 的結晶性。在圖 10A 中示出微晶半導體層的拉曼峰值，在圖 10B 中示出以圖 10A 爲最大值而標準化的拉曼峰值。在此，微晶半導體層是不添加賦予一種導電型的雜質元素而形成的層，其中除了於微晶半導體層之下並接觸於微晶半導體層而形成層以外的條件都是一樣的。光譜 170a 及光譜 171a 示出形成在氧氮化矽層上的微晶半導體層的拉曼峰值，光譜 170b 及光譜 171b 示出形成在氮化矽

層上的微晶半導體層的拉曼峰值。

圖 11A 和 11B 表示對在圖 10A 和 10B 中示出拉曼峰值的微晶半導體層的截面使用透射電子顯微鏡 (Transmission Electron Microscope。以下稱為 TEM。) 進行觀察的圖像。圖 11A 示出在氮化矽層上形成微晶半導體層，並對這些的介面進行觀察的截面 TEM 圖像 (200 萬倍)。圖 11B 示出在氧氮化矽層上形成微晶半導體層，並對這些的介面進行觀察的截面 TEM 圖像 (100 萬倍)。

圖 12A 和 12B 表示對在圖 10A 和 10B 中示出拉曼峰值的微晶半導體層的平面使用 TEM 進行觀察的圖像。圖 12A 示出在氮化矽層上形成微晶半導體層，並對該微晶半導體層進行觀察的平面 TEM 圖像 (50 萬倍)。圖 12B 示出在氧氮化矽層上形成微晶半導體層，並對該微晶半導體層進行觀察的平面 TEM 圖像 (50 萬倍)。

由圖 10A 至圖 12B 可知，與形成在氮化矽層上的微晶半導體層相比，形成在氧氮化矽層上的微晶半導體層具有高結晶性。此外，由圖 11A 和 11B 及圖 12A 和 12B 可知，與形成在氮化矽層上的微晶半導體層相比，形成在氧氮化矽層上的微晶半導體層的晶粒被緻密地形成。

在與所述第二絕緣層 107ba 及第二絕緣層 107bb 重疊的區域中第一絕緣層 107a 的厚度為厚。這是為了在一個蝕刻步驟中對緩衝層 111a 及緩衝層 111b、微晶半導體層 109a 及微晶半導體層 109b、第二絕緣層 107ba 及第二絕緣層 107bb 進行構圖。

此外，氧氮化矽是指如下：作為其組成氧含量多於氮含量，並在藉由盧瑟福背散射光譜學法（RBS：Rutherford Backscattering Spectrometry）及氫前方散射法（HFS：Hydrogen Forward Scattering）進行測量時，其濃度範圍最好為包含 50 原子%至 70 原子%的氧；0.5 原子%至 15 原子%的氮；25 原子%至 35 原子%的矽；以及 0.1 原子%至 10 原子%的氫。注意，當將構成氧氮化矽的原子總量設定為 100 原子%時，氮、氧、矽及氫的含量比例在上述範圍內。

非晶半導體層 113 由非晶矽形成。此外，在非晶半導體層 113 中可以包含氟或氯等。當在非晶半導體層 113 中包含磷時，其濃度低於微晶半導體層 109a 及微晶半導體層 109b 所包含的磷即可。另外，重疊於佈線層的非晶半導體層 113 的厚度為 50nm 以上且小於 500nm。

非晶半導體層 113 覆蓋微晶半導體層 109a、微晶半導體層 109b、緩衝層 111a 及緩衝層 111b 的側面。此外，在微晶半導體層 109a 及微晶半導體層 109b 的周緣部，第一絕緣層 107a 和非晶半導體層 113 接觸。藉由採用上述結構，因為微晶半導體層 109a 及微晶半導體層 109b 與雜質半導體層 115a 及雜質半導體層 115b 不接觸，所以可以減少在微晶半導體層 109a 及微晶半導體層 109b 和雜質半導體層 115a 及雜質半導體層 115b 之間產生的漏電流。

此外，藉由與微晶半導體層 109a 及微晶半導體層 109b 相比對非晶半導體層 113 添加低濃度的磷，可以控制

電晶體的臨界值電壓的波動。

基板 100 可以使用藉由利用熔化法或浮法而製造的無鹼玻璃基板如鋇硼矽酸鹽玻璃、鋁硼矽酸鹽玻璃、鋁矽酸鹽玻璃等、或陶瓷基板，還可以使用具有能夠耐受本製造程序中的處理溫度的耐熱性的塑膠基板等。此外，還可以應用在不銹鋼合金等金屬基板表面上設置絕緣層的基板。當基板 100 是母體玻璃時，不僅可以使用第一代（ $320\text{ mm}\times 400\text{ mm}$ ）、第二代（ $400\text{ mm}\times 500\text{ mm}$ ）、第三代（ $550\text{ mm}\times 650\text{ mm}$ ）、第四代（ $680\text{ mm}\times 880\text{ mm}$ 或 $730\text{ mm}\times 920\text{ mm}$ ）、第五代（ $1000\text{ mm}\times 1200\text{ mm}$ 或 $1100\text{ mm}\times 1250\text{ mm}$ ）、第六代（ $1500\text{ mm}\times 1800\text{ mm}$ ）、第七代（ $1900\text{ mm}\times 2200\text{ mm}$ ）、第八代（ $2160\text{ mm}\times 2460\text{ mm}$ ）的基板，還可以使用第九代（ $2400\text{ mm}\times 2800\text{ mm}$ 或 $2450\text{ mm}\times 3050\text{ mm}$ ）、第十代（ $2950\text{ mm}\times 3400\text{ mm}$ ）的基板。

閘極電極層 105 使用導電材料設置，例如由金屬材料形成即可。作為能夠使用的金屬材料，可以舉出鋁、鉻、鈦、鉭、鉬、銅等。閘極電極層 105 最好由鋁或阻擋金屬夾著鋁的結構的疊層膜形成。作為阻擋金屬，應用鈦、鉬、鉻等高熔金屬。設置阻擋金屬的目的是為了防止鋁的小丘、鋁的氧化。

閘極電極層 105 以 50 nm 以上且 300 nm 以下的厚度形成，以便構成閘極佈線。藉由將閘極電極層 105 的厚度設定為 50 nm 以上且 100 nm 以下，可以防止後面形成的半導

體層或佈線的斷開。另外，藉由將閘極電極層 105 的厚度設定為 150nm 以上且 300nm 以下，可以實現閘極佈線的低電阻化，並可以實現大面積化。

由於在閘極電極層 105 上設置半導體層及絕緣層，所以最好將其端部加工為錐形以防止斷開。此外，閘極電極層 105 不僅可以構成閘極佈線還可以構成電容佈線。

第一絕緣層 107a 由氮化矽形成。第一絕緣層 107a 由氮化矽形成的優點是如下。首先，將第一絕緣層 107a 用作非晶半導體層 113 的閘極絕緣層，因此可以降低薄膜電晶體的次臨界值擺幅。此外，可以防止包含在基板 100 的鈉等的雜質元素進入到微晶半導體層 109a、微晶半導體層 109b、緩衝層 111a、緩衝層 111b 以及非晶半導體層 113。再者，可以防止閘極電極層 105 的氧化。

第一絕緣層 107a 最好以 50nm 至 150nm 的厚度形成。閘極電極層 105 一般使用濺射法來形成，通常其表面產生有凹凸。藉由將第一絕緣層 107a 的厚度設定為 50nm 至 150nm，可以緩和因該凹凸而降低覆蓋率。

從而，藉由將第一絕緣層 107a 的厚度設定為 50nm 至 150nm 並由氮化矽形成，可以提高後面形成的薄膜電晶體的電特性。

當形成 n 通道薄膜電晶體的情況下，對一對雜質半導體層 115a 及雜質半導體層 115b 添加例如磷作為雜質元素，將 PH_3 等的雜質氣體添加到當形成時使用的氮化矽中即可。另外，在形成 p 通道薄膜電晶體的情況下，添加例如

硼作為雜質元素，將 B_2H_6 等的雜質氣體添加到當形成時使用的氫化矽中即可。藉由將磷或硼的濃度設定為 $1 \times 10^{19} \text{cm}^{-3}$ 至 $1 \times 10^{21} \text{cm}^{-3}$ ，可以實現與佈線層 117a 及佈線層 117b 的歐姆接觸，而將一對雜質半導體層 115a 及雜質半導體層 115b 用作源區及汲區。一對雜質半導體層 115a 及雜質半導體層 115b 可以由微晶半導體或非晶半導體形成。一對雜質半導體層 115a 及雜質半導體層 115b 以 10nm 以上且 100nm 以下，最好以 30nm 以上且 50nm 以下的厚度形成。藉由減薄一對雜質半導體層 115a 及雜質半導體層 115b 的厚度，可以提高形成時的處理量。

佈線層 117a 及佈線層 117b 使用導電材料設置，例如由金屬材料形成即可。例如最好由鋁、對鋁添加有提高耐熱性元素的材料、或對鋁添加有小丘防止元素的材料（以下這些稱為鋁合金）以單層或疊層形成。在此，作為提高耐熱性元素或小丘防止元素，可以舉出銅、矽、鈦、釹、鉬或鉬等。此外，還可以採用如下疊層結構：藉由使用鈦、鉭、鉬、鎢或這些元素的氮化物形成與雜質半導體層接觸一側的層，並在其上形成鋁或鋁合金。再者，還可以採用如下疊層結構：鋁或鋁合金的上表面及下表面由鈦、鉭、鉬、鎢或這些元素的氮化物夾住。例如，可以使用在鈦層上設置鋁層，並在該鋁層上設置鈦層的疊層的導電層。

作為形成閘極電極層 105 的材料舉出的材料可以用於形成佈線層 117a，作為形成佈線層 117a 及佈線層 117b 的材料舉出的材料可以用於閘極電極層 105。

圖 1A 所示的薄膜電晶體示出非晶半導體層 113 與佈線層 117a 及佈線層 117b 不接觸，並在緩衝層 111a 及緩衝層 111b 上中間夾著一對雜質半導體層 115a 及雜質半導體層 115b 設置佈線層 117a 及佈線層 117b 的結構，如圖 1B 所示那樣，可以採用非晶半導體層 113 的側面與佈線層 117a 及佈線層 117b 接觸的結構。

在本實施例所示的薄膜電晶體中，第一薄膜電晶體 101、第二薄膜電晶體 102 及第三薄膜電晶體 103 串聯連接。第一薄膜電晶體 101 由閘極電極層 105、第一絕緣層 107a 及第二絕緣層 107ba、微晶半導體層 109a、緩衝層 111a、非晶半導體層 113、雜質半導體層 115a 以及佈線層 117a 構成。第二薄膜電晶體 102 由閘極電極層 105、第一絕緣層 107a、非晶半導體層 113 構成。第三薄膜電晶體 103 由閘極電極層 105、第一絕緣層 107a 及第二絕緣層 107bb、微晶半導體層 109b、緩衝層 111b、非晶半導體層 113、雜質半導體層 115b 以及佈線層 117b 構成。

第二薄膜電晶體 102 是將非晶半導體層用於通道形成區域的薄膜電晶體。在第一薄膜電晶體 101 及第三薄膜電晶體 103 中，載流子流過的區域為微晶半導體層 109a 及微晶半導體層 109b。微晶半導體層 109a 及微晶半導體層 109b 的導電率為 $0.9\text{S}\cdot\text{cm}^{-1}$ 至 $2\text{S}\cdot\text{cm}^{-1}$ ，與通常的非晶半導體層及微晶半導體層相比其電阻率低。由此，即使在對閘極電極層 105 施加低於第二薄膜電晶體的臨界值電壓的正電壓的狀態下，也成為在微晶半導體層 109a 及微晶半

導體層 109b 中多個載流子被感應的狀態。當對閘極電極層 105 施加第二薄膜電晶體 102 的臨界值電壓以上的正電壓時，第二薄膜電晶體 102 成為導通，在微晶半導體層 109a 及微晶半導體層 109b 中被感應的多個載流子流到第一薄膜電晶體 101 的佈線層 117a 或第三薄膜電晶體的佈線層 117b。

本實施例的薄膜電晶體的通道長度 L 為微晶半導體層 109a 和微晶半導體層 109b 之間的距離 a 、雜質半導體層 115a 的端部和微晶半導體層 109a 的端部之間的距離 b 以及雜質半導體層 115b 和微晶半導體層 109b 之間的距離 c 的總合。對於通道長度 L ，藉由使微晶半導體層 109a 和微晶半導體層 109b 之間的距離 a 較短，並使雜質半導體層 115a 的端部和微晶半導體層 109a 的端部之間的距離 b 較長，並使雜質半導體層 115b 和微晶半導體層 109b 之間的距離 c 較長，來提高導通電流和遷移率。

此外，在本實施例所示的薄膜電晶體中，微晶半導體層 109a、微晶半導體層 109b 由使用相同的光掩模而形成的抗蝕劑掩模被蝕刻。由此，由於不需要將光掩模以次微米水準的精度對準，所以可以使微晶半導體層 109a 和微晶半導體層 109b 之間的距離 a 的不均勻極小，並可以使它的距離為曝光裝置的解析度限度程度的距離。此外，藉由使用相移掩模，可以使它的距離為曝光裝置的解析度限度以下的距離。當施加正的正電壓時將微晶半導體層 109a 和微晶半導體層 109b 之間的區域用作第二薄膜電晶體 102

的通道形成區域，由於可以如上述所示那樣使不均勻小，因此可以使基板面中的各個電晶體的電特性的不均勻小。

藉由採用使用相移掩模等的方法可以使第二薄膜電晶體 102 的通道長度（即，距離 a ）較短，當使距離 a 較短時爲了避免在第二薄膜電晶體 102 中產生短通道效果，將成爲閘極絕緣層的第一絕緣層 107a 形成爲薄，即可。

另一方面，當對閘極電極層 105 施加負電壓時，即使在微晶半導體層 109a、微晶半導體層 109b 中載流子被感應，由於第二薄膜電晶體 102 爲截止，所以可以防止電流流過。由於第二薄膜電晶體 102 由非晶半導體層形成，所以不會產生洩漏路徑（leak path）等，因而可以使截止電流爲小。

如以上所說明那樣，可以獲得導通電流及遷移率高，並且截止電流小的薄膜電晶體。再者，本實施例所說明的薄膜電晶體是次臨界值擺幅小，並且臨界值電壓不偏移或臨界值電壓的偏移小的電特性良好的薄膜電晶體。

連接源區和汲區的非晶半導體層 113 的表面（背通道）具有凹凸形狀，並且源區和汲區之間的距離較長。由此，流過源區和汲區之間的非晶半導體層 113 表面的漏電流的路徑較長。從而，在源區和汲區之間，可以減少流過非晶半導體層 113 表面的漏電流，並可以使截止電流爲小。

再者，閘極電極層 105 與雜質半導體層 115a 及雜質半導體層 115b 之間除了絕緣層以外還設置有非晶半導體層 113，由此可以使閘極電極層 105 與雜質半導體層 115a

及雜質半導體層 115b 之間的距離增大。因此，可以減少在閘極電極層 105 與雜質半導體層 115a 及雜質半導體層 115b 之間產生的寄生電容。

實施例 2

在本實施例中，參照圖 2 至圖 5B 對圖 1A 所示的薄膜電晶體的製造程序進行說明。

在具有非晶半導體層或微晶半導體層的薄膜電晶體中，n 通道的電場效應遷移率高於 p 通道的電場效應遷移率，而適合使用於驅動電路。此外，最好形成在同一個基板上的薄膜電晶體的極性全都為一樣的極性，以便減少製造步驟數。從而，在本實施例中說明 n 通道薄膜電晶體的製造程序。注意，當製造 p 通道薄膜電晶體時也可以以同樣的方式進行製造。

首先，參照圖 2 至圖 5B 對圖 1A 所示的薄膜電晶體的製造程序進行說明。圖 3A 至 3E 示出沿圖 2 的 A-B 的截面圖，圖 4A 至 4E 示出沿圖 2 的 C-D 的截面圖。

首先，在基板 100 上形成導電層 104（參照圖 3A 及圖 4A）。作為導電層 104，可以使用在實施例 1 中舉出的閘極電極層 105 的材料形成。導電層 104 使用濺射法、CVD 法、鍍敷法、印刷法或液滴噴出法等形成。

接著，在導電層 104 上塗敷抗蝕劑之後，藉由使用第一光掩模的光刻程序形成抗蝕劑掩模。使用該抗蝕劑掩模對導電層 104 進行蝕刻而形成為所希望的形狀，以形成閘

極電極層 105。然後，去除抗蝕劑掩模。

接著，在基板 100 及閘極電極層 105 上形成第一絕緣層 107a。作為第一絕緣層 107a，可以與實施例 1 同樣由氮化矽形成。第一絕緣層 107a 使用 CVD 法或濺射法形成。

接著，在第一絕緣層 107a 上層疊形成第二絕緣層 107b、微晶半導體層 108 以及緩衝層 110（參照圖 3B 及圖 4B）。與實施例 1 同樣對微晶半導體層 108 最好添加成為供體的雜質元素。以下說明微晶半導體層 108 的成膜方法。

在電漿 CVD 裝置的反應室內，將包含矽的沉積性氣體和氫混合，由輝光放電電漿可以形成微晶半導體層 108。藉由將氫的流量稀釋為包含矽的沉積性氣體的流量的 10 倍至 2000 倍，最好為 50 倍至 200 倍來可以形成微晶半導體層。基板的加熱溫度為 100℃ 至 300℃，最好為 120℃ 至 220℃。此外，藉由對上述原料氣體混合包含磷、砷、銻等的氣體，可以添加成為供體的雜質元素。在此，對矽烷、氫和稀有氣體的混合氣體（或氫和稀有氣體中的任一個）混合磷化氫，由輝光放電形成包含磷的微晶矽層。

在此，輝光放電電漿的產生可以藉由施加 1MHz 至 20MHz（代表性的為 13.56MHz）的高頻電力，或大於 20MHz 且到 120MHz 左右（代表性的為 27.12MHz、60MHz）的高頻電力而實現。

此外，作為包含矽的沉積性氣體的代表性例子，有

SiH_4 、 Si_2H_6 等。

此外，不對微晶半導體層 109a 及微晶半導體層 109b 直接進行成為供體的雜質元素的添加，而藉由在第二絕緣層 107b 中包含成為供體的雜質元素來實現對微晶半導體層 109a 及微晶半導體層 109b 添加成為供體的雜質元素。或者，也可以在第一絕緣層 107a 中包含成為供體的雜質元素。在第一絕緣層 107a 及第二絕緣層 107b 的兩者中可以包含成為供體的雜質元素。

或者，當形成微晶半導體層 109a 及微晶半導體層 109b 時，不但使微晶半導體層 109a 及微晶半導體層 109b 包含成為供體的雜質元素而且還使第一絕緣層 107a 及第二絕緣層 107b 中也包含成為供體的雜質元素。

當作爲第一絕緣層 107a 形成添加有成為供體的雜質元素的絕緣層時，對絕緣層的原料氣體混合包含成為供體的雜質元素的氣體而形成第一絕緣層 107a 即可。例如，藉由使用矽烷、氨及磷化氫的電漿 CVD 法可以形成包含磷的氮化矽。此外，當作爲第二絕緣層 107b 形成添加有成為供體的雜質元素的絕緣層時，藉由使用矽烷、一氧化二氮、氨及磷化氫的電漿 CVD 法可以形成包含磷的氧氮化矽層。

或者，在形成這些層之前，可以在成膜裝置的反應室內導入包含成為供體的雜質元素的氣體，並將成為供體的雜質元素吸附到基板 100 的表面及反應室內牆。然後，進行成膜，可以一邊吸收成為供體的雜質元素一邊形成半導

體層。

此外，可以對第二絕緣層 107b 表面進行電漿處理。該電漿處理可以藉由將代表性的氫電漿、氮電漿、 H_2O 電漿、氮電漿、氫電漿或氬電漿等的電漿暴露到第二絕緣層 107b 表面來進行。其結果，可以減少產生在第二絕緣層 107b 表面的缺陷。這是因為藉由該處理，可以終止第二絕緣層 107b 表面的懸空鍵。

接著，形成緩衝層 110。作為緩衝層 110 形成非晶半導體層。藉由使用包含矽的沉積性氣體的電漿 CVD 法形成非晶半導體層即可。或者藉由使用選自氫、氫、氮、氬中的一種或多種的稀有氣體元素稀釋包含矽的沉積性氣體可以形成非晶半導體層。藉由將氫的流量稀釋為包含矽的沉積性氣體的流量的 0 倍至 50 倍，最好為 0 倍至 10 倍，更最好為 2 倍至 5 倍來可以形成非晶半導體層。此外，藉由使用矽烷氣體的流量的 1 倍至 10 倍，最好 1 倍至 5 倍的氫，可以形成包含氫的非晶半導體層。另外，在形成氣體中可以添加氟或氯等鹵素。

此外，非晶半導體層也可以在氫或稀有氣體中使用矽的靶子進行濺射來形成。

最好藉由使用電漿 CVD 法在 $300^{\circ}C$ 至 $400^{\circ}C$ 的溫度下形成緩衝層 110。藉由該處理將氫供應到微晶半導體層 108，可以獲得與當使微晶半導體層 108 氫化時同樣的效果。換言之，藉由在添加有成為供體的雜質元素的半導體層上使用上述條件形成緩衝層 110，可以在微晶半導體層

108 中擴散氫，而終止懸空鍵。

此外，藉由設置緩衝層 110，可以防止包含在微晶半導體層中的晶粒表面的自然氧化。緩衝層 110 可以包含氫、氮或鹵素。尤其是在非晶半導體層和微晶半導體層的晶粒接觸的區域中，容易因局部應力而產生裂縫。當該裂縫與氧接觸時晶粒氧化，而形成氧化矽。然而，藉由設置緩衝層 110，可以防止包含在微晶半導體層中的晶粒的氧化。此外，若使緩衝層 110 的厚度較厚，則薄膜電晶體的耐壓提高，由於高電壓，可以防止薄膜電晶體的退化。

接著，在緩衝層 110 上塗敷抗蝕劑之後，藉由使用第二光掩模的光刻程序形成抗蝕劑掩模。使用該抗蝕劑掩模而對緩衝層 110 及微晶半導體層 108 進行蝕刻以形成為所希望的形狀，在形成薄膜電晶體的區域中，形成彼此相離地設置的第二絕緣層 107ba 及第二絕緣層 107bb、彼此相離地設置的微晶半導體層 109a 及微晶半導體層 109b 以及彼此相離地設置的緩衝層 111a 及緩衝層 111b（參照圖 3C 及圖 4C）。然後，去除抗蝕劑掩模。

在去除抗蝕劑掩模之後，將緩衝層 111a 及緩衝層 111b 用作掩模對第二絕緣層 107b 蝕刻，而形成第二絕緣層 107ba 及第二絕緣層 107bb。藉由該步驟，除了第二絕緣層 107b 以外，也對不與緩衝層 111a 及緩衝層 111b 重疊的區域的第一絕緣層 107a 的一部分進行蝕刻。

接著，形成非晶半導體層 112、以及添加有賦予一種導電型的雜質元素的雜質半導體層 114。

非晶半導體層 112 可以以與緩衝層 110 同樣的材料及形成方法來形成。

此外，當形成非晶半導體層 112 時，在對電漿 CVD 裝置的成膜室內牆預塗氮氧化矽層、氮化矽層、氧化矽層以及氧氮化矽層中的任何層之後，將氫的流量稀釋為包含矽的沉積性氣體的流量的 0 倍至 50 倍，最好為 0 倍至 10 倍，更最好為 2 倍至 5 倍，而形成半導體層，在膜中一邊吸收存在於成膜室內牆的氧及氮等一邊堆積膜，因此可以不使其結晶化而形成緻密的非晶半導體層。注意，在非晶半導體層 112 的一部分中可以包含微晶粒。

在本實施例中，由於形成 n 通道薄膜電晶體，因此藉由使用包含矽的沉積性氣體和磷化氫的電漿 CVD 法可以形成添加有賦予一種導電型的雜質元素的雜質半導體層 114。此外，當形成 p 通道薄膜電晶體時，藉由使用包含矽的沉積性氣體和乙硼烷的電漿 CVD 法來可以形成添加有賦予一種導電型的雜質元素的雜質半導體層 114。

在微晶半導體層 108、緩衝層 110、非晶半導體層 112 及雜質半導體層 115a 的形成步驟中輝光放電電漿的產生可以藉由施加 1MHz 至 20MHz（代表性的 13.56MHz）的高頻電力，或大於 20MHz 且到 120MHz 左右（代表性的 27.12MHz、60MHz）的高頻電力而實現。

作為導電層 116，可以使用在實施例 1 中舉出的佈線層 117a 及佈線層 117b 的材料形成。導電層 116 使用 CVD 法、濺射法、印刷法或液滴噴出法等形成。注意，雖然在

圖 3D 和 3E 中以單層形成導電層 116，但是也可以與實施例 1 同樣層疊多個導電層來形成。

接著，在導電層 116 上塗敷抗蝕劑。作為抗蝕劑，可以使用正型抗蝕劑或負型抗蝕劑。在此說明使用正型抗蝕劑的情況。

接著，藉由作為第三光掩模使用多級灰度掩模，對抗蝕劑照射光之後進行顯影，形成抗蝕劑掩模 119（參照圖 3D 及圖 4D）。

抗蝕劑掩模 119 可以藉由使用一般的多級灰度掩模來形成。在此，以下參照圖 5A 和 5B 說明多級灰度掩模。

在此，多級灰度掩模是指可以以多個步驟的光量進行曝光的掩模，代表性的可以以曝光區域、半曝光區域以及非曝光區域的三個步驟進行曝光。藉由使用多級灰度掩模，可以以進行一次的曝光及顯影的步驟形成具有多個（代表為兩種）厚度的抗蝕劑掩模。由此，藉由使用多級灰度掩模，可以減少光掩模的數量。

圖 5A 及圖 5B 是示出代表性的多級灰度掩模的截面圖。圖 5A 表示灰度掩模 140，圖 5B 表示半色調掩模 145。

圖 5A 所示的灰度掩模 140 由在具有透光性的基板 141 上使用遮光膜形成的遮光部 142、以及根據遮光膜的圖案設置的繞射光柵部 143 構成。

繞射光柵部 143 藉由具有以用於曝光的光的分辨極限以下的間隔設置的槽縫、點或網眼等，來控制光的透光量。此外，設置在繞射光柵部 143 的槽縫、點或網眼既可以

為週期性的，又可以為非週期性的。

作為具有透光性的基板 141 可以使用石英等形成。構成遮光部 142 及繞射光柵部 143 的遮光膜使用金屬膜形成即可，最好使用鉻或氧化鉻等設置。

在對灰度掩模 140 照射用於曝光的光的情況下，如圖 5A 所示，重疊於遮光部 142 的區域的透光率為 0%，不設置遮光部 142 及繞射光柵部 143 的區域的透光率為 100%。此外，根據繞射光柵的槽縫、點或網眼的間隔等繞射光柵部 143 的透光率可以被調整為大約 10%至 70%的範圍內。

圖 5B 所示的半色調掩模 145 由在具有透光性的基板 146 上使用半透光膜形成的半透光部 147、以及使用遮光部形成的遮光部 148 構成。

半透光部 147 可以使用 MoSiN 、 MoSi 、 MoSiO 、 MoSiON 、 CrSi 等的膜形成。遮光部 148 使用與灰度掩模的遮光部同樣的金屬膜形成即可，最好使用鉻或氧化鉻等。

在對半色調掩模 145 照射用於曝光的光的情況下，如圖 5B 所示，重疊於遮光部 148 的區域的透光率為 0%，不設置遮光部 148 及半透光部 147 的區域的透光率為 100%。此外，根據形成的材料的種類或形成的膜厚等半透光部 147 的透光率可以被調整為大約 10%至 70%的範圍內。

藉由使用多級灰度掩模進行曝光及顯影，可以形成具有膜厚度不同的區域的抗蝕劑掩膜。

接著，藉由使用抗蝕劑掩模 119，將非晶半導體層 112、添加有賦予一種導電型的雜質元素的雜質半導體層 114 以及導電層 116 蝕刻而分離。其結果，可以形成非晶半導體層 121、添加有賦予一種導電型的雜質元素的雜質半導體層 123 以及導電層 125（參照圖 3E 及圖 4E）。

接著，對抗蝕劑掩模 119 進行灰化處理。藉由對抗蝕劑掩模 119 進行灰化處理，抗蝕劑掩模的面積縮小，厚度減薄。在此，其膜厚度薄的區域的抗蝕劑（與閘極電極層 105 的一部分重疊的區域）被去除，如圖 3E 所示那樣，可以形成被分離的抗蝕劑掩模 127。

接著，藉由使用抗蝕劑掩模 127 對導電層 125 進行蝕刻而將其分離。其結果，可以形成佈線層 117a 及佈線層 117b。藉由使用抗蝕劑掩模 127 對導電層 125 進行濕蝕刻，選擇性地蝕刻導電層 125 的端部。其結果，可以形成比抗蝕劑掩模 127 面積小的佈線層 117a 及佈線層 117b。

在閘極電極層 105 和佈線層 117a 的交叉部（圖 2A 中的 C-D 截面的位置）中，除了第一絕緣層 107a 以外，還形成有第二絕緣層 107bc、微晶半導體層 109c、緩衝層 111c 以及非晶半導體層 121，以可以使閘極電極層 105 和佈線層 117a 之間的距離增大。由此，可以降低閘極電極層 105 和佈線層 117a 的交叉部的寄生電容。圖 4A 至 4E 表示閘極電極層 105 和佈線層 117a 的交叉部的製造程序。

接著，藉由使用抗蝕劑掩模 127，對添加有賦予一種

導電型的雜質元素的雜質半導體層 123 進行蝕刻，而形成一對雜質半導體層 115a 及雜質半導體層 115b。此外，在該蝕刻步驟中，也對非晶半導體層 121 的一部分進行蝕刻，而形成非晶半導體層 113。

在此，佈線層 117a 及佈線層 117b 的端部與雜質半導體層 115a 及雜質半導體層 115b 的端部不對準，並在佈線層 117a 及佈線層 117b 的端部的外側形成雜質半導體層 115a 及雜質半導體層 115b 的端部。然後，去除抗蝕劑掩模 127。

在去除抗蝕劑掩模 127 之後，進行 H_2O 電漿處理即可。在此，代表性地將被氣化的水藉由電漿放電而產生自由基，並對被照射面照射該自由基來可以進行 H_2O 電漿處理。藉由對非晶半導體層 113、一對雜質半導體層 115a 及雜質半導體層 115b 以及佈線層 117a 及佈線層 117b 進行 H_2O 電漿處理，可以實現薄膜電晶體的高速工作，並可以進一步提高導通電流。此外，可以降低截止電流。

藉由上述步驟，可以製造圖 1A 所示的薄膜電晶體。藉由如以上所說明那樣製造的薄膜電晶體為截止電流低，導通電流高，並能夠高速工作的薄膜電晶體。此外，可以製造將該薄膜電晶體用作像素電極的開關元件的元件基板。另外，在本實施例中，與一般的反交錯型薄膜電晶體的製造程序相比，由於將導電層及緩衝層蝕刻為所希望的形狀，所以使用的光掩模的數量增加一個。但是，由於作為用於將非晶半導體層、雜質半導體層以及佈線層蝕刻為所

希望的形狀的光掩模使用多級灰度掩模，所以整體而言，與不使用多級灰度掩模而製造的現有的薄膜電晶體的製造程序相比，不增加掩模的數量來可以形成薄膜電晶體。

實施例 3

在本實施例中，參照圖 6 至圖 8D 對圖 1B 所示的薄膜電晶體的製造程序進行說明。圖 7A 至 7D 示出圖 6 的 A-B 的截面圖，圖 8A 至 8D 示出 C-D 的截面圖。

首先，與實施例 2 同樣形成閘極電極層 105。接著，在閘極電極層 105 及基板 100 上形成第一絕緣層 107a。雖然在圖 7A 至 7D 中以單層形成第一絕緣層 107a，但是可以如實施例 1 所說明那樣層疊多個絕緣層。然後，與實施例 2 同樣在第一絕緣層 107a 上，按順序層疊彼此相離地設置的第二絕緣層 107ba 和第二絕緣層 107bb、彼此相離地設置的微晶半導體層 109a 及微晶半導體層 109b 以及彼此相離地設置的緩衝層 111a 及緩衝層 111b。接著，在緩衝層 110 上塗敷抗蝕劑。接著，藉由使用由光刻程序形成的抗蝕劑掩模，對微晶半導體層 108 及緩衝層 110 進行蝕刻，形成微晶半導體層 109a、微晶半導體層 109b、緩衝層 111a 及緩衝層 111b。

接著，形成非晶半導體層 112 及雜質半導體層 114（參照圖 7A）。

接著，在雜質半導體層 114 上塗敷抗蝕劑之後，藉由使用由光刻程序形成的抗蝕劑掩模，將雜質半導體層 114

及非晶半導體層 112 蝕刻為所希望的形狀，以在形成薄膜電晶體的區域中形成非晶半導體層 152a 及雜質半導體層 154a（參照圖 7B）。此外，在閘極佈線和源極電極佈線交叉的區域中，形成非晶半導體層 152b 及雜質半導體層 154b。然後，去除抗蝕劑掩模。此外，非晶半導體層 152a 覆蓋微晶半導體層 109a 及微晶半導體層 109b 的側面。

接著，形成導電層 116（參照圖 7C）。

接著，在導電層 116 上塗敷抗蝕劑之後，藉由使用由光刻程序形成的抗蝕劑掩模，將導電層 116 蝕刻為所希望的形狀，而形成佈線層 156a 及佈線層 156b（參照圖 7D）。

在閘極電極層 105 及佈線層 156b 的交叉部中，除了第一絕緣層 107a 以外，還形成有微晶半導體層 109c、緩衝層 111c 以及非晶半導體層 152b，以可以使閘極電極層 105 和佈線層 156b 之間的距離增大。由此，可以降低閘極電極層 105 和佈線層 156b 的交叉部的寄生電容。此外，圖 8A 至 8D 表示閘極電極層 105 及佈線層 156b 的交叉部的製造程序。

接著，使用抗蝕劑掩模對添加有賦予一種導電型的雜質元素的雜質半導體層 154a 進行蝕刻，而形成雜質半導體層 158a 及雜質半導體層 158b。此外，藉由進行該蝕刻步驟，非晶半導體層 152a 也被蝕刻，並形成由於其一部分被蝕刻而形成有凹部的非晶半導體層 160。像這樣，可以以同一個步驟形成源區及汲區、以及非晶半導體層 160

的凹部。然後，去除抗蝕劑掩模。

此外，在抗蝕劑掩模的去除之後，進行 H_2O 電漿處理即可。代表性地將被氣化的水藉由電漿放電而產生自由基，並對被照射面照射該自由基來可以進行 H_2O 電漿處理。藉由對非晶半導體層 160、雜質半導體層 158a 及雜質半導體層 158b 以及佈線層 156a 及佈線層 156b 進行 H_2O 電漿處理，可以實現薄膜電晶體的高速工作，並可以進一步提高導通電流。此外，可以降低截止電流。

藉由上述步驟，可以製造薄膜電晶體。

如上所示，可以製造截止電流低，導通電流高，並能夠高速工作的薄膜電晶體。此外，可以製造將該薄膜電晶體用作像素電極的開關元件的元件基板。另外，在整個製造程序中使用的掩模的數量與實施例 2 相同。

範例

在本範例中，說明實施例 1 所說明的薄膜電晶體的 I-V 特性的測定結果。

在本實施例中，使用玻璃基板。作為閘極電極層，藉由使用濺射法形成大約 150nm 的鉬層，藉由分別使用 CVD 法，作為第一絕緣層形成大約 300nm 的氮化矽層，以及作為第二絕緣層形成大約 10nm 的氧氮化矽層。作為微晶半導體層藉由使用 CVD 法形成大約 20nm 的微晶矽層。作為緩衝層藉由使用 CVD 法形成大約 20nm 的非晶矽層。作為非晶半導體層藉由使用 CVD 法形成大約 70nm 的非

晶矽層。作為雜質半導體層藉由使用 CVD 法形成大約 50nm 的包含磷的非晶矽層。作為佈線層藉由使用濺射法形成大約 300nm 的鉬層。在佈線層上藉由使用 CVD 法形成大約 300nm 的氮化矽層作為保護層。

此外，在上述層的形成中，濺射法在處理室內的壓力為 0.3Pa 的氬氣分中進行。另外，在 CVD 法中，溫度為大約 280℃。

以矽烷氣體的流量為大約 10sccm，使用氫被稀釋為大約 20 倍的磷化氫的流量為大約 30sccm，氫的流量為大約 1500sccm 的條件形成微晶半導體層。

首先，將基板暴露到氬氣氛中 60 秒，然後以矽烷的流量為 10sccm，氫的流量為 1500sccm 的條件沉積薄膜，然後以矽烷的流量為 280sccm，氫的流量為 300sccm 的條件沉積薄膜，進而形成非晶半導體層。

圖 9 示出汲極電極電壓（源極電極和汲極電極之間的電位差）為 1V 時的閘極電壓（橫軸）和汲極電極電壓（縱軸），並示出此時的遷移率。

如圖 9 所示那樣，根據本發明的方式的薄膜電晶體是導通電流高，截止電流低，並且遷移率高的具有優良的開關特性的薄膜電晶體。

本說明書根據 2008 年 3 月 18 日在日本專利局申請的日本專利申請編號 2008-070451 而製作，所述申請內容包括在本說明書中。

【圖式簡單說明】

在附圖中：

圖 1A 和 1B 是說明薄膜電晶體的圖；

圖 2 是說明薄膜電晶體的製造方法的圖；

圖 3A 至 3E 是說明薄膜電晶體的製造方法的圖；

圖 4A 至 4E 是說明薄膜電晶體的製造方法的圖；

圖 5A 和 5B 是說明薄膜電晶體的製造方法的圖；

圖 6 是說明薄膜電晶體的製造方法的圖；

圖 7A 至 7D 是說明薄膜電晶體的製造方法的圖；

圖 8A 至 8D 是說明薄膜電晶體的製造方法的圖；

圖 9 是示出薄膜電晶體的電特性的測定結果的圖；

圖 10A 和 10B 是示出用於薄膜電晶體的微晶半導體層的拉曼光譜的圖；

圖 11A 和 11B 是示出用於薄膜電晶體的微晶半導體層的截面 TEM 圖像的圖；

圖 12A 和 12B 是示出用於薄膜電晶體的微晶半導體層的平面 TEM 圖像的圖。

【主要元件符號說明】

100：基板

101：第一薄膜電晶體

102：第二薄膜電晶體

103：第三薄膜電晶體

104：導電層

- 105：閘極電極層
- 107a：第一絕緣層
- 107b：第二絕緣層
- 107ba：第二絕緣層
- 107bb：第二絕緣層
- 107bc：第二絕緣層
- 108：微晶半導體層
- 109a：微晶半導體層
- 109b：微晶半導體層
- 109c：微晶半導體層
- 110：緩衝層
- 111a：緩衝層
- 111b：緩衝層
- 111c：緩衝層
- 112：非晶半導體層
- 113：非晶半導體層
- 114：雜質半導體層
- 115a：雜質半導體層
- 115b：雜質半導體層
- 116：導電層
- 117a：佈線層
- 117b：佈線層
- 119：抗蝕劑掩模
- 121：非晶半導體層

- 123 : 雜質半導體層
- 125 : 導電層
- 127 : 抗蝕劑掩模
- 140 : 灰度掩模
- 141 : 基板
- 142 : 遮光部
- 143 : 繞射光柵部
- 145 : 半色調掩模
- 146 : 基板
- 147 : 半透光部
- 148 : 遮光部
- 152a : 非晶半導體層
- 152b : 非晶半導體層
- 154a : 雜質半導體層
- 154b : 雜質半導體層
- 156a : 佈線層
- 156b : 佈線層
- 158a : 雜質半導體層
- 158b : 雜質半導體層
- 160 : 非晶半導體層
- 170a : 光譜
- 170b : 光譜
- 171a : 光譜
- 171b : 光譜

照个)

107-10-22 2 正管组

空白頁

七、申請專利範圍：

1. 一種薄膜電晶體，包括：

閘極電極層；

該閘極電極層上的第一絕緣層；

該第一絕緣層上的一對第二絕緣層，其中該一對第二絕緣層與該閘極電極層的至少一部分重疊，並在通道長度方向上彼此相離地設置該一對第二絕緣層；

該一對第二絕緣層上的一對微晶半導體層，其中該一對微晶半導體層接觸於該一對第二絕緣層，並彼此相離地設置該一對微晶半導體層；

該第一絕緣層、該一對第二絕緣層及該一對微晶半導體層上的非晶半導體層，其中在該一對微晶半導體層之間設置該非晶半導體層的一部分；以及

該非晶半導體層上的一對雜質半導體層，其中該一對雜質半導體層與該閘極電極層的至少一部分重疊，並彼此相離地設置該一對雜質半導體層，以便形成源區及汲區，

其中，該第一絕緣層為氮化矽層，

並且，該一對第二絕緣層各為氧氮化矽層。

2. 一種薄膜電晶體，包括：

閘極電極層；

該閘極電極層上的第一絕緣層；

於該第一絕緣層上並接觸於該第一絕緣層的至少一部分的非晶半導體層；

該非晶半導體層上的一對雜質半導體層，其中彼此相

離地設置該一對雜質半導體層，以便形成源區及汲區；

該第一絕緣層和該非晶半導體層之間的一對第二絕緣層，其中彼此相離地設置該一對第二絕緣層；以及

於該一對第二絕緣層上並接觸於該一對第二絕緣層的一對微晶半導體層，其中該一對微晶半導體層與該一對雜質半導體層的至少一部分重疊，並彼此相離地設置該一對微晶半導體層，

其中，該第一絕緣層為氮化矽層，

並且，該一對第二絕緣層各為氧氮化矽層。

3. 一種薄膜電晶體，包括：

閘極電極層；

該閘極電極層上的第一絕緣層；

該第一絕緣層上的一對第二絕緣層；

於該一對第二絕緣層上並接觸於該一對第二絕緣層的一對微晶半導體層；

該一對微晶半導體層上的非晶半導體層；以及

該非晶半導體層上的源區及汲區，

其中，在該一對微晶半導體層之間設置該非晶半導體層的一部分，以及

其中，該第一絕緣層為氮化矽層，該一對第二絕緣層各為氧氮化矽層。

4. 根據申請專利範圍第 1 至 3 項中任一項之薄膜電晶體，其中與該第二絕緣層重疊的該第一絕緣層的第一部分厚於不與該第二絕緣層重疊而與該閘極電極層重疊的該

第一絕緣層的第二部分。

5. 根據申請專利範圍第 1 至 3 項中任一項之薄膜電晶體，其中該一對微晶半導體層的側面與該一對第二絕緣層的側面對準。

6. 根據申請專利範圍第 1 至 3 項中任一項之薄膜電晶體，其中該一對微晶半導體層的導電率為 $1 \times 10^{-5} \text{ S} \cdot \text{cm}^{-1}$ 以上且 $5 \times 10^{-2} \text{ S} \cdot \text{cm}^{-1}$ 以下。

7. 根據申請專利範圍第 1 至 3 項中任一項之薄膜電晶體，其中該一對微晶半導體層包含成為供體的雜質元素。

8. 根據申請專利範圍第 7 項之薄膜電晶體，其中該一對微晶半導體層中的該雜質元素的濃度為 $1 \times 10^{18} \text{ cm}^{-3}$ 以上且 $1 \times 10^{21} \text{ cm}^{-3}$ 以下。

9. 根據申請專利範圍第 1 至 3 項中任一項之薄膜電晶體，其中該非晶半導體層為非晶矽層。

10. 根據申請專利範圍第 1 至 3 項中任一項之薄膜電晶體，其中該一對微晶半導體層包含磷和矽。

11. 一種薄膜電晶體，包括：

閘極電極；

該閘極電極上的第一絕緣層；

設置於該第一絕緣層上的第二絕緣層及第三絕緣層；

該第二絕緣層上的第一微晶半導體層；

該第三絕緣層上的第二微晶半導體層；

該第一絕緣層上的非晶半導體層，其中該非晶半導體

層的至少一部分設置於該第一微晶半導體層與該第二微晶半導體層之間並接觸於該第一微晶半導體層與該第二微晶半導體層；

其中，該第一絕緣層的成分不同於該第二絕緣層的成分與該第三絕緣層的成分。

12. 一種薄膜電晶體，包括：

閘極電極；

該閘極電極上的第一絕緣層；

設置於該第一絕緣層上的第二絕緣層及第三絕緣層；

該第二絕緣層上的第一微晶半導體層；

該第三絕緣層上的第二微晶半導體層；

該第一絕緣層上的非晶半導體層，其中該非晶半導體層的至少一部分設置於該第一微晶半導體層與該第二微晶半導體層之間並接觸於該第一微晶半導體層與該第二微晶半導體層；

其中，該第一絕緣層的成分不同於該第二絕緣層的成分與該第三絕緣層的成分；並且

其中，該第一微晶半導體層的全部及該第二微晶半導體層的全部與該閘極電極重疊。

13. 一種薄膜電晶體，包括：

閘極電極；

該閘極電極上的第一絕緣層；

設置於該第一絕緣層上的第二絕緣層及第三絕緣層；

該第二絕緣層上的第一微晶半導體層；

該第三絕緣層上的第二微晶半導體層；

該第一絕緣層上的非晶半導體層，其中該非晶半導體層的至少一部分設置於該第一微晶半導體層與該第二微晶半導體層之間並接觸於該第一微晶半導體層與該第二微晶半導體層；

其中，該第一絕緣層的成分不同於該第二絕緣層的成分與該第三絕緣層的成分；並且

其中，該第一微晶半導體層與該第二微晶半導體層各包含成為供體的雜質元素。

14. 根據申請專利範圍第 11、12 及 13 項中任一項之薄膜電晶體，其中該第一絕緣層包含氮化矽。

15. 根據申請專利範圍第 11、12 及 13 項中任一項之薄膜電晶體，

其中，該第一絕緣層包含氮化矽，並且

其中，該第二絕緣層及該第三絕緣層各包含氧氮化矽。

16. 根據申請專利範圍第 11、12 及 13 項中任一項之薄膜電晶體，其中該第一絕緣層的氮濃度高於該第二絕緣層的氮濃度且高於該第三絕緣層的氮濃度。

17. 根據申請專利範圍第 11、12 及 13 項中任一項之薄膜電晶體，其中與該第二絕緣層及該第三絕緣層重疊的該第一絕緣層的第一部分厚於不與該第二絕緣層及該第三絕緣層重疊的該第一絕緣層的第二部分。

18. 根據申請專利範圍第 11、12 及 13 項中任一項之

薄膜電晶體，其中該第一微晶半導體層的側面與該第二絕緣層的側面對準。

19. 根據申請專利範圍第 11、12 及 13 項中任一項之薄膜電晶體，其中該非晶半導體層包含非晶矽。

20. 根據申請專利範圍第 11、12 及 13 項中任一項之薄膜電晶體，其中該第一微晶半導體層與該第二微晶半導體層各包含磷和矽。

圖 1A

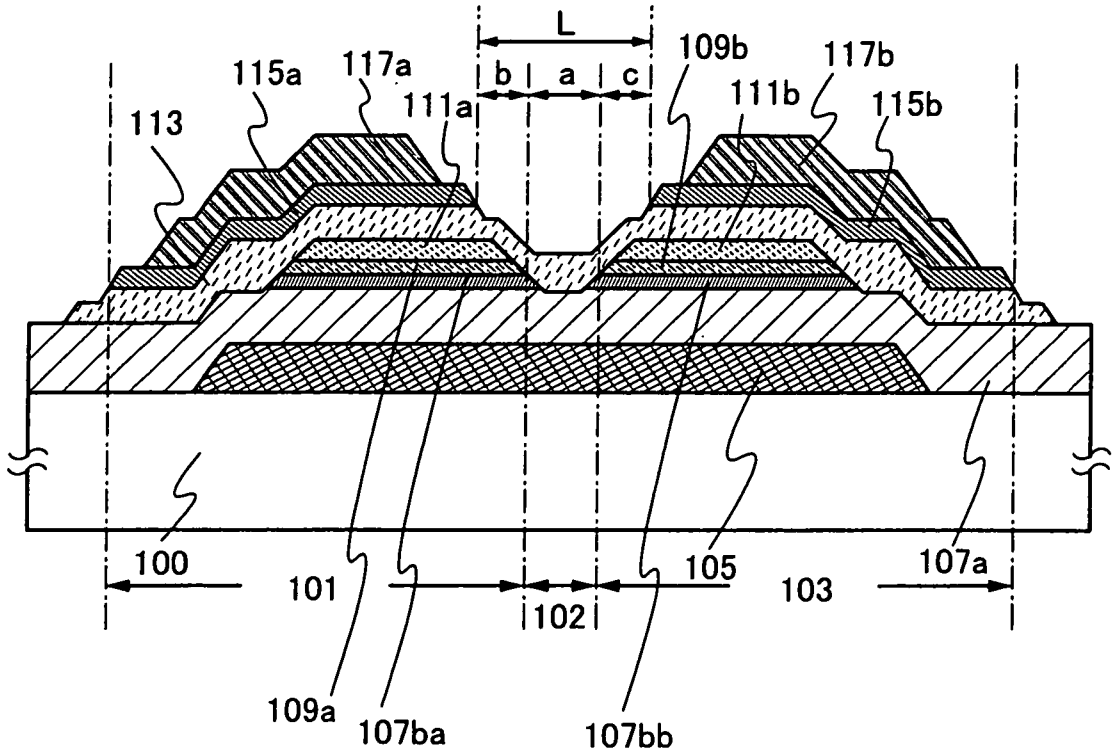


圖 1B

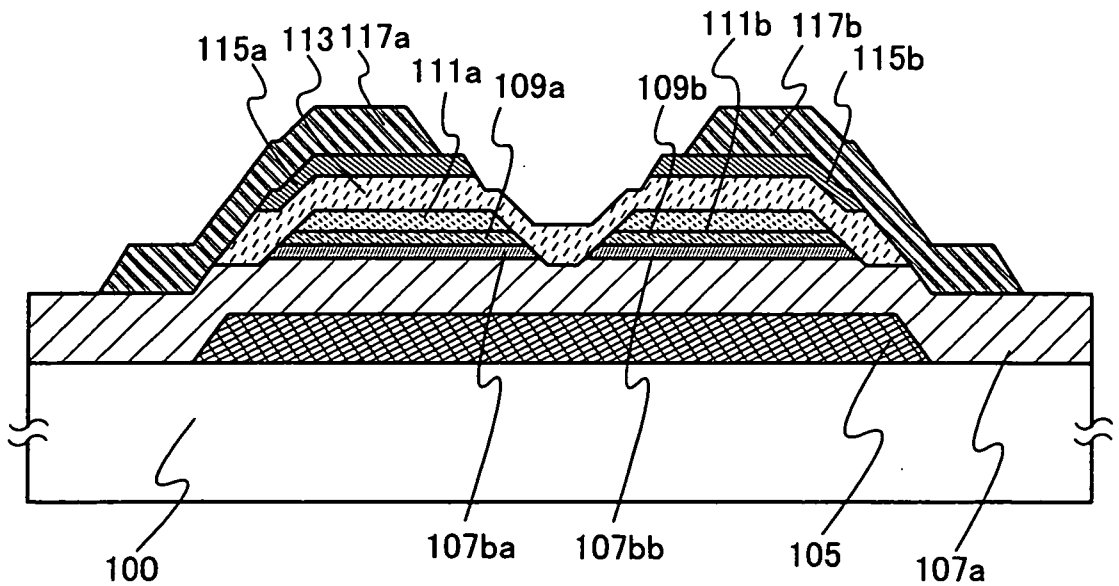


圖 2

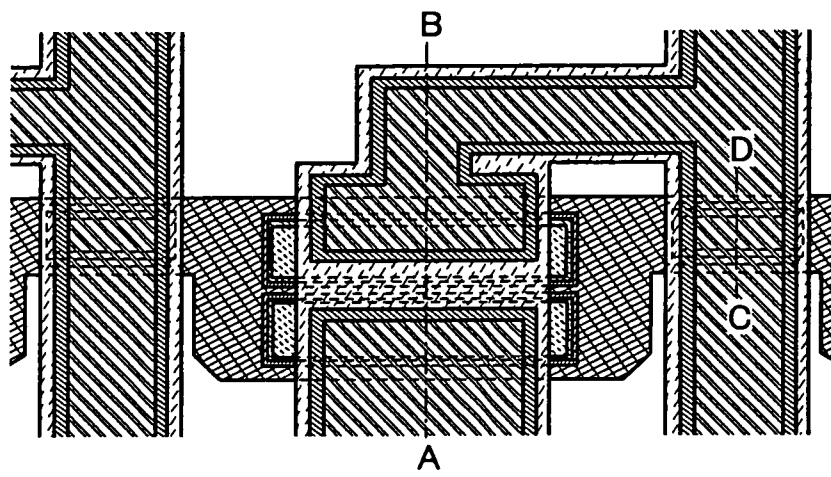


圖 3A

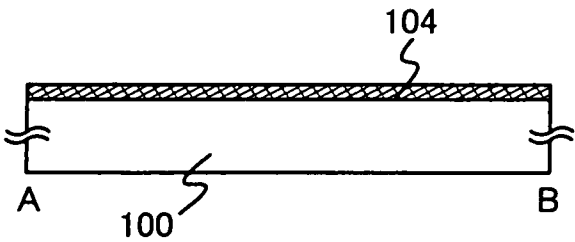


圖 3B

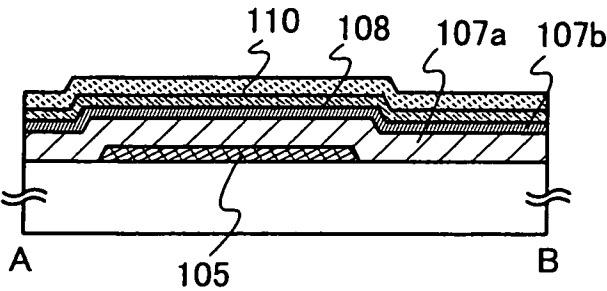


圖 3C

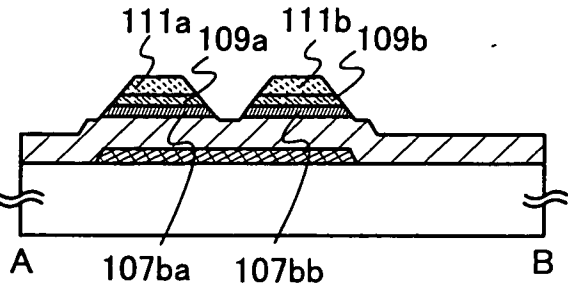


圖 3D

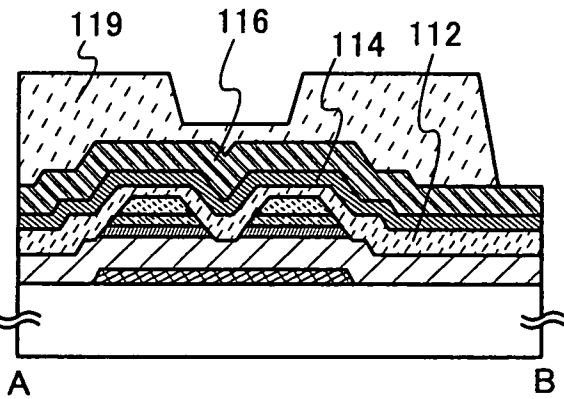


圖 3E

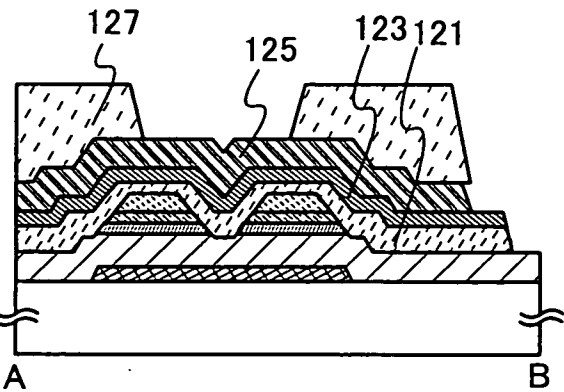


圖 4A

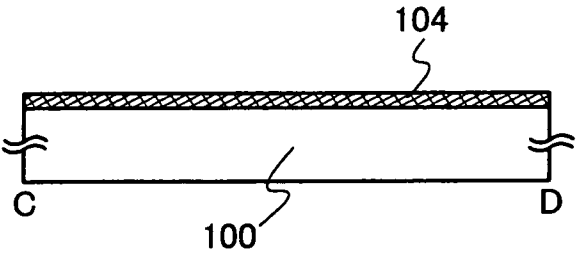


圖 4B

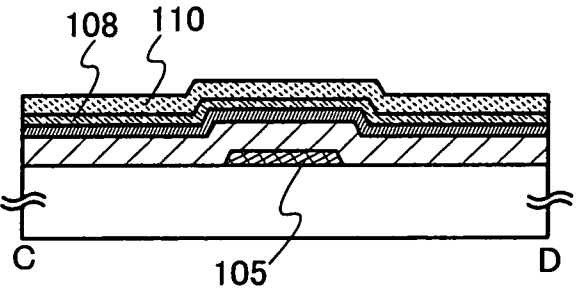


圖 4C

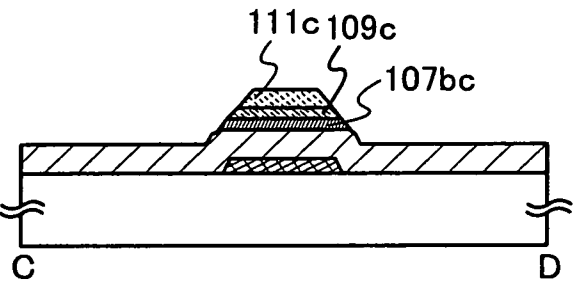


圖 4D

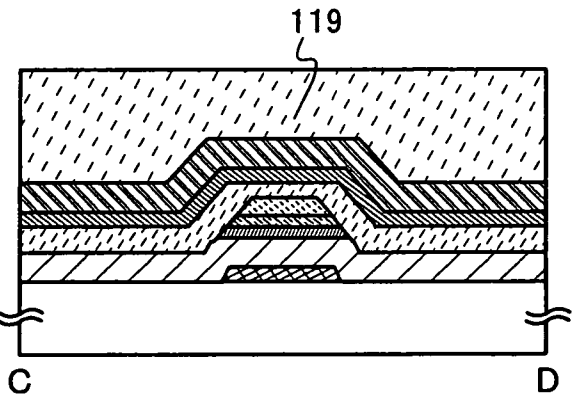


圖 4E

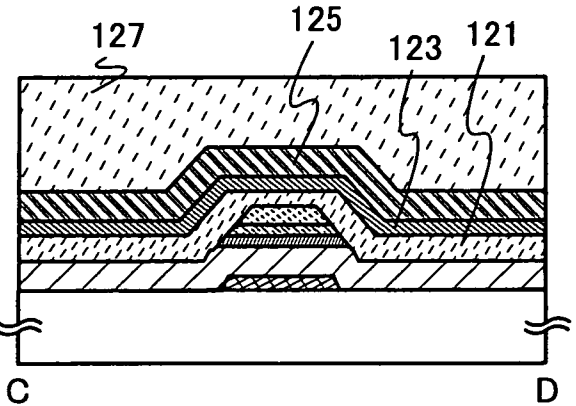


圖 5A

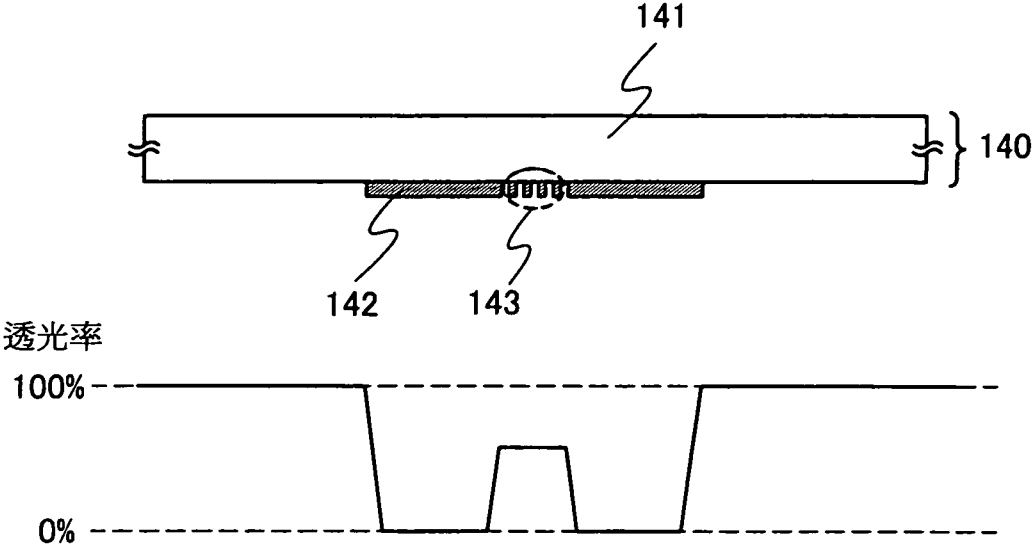


圖 5B

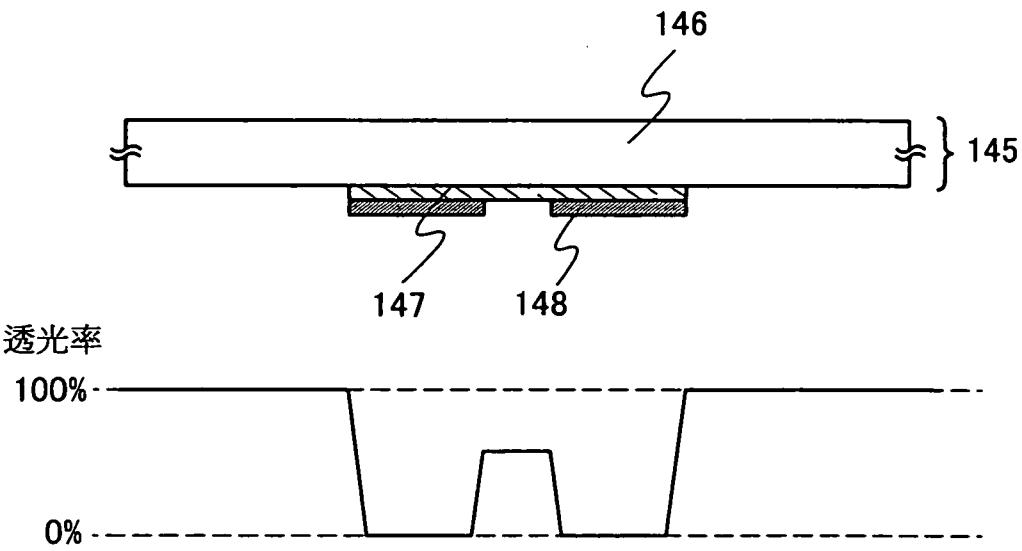


圖 6

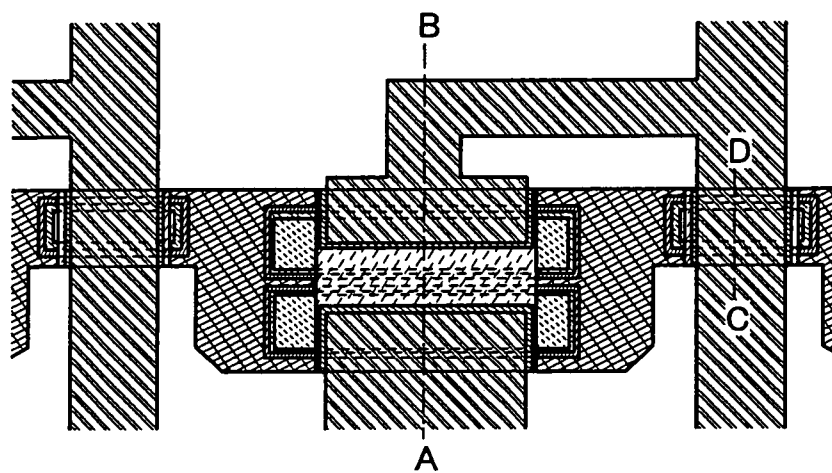


圖 7A

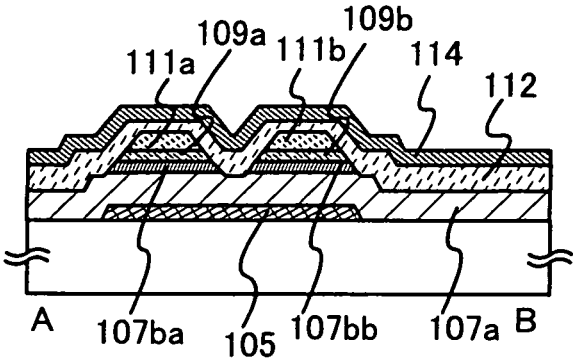


圖 7B

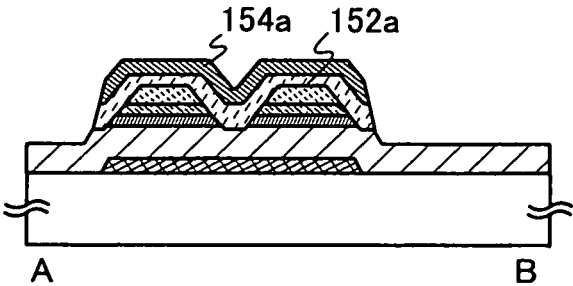


圖 7C

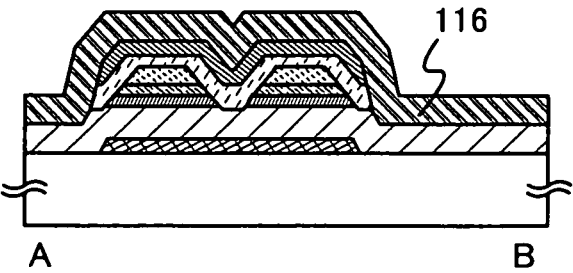


圖 7D

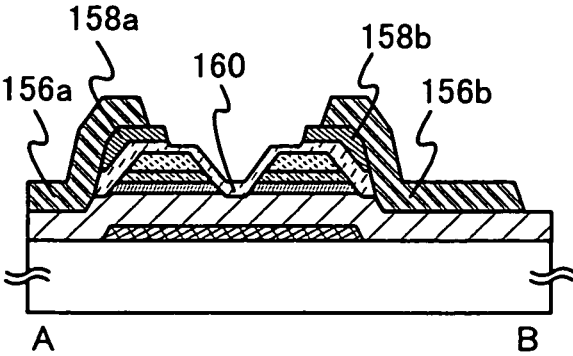


圖 8A

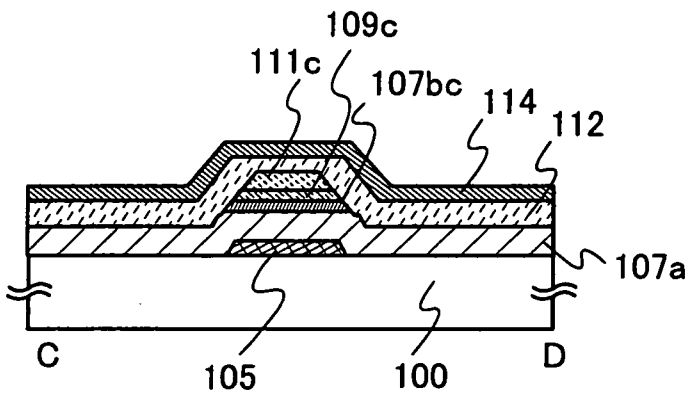


圖 8B

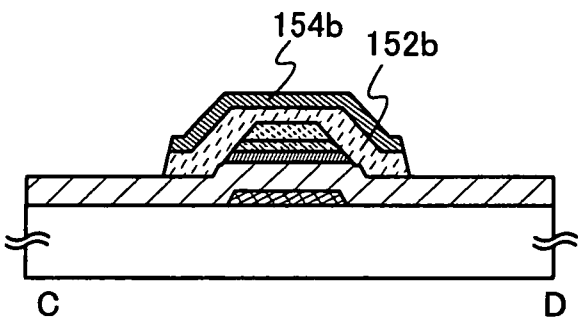


圖 8C

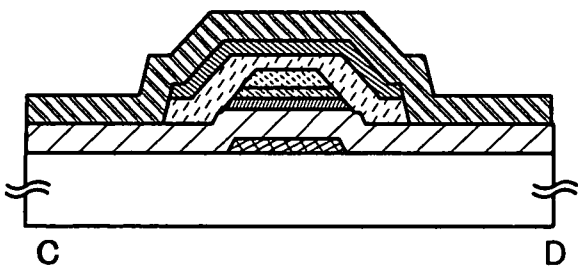


圖 8D

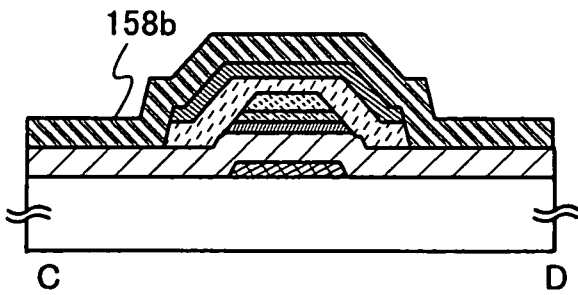


圖 9

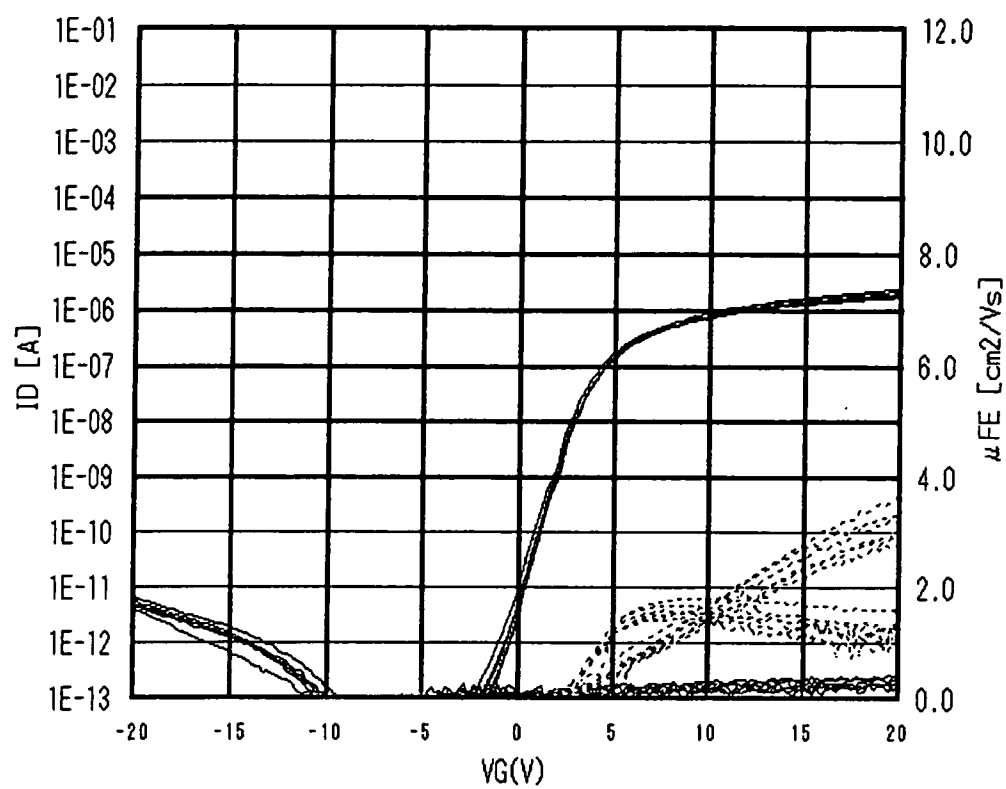


圖 10A

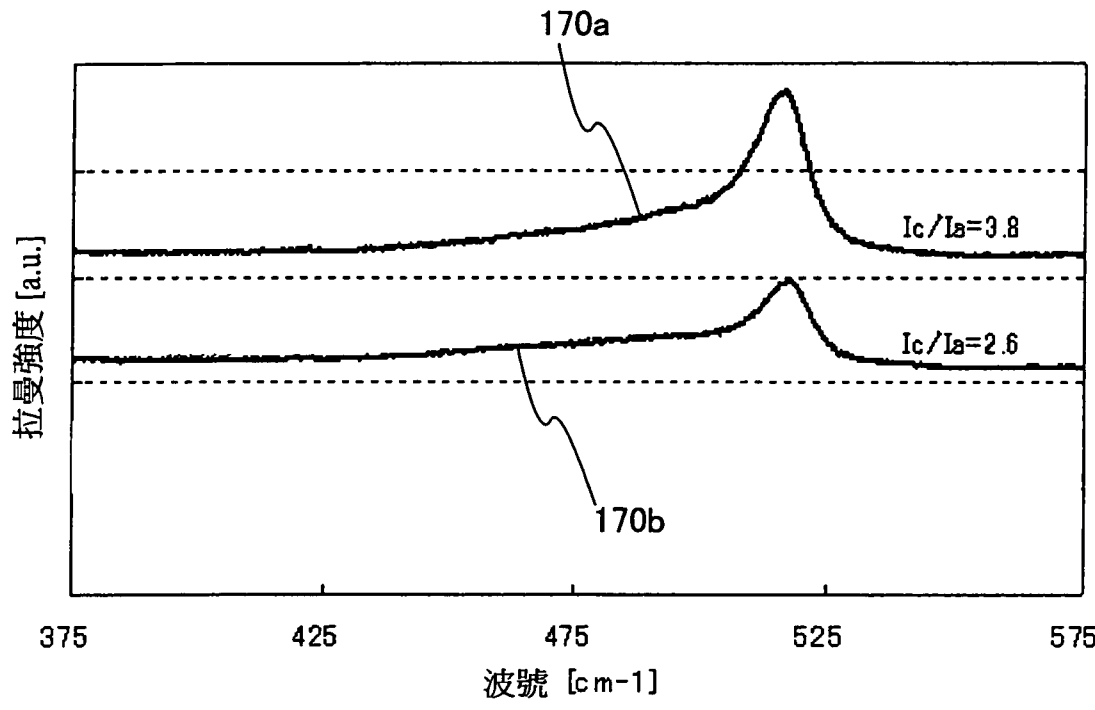


圖 10B

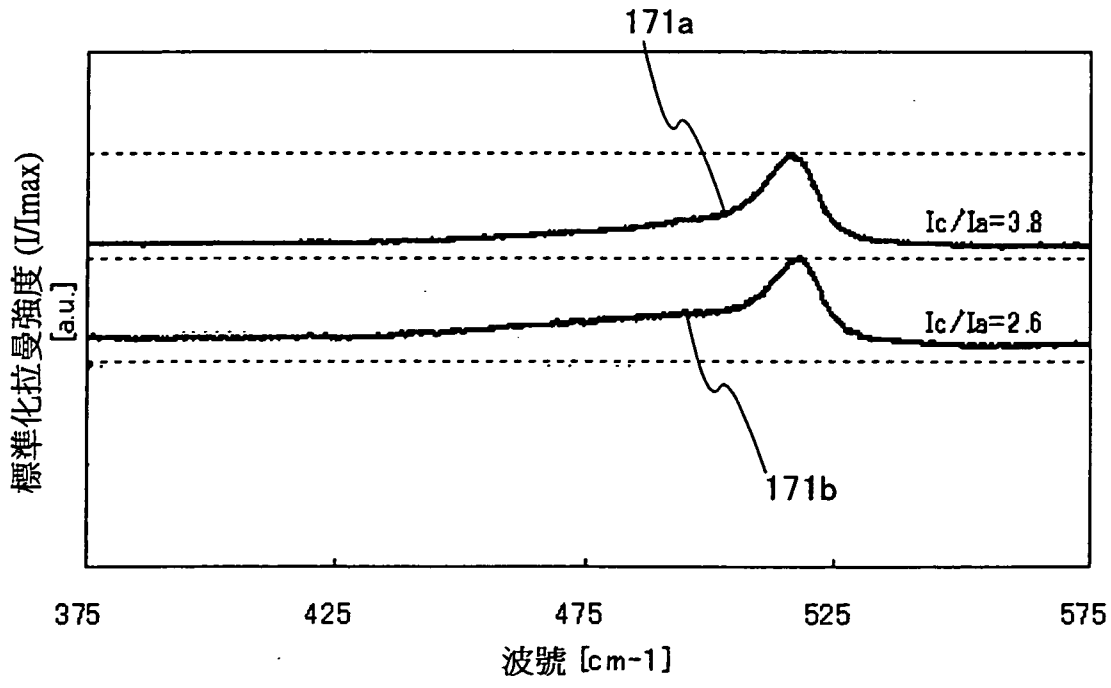


圖 11A

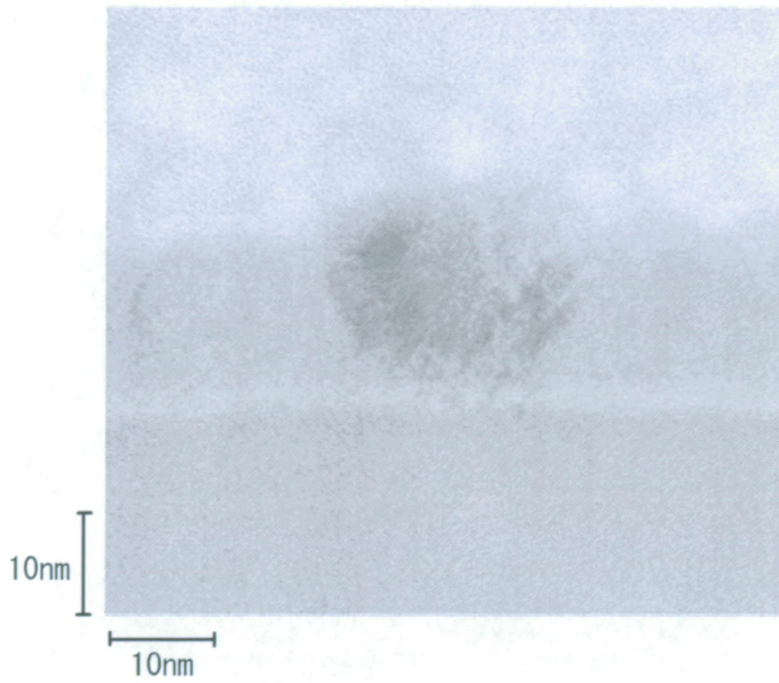


圖 11B

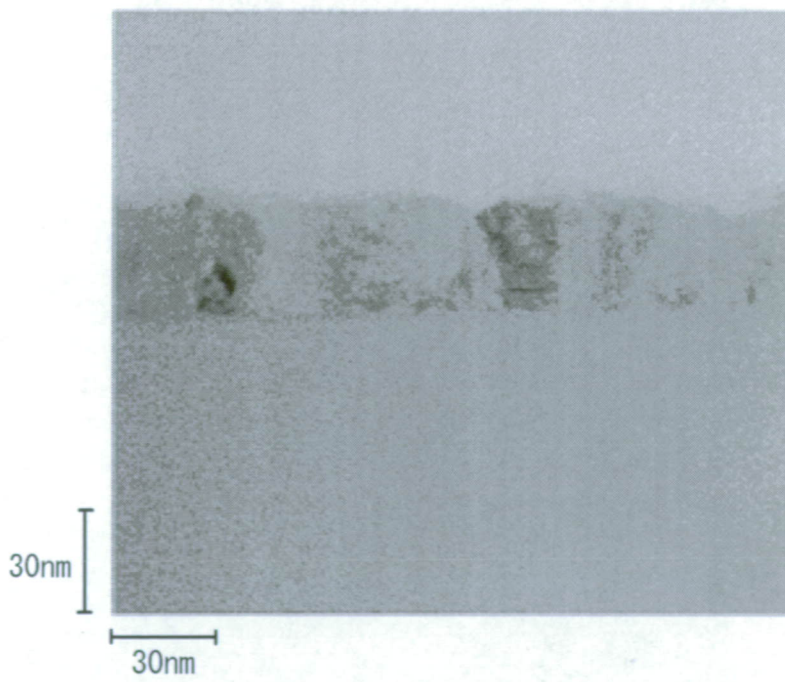


圖 12A

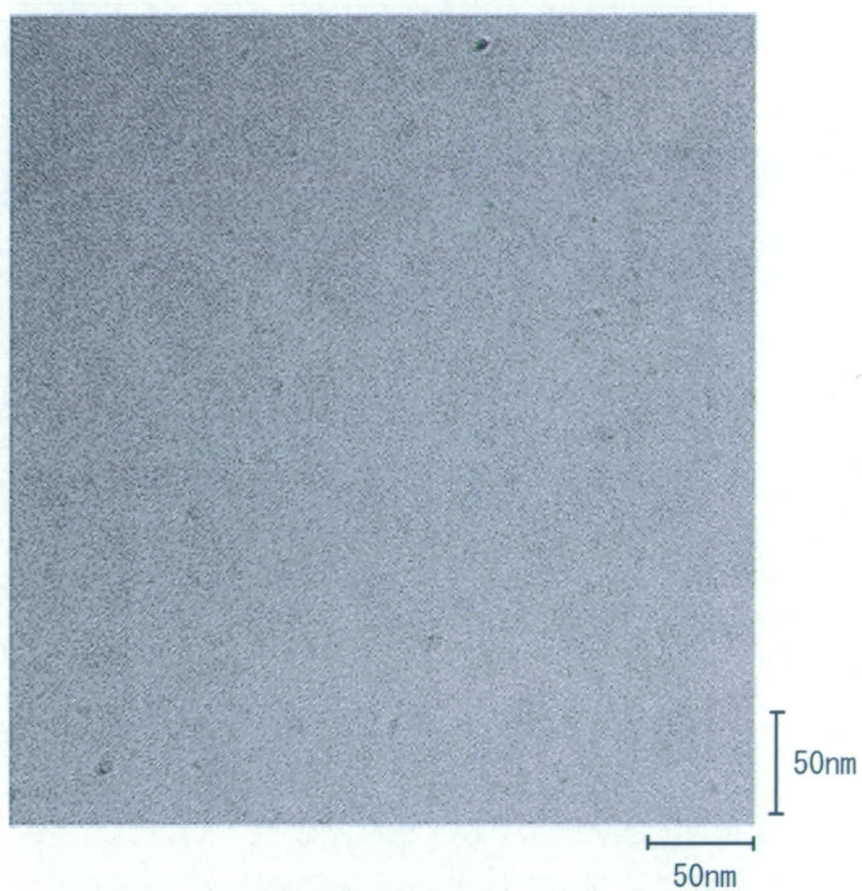


圖 12B

