

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4578251号
(P4578251)

(45) 発行日 平成22年11月10日(2010.11.10)

(24) 登録日 平成22年9月3日(2010.9.3)

(51) Int.Cl.

F I

HO 1 L 29/84 (2006.01)
 GO 1 L 9/00 (2006.01)
 GO 1 L 27/00 (2006.01)
 GO 1 P 9/04 (2006.01)
 GO 1 P 15/08 (2006.01)

HO 1 L 29/84 Z
 HO 1 L 29/84 A
 GO 1 L 9/00 3 O 1 G
 GO 1 L 27/00
 GO 1 P 9/04

請求項の数 8 (全 15 頁) 最終頁に続く

(21) 出願番号 特願2005-11850 (P2005-11850)
 (22) 出願日 平成17年1月19日(2005.1.19)
 (65) 公開番号 特開2006-202909 (P2006-202909A)
 (43) 公開日 平成18年8月3日(2006.8.3)
 審査請求日 平成19年10月31日(2007.10.31)

(73) 特許権者 000219967
 東京エレクトロン株式会社
 東京都港区赤坂五丁目3番1号
 (74) 代理人 100064746
 弁理士 深見 久郎
 (74) 代理人 100085132
 弁理士 森田 俊雄
 (74) 代理人 100083703
 弁理士 仲村 義平
 (74) 代理人 100096781
 弁理士 堀井 豊
 (74) 代理人 100098316
 弁理士 野田 久登
 (74) 代理人 100109162
 弁理士 酒井 将行

最終頁に続く

(54) 【発明の名称】 微小構造体を有する半導体装置および微小構造体の製造方法

(57) 【特許請求の範囲】

【請求項 1】

第1基板に複数個形成され、各々、貫通孔が設けられた可動部を有する微小構造体を含むチップ毎に第2基板とともにダイシングされたセンサチップと、

前記ダイシングの前において、パッケージの際の前記センサチップの台座として用いられる前記第2基板と前記第1基板とを接着するための第1の接着層と、

前記センサチップと、前記センサチップの台座とを収納するためのハウジングと、

前記ハウジングに収納するために、前記センサチップの台座と前記ハウジングとを接着するための第2の接着層とを備え、

前記第1基板は、前記ダイシングの前において、前記第1基板に複数個形成された複数のセンサチップの各々の可動部の動きにより出力される電気的特性を評価するテストを実行する検査部に搬送する際に、前記第2基板に対して真空吸着が可能なように貫通孔が設けられていない前記第2基板と前記第1の接着層を用いて接着される、微小構造体を有する半導体装置。

【請求項 2】

前記第2の接着層は、各前記センサチップの台座と前記ハウジングとの接着面積が各前記センサチップの台座の面積よりも小さくなるように形成される、請求項1記載の微小構造体を有する半導体装置。

【請求項 3】

前記第1の接着層は、前記第2基板上の領域において、前記第1基板の各前記センサチ

10

20

ップの前記可動部を形成する領域に対向する領域を除く領域に形成される、請求項 1 記載の微小構造体を有する半導体装置。

【請求項 4】

前記第 1 および第 2 基板は、シリコン基板に相当する、請求項 1 記載の微小構造体を有する半導体装置。

【請求項 5】

各前記センサチップは、加速度センサ、圧力センサおよびマイクロフォンの少なくとも 1 つに相当する、請求項 1 記載の微小構造体を有する半導体装置。

【請求項 6】

第 1 基板に各々が、貫通孔が設けられた可動部を有する微小構造体を含む複数のセンサチップを形成するステップと、

前記第 1 基板と、パッケージの際に各前記センサチップの台座として用いられる貫通孔が設けられていない第 2 基板とを第 1 の接着層を用いて接着するステップと、

前記第 2 基板に対して真空吸着して検査部に搬送するステップと、

前記検査部において、前記第 1 基板と前記第 2 基板とが接着された状態で、前記複数のセンサチップの各々の可動部の動きにより出力される電気的特性を評価するテストを実行するステップと、

接着された前記第 1 および第 2 基板をダイシングにより各々のセンサチップに分離するステップと、

ダイシング後の前記パッケージの際に、前記第 1 および第 2 基板の各前記センサチップおよび各前記センサチップの台座を収納するハウジングに収納するために、各前記センサチップの台座と前記ハウジングとを第 2 の接着層を用いて接着するステップとを備える、微小構造体の製造方法。

【請求項 7】

前記第 1 の接着層は、前記第 2 基板上の領域において、前記第 1 基板の各前記センサチップの前記可動部を形成する領域に対向する領域を除く領域に形成される、請求項 6 記載の微小構造体の製造方法。

【請求項 8】

前記第 2 の接着層は、各前記センサチップの台座と前記ハウジングとの接着面積が各前記センサチップの台座の面積よりも小さくなるように形成される、請求項 6 記載の微小構造体の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、微小構造体たとえば M E M S (Micro Electro Mechanical Systems) を有する半導体装置および微小構造体の製造方法に関する。

【背景技術】

【0002】

近年、特に半導体微細加工技術等を用いて、機械・電子・光・化学等の多様な機能を集積化したデバイスである M E M S が注目されている。これまでに実用化された M E M S 技術としては、たとえば自動車・医療用の各種センサとして、マイクロセンサである加速度センサや圧力センサ、エアフローセンサ等に M E M S デバイスが搭載されてきている。また、インクジェットプリンタヘッドにこの M E M S 技術を採用することにより、インクを噴射するノズル数の増加と正確なインクの噴射が可能となり、画質の向上と印刷スピードの高速化を図ることが可能となっている。さらには、反射型のプロジェクタにおいて用いられているマイクロミラーアレイ等も一般的な M E M S デバイスとして知られている。

【0003】

また、今後 M E M S 技術を利用したさまざまなセンサやアクチュエータが開発されることにより光通信・モバイル機器への応用、計算機の周辺機器への応用、さらにはバイオ分析や携帯用電源への応用へと展開することが期待されている。技術調査レポート第 3 号 (

10

20

30

40

50

経済産業省産業技術環境局技術調査室 製造産業局産業機械課 発行 平成15年3月28日)には、MEMSに関する技術の現状と課題という議題で種々のMEMS技術が紹介されている。

【0004】

一方で、MEMSデバイスの発展に伴い、微細な構造等を適正に検査するテストも重要となってくる。

【0005】

従来においては、パッケージ後にデバイスを回転することや、あるいは振動等の手段を用いてその特性の評価を実行してきたが微細加工技術後のウェハ状態等の初期段階において適正な検査を実行して不良を検出することにより歩留りを向上させ製造コストをより低減することが可能となる。

【非特許文献1】技術調査レポート第3号(経済産業省産業技術環境局技術調査室 製造産業局産業機械課 発行 平成15年3月28日)

【発明の開示】

【発明が解決しようとする課題】

【0006】

図16は、ウェハ上に形成された複数のMEMSチップをダイシング工程によりカットし、パッケージする場合を説明する図である。

【0007】

図16に示されるように、ウェハ100は、ダイシングブレード101によりダイシングされる。具体的には、チップCP毎に分離されるようにダイシングブレードによりカットされる。カットされたチップCPは、次にアセンブリ工程において、ハウジング部材110とチップCPとが接着層120を用いて接着される。そして、ワイヤWRを用いてチップCP上に設けられたパッド(図示せず)とワイヤボンディングされることとなる。

【0008】

しかしながら、図16に示されるようにハウジング部材110とチップCPとが接着層120を介して直接接着されるような場合においては、このアセンブリ工程の影響等(応力等)を直接ハウジング部材110から受けることになる。これにより、MEMSチップCPの特性がウェハ状態の際の特性と変化するという問題がある。

【0009】

したがって、ウェハ状態で良品と判定されたものが、アセンブリ行程後のいわゆるパッケージテスト等において不良品と判定される場合がある。

【0010】

本発明は、上記の問題を解決するためになされたものであって、ウェハ状態での特性がアセンブリ行程により変化することを抑制する微小構造体を有する半導体装置および微小構造体の製造方法を提供することを目的とする。

【課題を解決するための手段】

【0011】

本発明に係る微小構造体を有する半導体装置は、各々が、可動部を有する微小構造体を含む複数のセンサチップが形成された第1ウェハと、第1ウェハと接着され、ダイシング後のパッケージの際に各センサチップの台座として用いられる第2ウェハとを備える。

【0012】

好ましくは、第1ウェハと第2のウェハとの間において、第1ウェハと第2ウェハとを接着するための接着層が設けられ、接着層は、第2ウェハ上の領域において、第1ウェハの各センサチップの可動部を形成する領域に対向する領域を除く領域に形成される。

【0013】

好ましくは、ダイシング後のパッケージの際に、第1および第2ウェハの各センサチップおよび各センサチップの台座を収納するためのハウジングと、ハウジングに収納するために、各センサチップの台座とハウジングとを接着するための接着層とを備える。接着層

10

20

30

40

50

は、各センサチップの台座とハウジングとの接着面積が各センサチップの台座の面積よりも小さくなるように形成される。

【0014】

好ましくは、第1および第2ウェハは、シリコンウェハに相当する。

【0015】

好ましくは、各センサチップは、加速度センサ、圧力センサおよびマイクロフォンの少なくとも1つに相当する。

【0016】

好ましくは、複数のセンサチップの特性を評価するウェハテストは、第1ウェハと第2ウェハとが接着された状態で行なわれる。

10

【0017】

特に、第1および第2ウェハは、搬送手段によりウェハテストを実行するテストに搬送される。搬送手段は、第2ウェハに対して真空吸着を実行する。

【0018】

本発明に係る微小構造体の製造方法は、第1のウェハに複数のセンサチップを形成するステップと、第1のウェハと、パッケージの際に各センサチップの台座として用いられる第2のウェハとを第1の接着層を用いて接着するステップと、接着された第1および第2の半導体基板とをダイシングにより各々のセンサチップに分離するステップとを備える。

【0019】

好ましくは、ダイシング後のパッケージの際に、第1および第2ウェハの各センサチップおよび各センサチップの台座を収納するハウジングに収納するために、各センサチップの台座とハウジングとを第2の接着層を用いて接着するステップとをさらに備える。

20

【0020】

特に、第2の接着層は、各センサチップの台座とハウジングとの接着面積が各センサチップの台座の面積よりも小さくなるように形成される。

【0021】

好ましくは、第1の接着層は、第2ウェハ上の領域において、第1ウェハの各センサチップの可動部を形成する領域に対向する領域を除く領域に形成される。

【0022】

好ましくは、第1ウェハと第2ウェハとが接着された状態で、複数のセンサチップの特性を評価するウェハテストを実行するステップをさらに備える。

30

【0023】

特に、ウェハテストを実行するステップは、第2ウェハに対して真空吸着を実行してテストに対して搬送するステップを含む。

【発明の効果】

【0024】

本発明に係る微小構造体を有する半導体装置および微小構造体を製造する方法は、各々が、可動部を有する微小構造体を含む複数のセンサチップが形成された第1ウェハと、ダイシング後のパッケージの際に各センサチップの台座として用いられる第2ウェハとを接着する。これにより、パッケージの際に生じる応力等を台座で吸収することができ、ウェハ状態の特性を変化させることなくパッケージすることができる。

40

【発明を実施するための最良の形態】

【0025】

以下、この発明の実施の形態について図面を参照しながら詳細に説明する。なお、図中同一または相当部分には同一符号を付し、その説明は繰返さない。

【0026】

図1は、本発明の実施の形態に従う微小構造体の製造方法を説明する概念図である。

【0027】

図1を参照して、本発明の実施の形態に従う微小構造体の製造方法は、微小構造体のチップCPが複数形成されたウェハ100に対して接着層15を用いてダミーウェハ10と

50

貼り合わせる。

【0028】

図2は、ダミーウェハ10とウェハ100とを接着する場合のフローを説明する図である。

【0029】

図2を参照して、ダミーウェハ10に接着層をパターンニングする(ステップS1)。次にダミーウェハ上の接着層パターンとウェハ100の接着されるべき箇所が合うようにアライメントして接着する(ステップS2)。アライメントについては、一般的な技術であり、本例においては詳細な説明は省略する。

【0030】

次に、接着した状態で接着層の硬化温度で所望時間加熱する(ステップS3)。これにより、ダミーウェハ10とウェハ100との接着状態が高まる。そして温度を下げて常温に戻す(ステップS4)。これによりウェハ100とダミーウェハ10との貼り合せ工程が完了する。なお、接着力を増すために接着の際にダミーウェハ10およびウェハ100の少なくとも一方を加熱しておくことも可能である。なお、接着層としては、たとえば、シリコン樹脂、ウレタン樹脂、アクリル樹脂、ポリアミド樹脂、ポリイミド樹脂、可撓性エポキシ樹脂等を利用することも可能である。

【0031】

再び図1を参照して、この貼り合わされたウェハ100およびダミーウェハ10をダイシングブレード101によりチップ状になるようにカッティングする。次に、アセンブリ行程において、チップ状にカッティングされたチップユニットCPUとハウジング部材110とを接着層20を用いて接着させる。なお、チップユニットCPUは、ウェハ100をカッティングして形成されるチップCPと、カッティングされた接着層15およびダミーウェハ10とで構成される。

【0032】

そして、上述したようにチップCP上に形成される図示しない所望の端子とワイヤWRを用いてワイヤボンディングされてパッケージングされたMEMSデバイス1が作製される。

【0033】

本発明では、一例として可動部を有する微小構造体のチップCPとして多軸である3軸加速度センサを挙げて説明する。

【0034】

図3は、3軸加速度センサのデバイス上面から見た図である。

【0035】

図3に示されるように、チップCPには複数のパッドPDがその周辺に配置されている。そして電気信号をパッドPDに対して伝達あるいはパッドPDから伝達するために金属配線が設けられている。そして中央部にはクローバ型を形成する4つの重錐体ARが配置されている。

【0036】

図4は、3軸加速度センサの概略図である。

【0037】

図4を参照して、この3軸加速度センサはピエゾ抵抗型であり検出素子であるピエゾ抵抗素子が拡散抵抗として設けられている。このピエゾ抵抗型の加速度センサは安価なICプロセスを利用することができるとともに検出素子である抵抗素子を小さく形成しても感度低下がないため小型化・低コスト化に有利である。

【0038】

具体的な構成としては、中央の重錐体ARは4本のビームBMで支持した構造となっている。ビームBMはX、Yの2軸方向に互いに直交するように形成されており、1軸当りに4つのピエゾ抵抗素子を備えている。Z軸方向検出用の4つのピエゾ抵抗素子は、X軸方向検出用ピエゾ抵抗素子の横に配置されている。

10

20

30

40

50

【 0 0 3 9 】

重錐体 A R の上面形状はクローバ型を形成し、中央部でビーム B M と連結されている。このクローバ型構造を採用することにより重錐体 A R を大きくすると同時にビーム長も長くすることができるため小型であっても高感度な加速度センサを実現することが可能である。

【 0 0 4 0 】

この piezo 抵抗型の 3 軸加速度センサの動作原理は、重錐体が加速度（慣性力）を受けると、ビーム B M が変形しその表面に形成された piezo 抵抗素子の抵抗値の変化により加速度を検出するメカニズムである。そしてこのセンサ出力は、3 軸それぞれ独立に組み込まれた後述するホイートストンブリッジの出力から取出す構成に設定されている。

10

【 0 0 4 1 】

図 5 は、各軸方向の加速度を受けた場合の重錐体とビームの変形を説明する概念図である。

【 0 0 4 2 】

図 5 に示されるように piezo 抵抗素子は、加えられた歪みによってその抵抗値が変化する性質（piezo 抵抗効果）を持っており、引張歪みの場合は抵抗値が増加し、圧縮歪みの場合は抵抗値が減少する。本例においては、X 軸方向検出用 piezo 抵抗素子 $R_{x1} \sim R_{x4}$ 、Y 軸方向検出用 piezo 抵抗素子 $R_{y1} \sim R_{y4}$ および Z 軸方向検出用 piezo 抵抗素子 $R_{z1} \sim R_{z4}$ が一例として示されている。

【 0 0 4 3 】

図 6 は、各軸に対して設けられるホイートストンブリッジの回路構成図である。

20

【 0 0 4 4 】

図 6 (a) は、X (Y) 軸におけるホイートストンブリッジの回路構成図である。

【 0 0 4 5 】

X 軸および Y 軸の出力電圧としてはそれぞれ V_{xout} および V_{yout} とする。

【 0 0 4 6 】

図 6 (b) は、Z 軸におけるホイートストンブリッジの回路構成図である。

【 0 0 4 7 】

Z 軸の出力電圧としては V_{zout} とする。

【 0 0 4 8 】

上述したように加えられた歪みによって各軸 4 つの piezo 抵抗素子の抵抗値は変化し、この変化に基づいて各 piezo 抵抗素子はたとえば X 軸 Y 軸においては、ホイートストンブリッジで形成される回路の出力を各軸の加速度成分が独立に分離された出力電圧として検出される。なお、上記の回路が構成されるように図 3 で示されるような上述した金属配線等が連結され、所定のパッドから各軸に対する出力電圧が検出されるように構成されている。

30

【 0 0 4 9 】

また、この 3 軸加速度センサは、加速度の DC 成分も検出することができるため重力加速度を検出する傾斜角センサとしても用いることが可能である。

【 0 0 5 0 】

図 7 は、重力加速度（入力）とセンサ出力との関係を説明する図である。

40

【 0 0 5 1 】

図 7 に示されるように、重力加速度（入力）に応じた出力電圧（mV）を検出することが可能である。

【 0 0 5 2 】

上記で説明したように本発明の MEMS デバイス 1 は、カッティングしたダミーウェハ 10 をチップ C P の台座としてハウジング部材 110 と接着させることにより、ハウジング部材 110 を用いてパッケージする際の下からの応力等をダミーウェハ 10 で吸収することが可能となる。

【 0 0 5 3 】

50

これにより、可動部すなわち重錘体 A R およびビーム B M がパッケージの際の応力によって変形する場合があるが本願構成によりダミーウェハ 1 0 でそれらの応力を吸収することができるため、ウェハ状態での特性がアセンブリ行程により変化することを抑制することができる。

【 0 0 5 4 】

これにより、例えばウェハテストにおいて良品とされた場合に、アセンブリ行程後のパッケージテストにおいて不良品となることを抑制して歩留りを向上させることができる。さらに、ウェハテストの際のテスト結果を有効に用いることも可能である。

【 0 0 5 5 】

なお、ここで用いられるダミーウェハ 1 0 はチップ C P が形成されるウェハ 1 0 0 と同じ熱膨張係数を有した材料で形成されるものとする。すなわちシリコン (S i) 材料で形成することが可能である。

【 0 0 5 6 】

この点で、同じ熱膨張係数を有した材料よりなるダミーウェハの台座を用いた構成とすることにより両者の熱膨張係数の相違に起因した歪みによる悪影響を除去することができる。

【 0 0 5 7 】

上記においては、ダミーウェハ 1 0 とウェハ 1 0 0 とを接着するために接着層 1 5 を用いて接着する場合について説明したが、ダミーウェハ 1 0 の全面に接着層を形成するのではなく、選択的に接着層を形成することも可能である。

【 0 0 5 8 】

図 8 は、接着層をダミーウェハ 1 0 上に選択的に形成する場合を説明する概念図である。

【 0 0 5 9 】

図 8 (a) は、ダミーウェハ 1 0 上に所定のパターンに従って接着層 1 5 を形成した場合を説明する図である。

【 0 0 6 0 】

図 8 (b) は、ダミーウェハ 1 0 とウェハ 1 0 0 との接着を説明する図である。

【 0 0 6 1 】

図 8 (b) に示されるように、ウェハ 1 0 0 とダミーウェハ 1 0 とは上述した接着層 1 5 を介して互いに接着される。

【 0 0 6 2 】

たとえば、本例においてはチップ C P 内の微小構造体の可動部たとえば重錘体 A R およびビーム B M を形成するような領域に対向する領域を除く領域に選択的に接着層が形成されるようにパターンニングする。

【 0 0 6 3 】

これにより、ダミーウェハ 1 0 とウェハ 1 0 0 との接着において可動部が接着層 1 5 により接着される危険性を回避することも可能である。

【 0 0 6 4 】

パターンニング方式としては、種々の方式を挙げることができるが、たとえば接着ペーストのスクリーン印刷方式たとえばマスクの上からペーストを印刷する方式や、接着ペーストの選択箇所へのディスペンス方式たとえば空気等の圧力でノズルから一定量のペーストを押し出す方式や、感光性接着剤を用いてフォトリソグラフィによりパターンニングする方式や、不必要な箇所にパンチ穴をあけた接着シート (テープ) 等を用いて接着する方式を採用することも可能である。

【 0 0 6 5 】

図 9 は、パッケージの際のチップユニット C P U とハウジング部材 1 1 0 との接着を説明する図である。

【 0 0 6 6 】

図 9 (a) に示されるように、接着層 2 0 を用いてハウジング部材 1 1 0 とチップユニ

10

20

30

40

50

ットCPUとを接着するにあたり、接着面積をセンサチップCPの台座であるダミーウェハ10の面積よりも小さくするように形成することができる。この接着面積を小さく形成することにより、アセンブリ行程において影響するハウジング部材110からの応力をチップCPに伝達するのをさらに抑制することが可能となる。なお、本例においては、選択的に接着層15#を形成することにより可動部以外の領域においてチップCPとダミーウェハ10とが接着されている場合が示されている。

【0067】

図9(b)は、ダミーウェハ10とハウジング部材110との間に形成される接着層を概略的に説明する図である。

【0068】

図9(b)に示されるように、矩形状のパターニングに従う接着層20aを用いてチップユニットCPUとハウジング部材110とを接着することも可能であるし、円状のパターニングに従う接着層20bを用いてチップユニットCPUとハウジング部材110とを接着することも可能である。また、本例においては、単一の領域に接着層を形成する場合について示しているがこれに限られず、複数の領域に接着層を形成することも可能である。

【0069】

図10は、ウェハ100に対してウェハテストを実行する場合を説明する図である。

【0070】

図10を参照して、本願発明においては、ウェハ100とダミーウェハ10とが接着層15を介して接着された状態でウェハテストが実行される。

【0071】

具体的には、測定用真空吸着チャック34(以下、単にチャックとも称する)上にこのウェハ100およびダミーウェハ10が搬送され、プローブ針51を有したプローブカード50により、ウェハ100上に形成されたチップCPの特性検査が実行される。

【0072】

図11は、ウェハテストを実行する検査装置30を説明する概略ブロック図である。

【0073】

図11を参照して、検査装置30は、被検査体であるウェハを搬送する搬送アーム32を有するロータ部33と、検査部36と、ウェハ保持手段35とで主要部が構成されている。この場合、ロータ部33に配設された搬送アーム32は、水平方向に回転可能でかつ垂直方向に移動可能な多関節のリンク機構によって形成されており、複数枚のウェハを収容するカセット(図示せず)内から取出したウェハをウェハ保持手段35に搬送するとともに、検査部36において検査されたウェハをカセットに再び搬入するように構成されている。搬送アーム32によってカセットから取出されたウェハは、ウェハ保持手段35のチャック34へ搬送される。ウェハ保持手段35は、この状態を維持して検査部36に搬送する。そして、検査部36において、アライメント装置37の位置検出カメラ38等によって搬送されたウェハの位置を検出する。この検出された位置情報に基づいてアライメントが実行され、プローブ針51を所望のテストパッドと接触させるための位置調整等が行なわれる。

【0074】

図12は、検査部36を説明する概略構成図である。

【0075】

図12を参照して、プローブ針51が装着されたプローブカード50は、テストヘッド55と接続されている。

【0076】

テストヘッド55は、ウェハ100に印加する検査用電源や電極パッドのパターン出力部や電極パッドの出力を測定部に取り込むための入力部等の電気機器(図示せず)を搭載した自立する柱状体にて形成されている。

【0077】

10

20

30

40

50

ウェハ保持手段 35 は、可撓性の管路 17 を介してチャック 34 と接続された吸着手段である真空ポンプ 18 を含む。

【0078】

図 13 は、ウェハ保持手段 35 の一部を説明する図である。

【0079】

図 13 に示されるように、Y 方向に沿って配設される Y 方向案内レール 43 に摺動自在に案内される Y ステージと、この Y ステージに設けられた Y 方向と直交する方向すなわち X 方向に沿って設けられた X 方向案内レール 42 に摺動自在に案内される X ステージと、この X ステージに対して昇降 (Z 方向) および回転可能に装着されるチャック 34 とで構成されている。この場合、図示しないがチャック 34 は、吸引用小孔を有する中空状に形成されており、チャック 34 の中空部に可撓性の管路 17 を介して吸着手段である真空ポンプ 18 が接続されている。

10

【0080】

図 14 は、真空ポンプ 18 によってウェハが吸着される場合を説明する図である。

【0081】

図 14 に示されるように、真空ポンプ 18 を作動させることによってチャック 34 の中空部内が負圧となってウェハ 100 およびダミーウェハ 10 を吸引保持することができる。

【0082】

本実施の形態の構成においては、ウェハ保持手段 35 において、真空吸着する際、ダミーウェハ 10 を吸着して搬送することになる。すなわち上述した加速度センサが形成されるウェハ 100 においては、貫通部を有するためこのような真空ポンプ 18 による真空吸着によりウェハを直接搬送することはできない。

20

【0083】

しかしながら、本願発明の如くダミーウェハ 10 を接着することによりダミーウェハ 10 においては貫通部を有しないため、真空吸着が可能となり特別な装置を必要とすることなくウェハ 100 に対してウェハテストすることが可能となる。

【0084】

上記の実施の形態においては、加速度センサについて形成されるチップ CP について説明したが本願発明は加速度センサに限られることなく他の可動部を有する MEMS デバイスに適用することが可能である。

30

【0086】

図 15 は、容量検知型センサ素子の一例としてマイクロフォンについて説明する図である。

【0087】

図 15 (a) を参照して、マイクロフォン 70 は、基板 80 と、基板 80 上に形成された酸化膜 81 と、酸化膜 81 の上に形成された振動板 71 (振動板から外部へ延びる延長部 76 を含む) と、振動板 71 の上に設けられ、絶縁材で形成された固定部 74 と、固定部 74 の上に設けられた背電極 72 とを含む。固定部 74 によって振動板 71 と背電極 72 との間に空間 73 が形成される。背電極 72 には複数の貫通孔が音響ホール 75 として設けられる。また、背電極 72 の表面には背電極用の取出し電極 77 が設けられ、振動板 71 の延長部 76 の表面には振動板用の取出し電極 78 が設けられている。

40

【0088】

次に、図 15 (b) も参照して、振動板 71 は基板 80 のほぼ中央部に設けられ、矩形形状を有している。ここでは説明を簡単にするために正方形として説明する。振動板 71 を構成する 4 つの辺のほぼ中央には、それらの辺に隣接して矩形形状の 4 つの固定部 74 a ~ 74 d が設けられ固定部 74 の上には背電極 72 が設けられる。背電極 72 は固定部 74 の振動板側の 4 つの辺と、隣接する固定部 74 (たとえば、74 a と 74 b の最短距離である隣接する頂点を結ぶ 4 つの辺 (直線) を含む八角形状を有している。

【0089】

50

背電極 7 2 が矩形の振動板 7 1 の 4 辺の外周部に設けた固定部 7 4 で支持されるとともに、固定部 7 4 の隣接する頂点間の最短距離を結ぶ形状を有しているため、背電極 7 2 の機械強度を確保できる。

【 0 0 9 0 】

なお、図 1 5 (b) においては、理解の容易のために振動板 7 1 と固定部 7 4 との間に間隔を設けているが実際はこの間隔は殆どない。

【 0 0 9 1 】

また、図 1 5 (b) において各固定部 7 4 の上に背電極用取出し電極 7 7 を設け、振動板 7 1 の延長部 7 6 の表面の四隅に 4 個の振動板用取出し電極 7 8 を設けているが、これは歩留りを考慮したものであって、それぞれ 1 個ずつ存在すれば特に問題はない。

10

【 0 0 9 2 】

振動板 7 1 は、外部からの圧力変化（音声等を含む）を受けて振動する。すなわち、このマイクロフォン 7 0 は、振動板 7 1 と背電極 7 2 とをコンデンサとして機能させるものであり、音圧信号によって振動板 7 1 が振動する際のコンデンサの静電容量の変化を電気的に取出す形態で使用することができる。

【 0 0 9 3 】

本例においてはマイクロフォンを例に挙げて説明したがこれに限らず圧力センサのような任意の容量検知型センサ素子にも適用することができる。

【 0 0 9 4 】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

20

【図面の簡単な説明】

【 0 0 9 5 】

【図 1】本発明の実施の形態に従う微小構造体の製造方法を説明する概念図である。

【図 2】ダミーウェハ 1 0 とウェハ 1 0 0 とを接着する場合のフローを説明する図である。

【図 3】3 軸加速度センサのデバイス上面から見た図である。

【図 4】3 軸加速度センサの概略図である。

30

【図 5】各軸方向の加速度を受けた場合の重錐体とビームの変形を説明する概念図である。

【図 6】各軸に対して設けられるホイートストンブリッジの回路構成図である。

【図 7】重力加速度（入力）とセンサ出力との関係を説明する図である。

【図 8】接着層をダミーウェハ 1 0 上に選択的に形成する場合を説明する概念図である。

【図 9】パッケージの際のチップユニット C P U とハウジング部材 1 1 0 との接着を説明する図である。

【図 1 0】ウェハ 1 0 0 に対してウェハテストを実行する場合を説明する図である。

【図 1 1】ウェハテストを実行する検査装置 3 0 を説明する概略ブロック図である。

【図 1 2】検査部 3 6 を説明する概略構成図である。

40

【図 1 3】ウェハ保持手段 3 5 の一部を説明する図である。

【図 1 4】真空ポンプ 1 8 によってウェハが吸着される場合を説明する図である。

【図 1 5】容量検知型センサ素子の一例としてマイクロフォンについて説明する図である。

【図 1 6】ウェハ上に形成された複数の M E M S チップをダイシング工程によりカッティングし、パッケージする場合を説明する図である。

【符号の説明】

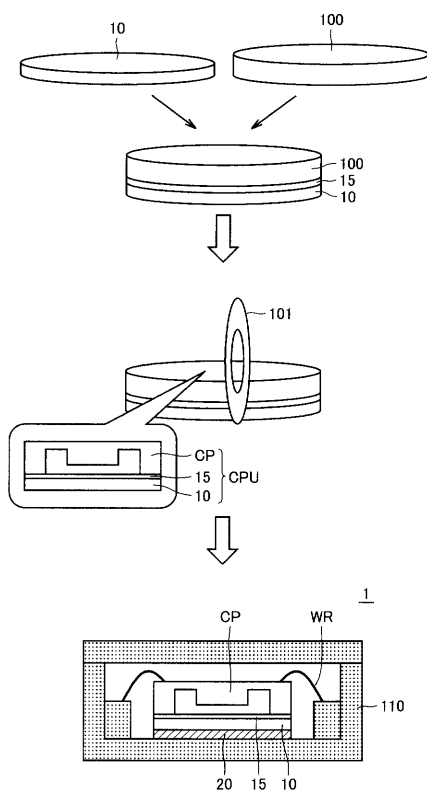
【 0 0 9 6 】

1 MEMS デバイス、1 0 ダミーウェハ、1 5 , 1 5 # , 2 0 , 2 0 a , 2 0 b 接着層、1 7 管路、1 8 真空ポンプ、3 2 搬送アーム、3 3 ロータ部、3 4 測

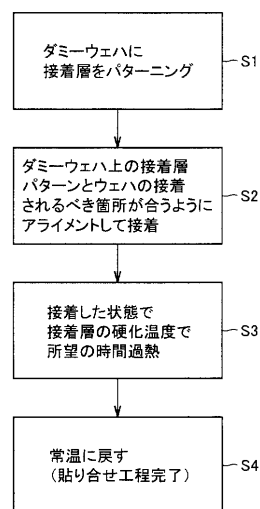
50

定用真空吸着チャック、35 ウェハ保持手段、36 検査部、37 アライメント装置、42 X方向案内レール、43 Y方向案内レール、50 プローブカード、51 プローブ針、55 テストヘッド、100 ウェハ、101 ダイシングブレード、110 ハウジング部材。

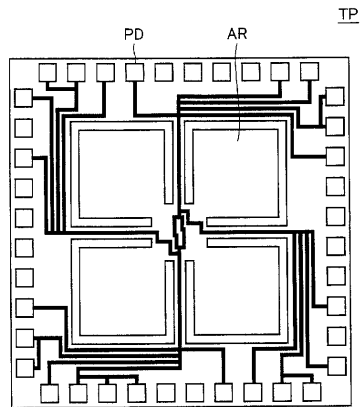
【図1】



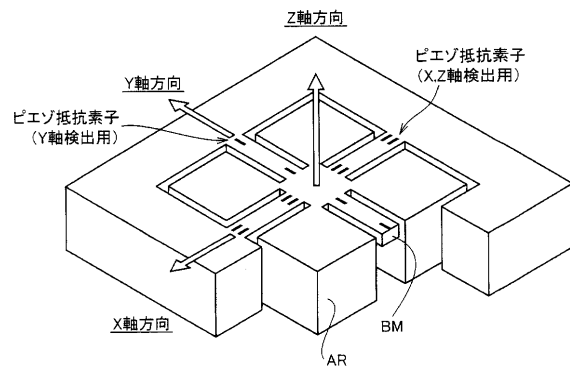
【図2】



【図 3】

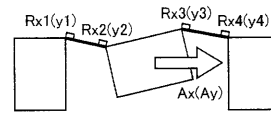


【図 4】

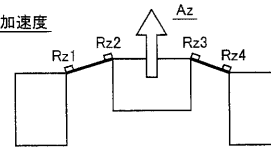


【図 5】

X(Y)軸の加速度

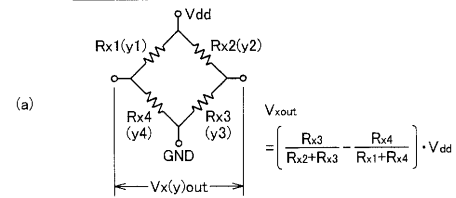


Z軸の加速度

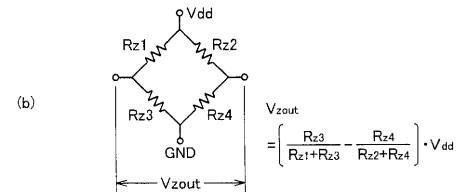


【図 6】

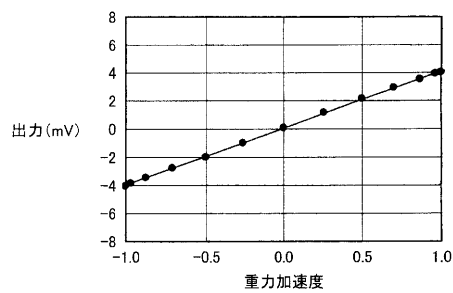
X(Y)軸出力



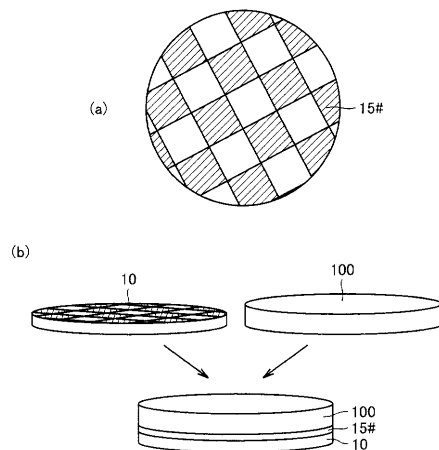
Z軸出力



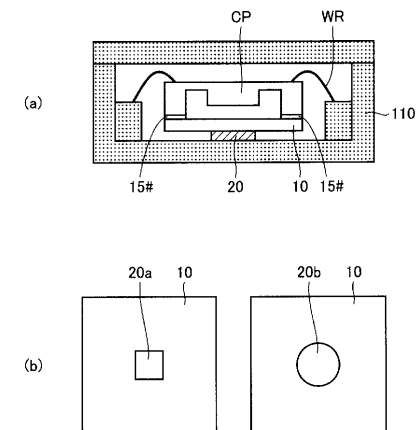
【図 7】



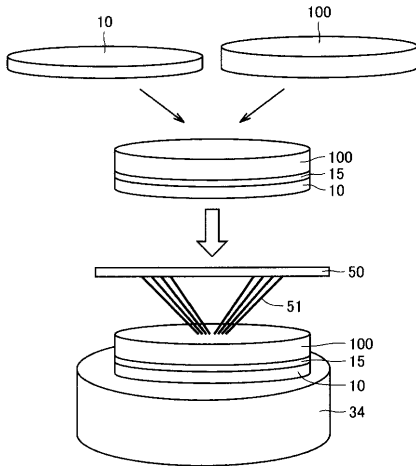
【図 8】



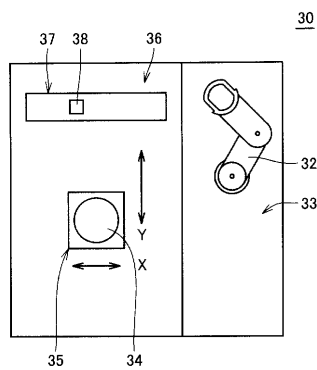
【図 9】



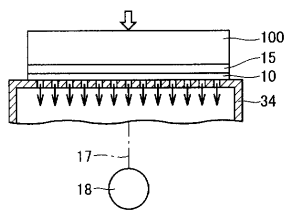
【図 10】



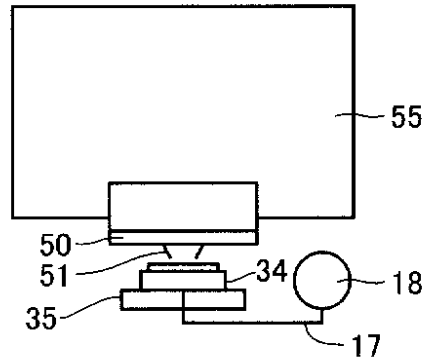
【図 11】



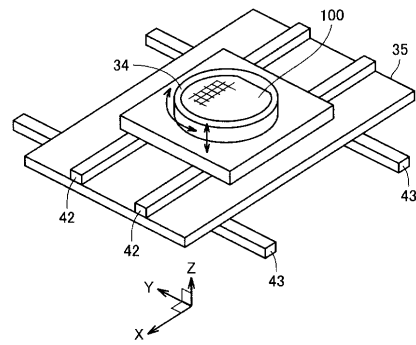
【図 14】



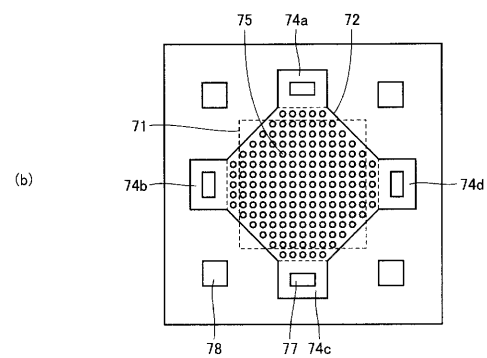
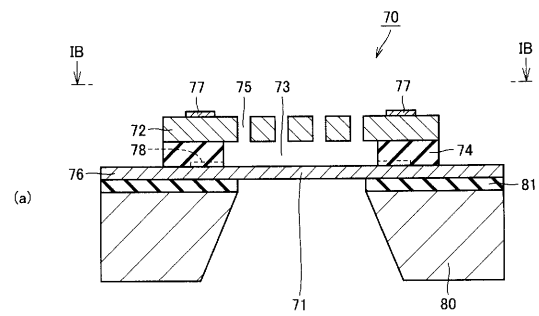
【図 12】



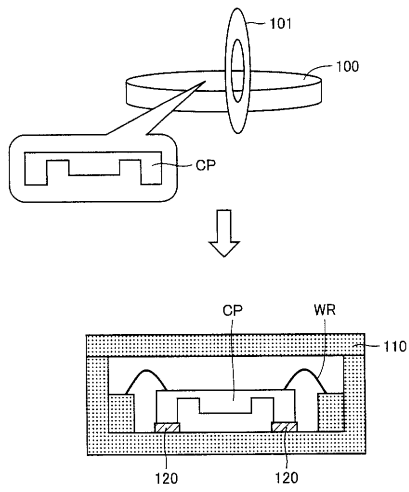
【図 13】



【図 15】



【図 16】



 フロントページの続き

(51)Int.Cl.		F I	
G 0 1 P 15/12 (2006.01)		G 0 1 P 15/08	P
G 0 1 P 21/00 (2006.01)		G 0 1 P 15/12	D
		G 0 1 P 21/00	

(72)発明者 池内 直樹
東京都港区赤坂五丁目 3 番 6 号 東京エレクトロン株式会社内

(72)発明者 橋本 浩幸
東京都港区赤坂五丁目 3 番 6 号 東京エレクトロン株式会社内

審査官 池淵 立

(56)参考文献 特開昭 6 2 - 0 5 4 9 6 9 (J P , A)
特開 2 0 0 3 - 3 1 5 1 9 6 (J P , A)
特開 2 0 0 6 - 0 0 3 1 0 1 (J P , A)
特開平 0 5 - 0 9 5 0 4 6 (J P , A)
特開昭 6 3 - 1 1 8 6 2 8 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L	2 9 / 8 4
G 0 1 L	9 / 0 0
G 0 1 L	2 7 / 0 0
G 0 1 P	9 / 0 4
G 0 1 P	1 5 / 0 8
G 0 1 P	1 5 / 1 2
G 0 1 P	2 1 / 0 0