

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年9月26日(26.09.2024)



(10) 国際公開番号
WO 2024/195629 A1

(51) 国際特許分類:
H01L 29/786 (2006.01) H01L 21/336 (2006.01)

(21) 国際出願番号: PCT/JP2024/009575

(22) 国際出願日: 2024年3月12日(12.03.2024)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

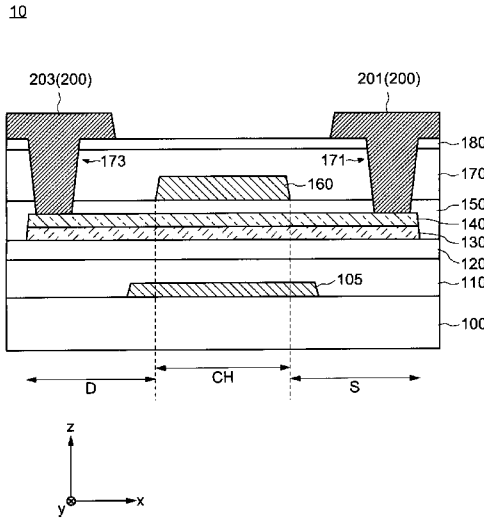
(30) 優先権データ:
特願 2023-043065 2023年3月17日(17.03.2023) JP

(71) 出願人: 株式会社 ジャパンディスプレイ (JAPAN DISPLAY INC.) [JP/JP]; 〒1050003 東京都港区西新橋三丁目7番1号 Tokyo (JP). 出光興産株式会社 (IDEMITSU KOSAN CO., LTD.) [JP/JP]; 〒1008321 東京都千代田区大手町一丁目2番1号 Tokyo (JP).

(72) 発明者: 渡壁 創 (WATAKABE Hajime); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP). 津吹 将志 (TSUBUKU Masashi); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP). 佐々木 俊成 (SASAKI Toshinari); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP). 田丸 尊也 (TAMARU Takaya); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP). 望月 真里奈 (MOCHIZUKI Marina); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP). 小野寺 涼 (ONODERA Ryo); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP). 渡部 将弘 (WATABE

(54) Title: THIN-FILM TRANSISTOR AND ELECTRONIC DEVICE

(54) 発明の名称: 薄膜トランジスタおよび電子機器



(57) Abstract: A thin-film transistor comprising: a substrate; a metal oxide layer provided on the substrate; an oxide semiconductor layer provided in contact with the metal oxide layer, the oxide semiconductor layer including a plurality of crystal grains; a gate electrode provided on the oxide semiconductor layer; and a gate insulating layer provided between the oxide semiconductor layer and the gate electrode. When the crystal orientation at each of a plurality of measurement points on the oxide semiconductor layer is acquired on the basis of an electron diffraction pattern obtained by transmitting, through the oxide semiconductor layer, an electron beam emitted from a direction intersecting the film thickness direction of the oxide semiconductor layer, the average KAM value calculated at the plurality of measurement points is 0.6° or greater.

(57) 要約: 薄膜トランジスタは、基板と、基板の上に設けられた金属酸化層と、金属酸化層と接して設けられる、複数の結晶粒を含む酸化半導体層と、酸化半導体層の上に設けられたゲート電極と、酸化半導体層とゲート電極との間に設けられたゲート絶縁層と、を含み、酸化半導体層の膜厚方向と交差する方向から照射される電子線が酸化半導体層を透過して得られる電子回折パターンに基づいて酸化半導体層の複数の測定点の各々における結晶方位が取得されるとき、複数の測定点において算出されるKAM値の平均値が 0.6° 以上である。

WO 2024/195629 A1

Masahiro); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP). 川嶋 絵美(**KAWASHIMA Emi**); 〒1008321 東京都千代田区大手町一丁目2番1号 出光興産株式会社内 Tokyo (JP). 霍間 勇輝(**TSURUMA Yuki**); 〒1008321 東京都千代田区大手町一丁目2番1号 出光興産株式会社内 Tokyo (JP). 佐々木 大地(**SASAKI Daichi**); 〒1008321 東京都千代田区大手町一丁目2番1号 出光興産株式会社内 Tokyo (JP).

(74) 代理人: 弁理士法人高橋・林アンドパートナーズ(**TAKAHASHI, HAYASHI AND PARTNER PATENT ATTORNEYS, INC.**); 〒1440052 東京都大田区蒲田5-24-2 損保ジャパン蒲田ビル9階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

明 細 書

発明の名称： 薄膜トランジスタおよび電子機器

技術分野

[0001] 本発明の一実施形態は、多結晶構造を有する酸化物半導体（P o l y - O S）膜を含む薄膜トランジスタに関する。また、本発明の一実施形態は、薄膜トランジスタを含む電子機器に関する。

背景技術

[0002] 近年、アモルファスシリコン、低温ポリシリコン、および単結晶シリコンなどを用いたシリコン半導体膜に替わり、酸化物半導体膜をチャンネルとして用いる薄膜トランジスタの開発が進められている（例えば、特許文献1～特許文献6参照）。このような酸化物半導体膜を含む薄膜トランジスタは、アモルファスシリコン膜を含む薄膜トランジスタと同様に、単純な構造かつ低温プロセスで形成することができる。また、酸化物半導体膜を含む薄膜トランジスタは、アモルファスシリコン膜を含む薄膜トランジスタよりも高い電界効果移動度を有することが知られている。

先行技術文献

特許文献

[0003] 特許文献1：特開2021-141338号公報
特許文献2：特開2014-099601号公報
特許文献3：特開2021-153196号公報
特許文献4：特開2018-006730号公報
特許文献5：特開2016-184771号公報
特許文献6：特開2021-108405号公報

発明の概要

発明が解決しようとする課題

[0004] しかしながら、従来の酸化物半導体膜を含む薄膜トランジスタの電界効果移動度は、結晶性を有する酸化物半導体膜を用いた場合であってもそれ程大

きくはない。そのため、薄膜トランジスタに用いられる酸化物半導体膜の結晶構造を改良し、薄膜トランジスタの電界効果移動度の向上が望まれていた。

[0005] 本発明の一実施形態は、上記問題に鑑み、新規結晶構造を有する酸化物半導体膜を含む薄膜トランジスタを提供することを目的の一つとする。また、本発明の一実施形態は、薄膜トランジスタを含む電子機器を提供することを目的の一つとする。

課題を解決するための手段

[0006] 本発明の一実施形態に係る薄膜トランジスタは、基板と、基板の上に設けられた金属酸化物層と、金属酸化物層と接して設けられる、複数の結晶粒を含む酸化物半導体層と、酸化物半導体層の上に設けられたゲート電極と、酸化物半導体層とゲート電極との間に設けられたゲート絶縁層と、を含み、酸化物半導体層の膜厚方向と交差する方向から照射される電子線が酸化物半導体層を透過して得られる電子回折パターンに基づいて酸化物半導体層の複数の測定点の各々における結晶方位が取得されるとき、複数の測定点において算出されるKAM値の平均値が 0.6° 以上である。

[0007] 本発明の一実施形態に係る電子機器は、上記薄膜トランジスタを含む。

図面の簡単な説明

[0008] [図1]本発明の一実施形態に係る薄膜トランジスタの構成を示す模式的な断面図である。

[図2]本発明の一実施形態に係る薄膜トランジスタの構成を示す模式的な平面図である。

[図3]TEM-EDマッピング法を説明する模式図である。

[図4]本発明の一実施形態に係る薄膜トランジスタの製造方法を示すフローチャートである。

[図5]本発明の一実施形態に係る薄膜トランジスタの製造方法を示す模式的な断面図である。

[図6]本発明の一実施形態に係る薄膜トランジスタの製造方法を示す模式的な

断面図である。

[図7]本発明の一実施形態に係る薄膜トランジスタの製造方法を示す模式的な断面図である。

[図8]本発明の一実施形態に係る薄膜トランジスタの製造方法を示す模式的な断面図である。

[図9]本発明の一実施形態に係る薄膜トランジスタの製造方法を示す模式的な断面図である。

[図10]本発明の一実施形態に係る薄膜トランジスタの製造方法を示す模式的な断面図である。

[図11]本発明の一実施形態に係る薄膜トランジスタの製造方法を示す模式的な断面図である。

[図12]本発明の一実施形態に係る薄膜トランジスタの製造方法を示す模式的な断面図である。

[図13]本発明の一実施形態に係る電子機器を示す模式図である。

[図14]実施例サンプルの酸化物半導体層（Poly-OS膜）の逆極点図である。

[図15]実施例サンプルの酸化物半導体層（Poly-OS膜）のIPFマップである。

[図16]実施例サンプルの酸化物半導体層（Poly-OS膜）のKAMマップである。

[図17]実施例サンプルの酸化物半導体層（Poly-OS膜）のKAM値の分布を表すグラフである。

[図18]実施例サンプルの酸化物半導体層（Poly-OS膜）におけるKAM値の深さ平均値を表すグラフである。

発明を実施するための形態

[0009] 以下に、本発明の各実施形態について、図面を参照しつつ説明する。以下の開示はあくまで一例にすぎない。当業者が、発明の主旨を保ちつつ、実施形態の構成を適宜変更することによって容易に想到し得る構成は、当然に本

発明の範囲に含有される。説明をより明確にするため、図面は実際の態様に比べ、各部の幅、厚さ、形状等について模式的に表される場合がある。しかし、図示された形状はあくまで一例であって、本発明の解釈を限定しない。本明細書および図面において、既出の図に関して前述した構成要素と同様の構成要素には、同一の符号を付して、詳細な説明を適宜省略することがある。

[0010] 本明細書において、基板から酸化物半導体層に向かう方向を「上」または「上方」という。逆に、酸化物半導体層から基板に向かう方向を「下」または「下方」という。このように、説明の便宜上、上方または下方という語句を用いて説明するが、例えば、基板と酸化物半導体層との上下関係が図示と異なる向きに配置されてもよい。以下の説明で、例えば、「基板上の酸化物半導体層」という表現は、上記のように基板と酸化物半導体層との上下関係を説明しているに過ぎず、基板と酸化物半導体層との間に他の部材が配置されていてもよい。上方または下方は、複数の層が積層された構造における積層順を意味するものであり、薄膜トランジスタの上方の画素電極と表現する場合、平面視において、薄膜トランジスタと画素電極とが重ならない位置関係であってもよい。一方、薄膜トランジスタの鉛直上方の画素電極と表現する場合は、平面視において、薄膜トランジスタと画素電極とが重なる位置関係を意味する。

[0011] 本明細書において、「膜」という用語と、「層」という用語とは、場合により、互いに入れ替えることができる。

[0012] 本明細書において、「表示装置」とは、電気光学層を用いて映像を表示する構造体を指す。例えば、表示装置という用語は、電気光学層を含む表示パネルを指す場合もあり、または表示セルに対して他の光学部材（例えば、偏光部材、バックライト、タッチパネル等）を装着した構造体を指す場合もある。「電気光学層」には、技術的な矛盾が生じない限り、液晶層、エレクトロルミネセンス（EL）層、エレクトロクロミック（EC）層、電気泳動層が含まれ得る。したがって、後述する実施形態について、表示装置として、

液晶層を含む液晶表示装置、および有機EL層を含む有機EL表示装置を例示して説明するが、本実施形態における構造は、上述した他の電気光学層を含む表示装置へ適用することができる。

[0013] 本明細書において、「 α はA、BまたはCを含む」、「 α はA、BおよびCのいずれかを含む」、「 α はA、BおよびCからなる群から選択される一つを含む」、といった表現は、特に明示が無い限り、 α がA～Cの複数の組み合わせを含む場合を排除しない。さらに、これらの表現は、 α が他の要素を含む場合も排除しない。

[0014] なお、以下の各実施形態は、技術的な矛盾を生じない限り、互いに組み合わせることができる。

[0015] <第1実施形態>

図1～図12を参照して、本発明の一実施形態に係る薄膜トランジスタ10について説明する。薄膜トランジスタ10は、例えば、表示装置、マイクロプロセッサ (Micro-Processing Unit: MPU) などの集積回路 (Integrated Circuit: IC)、またはメモリ回路などに用いることができる。

[0016] [1. 薄膜トランジスタ10の構成]

図1および図2を参照して、本発明の一実施形態に係る薄膜トランジスタ10の構成について説明する。図1は、本発明の一実施形態に係る薄膜トランジスタ10の構成を示す模式的な断面図である。図2は、本発明の一実施形態に係る薄膜トランジスタの構成を示す模式的な平面図である。具体的には、図1は、図2のA-A'線に沿って切断された断面図である。

[0017] 図1に示すように、薄膜トランジスタ10は、基板100、遮光層105、第1の絶縁層110、第2の絶縁層120、金属酸化物層130、酸化物半導体層140、ゲート絶縁層150、ゲート電極160、第3の絶縁層170、第4の絶縁層180、ソース電極201、およびドレイン電極203を含む。遮光層105は、基板100の上に設けられている。第1の絶縁層110は、遮光層105の上面および端面を覆い、基板100の上に設けら

れている。第2の絶縁層120は、第1の絶縁層110の上に設けられている。金属酸化物層130は、第2の絶縁層120の上に設けられている。酸化物半導体層140は、金属酸化物層130の上に設けられている。酸化物半導体層140は、金属酸化物層130と接している。ゲート絶縁層150は、酸化物半導体層140の上面および端面ならびに金属酸化物層130の端面を覆い、第2の絶縁層120の上に設けられている。ゲート電極160は、酸化物半導体層140と重畳し、ゲート絶縁層150の上に設けられている。第3の絶縁層170は、ゲート電極160の上面および端面を覆い、ゲート絶縁層150の上に設けられている。第4の絶縁層180は、第3の絶縁層170の上に設けられている。ゲート絶縁層150、第3の絶縁層170、および第4の絶縁層180には、酸化物半導体層140の上面の一部が露出される開口171および173が設けられている。ソース電極201は、第4の絶縁層180の上および開口171の内部に設けられ、酸化物半導体層140と接している。同様に、ドレイン電極203は、第4の絶縁層180の上および開口173の内部に設けられ、酸化物半導体層140と接している。なお、以下では、ソース電極201およびドレイン電極203を特に区別しない場合、これらを併せてソース・ドレイン電極200という場合がある。

[0018] 酸化物半導体層140は、ゲート電極160を基準として、ソース領域S、ドレイン領域D、およびチャネル領域CHに区分される。すなわち、酸化物半導体層140は、ゲート電極160と重畳するチャネル領域CH、ならびにゲート電極160と重畳しないソース領域Sおよびドレイン領域Dを含む。酸化物半導体層140の膜厚方向において、チャネル領域CHの端部は、ゲート電極160の端部と一致している。チャネル領域CHは、半導体の性質を有する。ソース領域Sおよびドレイン領域Dの各々は、導体の性質を有する。そのため、ソース領域Sおよびドレイン領域Dの電気伝導度は、チャネル領域CHの電気伝導度よりも大きい。ソース電極201およびドレイン電極203は、それぞれ、ソース領域Sおよびドレイン領域Dと接してお

り、酸化物半導体層140と電氣的に接続されている。また、酸化物半導体層140は、単層構造であってもよく、積層構造であってもよい。

[0019] 図2に示すように、遮光層105およびゲート電極160の各々は、D1方向に一定の幅を有し、D1方向に直交するD2方向に延在している。D1方向において、遮光層105の幅は、ゲート電極160の幅よりも大きい。チャネル領域CHは、遮光層105と完全に重畳している。薄膜トランジスタ10において、D1方向は、酸化物半導体層140を介して、ソース電極201からドレイン電極203へ電流が流れる方向に対応する。そのため、チャネル領域CHのD1方向の長さがチャネル長Lであり、チャネル領域CHのD2方向の幅がチャネル幅Wである。

[0020] 基板100は、薄膜トランジスタ10を構成する各層を支持することができる。基板100として、例えば、ガラス基板、石英基板、またはサファイア基板などの透光性を有する剛性基板を用いることができる。また、基板として、シリコン基板などの透光性を有しない剛性基板を用いることもできる。また、基板として、ポリイミド樹脂基板、アクリル樹脂基板、シロキサン樹脂基板、またはフッ素樹脂基板などの透光性を有する可撓性基板を用いることができる。基板100の耐熱性を向上させるために、上記の樹脂基板に不純物を導入してもよい。なお、上述した剛性基板または可撓性基板の上に酸化シリコン膜または窒化シリコン膜が成膜された基板を、基板100として用いることもできる。

[0021] 遮光層105は、外光を反射し、または吸収することができる。上述したように、遮光層105は、酸化物半導体層140のチャネル領域CHよりも大きい面積を有して設けられているため、チャネル領域CHに入射する外光を遮光することができる。遮光層105として、例えば、アルミニウム(A1)、銅(Cu)、チタン(Ti)、モリブデン(Mo)、もしくはタングステン(W)、またはこれらの合金もしくは化合物などを用いることができる。また、遮光層105として、導電性が不要である場合には、必ずしも金属を含まなくてもよい。例えば、遮光層105として、黒色樹脂でなるブラ

ックマトリクスを用いることもできる。また、遮光層105は、単層構造であってもよく、積層構造であってもよい。例えば、遮光層105は、赤色カラーフィルタ、緑色カラーフィルタ、および青色カラーフィルタの積層構造であってもよい。

[0022] 第1の絶縁層110、第2の絶縁層120、第3の絶縁層170、および第4の絶縁層180は、酸化物半導体層140へ不純物が拡散されることを防止することができる。具体的には、第1の絶縁層110および第2の絶縁層120は、基板100に含まれる不純物の拡散を防止し、第3の絶縁層170および第4の絶縁層180は、外部から侵入する不純物（例えば、水など）の拡散を防止することができる。第1の絶縁層110、第2の絶縁層120、第3の絶縁層170、および第4の絶縁層180の各々として、例えば、酸化シリコン (SiO_x)、酸化窒化シリコン (SiO_xN_y)、窒化シリコン (SiN_x)、窒化酸化シリコン (SiN_xO_y)、酸化アルミニウム (AlO_x)、酸化窒化アルミニウム (AlO_xN_y)、窒化酸化アルミニウム (AlN_xO_y)、窒化アルミニウム (AlN_x) などが用いられる。ここで、酸化窒化シリコン (SiO_xN_y) および酸化窒化アルミニウム (AlO_xN_y) は、それぞれ、酸素 (O) よりも少ない比率 ($x > y$) の窒素 (N) を含有するシリコン化合物およびアルミニウム化合物である。また、窒化酸化シリコン (SiN_xO_y) および窒化酸化アルミニウム (AlN_xO_y) は、窒素よりも少ない比率 ($x > y$) の酸素を含有するシリコン化合物およびアルミニウム化合物である。また、第1の絶縁層110、第2の絶縁層120、第3の絶縁層170、および第4の絶縁層180は、それぞれ単層構造であってもよく、積層構造であってもよい。

[0023] また、第1の絶縁層110、第2の絶縁層120、第3の絶縁層170、および第4の絶縁層180の各々は、平坦化する機能を備えていてもよく、熱処理によって酸素を放出する機能を備えていてもよい。例えば、第2の絶縁層120が熱処理によって酸素を放出する機能を備える場合、薄膜トランジスタ10の製造工程において行われる熱処理によって、第2の絶縁層12

0から酸素が放出され、酸化物半導体層140に放出された酸素を供給することができる。

[0024] ゲート電極160、ソース電極201、およびドレイン電極203は、導電性を有する。ゲート電極160、ソース電極201、およびドレイン電極203の各々として、例えば、銅(Cu)、アルミニウム(Al)、チタン(Ti)、クロム(Cr)、コバルト(Co)、ニッケル(Ni)、モリブデン(Mo)、ハフニウム(Hf)、タンタル(Ta)、タングステン(W)、もしくはビスマス(Bi)、またはこれらの合金もしくはこれらの化合物を用いることができる。ゲート電極160、ソース電極201、およびドレイン電極203の各々は、単層構造であってもよく、積層構造であってもよい。

[0025] ゲート絶縁層150は、絶縁性を有する酸化物を含む。具体的には、ゲート絶縁層150として、酸化シリコン(SiO_x)、酸化窒化シリコン(SiO_xN_y)、酸化アルミニウム(AlO_x)、または酸化窒化アルミニウム(AlO_xN_y)などが用いられる。ゲート絶縁層150は、化学量論比に近い組成を有することが好ましい。また、ゲート絶縁層150は、欠陥が少ないことが好ましい。例えば、ゲート絶縁層150として、電子スピン共鳴法(ESR)で評価したときに欠陥が観測されない酸化物が用いられてもよい。

[0026] 金属酸化物層130は、絶縁性を有する金属酸化物を含む。具体的には、金属酸化物層130として、バンドギャップが4 eV以上10.0 eV以下の金属酸化物が用いられる。また、金属酸化物層130として、例えば、アルミニウム(Al)、マグネシウム(Mg)、カルシウム(Ca)、スカンジウム(Sc)、ガリウム(Ga)、ゲルマニウム(Ge)、ストロンチウム(Sr)、ニッケル(Ni)、タンタル(Ta)、イットリウム(Y)、ジルコニウム(Zr)、バリウム(Ba)、ハフニウム(Hf)、コバルト(Co)、およびランタノイド系元素から選ばれた1つまたは複数の金属元素を含む金属酸化物が用いられる。特に、金属酸化物層130として、アルミニウムを含む金属酸化物(例えば、酸化アルミニウムなど)が用いられる

ことが好ましい。アルミニウムを含む金属酸化物は、酸素または水素などのガスに対する高いバリア性を有する。

[0027] また、金属酸化物層 130 は、酸化物半導体層 140 のバッファ層として機能することもできる。例えば、金属酸化物層 130 と接する酸化物半導体層 140 に対して熱処理を行うことにより、酸化物半導体層 140 の結晶性を向上させることができる。

[0028] 続いて、酸化物半導体層 140 に用いられる新規な結晶構造を有する酸化物半導体膜について説明する。

[0029] [2. 酸化物半導体膜の構成]

[2-1. 酸化物半導体膜の組成]

酸化物半導体膜は、インジウム (In) と、インジウムを除く、少なくとも 1 つ以上の金属元素 (M) と、を含む。酸化物半導体膜の組成比は、インジウムおよび少なくとも 1 つ以上の金属元素の原子比が式 (1) を満たすことが好ましい。換言すると、酸化物半導体膜に占める全金属元素に対するインジウムの比率は、50%以上であることが好ましい。インジウムの比率を高くすることにより、結晶性を有する酸化物半導体膜を形成することができる。また、酸化物半導体膜の結晶構造は、ピクスバイト型構造を有することが好ましい。インジウムの比率を高くすることにより、ピクスバイト型構造を有する酸化物半導体膜を形成することができる。

[0030] [数1]

$$0.01 < \frac{[\text{M}]}{[\text{In}] + [\text{M}]} < 0.5 \quad \dots (1)$$

[0031] なお、インジウム以外の金属元素は、1種類の金属元素に限られない。インジウム以外の金属元素には、複数の種類の金属元素が含まれていてもよい。

[0032] 酸化物半導体膜の詳細な製造方法は後述するが、酸化物半導体膜は、スパッタリング法を用いて形成することができる。スパッタリングによって形成

される酸化物半導体膜の組成は、スパッタリングターゲットの組成に依存する。上述した組成を有するスパッタリングターゲットでは、スパッタリングによって金属元素の組成ずれのない酸化物半導体膜を形成することができる。そのため、酸化物半導体膜の金属元素（インジウムおよびその他の金属元素）の組成が、スパッタリングターゲットの金属元素の組成と同様であるとしてもよい。例えば、酸化物半導体膜の金属元素の組成は、スパッタリングターゲットの金属元素の組成に基づき特定することができる。なお、酸化物半導体膜に含まれる酸素は、スパッタリングのプロセス条件などにより変化するため、この限りではない。

[0033] また、酸化物半導体膜の金属元素の組成は、蛍光X線分析または電子プローブマイクロアナライザ（Electron Probe Micro Analyzer：EPMA）分析などを用いて特定することもできる。さらに、酸化物半導体膜は、多結晶構造を有するため、X線回折（X-ray Diffraction：XRD）法を用いて、酸化物半導体膜の組成を特定してもよい。具体的には、XRD法から取得された酸化物半導体膜の結晶構造および格子定数に基づき、酸化物半導体膜の金属元素の組成を特定することができる。

[0034] [2-2. 酸化物半導体膜の結晶構造]

酸化物半導体膜は、複数の結晶粒を含む多結晶構造を有する。詳細は後述するが、Poly-OS（Poly-crystalline Oxide Semiconductor）技術を用いることにより、従来と異なる新規な多結晶構造を有する酸化物半導体膜を形成することができる。そのため、以下では、従来の多結晶構造を有する酸化物半導体膜と区別するため、本実施形態に係る多結晶構造を有する酸化物半導体膜をPoly-OS膜という場合がある。

[0035] Poly-OS膜に含まれる結晶粒は、複数の結晶子からなってもよい。結晶子径は特に限定されないが、好ましくは1nm以上であり、より好ましくは10nm以上であり、さらに好ましくは15nm以上である。結晶

子径は、電子線回折法またはXRD法などを用いて取得することができる。

[0036] Poly-O₂S膜の結晶構造は特に限定されないが、好ましくはビックスバイト型構造である。Poly-O₂S膜の結晶構造は、XRD法または電子線回折法を用いて特定することができる。

[0037] なお、Poly-O₂S膜では、複数の結晶粒が1種類の結晶構造を有していてもよく、複数の種類の結晶構造を有していてもよい。Poly-O₂S膜が複数の種類の結晶構造を有する場合、複数の種類の結晶構造の1つはビックスバイト型構造であることが好ましい。

[0038] Poly-O₂S膜の結晶構造は、従来の多結晶構造を有する酸化物半導体膜の結晶構造と異なる。具体的には、本発明者らは、Poly-O₂S膜に含まれる結晶粒が、従来の酸化物半導体膜に含まれる結晶粒と異なる特徴があることを見出した。このようなPoly-O₂S膜の特徴は、電子回折パターンを利用した結晶方位（結晶面に対して垂直方向）の測定により取得することができる。具体的には、Poly-O₂S膜の特徴は、TEM-EDマッピング (Transmission Electron Microscopy Electron Diffraction Mapping) 法を用いて測定することができる。なお、TEM-EDマッピング法は、ACOM-TEM (Automated Crystal Orientation Mapping Transmission Electron Microscopy) 法という場合がある。以下では、TEM-EDマッピング法による酸化物半導体膜の測定について説明する。

[0039] [2-2-1. TEM-EDマッピング法]

図3は、TEM-EDマッピング法を説明する模式図である。TEM-EDマッピング法とは、被測定対象物の測定領域に電子線を照射し、被測定対象物を透過して観察される電子回折パターンを解析し、被測定対象物の測定領域における結晶方位を測定する分析方法である。測定領域内の複数の測定点で連続的に電子回折パターンを解析することにより、結晶粒内または結晶粒間の結晶方位に関する情報を取得することができる。TEM-EDマッピング

ング法では、被測定対象物としてTEM試料500を用いる。そのため、TEM-EDマッピング法は、SEM試料を用いるEBSD (Electron Back Scattered Diffraction) 法よりも、微小な測定領域における結晶方位に関する情報を取得することが可能である。

- [0040] なお、薄膜トランジスタ10の酸化物半導体層140に対してTEM-EDマッピング法を適用する場合、TEM試料500として、薄膜トランジスタ10の酸化物半導体層140の断面を含む薄膜試料が用いられる。また、TEM-EDマッピング法は、TEM試料を用いた微小領域の測定であり、電子線回折パターンが観察される測定点のステップ間隔は、例えば、1nm以上であるが、これに限られない。但し、結晶方位の測定においては、酸化物半導体層140の膜厚方向における測定点の数が多い方が好ましい。例えば、ステップ間隔は、酸化物半導体層の膜厚の1/5以下であり、好ましくは1/10以下であり、さらに好ましくは1/30以下である。
- [0041] TEM-EDマッピング法では、図3に示すように、TEM試料500を基準とする座標系 (ND (Normal Direction)、TD (Transverse Direction)、およびRD (Reference Direction)) が用いられる。TEM試料500を基準とする座標系では、TEM試料500の表面に対する法線方向がNDである。ND、TD、およびRDは、互いに直交している。電子線は、NDからTEM500に照射される。
- [0042] 図3には、TEM試料500を基準とする座標系とともに、薄膜トランジスタ10 (または酸化物半導体層140) を基準とする座標系 (x軸、y軸、およびz軸) が示されている。薄膜トランジスタ10を基準とする座標系では、酸化物半導体層140の膜厚方向がz軸である。x軸、y軸、およびz軸は、互いに直交している。そのため、x軸およびy軸は、酸化物半導体層140の面内方向である。
- [0043] したがって、TEM-EDマッピング法におけるND、TD、およびRD

は、それぞれ、薄膜トランジスタ10のy軸、x軸、およびz軸に対応している。

[0044] [2-2-2. 逆極点図]

逆極点図 (Inverse Pole Figure: IPF) は、TEM試料500を基準とする座標系の特定方向における結晶方位が図示された像である。逆極点図では、TEM試料500の座標系の各方向において、所定の指標に従って結晶方位の割合が示される。一般的には、カラーキーに従って、特定方向における結晶方位の割合が色分けされる。

[0045] [2-2-3. IPFマップ]

IPFマップは、TEM試料500を基準とする座標系の特定の方向における結晶方位が、TEM試料500の表面における結晶方位の分布として図示された像である。IPFマップでは、TEM試料500の座標系の各方向において、結晶方位を示す所定の指標に従って複数の測定点における結晶方位が区分される。一般的には、カラーキーに従って、結晶方位が色分けされる。

[0046] [2-2-4. 結晶粒]

結晶粒は、結晶粒界によって囲まれる結晶領域である。TEM-EDマッピング法では、結晶方位に関する情報が得られるため、結晶方位に基づいて結晶粒界を定義することができる。一般的に、隣接する2つの測定点における結晶方位差が 5° を超えると、2つの測定点の間に結晶粒界が存在すると定義される。そのため、Poly-OS膜においても、上記定義を適用する。

[0047] TEM-EDマッピング法は、微小な測定領域内における測定である。また、TEM試料500として、膜厚方向に沿った断面を表面とする薄膜試料が用いられるため、酸化物半導体層140の面内に広がる結晶粒の結晶粒径を定義することは難しい。そのため、本実施形態では、結晶粒径に代わり、測定領域における酸化物半導体層140の断面に基づいて取得される結晶粒の長さを結晶粒長として定義する。具体的には、酸化物半導体層140の断

面において取得される2つの結晶粒界間の距離を、結晶粒長として定義する。このように定義される結晶粒長は、結晶粒径よりも小さく算出される可能性がある。しかしながら、Poly-O S膜に含まれる結晶粒の結晶粒径は、従来の酸化物半導体膜に含まれる結晶粒の結晶粒径よりも大幅に大きい。すなわち、Poly-O S膜における上述のように定義された結晶粒長は、従来の酸化物半導体膜に含まれる結晶粒の結晶粒径よりも大きな値として取得することができる。そのため、上述のように定義された結晶粒長を用いて、Poly-O S膜と従来の酸化物半導体膜とを比較することが可能である。Poly-O S膜において、結晶粒長は、100 nm以上であり、好ましくは、300 nm以上であり、さらに好ましくは500 nm以上である。結晶粒長の上限値は特に限定されないが、50 μ m以下である。なお、結晶粒長は、膜厚の中央部において測定されることが好ましい。

[0048] 上述したように、Poly-O S膜に含まれる結晶粒の結晶粒長は大きく、1つの結晶粒が、Poly-O S膜の上面の一部および下面の一部を形成している場合がある。このとき、隣接する2つの結晶粒の結晶粒界は、上面から下面に（または、下面から上面に）向かって形成されるが、膜厚方向に沿って形成されず、結晶粒界の上面の位置と下面の位置とがずれる場合がある。換言すると、結晶粒界を挟んで隣接する2つの結晶粒が、Poly-O S膜の膜厚方向において互いに重畳する。また、Poly-O S膜の膜厚方向と直交する方向において、結晶粒界の上面の位置と下面の位置との間の距離、すなわち、隣接する2つの結晶粒の重畳する距離は、例えば、10 nm以上であり、好ましくは20 nm以上であり、さらに好ましくは30 nm以上である。

[0049] [2-2-5. KAM値]

KAM (Kernel Average Misorientation) 値は、結晶粒内における1つの測定点とその測定点に隣接する全ての測定点との間の結晶方位差の平均値である。結晶粒界を間に挟んで隣接する2つの測定点の間の結晶方位差は、KAM値の算出から除外される。

- [0050] KAM値は、結晶粒内の結晶方位の変化を表す値である。上述したように、1つの測定点とその測定点に隣接する他の測定点の2点間の結晶方位差が 5° を超えると結晶粒界とみなされる。したがって、結晶粒内における隣接する測定点に基づき算出されるKAM値の範囲は、 0° 以上 5° 以下である。KAM値が大きいと、結晶粒内における局所的な結晶方位の変化が大きく、歪みの大きな結晶粒であることを意味する。
- [0051] KAM値は、複数の測定点の各々において算出される。そのため、結晶粒内におけるKAM値の分布図を作成することができる。また、KAM値の平均値および標準偏差を算出することができる。KAM値の平均値は、Poly-O S膜に含まれる結晶粒の性質の1つを表す値である。Poly-O S膜は、結晶方位の変化が大きく、歪みの大きな結晶を多く含むため、従来の多結晶構造を有する酸化物半導体膜よりもKAM値の平均値が大きい。Poly-O S膜におけるKAM値の平均値は、 0.6° 以上であり、好ましくは 0.7° 以上であり、さらに好ましくは 0.8° 以上である。同様に、KAM値の標準偏差も、Poly-O S膜に含まれる結晶粒の性質の1つを表す値である。Poly-O Sにおいて、KAM値の標準偏差は、 0.3° 以上であり、好ましくは 0.35° 以上であり、さらに好ましくは 0.4° 以上である。
- [0052] また、Poly-O S膜では、測定点のステップ間隔が増加すると、KAM値の平均値が大きくなる。これは、Poly-O S膜に含まれる結晶粒内の結晶方位の変化が大きいことに起因しており、ステップ間隔の増加に伴いKAM値の平均値が大きくなる傾向も、Poly-O S膜の特徴の1つである。
- [0053] なお、上述したKAM値の平均値は、測定領域内の全ての測定点のKAM値を用いて算出されるKAM値の総平均値 ($KAM_{AVE(total)}$) である。本明細書において、特に説明がない場合には、KAM値の平均値は、KAM値の総平均値 ($KAM_{AVE(total)}$) を指す。一方、測定領域内の複数の測定点のうちの一部を用いて、KAM値の平均値を算出することも可能である。例

例えば、 Poly-O-S 膜の膜厚を区分し、区分された領域内に含まれる測定点の KAM 値の平均値を算出することができる。一部の測定点を用いて算出された KAM 値の平均値は、 KAM 値の総平均値 ($\text{KAM}_{\text{AVE}(\text{total})}$) とは異なる。 Poly-O-S 膜の膜厚が区分されて算出される KAM 値の平均値は、 Poly-O-S 膜の膜厚の距離（深さ）に依存する平均値であるため、本明細書では、 KAM 値の総平均値 ($\text{KAM}_{\text{AVE}(\text{total})}$) と区別し、 KAM 値の深さ平均値 ($\text{KAM}_{\text{AVE}(\text{depth})}$) と記載する場合がある。

[0054] 上述したように、 Poly-O-S 膜の結晶粒長は大きいため、 Poly-O-S 膜の上面から下面までが1つの結晶粒で形成されてもよい。 Poly-O-S 膜では、 Poly-O-S 膜の膜厚方向においても結晶方位が大きく変化する。具体的には、 Poly-O-S 膜の上端部および下端部（界面近傍であり、例えば、界面から3nm以内の領域をいう。）と中央部（中央付近であり、例えば、上端部と下端部とから等距離に位置する5nm以内の領域をいう。）とで、 KAM 値の深さ平均値 ($\text{KAM}_{\text{AVE}(\text{depth})}$) が異なる。 Poly-O-S 膜の上端部および下端部の各々における KAM 値の深さ平均値 ($\text{KAM}_{\text{AVE}(\text{depth})}$) は、 0.6° 以上 5.0° 未満であり、好ましくは 0.7° 以上 5.0° 未満である。一方、 Poly-O-S 膜の中央部における KAM 値の深さ平均値 ($\text{KAM}_{\text{AVE}(\text{depth})}$) は、 0.6° 未満である。また、 Poly-O-S 膜の上端部または下端部と中央部との KAM 値の深さ平均値 ($\text{KAM}_{\text{AVE}(\text{depth})}$) の差は、 0.1° 以上であり、好ましくは 0.15° 以上であり、さらに好ましくは 0.2° 以上である。

[0055] Poly-O-S 膜の上面および下面には、凹凸が形成されている場合がある。この場合、上端部および下端部の測定点の数が少なくなり、上端部および下端部における KAM 値の深さ平均値 ($\text{KAM}_{\text{AVE}(\text{depth})}$) の誤差が大きくなりやすい。そこで、区分された領域内に含まれる測定点の数が、中央部の測定点の数の90%以上である領域（または、測定点の最大数の90%以上である領域）を有効な領域として、 Poly-O-S 膜の上端部、下端部、および中央部における KAM 値の深さ平均値 ($\text{KAM}_{\text{AVE}(\text{depth})}$) を算出し

てもよい。実効的なP o l y - O S膜では、上面および下面に形成されている凹凸の影響を受けることなく、上端部および下端部におけるK A M値の深さ平均値 ($K A M_{A V E (d e p t h)}$) を算出することができる。

[0056] 上述したように、T E M - E Dマッピング法により、P o l y - O S膜に含まれる結晶粒内の結晶方位に関する情報を取得することができる。例えば、P o l y - O S膜がピクスパイト型構造であるとき、T E M - E Dマッピング法により、P o l y - O S膜が結晶方位 $\langle 0 0 1 \rangle$ 、結晶方位 $\langle 1 0 1 \rangle$ 、または結晶方位 $\langle 1 1 1 \rangle$ の結晶粒を含むことが観察される。

[0057] ここで、結晶方位 $\langle 0 0 1 \rangle$ は、 $[0 0 1]$ 並びにこれに等価な $[1 0 0]$ および $[0 1 0]$ を表す。また、結晶方位 $\langle 1 0 1 \rangle$ は、 $[1 0 1]$ 並びにこれに等価な $[1 1 0]$ および $[0 1 1]$ を表す。また、結晶方位 $\langle 1 1 1 \rangle$ は、 $[1 1 1]$ を表す。さらに、各方位においては、「1」が「-1」であってもよく、各方位と等価な軸とみなされる。

[0058] また、結晶方位には、 $\langle 0 0 1 \rangle$ 、 $\langle 1 0 1 \rangle$ 、および $\langle 1 1 1 \rangle$ 以外にも、 $\langle h k 0 \rangle$ ($h \neq k$ 、 h および k は自然数)、 $\langle h h l \rangle$ ($h \neq l$ 、 h および l は自然数)、および $\langle h k l \rangle$ ($h \neq k \neq l$ 、 h 、 k 、および l は自然数) などがある。

[0059] P o l y - O S膜に含まれる結晶粒は、結晶粒内で結晶方位が大きく変化するという特徴を有する。このようなP o l y - O S膜の特徴をT E M - E D法を用いて数値化すると、P o l y - O S膜のK A M値の平均値が 0.6° 以上である。従来の酸化物半導体膜の場合、結晶粒内の結晶方位の変化が大きいと、結晶転位が発生しやすく、結晶粒の結晶粒径は小さくなる。しかしながら、P o l y - O S膜では、結晶粒内での結晶方位の変化が大きいかかわらず、上述したように、結晶粒の結晶粒長（または結晶粒径）が大きい。このようなP o l y - O S膜の特徴は、従来の酸化物半導体膜の特徴と全く異なるものである。本発明者らは、試行錯誤の結果、新規な結晶構造を有するP o l y - O S膜を見出すに至った。P o l y - O S膜は、大きな結晶粒長（または結晶粒径）を有する結晶粒を含むため、結晶粒界の影響を

受けにくい。したがって、チャネルとしてP o l y - O S膜を含む薄膜トランジスタ10では、チャネルが結晶粒界の影響を受けにくく、粒界散乱が抑制され、電界効果移動度が向上する。

[0060] なお、P o l y - O S膜に含まれる結晶粒の結晶方位の詳細については、実施例とともに後述する。

[0061] 以上、薄膜トランジスタ10の構成について説明したが、上述した薄膜トランジスタ10は、いわゆるトップゲート型トランジスタである。薄膜トランジスタ10は様々な変形が可能である。例えば、遮光層105が導電性を有する場合、薄膜トランジスタ10は、遮光層105がゲート電極として機能し、第1の絶縁層110および第2の絶縁層120がゲート絶縁層として機能する構成であってもよい。この場合、薄膜トランジスタ10は、いわゆるデュアルゲート型トランジスタである。また、遮光層105が導電性を有する場合、遮光層105はフローティング電極であってもよく、ソース電極201と接続されていてもよい。さらに、薄膜トランジスタ10は、遮光層105を主なゲート電極として機能させる、いわゆるボトムゲート型トランジスタであってもよい。

[0062] [2. 薄膜トランジスタ10の製造方法]

図4～図12を参照して、本発明の一実施形態に係る薄膜トランジスタ10の製造方法について説明する。図4は、本発明の一実施形態に係る薄膜トランジスタ10の製造方法を示すフローチャートである。図5～図12は、本発明の一実施形態に係る薄膜トランジスタ10の製造方法を示す模式的な断面図である。

[0063] 図4に示すように、薄膜トランジスタ10の製造方法は、ステップS1010～ステップS1110を含む。以下、ステップS1010～ステップS1110を順に説明するが、薄膜トランジスタ10の製造方法は、ステップの順序が入れ替わる場合がある。また、薄膜トランジスタ10の製造方法は、さらなるステップが含まれていてもよい。

[0064] ステップS1010では、基板100の上に所定のパターンを有する遮光

層105が形成される。遮光層105のパターニングは、フォトリソグラフィ法を用いて行われる。また、遮光層105の上に、第1の絶縁層110および第2の絶縁層120が形成される（図5参照）。第1の絶縁層110および第2の絶縁層120は、CVD法を用いて成膜される。例えば、第1の絶縁層110および第2の絶縁層120として、それぞれ、窒化シリコンおよび酸化シリコンが成膜される。第1の絶縁層110として窒化シリコンが用いられる場合、第1の絶縁層110は、基板100側から酸化物半導体層140に拡散される不純物をブロックすることができる。第2の絶縁層120として酸化シリコンが用いられる場合、第2の絶縁層120は、熱処理によって酸素を放出することができる。

[0065] ステップS1015では、第2の絶縁層120の上に金属酸化物膜135が成膜される（図6参照）。金属酸化物膜135は、スパッタリング法によって成膜される。金属酸化物膜135の厚さは、例えば、2nm以上51nm以下、好ましくは2nm以上31nm以下、さらに好ましくは2nm以上21nm以下、特に好ましくは2nm以上11nm以下である。

[0066] ステップS1020では、金属酸化物膜135の上に酸化物半導体膜145が成膜される（図6参照）。酸化物半導体膜145は、スパッタリング法によって成膜される。酸化物半導体膜145の厚さは、例えば、10nm以上100nm以下、好ましくは15nm以上70nm以下、さらに好ましくは15nm以上40nm以下である。

[0067] ステップS1020における酸化物半導体膜145はアモルファスである。Poly-O₂S技術において、酸化物半導体層140が基板面内で均一な多結晶構造を有するためには、成膜後かつ熱処理前の酸化物半導体膜145がアモルファスであることが好ましい。そのため、酸化物半導体膜145の成膜条件は、成膜直後の酸化物半導体膜145ができるだけ結晶化しない条件であることが好ましい。スパッタリング法によって酸化物半導体膜145が成膜される場合、被成膜対象物（基板100および基板100上に形成された層）の温度を100℃以下、好ましくは80℃以下、さらに好ましくは

50℃以下に制御しながら酸化物半導体膜145が成膜される。また、酸素分圧の低い条件の下で酸化物半導体膜145が成膜される。酸素分圧は、2%以上20%以下であり、好ましくは3%以上15%以下であり、さらに好ましくは3%以上10%未満である。

[0068] ステップS1030では、酸化物半導体膜145のパターニングが行われる(図7参照)。酸化物半導体膜145のパターニングは、フォトリソグラフィ法を用いて行われる。酸化物半導体膜145のエッチングとして、ウェットエッチングが用いられてもよく、ドライエッチングが用いられてもよい。ウェットエッチングでは、酸性のエッチャントを用いてエッチングを行うことができる。エッチャントとして、例えば、シュウ酸、PAN、硫酸、過酸化水素水、またはフッ酸を用いることができる。

[0069] ステップS1040では、酸化物半導体膜145に対して熱処理が行われる。以下、ステップS1040で行われる熱処理を「OSアニール」という。OSアニールでは、酸化物半導体膜145が、所定の到達温度で所定の時間保持される。所定の到達温度は、300℃以上500℃以下であり、好ましくは350℃以上450℃以下である。また、到達温度での所定の時間(保持時間)は、15分以上120分以下であり、好ましくは30分以上60分以下である。OSアニールにより、酸化物半導体膜145が結晶化され、多結晶構造を有する酸化物半導体層140(すなわち、Poly-OS膜を含む酸化物半導体層140)が形成される。

[0070] ステップS1045では、金属酸化物膜135のパターニングが行われ、金属酸化物層130が形成される(図8)。金属酸化物膜135は、酸化物半導体層140をマスクとしてエッチングされる。パターニングされた酸化物半導体層140をマスクとすることで、フォトリソグラフィ工程を省略することができる。金属酸化物膜135のエッチングとして、ウェットエッチングが用いられてもよく、ドライエッチングが用いられてもよい。ウェットエッチングでは、例えば、希釈フッ酸(DHF)が用いられる。

[0071] ステップS1050では、酸化物半導体層140の上にゲート絶縁層15

0が成膜される（図9参照）。ゲート絶縁層150は、CVD法を用いて成膜される。例えば、ゲート絶縁層150として、酸化シリコンが成膜される。ゲート絶縁層150の欠陥を低減するため、350℃以上の成膜温度でゲート絶縁層150を成膜してもよい。ゲート絶縁層150の厚さは、50nm以上300nm以下、好ましくは60nm以上200nm以下、さらに好ましくは70nm以上150nm以下である。

[0072] ステップS1060では、酸化物半導体層140に対して熱処理が行われる。以下、ステップS1060で行われる熱処理を「酸化アニール」という。酸化物半導体層140の上にゲート絶縁層150が形成されると、酸化物半導体層140の上面および側面には多くの酸素欠陥が生成される。酸化アニールが行われると、第2の絶縁層120およびゲート絶縁層150から酸化物半導体層140に酸素が供給され、酸素欠陥が修復される。

[0073] ステップS1070では、ゲート絶縁層150の上に所定のパターンを有するゲート電極160が形成される（図10参照）。ゲート電極160は、スパッタリング法または原子層堆積法によって成膜され、ゲート電極160のパターニングは、フォトリソグラフィ法を用いて行われる。

[0074] ステップS1080では、酸化物半導体層140中にソース領域Sおよびドレイン領域Dが形成される（図10参照）。ソース領域Sおよびドレイン領域Dは、イオン注入によって形成される。具体的には、ゲート電極160をマスクとして、ゲート絶縁層150を介して酸化物半導体層140に不純物が注入される。注入される不純物として、例えば、アルゴン（Ar）、リン（P）、またはホウ素（B）などが用いられる。ゲート電極160と重畳しないソース領域Sおよびドレイン領域Dでは、イオン注入によって酸素欠陥が生成され、生成された酸素欠陥に水素がトラップされる。これにより、ソース領域Sおよびドレイン領域Dの抵抗が低下する。一方、ゲート電極160と重畳するチャネル領域CHでは、不純物が注入されないため、酸素欠陥が生成されず、チャネル領域CHの抵抗は低下しない。

[0075] なお、薄膜トランジスタ10では、ゲート絶縁層150を介して酸化物半

導体層140に不純物が注入されるため、ゲート絶縁層150にもアルゴン(Ar)、リン(P)、またはホウ素(B)などの不純物が含まれていてもよい。

[0076] ステップS1090では、ゲート絶縁層150およびゲート電極160の上に第3の絶縁層170および第4の絶縁層180が形成される(図11参照)。第3の絶縁層170および第4の絶縁層180は、CVD法を用いて成膜される。例えば、第3の絶縁層170および第4の絶縁層180として、それぞれ、酸化シリコンおよび窒化シリコンが成膜される。第3の絶縁層170の厚さは、50nm以上500nm以下である。第4の絶縁層180の厚さも、50nm以上500nm以下である。

[0077] ステップS1100では、ゲート絶縁層150、第3の絶縁層170、および第4の絶縁層180に開口171および173が形成される(図12参照)。開口171および173の形成により、酸化物半導体層140のソース領域Sおよびドレイン領域Dが露出される。

[0078] ステップS1110では、ソース電極201が、第4の絶縁層180の上および開口171の内部に形成され、ドレイン電極203が、第4の絶縁層180の上および開口173の内部に形成される。ソース電極201およびドレイン電極203は、同一層として形成される。具体的には、ソース電極201およびドレイン電極203は、成膜された1つの導電膜をパターンニングして形成される。以上のステップにより、図1に示す薄膜トランジスタ10が製造される。

[0079] 以上、薄膜トランジスタ10の製造方法について説明したが、薄膜トランジスタ10の製造方法はこれに限られない。

[0080] 本実施形態に係る薄膜トランジスタ10では、酸化物半導体層140が新規な結晶構造を有するPoly-O-S膜を含む。Poly-O-S膜は、結晶方位の変化が大きく、結晶粒長(または結晶粒径)の大きい結晶粒を含む。そのため、チャネルとしてPoly-O-S膜を含む薄膜トランジスタ10では、チャネル全体として結晶粒界の影響を受けにくい。また、結晶粒界にお

いて格子整合を高めるように結晶粒内の結晶方位が変化し、その結果、欠陥の少ない結晶粒界が生成されていると考えられる。これらのことにより、チャネルとしてP o l y - O S膜を含む薄膜トランジスタ10では、粒界散乱が抑制され、電界効果移動度が向上する。

[0081] <第2実施形態>

図13を参照して、本発明の一実施形態に係る電子機器について説明する。

[0082] 図13は、本発明の一実施形態に係る電子機器1000を示す模式図である。具体的には、図13には、電子機器1000の一例であるスマートフォンが示されている。電子機器1000は、側面が湾曲した表示装置1100を含む。表示装置1100は、画像を表示するための複数の画素を含み、複数の画素は、画素回路および駆動回路などによって制御される。画素回路および駆動回路には、第1実施形態で説明した薄膜トランジスタ10が含まれる。薄膜トランジスタ10は、高い電界効果移動度を有するため、画素回路および駆動回路の応答性を向上し、結果として、電子機器1000の性能を向上させることができる。

[0083] なお、本実施形態に係る電子機器1000は、スマートフォンに限られない。電子機器1000には、例えば、時計、タブレット、ノートパソコン、カーナビゲーションシステム、またはテレビなどの表示装置を有する電子機器も含まれる。また、第1実施形態で説明した薄膜トランジスタ10は、表示装置の有無に依らず、あらゆる電子機器に適用することができる。

実施例

[0084] 作製した薄膜トランジスタに基づき、酸化物半導体層（具体的には、P o l y - O S膜）について、さらに詳細に説明する。

[0085] [1. 薄膜トランジスタの作製]

第1実施形態で説明した製造方法を用いて、薄膜トランジスタを作製した。酸化物半導体層を形成するスパッタリングプロセスでは、焼結体中に含まれる全ての金属元素に対するインジウムが原子比率で70%であるスパッタ

リングターゲットを用いて、酸化物半導体層を30nm成膜した。成膜中の酸素分圧は5%であり、基板温度が100℃以下となるように基板温度を制御した。OSアニールプロセスでは、大気雰囲気下で、到達温度を350℃～450℃の間で制御し、到達温度で60分保持した。OSアニールプロセス後の酸化物半導体層の化学組成は、スパッタリングターゲットの化学組成と同様であった。

[0086] [2. TEM-EDマッピング法による結晶方位解析]

薄膜トランジスタの酸化物半導体層を含む領域の断面をFIB加工によってサンプリングしたTEM試料（以下、「実施例サンプル」とする。）を製作し、TEM-EDマッピング法を用いて、酸化物半導体層に含まれるPoly-OS膜の結晶方位解析を行った。TEM-EDマッピング法の測定条件は、表1のとおりである。結晶方位の解析は、NanoMegas社製ASTARを用いた。結晶構造の方位付けには、ICDD (International Centre for Diffraction Data) の04-024-4517のPDF (Powder Diffraction File) を用いた。

[0087] [表1]

装置	日本電子社製JEM-ARM200F
加速電圧	200kV
測定領域	60nm×1200nm
ステップ間隔	1nm

[0088] [2-1. 逆極点図]

図14は、実施例サンプルの酸化物半導体層（Poly-OS膜）の逆極点図である。図14には、ND、TD、およびRDのそれぞれにおける逆極点図が示されている。ND、TD、およびRDのそれぞれにおける逆極点図は、図14に示された指標の値に従って、結晶方位の割合が増加する（例えば、指標はカラーキーでもよく、青色から赤色になる（可視光の波長が大きい

くなる)と結晶方位の割合が増加する。))。ND、TD、およびRDのいずれにおいても、大きな値を有する領域(領域A1、領域A2、および領域A3)が存在し、割合の大きい特定の結晶方位が存在することがわかった。例えば、酸化物半導体層の膜厚方向に対応するRDにおいては、結晶方位 $\langle 001 \rangle$ および結晶方位 $\langle 101 \rangle$ より結晶方位 $\langle 111 \rangle$ の占める割合が大きい。

[0089] [2-2. IPFマップ]

図15は、実施例サンプルの酸化物半導体層(Poly-Os膜)のIPFマップである。図15には、ND、TD、およびRDのそれぞれにおけるIPFマップが示されている。図15では、図中の指標に従い、結晶方位 $\langle 001 \rangle$ 、結晶方位 $\langle 101 \rangle$ 、結晶方位 $\langle 111 \rangle$ 、および結晶方位 $\langle 011 \rangle$ が、区分されている。

[0090] 図15に示す領域B1および領域B2において、結晶方位が不連続的に大きく変化していた。結晶方位の不連続的な変化は結晶粒界に相当し、領域B1および領域B2において、酸化物半導体層の上面から下面に(または、下面から上面に)向かって形成された結晶粒界が確認された。領域B1における結晶粒界と領域B2における結晶粒界との間における1つの結晶粒の結晶粒長は1080nmであった。また、1つの結晶粒が、酸化物半導体層の上面の一部および下面の一部を形成していた。すなわち、結晶粒長は、酸化物半導体層の膜厚の10倍以上であった。

[0091] IPFマップにおける結晶粒内の結晶方位は、上述した逆極点図における結晶方位の割合と対応していた。例えば、RDにおける結晶粒の主な結晶方位は、結晶方位 $\langle 111 \rangle$ である。

[0092] 領域B2における結晶粒界は、酸化物半導体層の膜厚方向に沿って形成されておらず、酸化物半導体層の膜厚方向から大きくずれていた。すなわち、領域B2における結晶粒界を挟んで隣接する2つの結晶粒は、酸化物半導体層の膜厚方向において互いに重畳していた。酸化物半導体層の膜厚方向と直交する方向において、隣接する2つの結晶粒の重畳する距離は34nmであ

った。

[0093] なお、図示しないが、TEM像においても、領域B1および領域B2において結晶粒界を確認することができた。

[0094] [2-3. KAM値]

図16は、実施例サンプルの酸化物半導体層（Poly-Os膜）のKAMマップである。具体的には、図16には、測定領域内における測定点の各々のKAM値が、図16に示された指標の値に従って区分されている（例えば、指標はカラーキーでもよく、青色から赤色になる（可視光の波長が大きくなる）に従って、KAM値が 0° から 5° に増加する。）。なお、隣接する2つの測定点における結晶方位差が 5° を超えると、結晶粒界とみなされるため、KAM値の上限は 5° である。また、図17は、実施例サンプルの酸化物半導体層（Poly-Os膜）のKAM値の分布を表すグラフである。

[0095] 図16に示すように、酸化物半導体層には、 0° 近傍のKAM値を有する領域（カラーキーでは青色で示される領域に対応するため、以下では、説明の便宜上、「青色の領域」という。）だけでなく、 0° 近傍以外のKAM値を有する領域（カラーキーでは緑色で示される領域に対応するため、以下では、説明の便宜上、「緑色の領域」という。）も広く分布していた。全体的な傾向として、酸化物半導体層の中央部に青色の領域が広がり、酸化物半導体層の表面近傍（上端部および下端部の近傍）に緑色の領域が広がっていた。図17から理解されるように、 0° 近傍のKAM値を有する測定点だけでなく、 0° 近傍以外のKAM値を有する測定点も多く存在することがわかる。全ての測定点のKAM値を用いて算出されたKAM値の総平均値（ $KAM_{AVE(total)}$ ）は、 0.646° であった。また、KAM値の標準偏差（ σ ）は、 0.396 であった。なお、ステップ間隔を 2nm にした場合、KAM値の総平均値（ $KAM_{AVE(total)}$ ）は、 0.670° であった。すなわち、ステップ間隔が増加すると、KAM値の総平均値（ $KAM_{AVE(total)}$ ）が大きくなった。

[0096] TEM-EDマッピング法は、微小領域における測定であるが、Poly-O S膜の場合、このような微小領域においてもKAM値の総平均値および標準偏差が大きい。これは、Poly-O S膜の結晶粒内における結晶方位の変化が大きいことを意味する。Poly-O S膜に含まれる結晶粒は、大きな結晶粒長（または結晶粒径）を有するにもかかわらず、局所的な結晶方位の変化が大きい。これは、従来の多結晶構造を有する酸化物半導体膜では見られないPoly-O S膜の特徴の1つである。

[0097] 図18は、実施例サンプルの酸化物半導体層（Poly-O S膜）におけるKAM値の深さ平均値を表すグラフである。上述したように、酸化物半導体層の中央部と表面近傍（上端部および下端部の近傍）とでは、KAM値の分布に違いが見られた。そこで、ゲート絶縁層と酸化物半導体層との界面からの距離（酸化物半導体層の深さ）ごとに、測定点のKAM値を集計し、その平均値であるKAM値の深さ平均値（ $KAM_{AVE(depth)}$ ）を算出した。KAM値の深さ平均値（ $KAM_{AVE(depth)}$ ）は、酸化物半導体層の深さに応じて区分された一部の測定点のKAM値の平均値である。なお、酸化物半導体層の表面の凹凸の影響を除外するため、区分された領域内に含まれる測定点の数が、中央部の測定点の数の90%以上である領域を有効な領域として、酸化物半導体層のKAM値の深さ平均値（ $KAM_{AVE(depth)}$ ）を算出した。図18に示すグラフは、酸化物半導体層の膜厚方向に対するKAM値の深さ平均値（ $KAM_{AVE(depth)}$ ）がプロットされている。

[0098] 図18に示すように、酸化物半導体層の中央部よりも、酸化物半導体層とゲート絶縁層との界面に近い上端部および酸化物半導体層と金属酸化物層との界面に近い下端部の方がKAM値の深さ平均値（ $KAM_{AVE(depth)}$ ）が大きかった。中央部（深さ15nm）、上端部（深さ0nm）、および下端部（深さ32nm）のKAM値の深さ平均値（ $KAM_{AVE(depth)}$ ）は、それぞれ、 0.554° 、 0.828° 、および 0.802° であった。KAM値の深さ平均値（ $KAM_{AVE(depth)}$ ）における、上端部と中央部との差、および下端部と中央部との差は、 0.2° 以上であった。

[0099] 上述の結果は、酸化物半導体層の界面近傍における結晶方位の変化が大きいことを示す。Poly-O₂S膜では、膜厚方向においても、局所的な結晶方位の変化が大きい。従来の多結晶構造を有する酸化物半導体膜では、結晶粒内における歪みが緩和されるように結晶粒長（または結晶粒径）が小さくなり、酸化物半導体膜の上面から下面までを1つの結晶粒で形成することは困難である。一方、Poly-O₂S膜では、結晶方位の変化の大きな1つの結晶粒によって、上面から下面までを形成することが可能である。これは、従来の多結晶構造を有する酸化物半導体膜では見られないPoly-O₂S膜の特徴の1つである。

[0100] [3. 電気特性]

作製された薄膜トランジスタの電気特性を測定した。電気特性から算出された電界効果移動度は $33.5 \text{ cm}^2/\text{Vs}$ であった。薄膜トランジスタのチャネルとしてPoly-O₂S膜を用いると、 $30 \text{ cm}^2/\text{Vs}$ を超える電界効果移動度（飽和領域における電界効果移動度）が得られることがわかった。

[0101] 本発明の実施形態として上述した各実施形態は、相互に矛盾しない限りにおいて、適宜組み合わせる実施することができる。また、各実施形態を基にして、当業者が適宜構成要素の追加、削除、もしくは設計変更を行ったもの、または工程の追加、省略、もしくは条件変更を行ったものも、本発明の要旨を備えている限り、本発明の範囲に含まれる。

[0102] 上述した各実施形態の態様によりもたらされる作用効果とは異なる他の作用効果であっても、本明細書の記載から明らかなもの、または当業者において容易に予測し得るものについては、当然に本発明によりもたらされるものと解される。

符号の説明

[0103] 10：薄膜トランジスタ、 100：基板、 105：遮光層、 110：第1の絶縁層、 120：第2の絶縁層、 130：金属酸化物層、 135：金属酸化物膜、 140：酸化物半導体層、 145：酸化物半導体膜、 150：ゲート絶縁層、 160：ゲート電極、 170：第3の絶縁

層、 171 : 開口、 173 : 開口、 180 : 第4の絶縁層、 200
: ソース・ドレイン電極、 201 : ソース電極、 203 : ドレイン電極
、 500 : TEM試料、 1000 : 電子機器、 1100 : 表示装置

請求の範囲

- [請求項1] 基板と、
前記基板の上に設けられた金属酸化物層と、
前記金属酸化物層と接して設けられる、複数の結晶粒を含む酸化物半導体層と、
前記酸化物半導体層の上に設けられたゲート電極と、
前記酸化物半導体層と前記ゲート電極との間に設けられたゲート絶縁層と、を含み、
前記酸化物半導体層の膜厚方向と交差する方向から照射される電子線が前記酸化物半導体層を透過して得られる電子回折パターンに基づいて前記酸化物半導体層の複数の測定点の各々における結晶方位が取得されるとき、前記複数の測定点において算出されるKAM値の平均値が 0.6° 以上である、薄膜トランジスタ。
- [請求項2] 前記複数の測定点の各々における前記電子回折パターンは、所定のステップ間隔で観察され、
前記所定のステップ間隔は、 1 nm 以上である、請求項1に記載の薄膜トランジスタ。
- [請求項3] 前記所定のステップ間隔は、前記酸化物半導体層の膜厚の $1/5$ 以下である、請求項2に記載の薄膜トランジスタ。
- [請求項4] 前記所定のステップ間隔が増加すると、前記平均値が大きくなる、請求項3に記載の薄膜トランジスタ。
- [請求項5] 結晶粒界を挟んで隣接する2つの結晶粒の少なくとも1つは、前記酸化物半導体層の上面の一部および下面の一部を形成する、請求項1に記載の薄膜トランジスタ。
- [請求項6] 隣接する2つの測定点の結晶方位差が 5° を超えるとき、前記隣接する2つの測定点の間を結晶粒界として画定する、請求項5に記載の薄膜トランジスタ。
- [請求項7] 結晶粒界を挟んで隣接する2つの結晶粒は、前記酸化物半導体層の

前記膜厚方向において互いに重畳し、

前記酸化物半導体層の前記膜厚方向と交差する前記方向において、前記隣接する2つの結晶粒の重畳する距離は、10nm以上である、請求項1に記載の薄膜トランジスタ。

[請求項8] 隣接する2つの測定点の結晶方位差が 5° を超えると、前記隣接する2つの測定点の間を結晶粒界として画定する、請求項7に記載の薄膜トランジスタ。

[請求項9] 前記酸化物半導体層の上端部および下端部の各々におけるKAM値の深さ平均値は、 0.6° 以上である、請求項1に記載の薄膜トランジスタ。

[請求項10] 前記酸化物半導体層の上端部または下端部のKAM値の深さ平均値と、中央部のKAM値の深さ平均値との差は、 0.1° 以上である、請求項1に記載の薄膜トランジスタ。

[請求項11] 前記酸化物半導体層の前記膜厚方向における前記結晶方位の占める割合は、結晶方位 $\langle 001 \rangle$ および結晶方位 $\langle 101 \rangle$ よりも結晶方位 $\langle 111 \rangle$ が大きい、請求項1に記載の薄膜トランジスタ。

[請求項12] 前記複数の結晶粒の少なくとも1つは、前記酸化物半導体層の前記膜厚方向と交差する前記方向に100nm以上の結晶粒長を有する、請求項1に記載の薄膜トランジスタ。

[請求項13] 前記酸化物半導体層は、
インジウムと、
前記インジウムを除く、少なくとも1つ以上の金属元素と、を含み、
前記インジウムおよび前記少なくとも1つ以上の金属元素に対する前記インジウムの比率は、50%以上である、請求項1に記載の薄膜トランジスタ。

[請求項14] 前記金属酸化物層に含まれる金属酸化物のバンドギャップは、4eV以上であることを特徴とする、請求項1に記載の薄膜トランジスタ

。

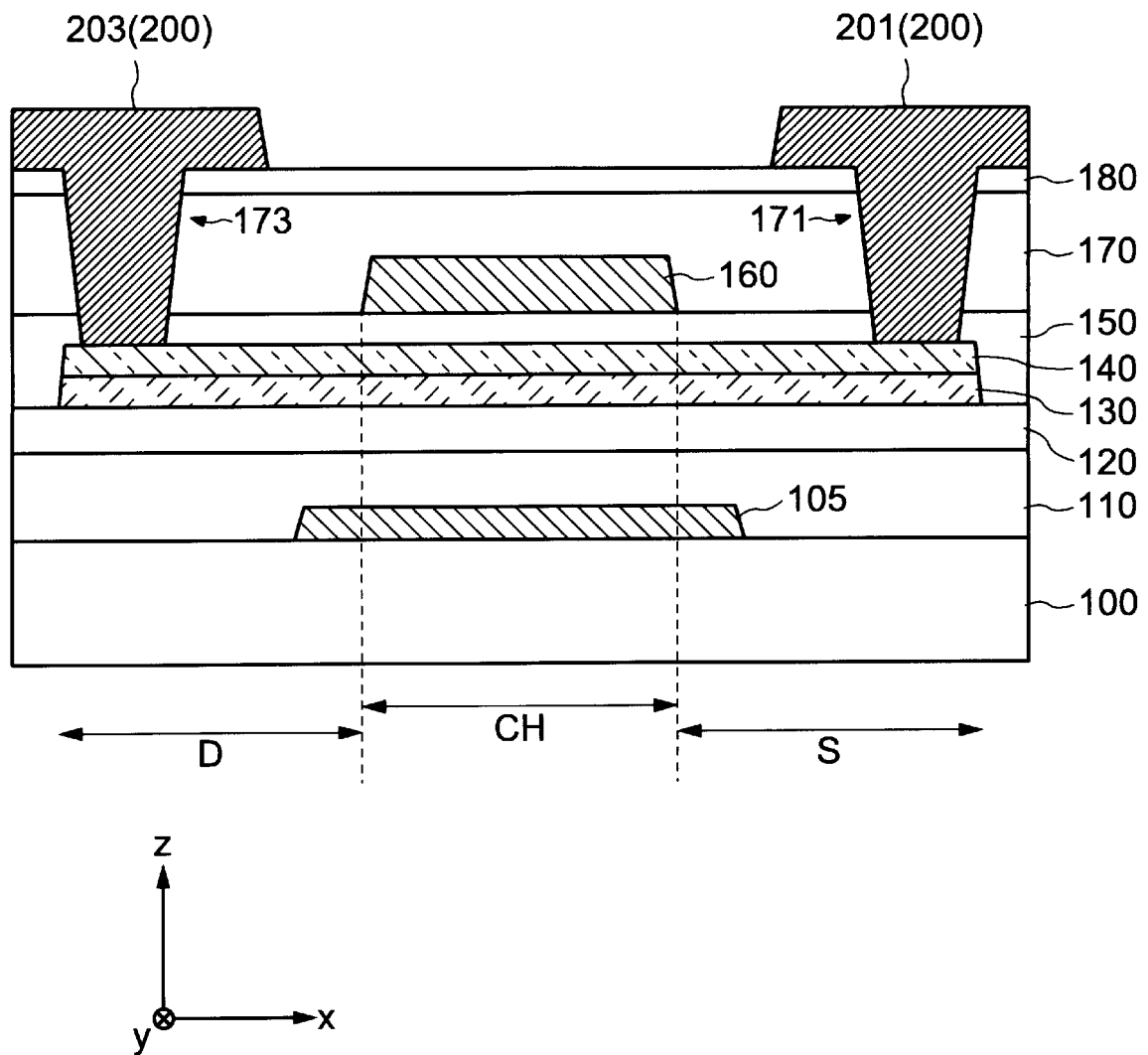
[請求項15] 前記金属酸化物層は、アルミニウム、マグネシウム、カルシウム、スカンジウム、ガリウム、ゲルマニウム、ストロンチウム、ニッケル、タンタル、イットリウム、ジルコニウム、バリウム、ハフニウム、コバルト、およびランタノイド系元素から選ばれた1つまたは複数の金属元素を含む、請求項1に記載の薄膜トランジスタ。

[請求項16] 前記酸化物半導体層の結晶構造は、ビックスバイト型構造である、請求項1に記載の薄膜トランジスタ。

[請求項17] 請求項1乃至請求項16のいずれか一項に記載の薄膜トランジスタを含む、電子機器。

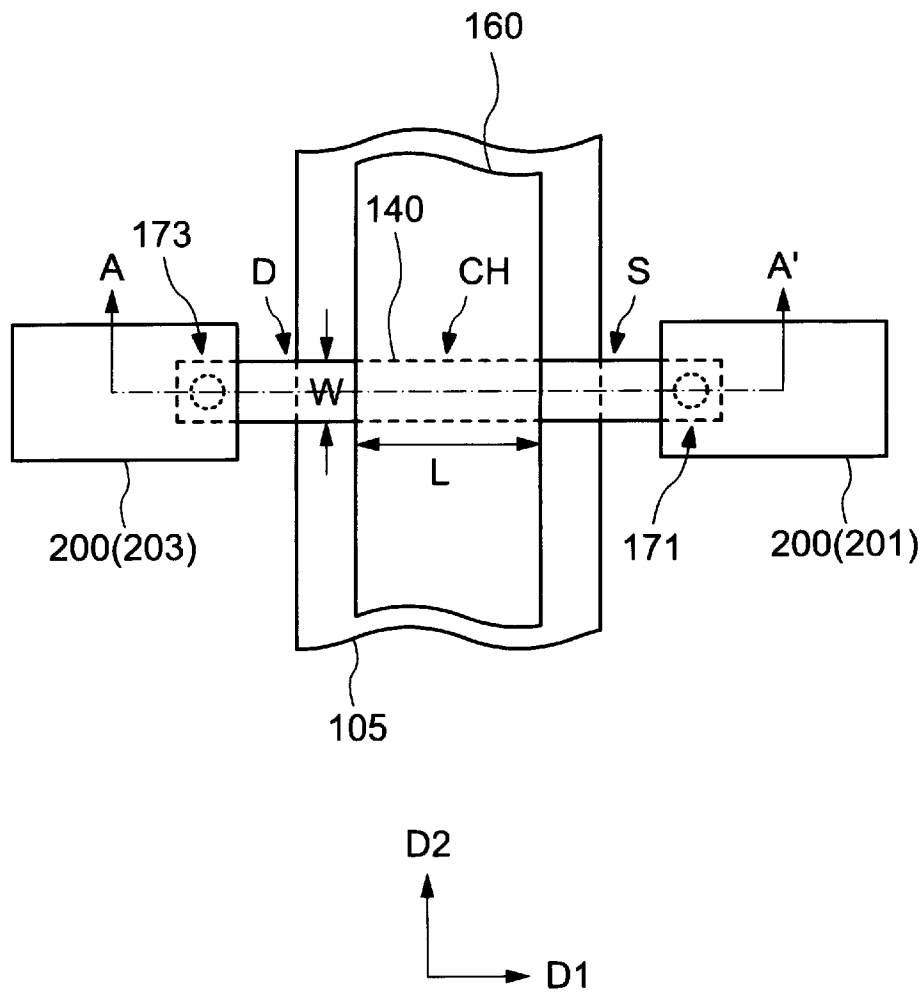
[図1]

10

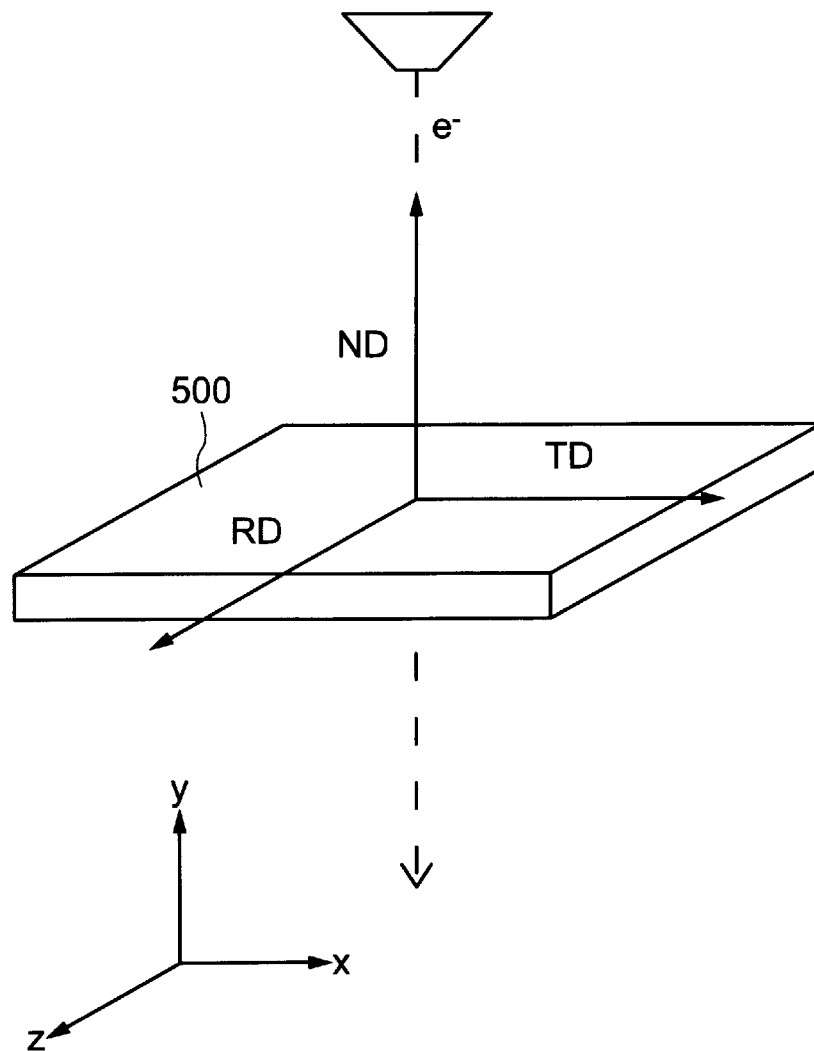


[図2]

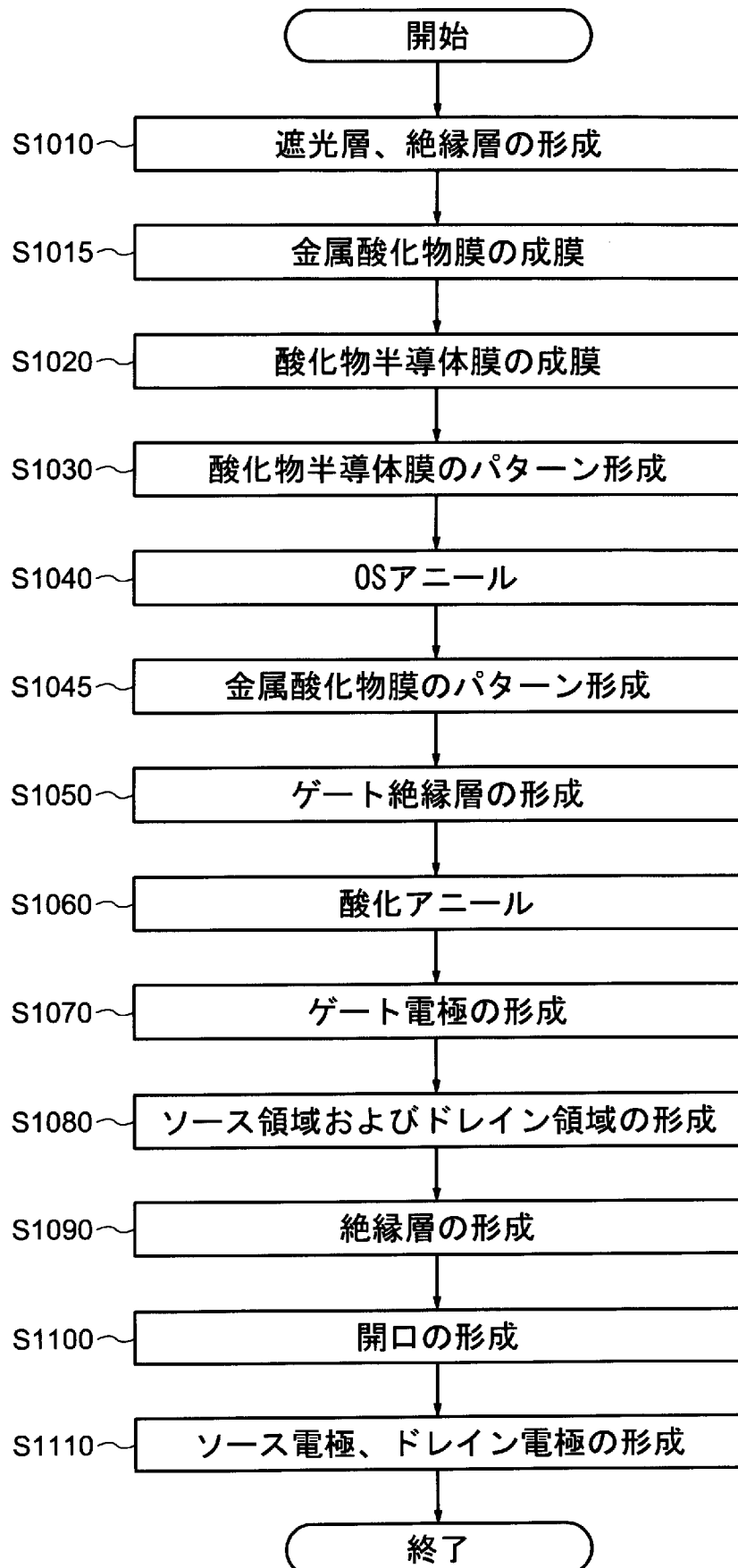
10



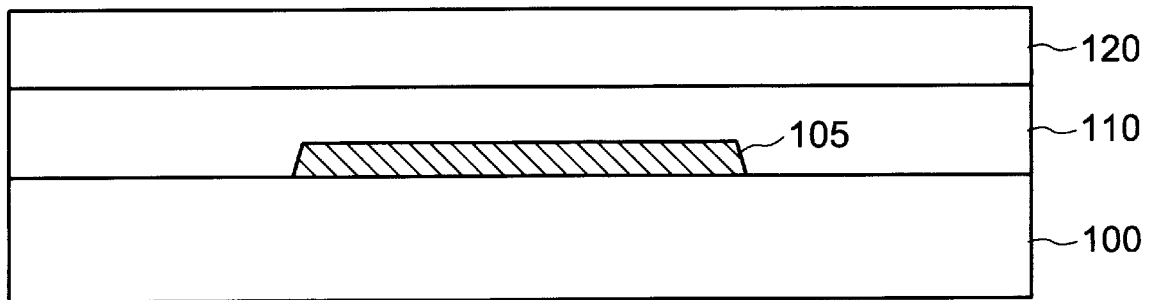
[図3]



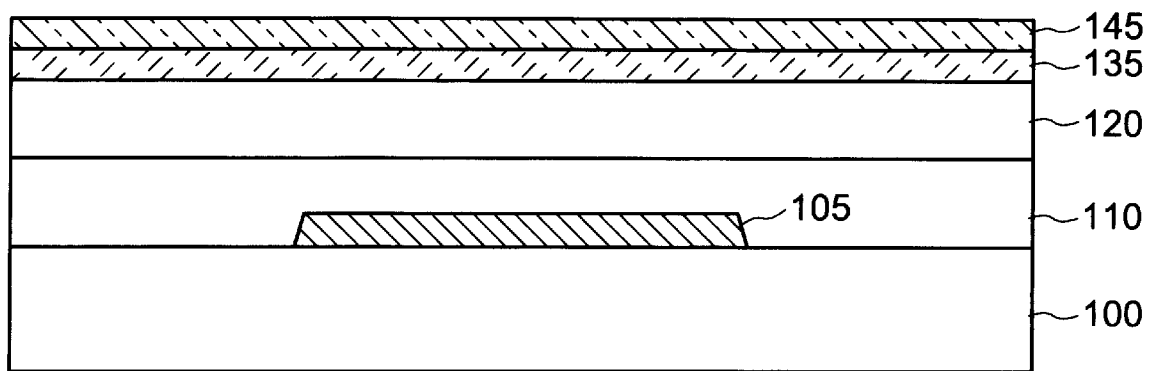
[図4]



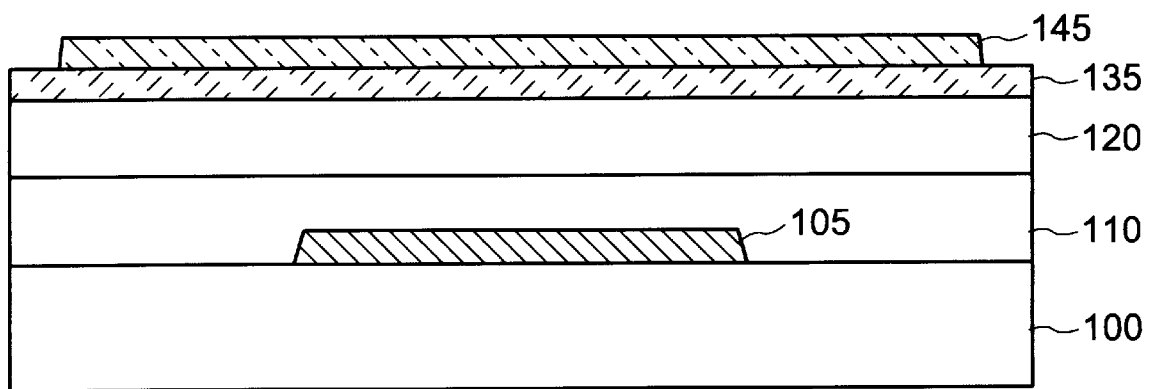
[図5]



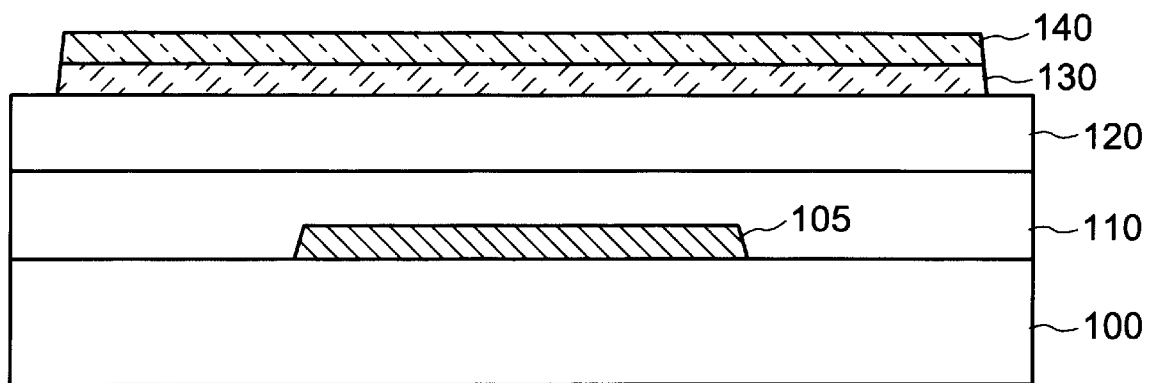
[図6]



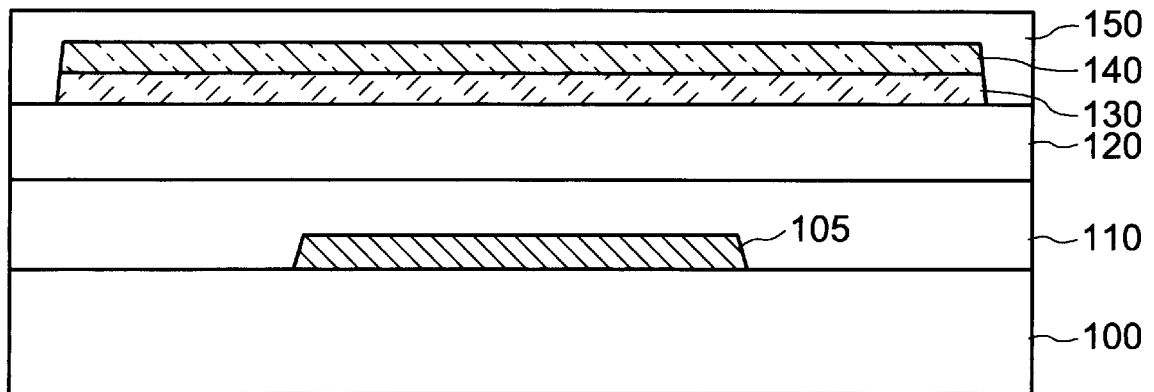
[図7]



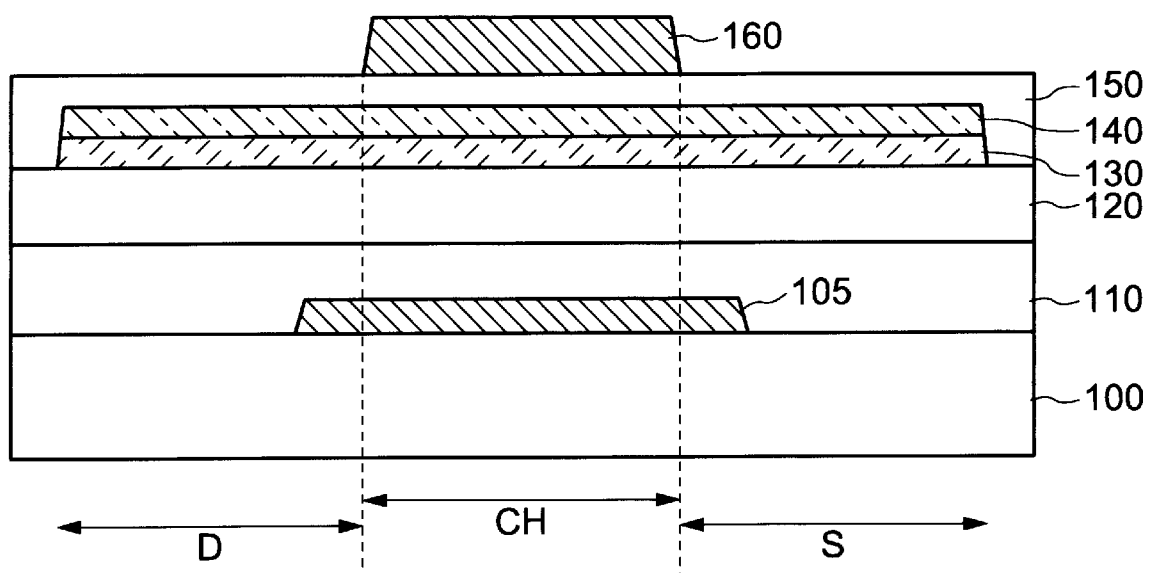
[図8]



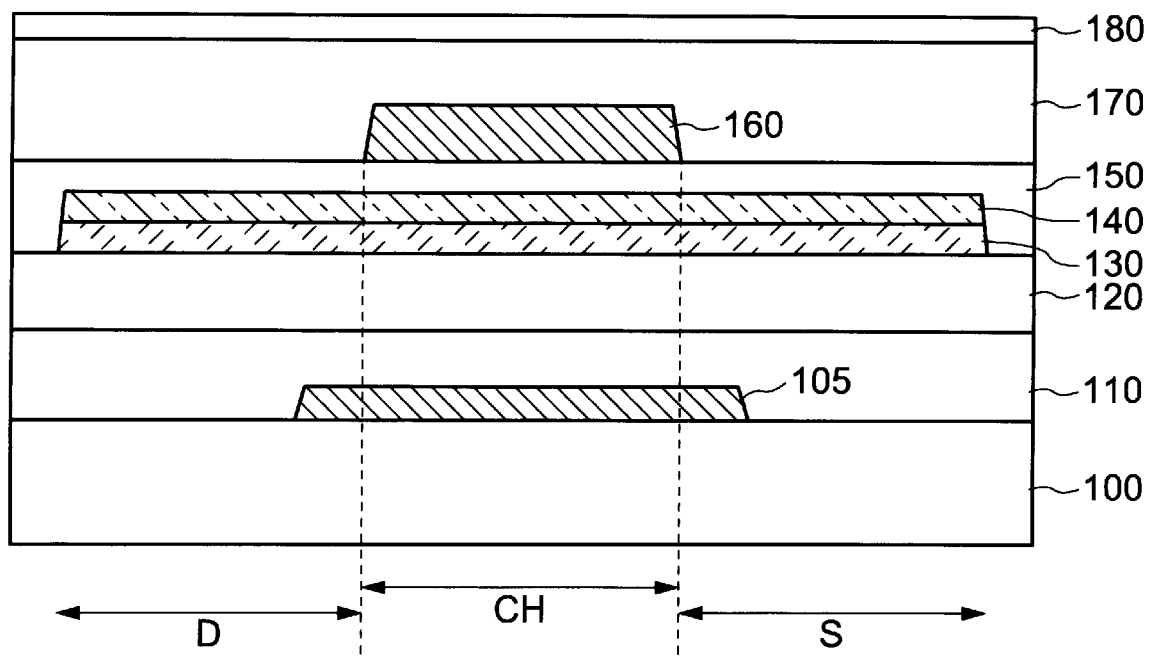
[図9]



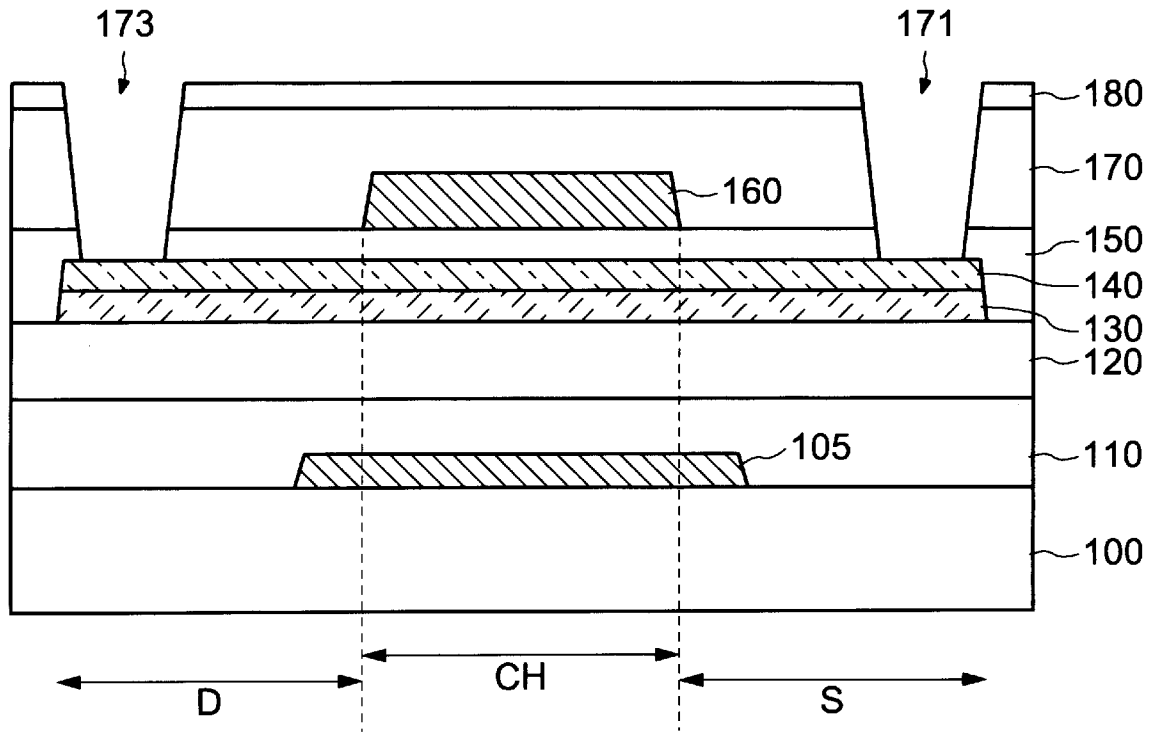
[図10]



[図11]

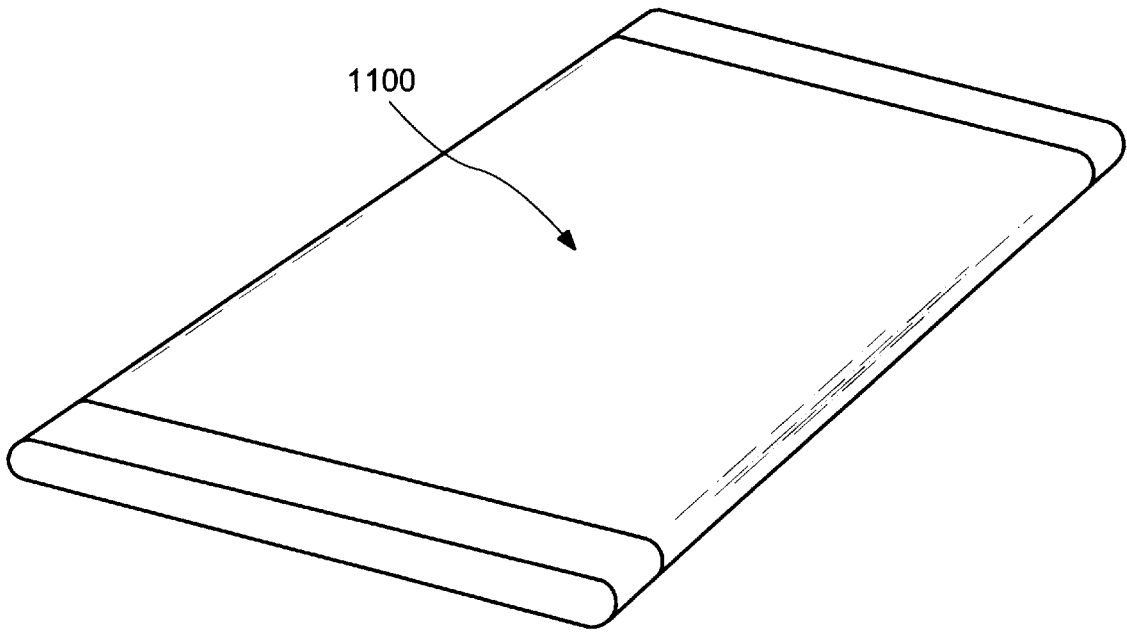


[図12]

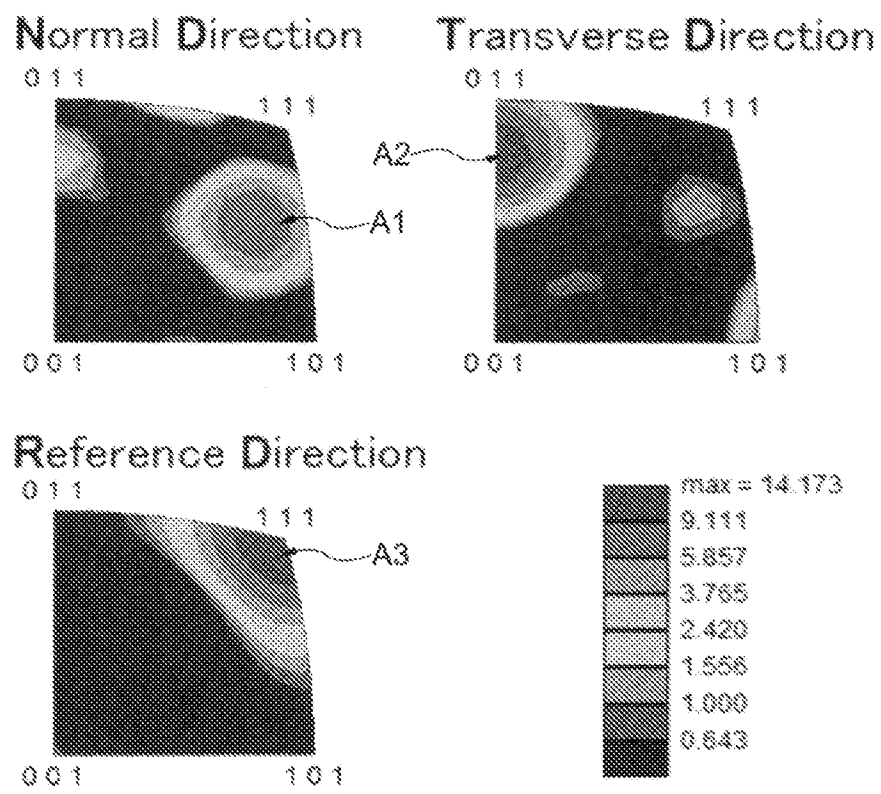


[図13]

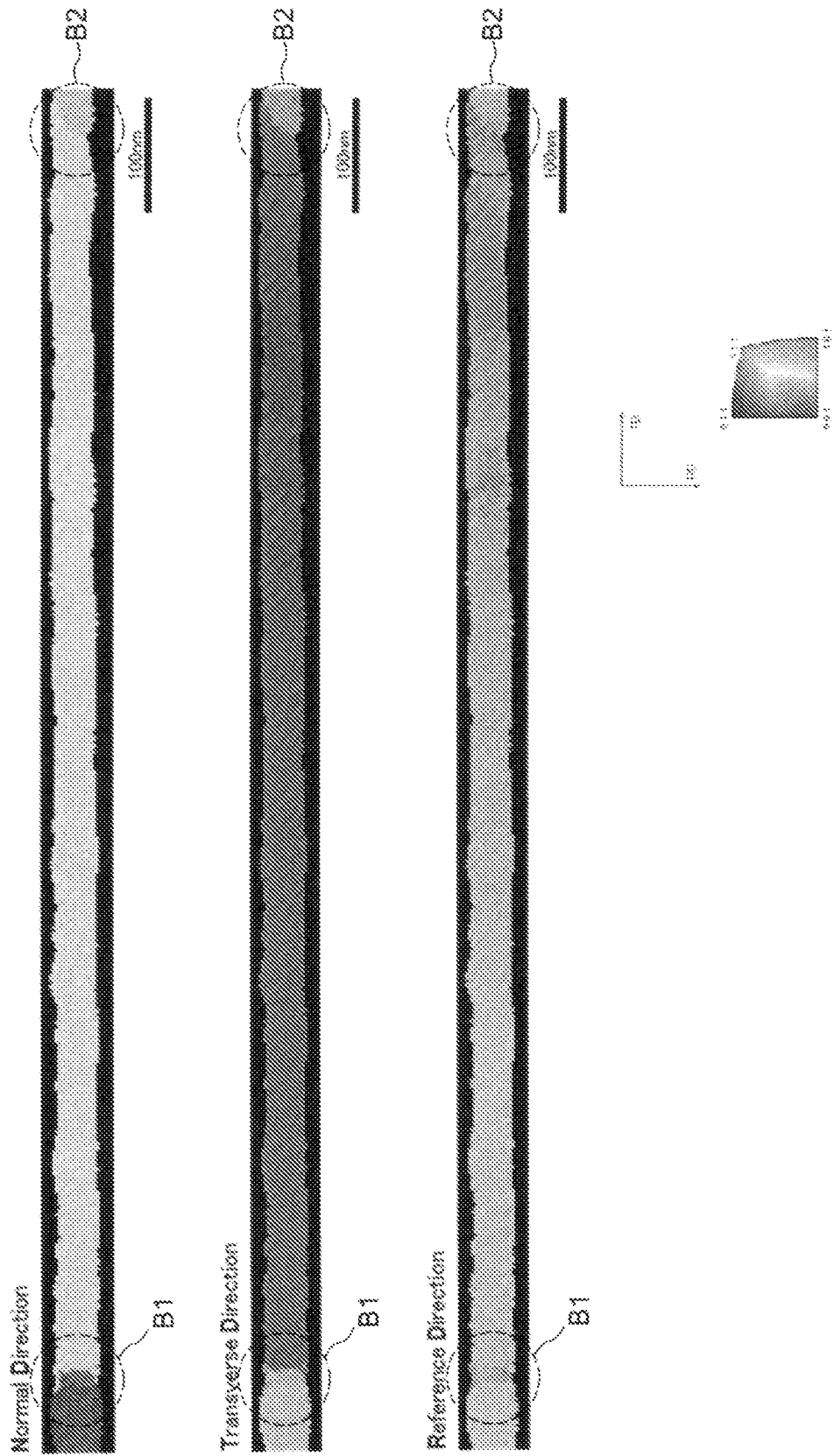
1000



[図14]



[15]



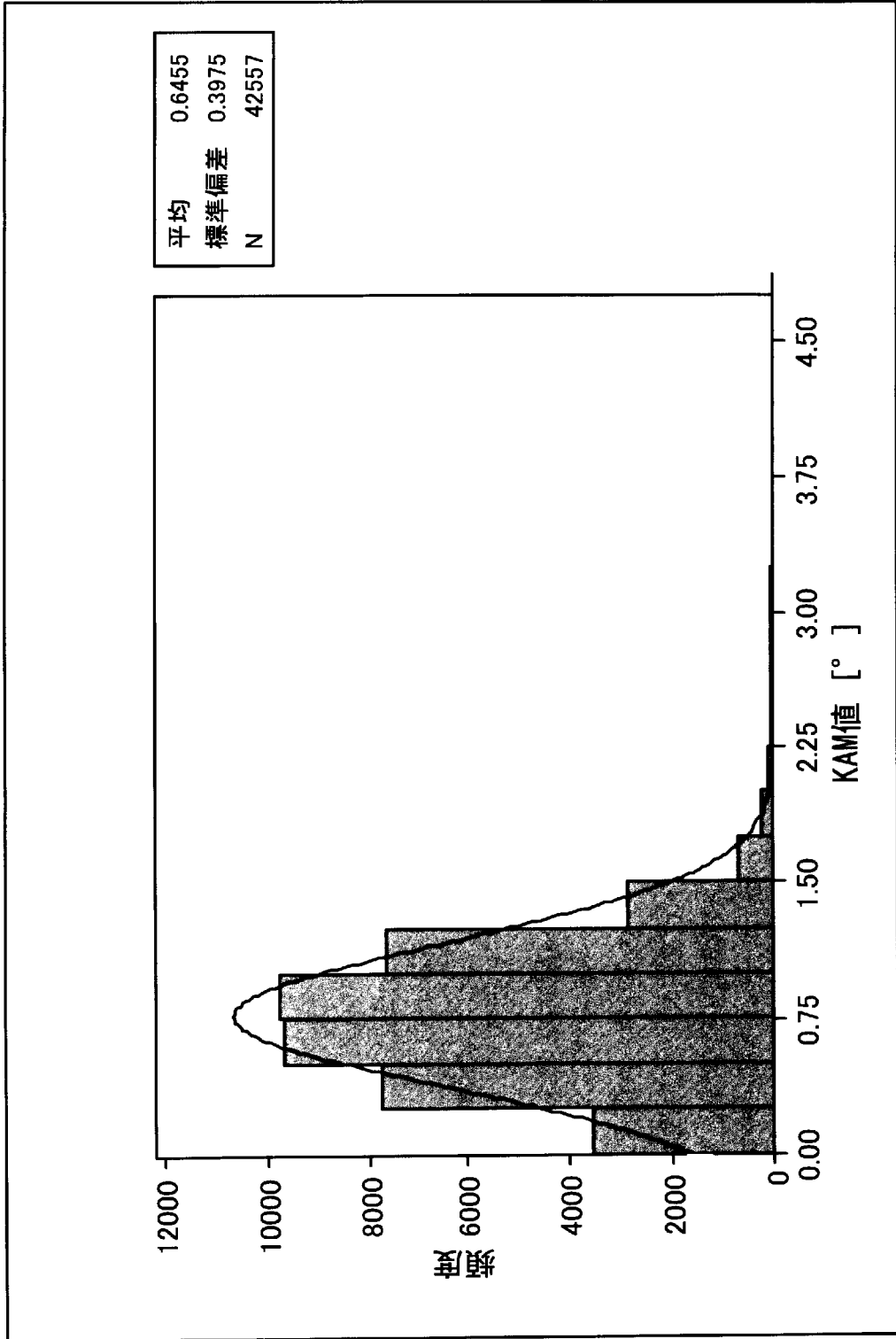
[16]



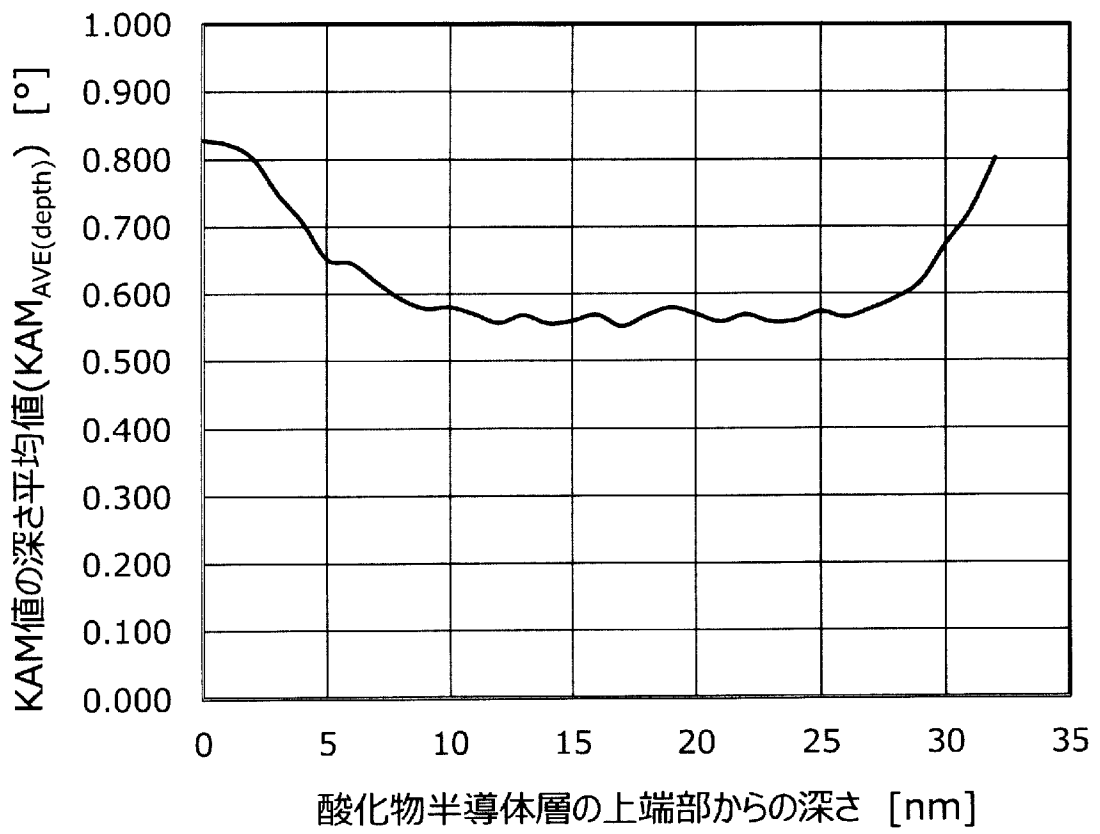
100%

Color Managed. Type: Revised Proof (31.0x42.0cm)
Page 16 of 18
Date: 2024-11-14 11:58:57
File: 20241114_115857_16.tif

[図17]



[図18]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/009575

A. CLASSIFICATION OF SUBJECT MATTER		
<i>H01L 29/786</i> (2006.01)i; <i>H01L 21/336</i> (2006.01)i FI: H01L29/78 618B; H01L29/78 624		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L29/786; H01L21/336		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2012-253315 A (IDEMITSU KOSAN CO., LTD.) 20 December 2012 (2012-12-20)	1-17
A	JP 2015-173259 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 01 October 2015 (2015-10-01)	1-17
A	JP 2016-180178 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 13 October 2016 (2016-10-13)	1-17
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 10 May 2024		Date of mailing of the international search report 21 May 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2024/009575

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2012-253315	A	20 December 2012	JP 2013-16866	A
				JP 2013-102227	A
				JP 2013-128128	A
				JP 2013-145885	A
				JP 2014-17496	A
				US 8785927	B2
				WO 2012/090490	A1
				EP 2660868	A1
				TW 201232787	A
				KR 10-2012-0124504	A
				CN 103038889	A
				KR 10-2013-0088143	A
				CN 103354241	A
				CN 103400751	A
				CN 103474469	A
				TW 201351662	A
				TW 201351663	A
				TW 201351664	A
JP	2015-173259	A	01 October 2015	JP 2019-195112	A
				US 2015/0236162	A1
				WO 2015/125042	A1
				TW 201543692	A
				KR 10-2016-0120741	A
JP	2016-180178	A	13 October 2016	US 2016/0268127	A1

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 29/786(2006.01)i; H01L 21/336(2006.01)i FI: H01L29/78 618B; H01L29/78 624		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L29/786; H01L21/336 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2024年 日本国実用新案登録公報 1996-2024年 日本国登録実用新案公報 1994-2024年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2012-253315 A（出光興産株式会社）20.12.2012（2012-12-20）	1-17
A	JP 2015-173259 A（株式会社半導体エネルギー研究所）01.10.2015（2015-10-01）	1-17
A	JP 2016-180178 A（株式会社半導体エネルギー研究所）13.10.2016（2016-10-13）	1-17
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “D” 国際出願で出願人が先行技術文献として記載した文献 “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献	
国際調査を完了した日 10.05.2024	国際調査報告の発送日 21.05.2024	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 鈴木 聡一郎 5F 3864 電話番号 03-3581-1101 内線 3514	

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2024/009575

引用文献			公表日	パテントファミリー文献			公表日
JP	2012-253315	A	20.12.2012	JP	2013-16866	A	
				JP	2013-102227	A	
				JP	2013-128128	A	
				JP	2013-145885	A	
				JP	2014-17496	A	
				US	8785927	B2	
				WO	2012/090490	A1	
				EP	2660868	A1	
				TW	201232787	A	
				KR	10-2012-0124504	A	
				CN	103038889	A	
				KR	10-2013-0088143	A	
				CN	103354241	A	
				CN	103400751	A	
				CN	103474469	A	
				TW	201351662	A	
				TW	201351663	A	
				TW	201351664	A	

JP	2015-173259	A	01.10.2015	JP	2019-195112	A	
				US	2015/0236162	A1	
				WO	2015/125042	A1	
				TW	201543692	A	
				KR	10-2016-0120741	A	

JP	2016-180178	A	13.10.2016	US	2016/0268127	A1	
