



(12) 发明专利

(10) 授权公告号 CN 1748261 B

(45) 授权公告日 2010.05.26

(21) 申请号 200380109680.0

(51) Int. Cl.

(22) 申请日 2003.12.09

G11C 7/00(2006.01)

(30) 优先权数据

10/317,429 2002.12.11 US

(56) 对比文件

US 6614698 B2, 2003.09.02, 全文.

US 6310825 B1, 2001.10.30, 全文.

CN 1346131 A, 2002.04.24, 全文.

(85) PCT申请进入国家阶段日

2005.08.11

审查员 孟宪超

(86) PCT申请的申请数据

PCT/US2003/039187 2003.12.09

(87) PCT申请的公布数据

W02004/053879 EN 2004.06.24

(73) 专利权人 米克伦技术公司

地址 美国爱达荷

(72) 发明人 克里斯托弗·S·约翰逊

布赖恩·约翰逊

(74) 专利代理机构 永新专利商标代理有限公司

72002

代理人 王英

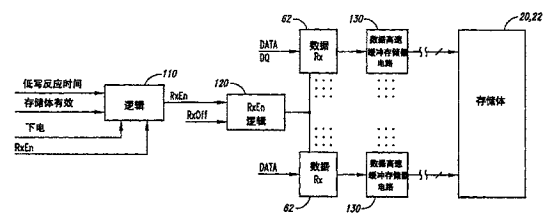
权利要求书 6 页 说明书 9 页 附图 3 页

(54) 发明名称

存储器写入延迟控制的方法和装置

(57) 摘要

一种逻辑电路使动态随机存取存储器中的写接收机在低功率模式、高写反应时间模式或高功率模式、低写反应时间模式下工作。逻辑电路接收表示高功率、低写反应时间模式是否已经启动的第一信号、表示存储器件中的存储单元行是否有效的第二信号、表示存储器件是否正工作在下电模式下的第三信号以及表示存储器件的读发送机是否有效的第四信号。如果存储器件中的存储单元行是有效的、存储器件不工作在下电模式下以及存储器件中的读发送机无效,则无论何时高功率、低写反应时间模式已经启动,逻辑电路都保持提供给写接收机的电源。



1. 一种耦合到存储体的写数据电路,包括:

控制逻辑,用于接收低写反应时间信号和接收机使能信号,其中所述低写反应时间信号有效时表示高功率、低写反应时间模式已经启动,所述接收机使能信号有效时表示对所述存储体的写访问,所述控制逻辑还用于响应有效的低写反应时间信号和有效的接收机使能信号来产生有效的接收机使能信号;

接收机使能逻辑,该接收机使能逻辑耦合到所述控制逻辑,并且用于从所述控制逻辑接收所述接收机使能信号,并且用于接收表示给读发送机施加电源的接收机关闭信号,所述接收机使能逻辑还用于响应有效的接收机使能信号和无效的接收机关闭信号来产生有效的电源信号;

写接收机,该写接收机耦合到所述接收机使能逻辑,用来从中接收所述电源信号,并且用于在收到写数据位和有效的电源信号时产生写数据;以及

数据缓冲存储器电路,该数据缓冲存储器电路耦合到所述写接收机来从所述写接收机接收写数据,并且用于将所述写数据耦合到所述存储体。

2. 根据权利要求 1 所述的写数据电路,其中所述控制逻辑还接收表示所述存储体是否有效的存储体有效信号,并且其中所述控制逻辑进一步用于响应表示所述存储体无效的存储体有效信号,从而禁止将电源施加于所述写接收机,而与所述低写反应时间信号和所述接收机使能信号的状态无关。

3. 根据权利要求 1 所述的写数据电路,其中所述控制逻辑还接收表示下电模式是否有效的下电信号,并且其中所述控制逻辑进一步用于响应表示下电模式有效的下电信号,从而禁止将电源施加于所述写接收机,而与所述低写反应时间信号和所述接收机使能信号的状态无关。

4. 根据权利要求 1 所述的写数据电路,还包括用于产生所述第一信号的模式寄存器,在第一状态下对所述模式寄存器进行编程以促使所述低写反应时间信号表示高功率、低写反应时间模式已经启动,并且在第二状态下对所述模式寄存器进行编程以促使所述低写反应时间信号表示高功率、低写反应时间模式没有启动。

5. 根据权利要求 4 所述的写数据电路,其中通过对信号的组合进行解码来对所述模式寄存器进行编程。

6. 根据权利要求 1 所述的写数据电路,还包括用于产生所述低写反应时间信号的模式控制电路,该模式控制电路确定写反应时间并且产生作为所确定的写反应时间是否大于通过以高功率、低写反应时间模式来操作写接收机可取得的写反应时间函数的所述低写反应时间信号。

7. 根据权利要求 6 所述的写数据电路,其中所述模式控制电路还接收表示读反应时间的读反应时间信号,并且其中所述模式控制电路可操作用于确定作为由该读反应时间信号表示的读反应时间函数的写反应时间。

8. 根据权利要求 1 所述的写数据电路,其中所述控制逻辑包括集成电路,并且其中所述低写反应时间信号包括通过所述集成电路的外部可访问的端子施加于所述控制逻辑的信号。

9. 一种存储器件,包括:

行地址电路,可操作用于接收和解码施加于所述存储器件的外部地址端子的行地址信

号；

列地址电路，可操作用于接收和解码施加于所述外部地址端子的列地址信号；

存储单元阵列，可操作用于储存在由所述解码的行地址信号和所述解码的列地址信号所确定的位置上写入所述阵列或从所述阵列读取的数据；

数据通路电路，可操作用于耦合对应所述阵列和所述存储器件的外部数据端子之间的数据的数据信号，所述数据通路电路包括多个写接收机和多个读发送机，每个所述写接收机耦合到所述外部数据端子的相应一个上，每个所述读发送机耦合到所述外部数据端子的相应一个上；

指令解码器，可操作用于对施加于所述存储器件的相应外部指令端子的多个指令信号进行解码，所述指令解码器可操作用于产生对应于已解码的指令信号的控制信号；

写接收机控制电路，使所述写接收机在高功率、低写反应时间模式或低功率、高写反应时间模式下工作，所述写接收机控制电路包括接收第一信号和第二信号的逻辑电路，其中所述第一信号表示高功率、低写反应时间模式是否已经启动，所述第二信号表示读发送机是否有效，所述逻辑电路可操作响应于表示高功率、低写反应时间模式已经启动的第一信号，从而当所述读发送机无效时，将电源施加于所述写接收机，而与所述写接收机是否有效无关，并且在所述读发送机有效时从所述写接收机除去电源，所述逻辑电路还可操作响应于表示高功率、低写反应时间模式没有启动的第一信号，从而当所述写接收机有效并且所述读接收机无效时，将电源施加于所述写接收机，并且当所述写接收机无效或所述读发送机有效时从所述写接收机除去电源；以及

耦合到所述写接收机控制电路的模式控制电路，所述模式控制电路产生所述第一信号，并且将所述第一信号施加于所述写接收机控制电路。

10. 根据权利要求 9 所述的存储器件，其中所述逻辑电路还接收表示所述阵列中的存储单元行是否有效的第三信号，并且其中所述逻辑电路进一步可操作用于响应表示存储单元行无效的所述第三信号，而禁止将电源施加于所述写接收机，而与所述第一和第二信号的状态无关。

11. 根据权利要求 9 所述的存储器件，其中所述逻辑电路还接收表示所述存储器件是否在下电模式下工作的第三信号，并且其中所述逻辑电路进一步可操作用于响应表示所述存储器件在下电模式下工作的所述第三信号，而禁止将电源施加于所述写接收机，而与所述第一和第二信号的状态无关。

12. 根据权利要求 9 所述的存储器件，其中所述模式控制电路包括用于产生所述第一信号的模式寄存器，在第一状态下对所述模式寄存器进行编程以促使所述第一信号表示高功率、低写反应时间模式已经启动，并且在第二状态下对所述模式寄存器进行编程以促使所述第一信号表示高功率、低写反应时间模式没有启动。

13. 根据权利要求 12 所述的存储器件，其中所述模式寄存器包含在所述指令解码器中，并且其中所述模式寄存器通过对多个所述指令信号进行解码来编程。

14. 根据权利要求 9 所述的存储器件，其中所述模式控制电路包括用于产生所述第一信号的第二逻辑电路，所述第二逻辑电路确定写反应时间，并且产生作为所确定的写反应时间是否大于通过以高功率、低写反应时间模式来操作所述写接收机可取得的写反应时间函数的所述第一信号。

15. 根据权利要求 14 所述的存储器件,其中所述第二逻辑电路接收表示读反应时间的第三信号,并且其中所述第二逻辑电路可操作用于确定作为由所述第三信号表示的读反应时间函数的写反应时间。

16. 根据权利要求 9 所述的存储器件,其中所述模式控制电路包括从所述存储器件的外部可访问端子到所述逻辑电路的信号通路,以便所述第一信号可包括通过所述存储器件的外部可访问端子施加于所述逻辑电路的信号。

17. 根据权利要求 9 所述的存储器件,其中所述存储器件包括动态随机存取存储器件。

18. 根据权利要求 9 所述的存储器件,其中所述逻辑电路还接收表示所述存储器件的工作参数的第三信号,并且其中所述逻辑电路可操作用于作为所述第一、第二和第三信号的函数而将电源施加于所述写接收机。

19. 根据权利要求 18 所述的存储器件,其中所述逻辑电路包括:

第一电路,产生作为所述第一信号和第三信号函数的接收机使能信号;以及

第二电路,作为所述接收机使能信号和所述第二信号的函数而将电源施加于所述写接收机。

20. 根据权利要求 19 所述的存储器件,其中所述存储器件包括集成电路,并且其中将所述第一电路制造在该集成电路上,并且它离所述指令解码器比离所述写接收机更近,并且其中将所述第二电路制造在该集成电路上,并它离所述写接收机比离所述指令解码器更近。

21. 一种计算机系统,包括:

处理器,具有处理器总线;

输入器件,经所述处理器总线耦合到所述处理器,从而允许数据进入所述计算机系统;

输出器件,经所述处理器总线耦合到所述处理器,从而允许数据从所述计算机系统输出;

数据存储器件,经所述处理器总线耦合到所述处理器,从而允许数据从大规模存储器件读出;

存储器控制器,经所述处理器总线耦合到所述处理器;以及

存储器件,耦合到所述存储器控制器,所述存储器件包括:

行地址电路,可操作用于接收和解码施加于所述存储器件的外部地址端子的行地址信号;

列地址电路,可操作用于接收和解码施加于所述外部地址端子的列地址信号;

存储单元阵列,可操作用于储存在由所述解码的行地址信号和所述解码的列地址信号所确定的位置上写入所述阵列或从所述阵列读取的数据;

数据通路电路,可操作用于耦合对应于所述阵列和所述存储器件的外部数据端子之间的数据的数据信号,所述数据通路电路包括多个写接收机和多个读发送机,其中每个所述写接收机耦合到所述外部数据端子中的相应一个上,每个所述读发送机耦合到所述外部数据端子中的相应一个上;

指令解码器,可操作用于对施加于所述存储器件的相应外部指令端子的多个指令信号进行解码,该指令解码器可操作用于产生对应于已解码的指令信号的控制信号;

写接收机控制电路,使所述写接收机在高功率、低写反应时间模式或低功率、高写反应时间模式下工作,所述写接收机控制电路包括接收第一信号和第二信号的逻辑电路,其中所述第一信号表示高功率、低写反应时间模式是否已经启动,所述第二信号表示所述读发送机是否有效,所述逻辑电路可操作响应于表示高功率、低写反应时间模式已经启动的第一信号,从而当所述读发送机无效时,将电源施加于所述写接收机,而与所述写接收机是否有效无关,并且在所述读发送机有效时从所述写接收机除去电源,所述逻辑电路还可操作响应于表示高功率、低写反应时间模式没有启动的第一信号,从而当所述写接收机有效并且所述读接收机无效时,将电源施加于所述写接收机,并且当所述写接收机无效或当所述读发送机有效时从所述写接收机除去电源;以及

模式控制电路,耦合到所述写接收机控制电路,所述模式控制电路产生所述第一信号,并且将所述第一信号施加于所述写接收机控制电路。

22. 根据权利要求 21 所述的计算机系统,其中所述逻辑电路还接收表示所述阵列中的存储单元行是否有效的第三信号,并且其中所述逻辑电路可进一步操作于响应表示存储单元行无效的所述第三信号,而禁止将电源施加于所述写接收机,而与所述第一和第二信号的状态无关。

23. 根据权利要求 21 所述的计算机系统,其中所述逻辑电路还接收表示所述存储器件是否在下电模式工作的第三信号,并且其中所述逻辑电路可进一步操作于响应表示所述存储器件在下电模式工作的所述第三信号,而禁止将电源施加于所述写接收机,而与所述第一和第二信号的状态无关。

24. 根据权利要求 21 所述的计算机系统,其中所述模式控制电路包括用于产生所述第一信号的模式寄存器,在第一状态下对所述模式寄存器进行编程,以促使所述第一信号表示高功率、低写反应时间模式已经启动,并且在第二状态下对所述模式寄存器进行编程,以促使所述第一信号表示高功率、低写反应时间模式没有启动。

25. 根据权利要求 24 所述的计算机系统,其中所述模式寄存器包含在所述指令解码器中,并且其中所述模式寄存器通过对多个所述指令信号解码来编程。

26. 根据权利要求 21 所述的计算机系统,其中所述模式控制电路包括用于产生所述第一信号的第二逻辑电路,所述第二逻辑电路确定写反应时间,并且产生作为所确定的写反应时间是否大于通过以高功率、低写反应时间模式来操作所述写接收机可取得的写反应时间函数的第一信号。

27. 根据权利要求 26 所述的计算机系统,其中所述第二逻辑电路接收表示读反应时间的第三信号,并且其中所述第二逻辑电路可操作于确定作为由所述第三信号表示的读反应时间函数的写反应时间。

28. 根据权利要求 21 所述的计算机系统,其中所述模式控制电路包括从所述存储器件的外部可访问端子到所述逻辑电路的信号通路,从而所述第一信号可包括通过所述存储器件的外部可访问端子施加于所述逻辑电路的信号。

29. 根据权利要求 21 所述的计算机系统,其中所述存储器件包括动态随机存取存储器件。

30. 根据权利要求 21 所述的计算机系统,其中所述逻辑电路还接收表示所述存储器件的工作参数的第三信号,并且其中所述逻辑电路可操作于作为所述第一、第二和第三信

号的函数而将电源施加于所述写接收机。

31. 根据权利要求 30 所述的计算机系统,其中所述逻辑电路包括:

第一电路,产生作为所述第一信号和第三信号函数的接收机使能信号;以及

第二电路,作为所述接收机使能信号和所述第二信号的函数而将电源施加于所述写接收机。

32. 根据权利要求 31 所述的计算机系统,其中所述存储器件包括集成电路,并且其中将所述第一电路制造在所述集成电路上,并且它离所述指令解码器比离所述写接收机更近,并且将所述第二电路制造在所述集成电路上,并且它离所述写接收机比离所述指令解码器更近。

33. 在具有用于从数据总线接收相应数据位的多个写接收机和用于向数据总线施加相应数据位的多个读发送机的存储器件中,在高功率、低写反应时间模式或者低功率、高写反应时间模式下操作所述写接收机的方法,包括:

当所述写接收机正在高功率、低写反应时间模式下工作时,在所述读发送机无效时,将电源施加于所述写接收机,而与所述写接收机是否有效无关;

当所述写接收机正在高功率、低写反应时间模式下工作时,当所述读发送机有效时,从所述写接收机除去电源;

当所述写接收机正在低功率、高写反应时间模式下工作时,在所述写接收机有效并且所述读接收机无效时,将电源施加于所述写接收机;以及

当所述写接收机正在低功率、高写反应时间模式下工作时,在所述接收机无效或者所述读发送机有效时,将电源移交到所述写接收机。

34. 根据权利要求 33 所述的方法,还包括:

确定所述存储器件中的存储单元行是否有效;

如果确定所述存储器件中的存储单元行是有效的,则允许将电源施加于所述写接收机;并且

如果确定所述存储器件中的存储单元行是无效的,则禁止将电源施加于所述写接收机。

35. 根据权利要求 33 所述的方法,还包括:

确定所述存储器件是否正在下电模式下工作;

如果确定所述存储器件不是在下电模式下工作,则允许将电源施加于所述写接收机;并且

如果确定所述存储器件是在下电模式下工作,则禁止将电源施加于所述写接收机。

36. 根据权利要求 33 所述的方法,还包括通过对所述存储器件中的模式寄存器进行编程来选择高功率、低写反应时间模式或低功率、高写反应时间模式。

37. 根据权利要求 33 所述的方法,还包括通过向所述存储器件的外部可访问端子施加信号来选择高功率、低写反应时间模式或低功率、高写反应时间模式。

38. 根据权利要求 33 所述的方法,还包括通过以下方式来选择高功率、低写反应时间模式或低功率、高写反应时间模式:

确定写反应时间;

如果所确定的写反应时间大于要求所述写接收机在高功率、低写反应时间模式下工作

的写反应时间,则选择低功率、高写反应时间模式;以及

如果所确定的写反应时间小于或等于要求所述写接收机在高功率、低写反应时间模式下工作的写反应时间,则选择高功率、低写反应时间模式。

39. 根据权利要求 38 所述的方法,其中确定所述写反应时间的行为包括确定作为所述存储器件的读反应时间函数的写反应时间。

40. 根据权利要求 33 所述的方法,其中所述存储器件包括动态随机存取存储器件。

## 存储器写入延迟控制的方法和装置

### 技术领域

[0001] 本发明涉及一种动态随机存取存储器 (“DRAM”), 特别是, 涉及一种用于在低功率、高写反应时间模式或者高功率、低写反应时间模式下操作 DRAM 的电路和方法。

### 背景技术

[0002] 集成电路所消耗的功率在它们用于某些应用时是关键因素。例如, 由便携式个人计算机中使用的存储器件消耗的功率大大影响在不需要对给这种计算机供电的电池重新充电的情况下可以使用它们的时间长度。甚至在存储器件不由电池供电的情况下功耗也是很重要的, 因为必须限制由存储器件产生的热量。

[0003] 一般情况下, 存储器件功耗随着存储器件的容量和工作速度而增加。随着存储器件的容量增加, 例如, 存储器件包含更多的必须周期性刷新的存储单元, 必须被接收和处理的地址位的数量增加。随着存储器件的速度增加, 存储器件中的大量信号线更快速地改变状态, 每个状态变化都消耗功率。人们已经采用各种方法来减少存储器件的功耗。例如, 已经研制了一种技术来减少存储器件所需的刷新速度, 减少操作所有或部分存储器件所需的电压的幅度, 以及减少当访问另一存储器件时由存储器件消耗的功率。例如, 当 DRAM 以这些模式工作时, 通过将电源移交到输入缓冲器而在某个 DRAM 刷新模式期间减少功耗。

[0004] 如本领域所公知的, 存储器件一般连接到总线构造中的控制器件, 例如存储控制器或系统控制器。在总线构造中, 几个存储器件彼此并联连接并连接到控制器件。结果, 当控制器件正在给一个存储器件施加地址或数据时, 所有其它存储器件也接收该地址或数据。地址和数据通常通过接收机或输入缓冲器耦合到数据和地址总线, 其中接收机或输入缓冲器可以是简单的反相器。耦合到这些接收机之一的数据位或地址位每次改变状态时, 接收机进行切换, 由此消耗功率。然而只有一个存储器件将使用这些数据或地址。由切换所有其它存储器件中的接收机所消耗的功率构成浪费的功率。

[0005] 已经用于减少由无效存储器件消耗的功率的一种技术是从无效存储器件中的数据缓冲器中除去电源。使用这种方法, 每个存储器件对指令进行解码, 从而确定发布指令访问存储器件的时间。每个存储器件也对地址进行解码, 以检测存储器访问特定存储器件的时间。存储器件中的控制电路将电源移交到所有数据输入缓冲器 (也公知为写接收机), 直到检测到对那个特定存储器件进行写访问为止。同样, 控制电路将电源移交到所有数据输出缓冲器 (也公知为读发送机), 直到检测到对那个特定存储器件进行读访问为止。通过将电源移交给写接收机和读发送机, 除非写访问或读访问分别针对那个存储器件, 可以实现由存储器件消耗的功率的大大减少。

[0006] 尽管当存储器件无效时电源可以从数据接收机和发送机除去, 但是电源同样不能从指令和地址接收机除去, 因为它们必须是有效的, 以便检测对该存储器件进行读访问或写访问的时间。如果电源从指令和地址缓冲器除去, 则它们将不能将指令和地址信号耦合到检测对该存储器件进行读访问或写访问的内部电路。

[0007] 尽管选择性地将电源移交到写接收机和读发送机提供了减少功耗的优点, 但是这



个优点是以减小数据访问速度为代价的。更具体地讲,直到存储器件已经针对该存储器件的写指令和地址进行了解码,电源才开始施加于常规存储器件中的写接收机。直到电源已经完全施加于写接收机,写接收机才能将写数据耦合到存储器件中的电路。在常规存储器件中,通常需要 6-8ns 的时间来完全给存储器件中的写接收机供电。当利用 300MHz 时钟信号进行工作时,例如,在写接收机能将写数据耦合到内部电路之前将需要 2 个时钟周期。结果,这种存储器件的最小写反应时间是 2 个时钟周期。然而通常希望写反应时间少于 2 个时钟周期。通常使用各种技术设置存储器件的写反应时间。对于有些存储器件来说,要么没有写反应时间,要么写反应时间固定在预定数量的时钟周期上,例如 1 个时钟周期。针对其它存储器件,通过用户对模式寄存器进行编程来设置写反应时间。在另外的存储器件中,通过选择存储器件的读反应时间来设置写反应时间。写反应时间例如可以是少于读反应时间 1 或 2 个时钟周期。在本例中,2 个时钟周期的最小写反应时间将限制读反应时间为 3 或 4 个时钟周期。这个幅度的反应时间使常规存储器件的工作速度大大降低。

[0008] 尽管选择性地将电源移交到存储器件中的写接收机对存储器件的写反应时间有不良影响,但是选择性地将电源移交到存储器件中的读发送机对存储器件的读反应时间不会有不良影响。这个差别的主要原因是直到读指令和读地址已经耦合到存储器件之后读数据才能从存储器件进行耦合,这是因为必须首先从存储单元阵列访问读数据,然后耦合到存储器件的数据总线端子。相反,伴随着写指令和写地址已经耦合到存储器件或在此之后不久,写数据就可以耦合到存储器件的数据总线端子,因为写数据接下来耦合到存储单元阵列。因此,只对于将电源移交到写接收机的情况存在由选择性地将电源移交到接收机或发送机引起的增加反应时间的问题。

[0009] 因此需要一种电路和方法,在实现最小写反应时间比实现减少功率更重要的情况下,允许存储器件在低功率模式下工作而又不对写反应时间造成不良影响。

## 发明内容

[0010] 存储器件的方法和电路允许存储器件要么在可以增加存储器件的写反应时间的低功率模式下要么在可以使存储器件的写反应时间最小的高功率模式下工作。在低功率模式中,存储器件以上述常规的方式工作从而当存储器件检测到对那个存储器件进行写访问时除外,其余时间将电源移交到存储器件中的写接收机。在高功率模式中,在大多数情况下电源没有从写接收机除去,从而写接收机可以立即将写数据耦合到内部电路,由此避免了可能在低功率模式下工作时发生写反应时间的增加。然而,即使在高功率模式中,当存储器件中的存储单元行都不有效时,优选从写接收机除去电源。当存储器件中的读发送机有效时,甚至在高功率模式下也优选从写接收机除去电源。允许存储器件在低功率模式或高功率模式下工作的方法和电路优选用在动态随机存取存储 (“DRAM”) 器件中,并且这种 DRAM 器件可以用在计算机系统或一些其它电子系统中。

[0011] 根据本发明的一个实施例,公开了一种耦合到存储体的写数据电路,包括:

[0012] 控制逻辑,用于接收低写反应时间信号和接收机使能信号,其中所述低写反应时间信号有效时表示高功率、低写反应时间模式已经启动,所述接收机使能信号有效时表示对所述存储体的写访问,所述控制逻辑还用于响应有效的低写反应时间信号和有效的接收机使能信号来产生有效的接收机使能信号;

[0013] 接收机使能逻辑,该接收机使能逻辑耦合到所述控制逻辑,并且用于从所述控制逻辑接收所述接收机使能信号,并且用于接收表示给读发送机施加电源的接收机关闭信号,所述接收机使能逻辑还用于响应有效的接收机使能信号和无效的接收机关闭信号来产生有效的电源信号;

[0014] 写接收机,该写接收机耦合到所述接收机使能逻辑,用来从中接收所述电源信号,并且用于在收到写数据位和有效的电源信号时产生写数据;以及

[0015] 数据缓冲存储器电路,该数据缓冲存储器电路耦合到所述写接收机来从所述写接收机接收写数据,并且用于将所述写数据耦合到所述存储体。

[0016] 根据另一个实施例,公开了一种存储器件,包括:

[0017] 行地址电路,可操作用于接收和解码施加于所述存储器件的外部地址端子的行地址信号;

[0018] 列地址电路,可操作用于接收和解码施加于所述外部地址端子的列地址信号;

[0019] 存储单元阵列,可操作用于储存在由所述解码的行地址信号和所述解码的列地址信号所确定的位置上写入所述阵列或从所述阵列读取的数据;

[0020] 数据通路电路,可操作用于耦合对应所述阵列和所述存储器件的外部数据端子之间的数据的数据信号,所述数据通路电路包括多个写接收机和多个读发送机,每个所述写接收机耦合到所述外部数据端子的相应一个上,每个所述读发送机耦合到所述外部数据端子的相应一个上;

[0021] 指令解码器,可操作用于对施加于所述存储器件的相应外部指令端子的多个指令信号进行解码,所述指令解码器可操作用于产生对应于已解码的指令信号的控制信号;

[0022] 写接收机控制电路,使所述写接收机在高功率、低写反应时间模式或低功率、高写反应时间模式下工作,所述写接收机控制电路包括接收第一信号和第二信号的逻辑电路,其中所述第一信号表示高功率、低写反应时间模式是否已经启动,所述第二信号表示读发送机是否有效,所述逻辑电路可操作响应于表示高功率、低写反应时间模式已经启动的第一信号,从而当所述读发送机无效时,将电源施加于所述写接收机,而与所述写接收机是否有效无关,并且在所述读发送机有效时从所述写接收机除去电源,所述逻辑电路还可操作响应于表示高功率、低写反应时间模式没有启动的第一信号,从而当所述写接收机有效并且所述读接收机无效时,将电源施加于所述写接收机,并且当所述写接收机无效或所述读发送机有效时从所述写接收机除去电源;以及

[0023] 耦合到所述写接收机控制电路的模式控制电路,所述模式控制电路产生所述第一信号,并且将所述第一信号施加于所述写接收机控制电路。

[0024] 根据再一个实施例,公开了一种计算机系统,包括:

[0025] 处理器,具有处理器总线;

[0026] 输入器件,经所述处理器总线耦合到所述处理器,从而允许数据进入所述计算机系统;

[0027] 输出器件,经所述处理器总线耦合到所述处理器,从而允许数据从所述计算机系统输出;

[0028] 数据存储器件,经所述处理器总线耦合到所述处理器,从而允许数据从大规模存储器件读出;

- [0029] 存储器控制器,经所述处理器总线耦合到所述处理器;以及
- [0030] 存储器件,耦合到所述存储器控制器,所述存储器件包括:
- [0031] 行地址电路,可操作用于接收和解码施加于所述存储器件的外部地址端子的行地址信号;
- [0032] 列地址电路,可操作用于接收和解码施加于所述外部地址端子的列地址信号;
- [0033] 存储单元阵列,可操作用于储存在由所述解码的行地址信号和所述解码的列地址信号所确定的位置上写入所述阵列或从所述阵列读取的数据;
- [0034] 数据通路电路,可操作用于耦合对应于所述阵列和所述存储器件的外部数据端子之间的数据的数据信号,所述数据通路电路包括多个写接收机和多个读发送机,其中每个所述写接收机耦合到所述外部数据端子中的相应一个上,每个所述读发送机耦合到所述外部数据端子中的相应一个上;
- [0035] 指令解码器,可操作用于对施加于所述存储器件的相应外部指令端子的多个指令信号进行解码,该指令解码器可操作用于产生对应于已解码的指令信号的控制信号;
- [0036] 写接收机控制电路,使所述写接收机在高功率、低写反应时间模式或低功率、高写反应时间模式下工作,所述写接收机控制电路包括接收第一信号和第二信号的逻辑电路,其中所述第一信号表示高功率、低写反应时间模式是否已经启动,所述第二信号表示所述读发送机是否有效,所述逻辑电路可操作响应于表示高功率、低写反应时间模式已经启动的第一信号,从而当所述读发送机无效时,将电源施加于所述写接收机,而与所述写接收机是否有效无关,并且在所述读发送机有效时从所述写接收机除去电源,所述逻辑电路还可操作响应于表示高功率、低写反应时间模式没有启动的第一信号,从而当所述写接收机有效并且所述读接收机无效时,将电源施加于所述写接收机,并且当所述写接收机无效或当所述读发送机有效时从所述写接收机除去电源;以及
- [0037] 模式控制电路,耦合到所述写接收机控制电路,所述模式控制电路产生所述第一信号,并且将所述第一信号施加于所述写接收机控制电路。
- [0038] 根据又一个实施例,公开了在具有用于从数据总线接收相应数据位的多个写接收机和用于向数据总线施加相应数据位的多个读发送机的存储器件中,在高功率、低写反应时间模式或者低功率、高写反应时间模式下操作所述写接收机的方法,包括:
- [0039] 当所述写接收机正在高功率、低写反应时间模式下工作时,在所述读发送机无效时,将电源施加于所述写接收机,而与所述写接收机是否有效无关;
- [0040] 当所述写接收机正在高功率、低写反应时间模式下工作时,当所述读发送机有效时,从所述写接收机除去电源;
- [0041] 当所述写接收机正在低功率、高写反应时间模式下工作时,在所述写接收机有效并且所述读接收机无效时,将电源施加于所述写接收机;以及
- [0042] 当所述写接收机正在低功率、高写反应时间模式下工作时,在所述接收机无效或者所述读发送机有效时,将电源移交到所述写接收机。

#### 附图说明

- [0043] 图 1 是常规存储器件的方框图,可以根据本发明的实施例修改该存储器件以便在低功率模式或高功率模式下工作;

[0044] 图 2 是根据本发明系统的一个实施例的方框图,该系统允许图 1 的存储器件在低功率模式或高功率模式下工作;

[0045] 图 3 是使用含有图 2 的双模式系统的图 1 的存储器件的计算机系统的方框图。

### 具体实施方式

[0046] 图 1 是可以利用根据本发明一个实施例的双功率系统的常规同步动态随机存取存储器 (“SDRAM”)2 的方框图。然而,应该理解的是,本发明的各个实施例也可以用在其它类型的 DRAM 或其它类型的存储器件中。

[0047] SDRAM 2 的工作由指令解码器 4 响应在控制总线 6 上接收到的高电平指令信号来控制。通常由存储器控制器 (图 1 中未示出) 产生的这些高电平指令信号是时钟使能信号  $CKE^*$ 、时钟信号 CLK、芯片选择信号  $CS^*$ 、写使能信号  $WE^*$ 、行地址选通信号  $RAS^*$ 、列地址选通信号  $CAS^*$ 、以及数据掩码信号 DM,其中“\*”表示低电平有效的信号。指令解码器 4 包括多个输入缓冲器或指令接收机,总体由参考标记 10 表示,通过它可以耦合高电平指令信号。如前所述,指令接收机 10 通常实际上在任何时候都被供电,因此可以检测到针对存储器件 2 的存储器指令。指令解码器 4 响应高电平指令信号而产生指令信号序列,从而执行由每个高电平指令信号表示的功能 (例如,读或写)。这些指令信号以及它们实现它们的相应功能的方式是常规的。因此,为了简明起见,省略了对这些指令信号的进一步解释。指令解码器 4 也可以包括模式寄存器 11,可以对其进行编程以控制 SDRAM2 的工作模式,例如其读反应时间。

[0048] SDRAM 2 包括通过地址总线 14 接收行地址和列地址的地址寄存器 12。地址总线 14 一般连接到存储器控制器 (图 1 中未示出)。地址寄存器 12 包括多个输入缓冲器或地址接收机,总体由参考标记 16 表示。每个地址接收机 16 将相应地址位耦合到地址寄存器 12 中的电路。如前所述,地址接收机 16 通常实际上在任何时候都被供电,因此 SDRAM 2 可以确定有特定存储指令针对它。行地址一般首先由地址寄存器 12 接收并施加于行地址多路复用器 18。行地址多路复用器 18 将行地址耦合到与两个存储体 20、22 中的任何一个相关的大量元件,这取决于形成一部分行地址的存储体地址位的状态。与每个存储体相关 20、22 有关的是储存行地址的各个行地址锁存器 25 以及对行地址进行解码并将相应信号施加于阵列 20 或 22 之一的行解码器 28。行地址多路复用器 18 也将行地址耦合到行地址锁存器 26,目的是刷新阵列 20、22 中的存储单元。为了刷新目的由刷新计数器 30 产生行地址,其中刷新计数器 30 由刷新控制器 32 控制。而刷新控制器 32 轮到由指令解码器 4 进行控制。

[0049] 在行地址已经施加于地址寄存器 12 并储存在行地址锁存器 26 之一中之后,列地址施加于地址寄存器 12。地址寄存器 12 将列地址耦合到列地址锁存器 40。根据 SDRAM 2 的工作模式,列地址通过脉冲 (burst) 计数器 42 耦合到列地址缓冲器 44,或者当地址寄存器 12 从列地址输出开始时耦合到脉冲计数器 42,该脉冲计数器 42 将列地址序列施加到列地址缓冲器 44。在任何情况下,列地址缓冲器 44 将列地址施加于列解码器 48,该列解码器 48 将各个列信号施加于对应的读出放大器以及用于各个阵列 20、22 之一的相关列电路 50、52。

[0050] 要从阵列 20、22 之一读出的数据分别耦合到阵列 20、22 之一的列电路 50、52。然

后该数据耦合到数据输出寄存器 56, 该数据输出寄存器 56 包括多个读发送机, 总体上用参考标记 57 表示。每个读发送机 57 将各个数据位施加到数据总线 58 的各个导体。只有当响应对该 SDRAM 2 的读存储器访问进行检测而需要读发送机 57 从而将读数据耦合到数据总线 58 时, 电源才正常施加于读发送机 57。将要写入到阵列 20、22 之一的数据从数据总线 58 通过数据输入寄存器 60 进行耦合。数据输入寄存器 60 包括将写数据的各个位从数据总线 48 耦合到数据输入寄存器 60 中的内部电路的多个写接收机 62。然后将写数据耦合到列电路 50、52, 其中它们分别转移到阵列 20、22 之一。掩码寄存器 64 响应数据掩码 DM 信号, 选择性地改变流入列电路 50、52 和从列电路 50、52 流出的数据流, 例如通过选择地对将从阵列 20、22 读出的数据进行掩码。如上所述, 在常规 SDRAM 2 中, 只有在检测到对该 SDRAM 2 进行写存储访问时, 电源才正常地施加于写接收机 62。

[0051] 用于允许图 1 的 SDRAM 2 或其它存储器件在低功率、高写反应时间模式或高功率、低写反应时间模式下工作的系统 100 的一个实施例显示在图 2 中。

[0052] 图 2 所示的系统 100 包括逻辑电路 110, 当电源将要施加于写接收机 62 时, 该逻辑电路 110 接收大量输入信号从而产生接收机使能信号“ $R_xE_N$ ”(图 1)。逻辑电路 110 主要用于对这些输入信号的某些组合进行解码。为此, 逻辑电路 110 优选是指令解码器 4 的一部分, 尽管它也可以是 SDRAM 2 的其它元件或 SDRAM 2 的分离元件或一些其它存储器件的一部分。

[0053] 施加于逻辑电路 110 的输入信号包括“低写反应时间”信号, 该信号是有效的以便允许系统 100 在上述高功率、低写反应时间模式下工作。低写反应时间信号优选由指令解码器 4 中的模式寄存器 11(图 1) 提供, 对其进行编程以便通过常规方式选择这一模式。然而, 低写反应时间信号或者可以由 SDRAM 2 中的其它元件提供。例如, 可以由选择高功率、低写反应时间模式的逻辑电路(未示出) 提供, 如果这样做, 则允许存储器件实现由用户选择的写反应时间, 或者例如是基于读反应时间的反应时间值的写反应时间。通过其它例子, 低写反应时间信号可以是施加于 SDRAM 2 的外部可访问端子的信号, 从而可以由 SDRAM 2 外部的器件直接选择高功率、低写反应时间模式或者低功率、高写反应时间模式。例如, 该模式可以根据执行它的软件的性质由微处理器来选择。

[0054] 被逻辑电路 110 解码的另一输入信号是“存储体有效”信号, 表示存储体 0 20(图 1) 或存储体 1 22 中的行已经被激活。如本领域中所公知的, 在从存储单元的存储体 20、22 中的任一个读出或写入数据之前, 必须激活一行存储单元。如果在 SDRAM 2 中没有激活行, 则必须给写接收机 62 施加电源将不限制写访问时间, 因为激活 SDRAM 2 的行所需要的时间要远远大于给写接收机 62 加电所需要的时间。为了其它目的, 存储体有效信号正常地存在于 SDRAM 2 中。然而, 如果它已经不存在于 SDRAM 2 中, 则由常规手段提供。

[0055] 施加于逻辑电路 110 的另一输入信号是“下电”信号, 它也通常存在于 SDRAM 2 中。下电信号有源以表示当 SDRAM 2 将要在相当一段时间内无效时, 应该从 SDRAM 2 中的许多电路除去电源。例如, 在具有其中计算机系统是无效的“睡眠”模式的计算机系统中, SDRAM 2 通常是无效的, 除了周期性地刷新存储体 20、22 中的存储单元之外。下电信号通常由指令解码器 4 中的时钟使能电路(未示出) 提供, 尽管或者可以由 SDRAM 2 中的其它电路提供, 或者在别处以常规方式或通过一些其它手段来提供。

[0056] 逻辑电路的最终输入信号是接收机使能信号“ $R_xE_N^A$ ”信号, 它通常是由指令解码

器 4 提供,从而以常规方式从写接收机 62 除去电源。如前所述,在指令解码器 4 检测到对应写存储访问的指令并且行解码器 28 检测到对 SDRAM 2 的访问的任何时候, $R_xE_N^{\wedge}$  信号通常都是有效的。

[0057] 逻辑电路 110 的工作将从下列的真值表中可以明显看出,其中“1”表示有效状态,“0”表示无效状态,以及 X 表示“不关心”状态,在该状态下,当其它信号具有所示状态时,不使用信号:

[0058]

低写反应时间	存储体有效	下电	$R_xE_N^{\wedge}$ 输入	$R_xE_N$ 输出
0	0	0	0	0
0	1	0	1	1
1	0	0	0	0
1	1	0	X	1
X	X	1	X	0

[0059] 该真值表可以由本领域技术人员使用,从而很容易地设计实现该表所表示的功能的逻辑电路 110。

[0060] 从上述真值表可以看出,在高功率、低写反应时间模式中,在 SDRAM 2 中的存储体 20、22 有效的并且 SDRAM 2 没有切换到其下电模式的任何时候, $R_xE_N$  信号都是有效的,从而将电源施加于写接收机 62,而与指令解码器 4 是否试图除去或施加电源到写接收机 62 无关。在低功率、高写反应时间模式中,来自指令解码器 4 的  $R_xE_N^{\wedge}$  信号使  $R_xE_N$  信号有效,从而将电源施加于写接收机 62,只要 SDRAM2 中的存储体 20、22 有效并且 SDRAM 2 没有被切换到其下电模式。然而,在任何一种模式中,如果 SDRAM 2 中的存储体 20、22 不是有效的或者 SDRAM 2 已经被切换到其下电模式,则不会将电源施加于写接收机 62。

[0061] 参见图 2,系统 100 还包括接收机使能逻辑电路 120,它接收来自逻辑电路 110 的信号  $R_xE_N$  信号和“接收机关闭”  $R_xOff$  信号。在将电源施加于读发送机 57(图 1)从而允许读发送机 57 将读数据提供给数据总线 58 的任何时候, $R_xOff$  信号都是有效的。 $R_xOff$  信号优选由 SDRAM 2 中的用于将电源施加给读发送机 57 的常规电路提供。为此,接收机使能逻辑电路 120 优选位于写接收机 62 和读发送机 57 附近,通常将它们制造在非常接近 SDRAM 2 的数据总线端子的位置上。接收机使能逻辑电路 120 非常接近写接收机 62 和读发送机 57 是接收机使能逻辑电路 120 没有作为逻辑电路 110 的一部分在图 2 中示出的原因。然而,应该理解的是,接收机使能逻辑电路 120 和逻辑电路 110 可以组合成单个逻辑电路,并且接收机使能逻辑电路 120 或者逻辑电路 110 可以分成两个或多个分离的逻辑电路。

[0062] 在工作时,在  $R_xE_N$  信号是有效的任何时候,接收机使能逻辑电路 120 输出有效电源信号“PWR”,除非  $R_xOff$  信号是有效的。因此, $R_xOff$  信号优先于 PWR 信号。一从读发送机

57 除去电源,  $R_xOff$  信号就转变到无效状态以允许接收机使能逻辑电路 120 输出有效 PWR 信号。

[0063] 进一步如图 2 所示, 来自接收机使能逻辑电路 120 的 PWR 信号耦合到写接收机 62 的电源使能输入端, 在图 2 中示出了两个写接收机 62。写接收机 62 从数据总线 58 接收相应写数据位, 并将写数据位提供给可以是常规设计的相应数据高速缓冲存储器电路 130。写数据可以储存在数据高速缓冲存储器电路 130 中, 然后通过合适的数据通路电路 (未示出) 耦合到存储单元的存储体 20、22。当然, 写数据也可以通过其它手段从写接收机 62 耦合到存储体 20、22。

[0064] 如上所述, 反应时间模式可以通过以合适的方式对模式寄存器 11 (图 1) 进行编程来选择。然而, 也可以使用其它技术在高功率、低写反应时间模式或低功率、高写反应时间模式之间进行选择。例如, 逻辑电路 110 可以设计成作为通过外部可访问端子而施加于 SDRAM2 的信号的函数来选择低功率、高写反应时间模式或高功率、低写反应时间模式。外部信号可以通过处理器 (图 2 中未示出) 或其它电路供给, 这取决于要执行的软件的性质。如果处理器执行存储器增强应用, 例如图表程序, 则可以选择高功率、低写反应时间模式。如果处理器执行不是存储器增强的应用, 例如类似于电子制表软件的计算增强程序, 则处理器可以选择低功率、高写反应时间模式。

[0065] 当然, 写反应时间模式可以通过作为读反应时间的函数选择写反应时间而以常规方式来确定。如果选择 3 个时钟周期的读反应时间, 例如, 则写反应时间将通过适当的手段自动设置为 2 个时钟周期 (如果写反应时间小于读反应时间一个时钟周期) 或者 1 个时钟周期 (如果写反应时间小于读反应时间两个时钟周期)。如果写反应时间小于读反应时间两个时钟周期, 则逻辑电路 110 可以设计成自动选择高功率、低写反应时间模式, 从而允许 SDRAM 2 以 1 个时钟周期的写反应时间进行工作。如果写反应时间小于读反应时间一个时钟周期, 则逻辑电路 110 将选择低功率、高写反应时间模式, 因为如果 SDRAM2 以 2 个时钟周期的写反应时间进行工作, 则通过使用高功率模式将不能获得优点。其它技术也可以用于选择写反应时间和 / 或是否使用高功率、低写反应时间。

[0066] 图 3 示出可以使用 SDRAM 2 或一些其他存储器件的计算机系统 400 的实施例或者根据本发明的系统的某个其它实施例, 其中所述计算机系统 400 含有用于允许在低功率模式或高功率模式工作的系统 100。计算机系统 400 包括用于进行各种计算功能的处理器 402, 例如运行特殊软件, 从而执行特殊的计算或任务。处理器 402 包括处理器总线 404, 该处理器总线 404 通常包括地址总线、控制总线 and 数据总线。此外, 计算机系统 400 包括耦合到处理器 402 的一个或多个诸如键盘或鼠标的输入器件 414, 从而允许操作者与计算机系统 400 交互。通常, 计算机系统 400 也包括耦合到处理器 402 的一个或多个输出器件 416, 例如通常是打印机或视频终端的输出器件。一个或多个数据存储器件 418 也通常耦合到处理器 402, 从而储存数据或从外部存储介质 (未示出) 取回数据。典型的存储器件 418 的例子包括硬盘和软盘、磁带和光盘只读存储器 (CD-ROM)。处理器 402 也通常通过存储器控制器 430 耦合到高速缓冲存储器 426 和 SDRAM 2, 其中所述高速缓冲存储器 426 通常是静态随机存取存储器 (“SRAM”)。存储器控制器 430 包括耦合到地址总线 14 (图 1) 的地址总线, 从而将行地址和列地址耦合到 DRAM 2。存储器控制器 430 还包括控制总线, 该控制总线将指令信号耦合到 SDRAM 2 的控制总线 6。SDRAM2 的外部数据总线 58 直接或通过存储器控

制器 430 耦合到处理器 402 的数据总线。

[0067] 从前面的说明中应该认识到, 尽管为了说明的目的而在这里介绍了本发明的具体实施例, 但是在不脱离本发明的精神和范围的情况下可以做各种修改。因而, 本发明只受所附权利要求书的限制。



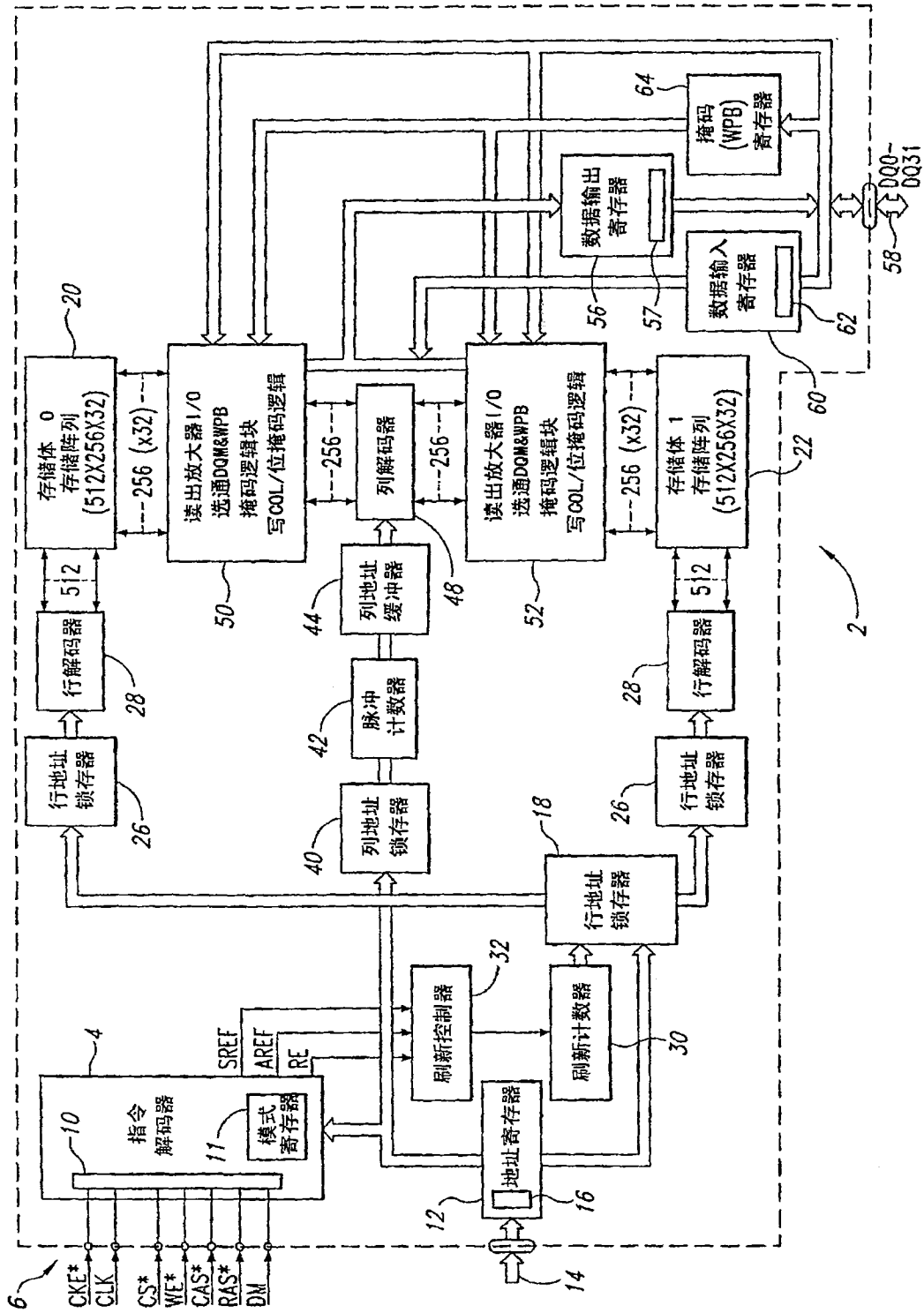


图 1

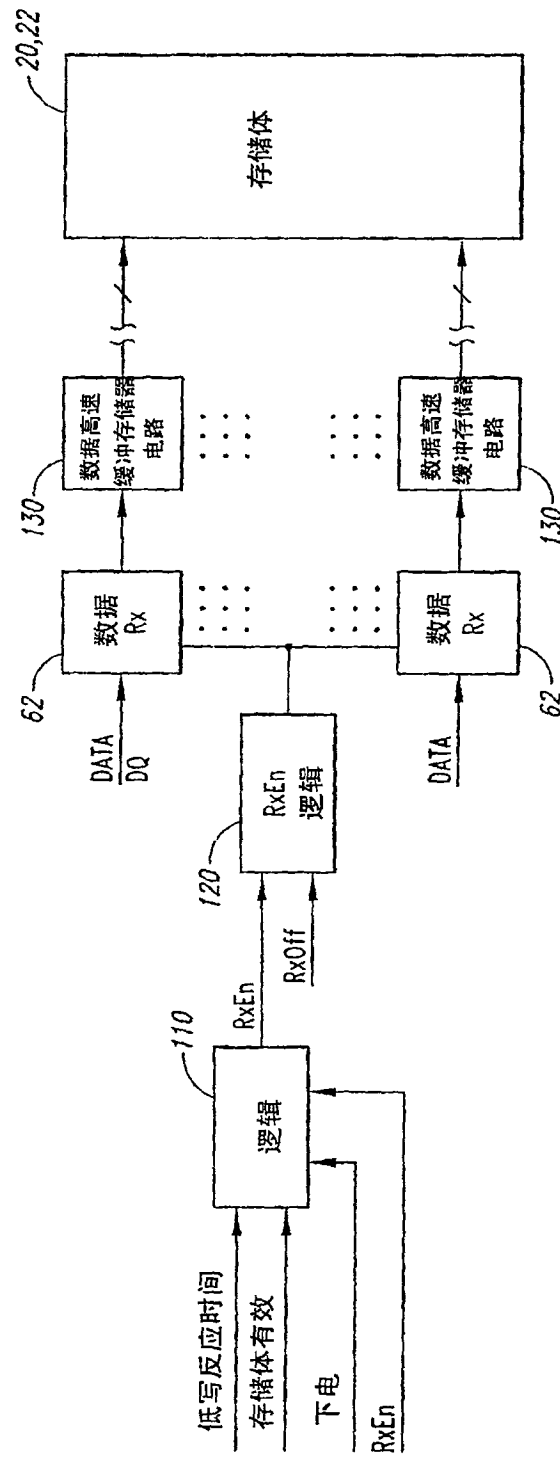


图 2

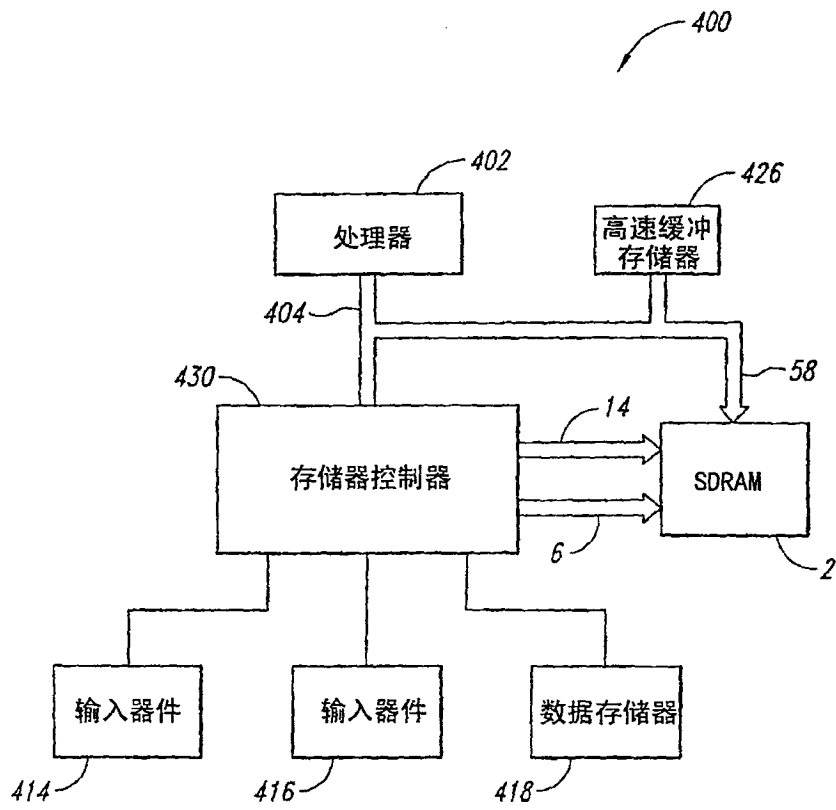


图 3