



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2015년11월12일
(11) 등록번호 10-1568890
(24) 등록일자 2015년11월06일

(51) 국제특허분류(Int. Cl.)
H01L 21/20 (2006.01)
(21) 출원번호 10-2010-7015994
(22) 출원일자(국제) 2009년01월06일
심사청구일자 2013년12월09일
(85) 번역문제출일자 2010년07월19일
(65) 공개번호 10-2010-0100980
(43) 공개일자 2010년09월15일
(86) 국제출원번호 PCT/EP2009/050086
(87) 국제공개번호 WO 2009/092624
국제공개일자 2009년07월30일
(30) 우선권주장
0850362 2008년01월21일 프랑스(FR)
(56) 선행기술조사문헌
KR1020030059280 A
JP2006528592 A
KR1020040077776 A
KR1020060033917 A

(73) 특허권자
소이텍
프랑스, 에프-38190 베혼느, 슈망 데 프랑크, 백
떼끄놀로지끄 데 풍텐느
(72) 발명자
포레, 브루스
프랑스, 에프-38000 그르노블, 루에 두 뷰 탬플,
10
마르코베키오, 알렉산드라
프랑스, 에프-38000 그르노블, 루에 펠릭스 에스
클랜곤, 28
(74) 대리인
김윤배

전체 청구항 수 : 총 15 항

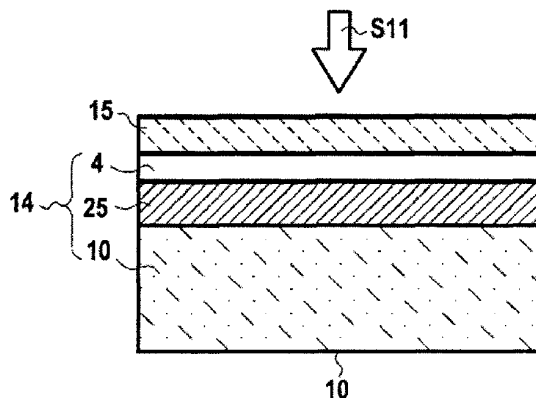
심사관 : 김종희

(54) 발명의 명칭 **컴포지트 구조물 위에 에피택시얼하게 성장된 층을 제조하는 방법**

(57) 요약

본 발명은 에피택시에 의해 재료를 제조하는 방법에 관한 것으로서, 컴포지트 구조물(14) 위에 적어도 하나의 재료층(15)의 에피택시얼 성장 단계를 포함한다. 상기 컴포지트 구조물은, 지지 기판(10)에 결합된 적어도 하나의 박막(4), 상기 지지 기판(10)과 상기 박막(4) 사이에 증착에 의해 형성되는 본딩층(25), 상기 박막(4) 및 $7 \times 10^6 \text{ K}^{-1}$ 이상의 평균 열 팽창 계수를 갖는 상기 지지 기판(10)을 포함한다. 상기 산화물 본딩층(25)은 상기 지지 기판(10)의 본딩 면 위 및/또는 상기 박막(4)의 본딩 면 위에 실리콘 산화물층의 저압 화학 기상 증착(LPCVD)에 의해 형성된다. 상기 박막(4)의 두께는 상기 산화물층의 두께보다 작거나 같다. 상기 방법은 또한 상기 실리콘 산화물층의 증착을 위한 온도보다 높은 온도에서 소정 기간 동안 수행되는 열 처리를 포함한다.

대표도 - 도1h



명세서

청구범위

청구항 1

에피택시에 의해 재료를 제조하는 방법으로서,

컴포지트 구조물(14) 위에 적어도 하나의 재료층(15)의 에피택시얼 성장 단계를 포함하고,

상기 컴포지트 구조물은, 지지 기판(10)에 결합된 적어도 하나의 박막(4), 상기 지지 기판(10)과 상기 박막(4) 사이에 증착에 의해 형성된 산화물 본딩층(25), 상기 박막 및 $7 \times 10^{-6} \text{ K}^{-1}$ 이상의 평균 열 팽창 계수를 갖는 상기 지지 기판을 포함하며,

상기 산화물 본딩층(25)은 상기 지지 기판(10)의 본딩 면 위 또는 상기 박막(4)의 본딩 면 위에 실리콘 산화물 층의 저압 화학 기상 증착(LPCVD)에 의해 형성되는 것을 특징으로 하며,

상기 박막은 상기 산화물층의 두께보다 작거나 같은 두께를 가지고,

상기 방법은 상기 실리콘 산화물층을 증착하기 위한 온도보다 높은 온도에서 소정 기간 동안 수행되는 열 처리를 포함하는 것을 특징으로 하는 에피택시에 의한 재료 제조 방법.

청구항 2

제 1 항에 있어서,

상기 열 처리는 상기 에피택시얼 성장 단계와 같은 시간에서 개시되며,

상기 에피택시얼 성장 단계는, 상기 실리콘 산화물층이 증착되는 상기 온도보다 높은 온도에서 수행되고, 상기 열 처리에 적어도 부분적으로 기여하는 것을 특징으로 하는 방법.

청구항 3

제 1 항에 있어서,

상기 열 처리는 상기 에피택시얼 성장 단계 후에 수행되고,

상기 에피택시얼 성장 단계는, 상기 실리콘 산화물층을 증착하기 위한 상기 온도보다 낮은 온도에서 수행되는 것을 특징으로 하는 방법.

청구항 4

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 에피택시얼 성장 단계 동안 형성되는 상기 재료층의 자유 표면은 타겟 지지체(16)에 결합되는 것을 특징으로 하는 방법.

청구항 5

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 열 처리 단계는, 상기 지지 기판(10)의 분리를 유발할 수 있는 기간 동안 수행되는 것을 특징으로 하는 방법.

청구항 6

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 열 처리 단계 후에, 상기 지지 기판(10)의 분리를 유발하기 위해 상기 산화물 본딩층(25)에 기계적 분리 스트레스(mechanical separation stress)를 적용하는 단계를 더 포함하는 것을 특징으로 하는 방법.

청구항 7

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 열 처리 단계 후에, 상기 지지 기관(10)의 분리를 유발하기 위해 상기 산화물 본딩층(25)의 화학 침식 단계를 더 포함하는 것을 특징으로 하는 방법.

청구항 8

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

저압 화학 기상 증착에 의해 형성되는 상기 본딩층(25)의 상기 재료는, 적어도 실레인, 디클로로실레인, 및 TEOS에서 선택된 전구체로부터 형성되는 실리콘 산화물인 것을 특징으로 하는 방법.

청구항 9

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

본딩 전에, 상기 지지 기관(10)의 상기 본딩 면 위 또는 상기 박막(4)의 상기 본딩 면 위에 저압 화학 기상 증착에 의해 증착되는 상기 실리콘 산화물층의 치밀화 열 처리 단계를 포함하는 것을 특징으로 하는 방법.

청구항 10

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

- 이온들을 이용한 도우너 기관(11)의 일 면의 충격에 의해, 상기 기관 내 소정 깊이, 약한 층(3)을 형성하고, 상기 약한 층(3)은 상기 도우너 기관(11)의 주입된 면과 상기 약한 층 사이에 상기 박막(4)을 정의하는 주입 단계;

- 상기 도우너 기관(11)의 상기 주입된 면을 상기 지지 기관(10)의 면과 밀접하게 접촉하도록 배치하는 본딩 단계; 및

- 상기 도우너 기관에 형성된 상기 약한 층(3)에서의 스플리팅에 의한, 상기 지지 기관(10)과 접촉하는 상기 박막(4)의 분리 단계를 더 포함하는 것을 특징으로 하는 방법.

청구항 11

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

- 도우너 기관의 일 면을 상기 지지 기관의 일면과 밀접하게 접촉하도록 이동시키는 본딩 단계; 및

- 상기 박막을 형성하기 위해 상기 도우너 기관을 얇게 하는 단계를 더 포함하는 것을 특징으로 하는 방법.

청구항 12

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

저압 화학 기상 증착에 의해 형성된 상기 산화물 본딩층은 0.2 μ m 내지 0.75 μ m의 범위에 있는 두께를 갖는 것을 특징으로 하는 방법.

청구항 13

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 지지 기관(10)은, 사파이어, LiTaO₃, LiNbO₃, MgO, 및 Ni, Cr, Mo, W으로 이루어진 합금 중 적어도 하나로부터 선택된 재료에 의해 구성되는 것을 특징으로 하는 방법.

청구항 14

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 박막(4)은, 사파이어, LiTaO₃, MgO, 및 LiNbO₃ 중 적어도 하나로부터 선택된 재료에 의해 구성되는 것을 특징으로 하는 방법.

청구항 15

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 재료층(15)은 반도체 재료층(15)이고, 상기 반도체 재료층(15)은 하나 이상의 바이너리(binary), 터너리(ternary), 또는 쿼터너리(quaternary) III/N 재료들인 것을 특징으로 하는 방법.

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

발명의 설명

기술 분야

[0001]

본 발명은 컴포지트 구조물 위에 에피택시얼하게 성장된 층의 제조와, 상기 구조물로부터 상기 층의 분리에 관한 것이다. 더욱 상세하게 본 발명은 에피택시 후 상기 컴포지트 구조물의 잔존물(remainder)로부터 상기 지지체(support)의 분리에 관한 것이고, 이에 의해 상기 지지체는 리사이클될 수 있고, 상기 에피택시얼하게 성장된 층은 박리되거나 자신에 의한 지지(self-supporting)가 아니면 최종 지지체 위로 이송된다.

배경 기술

[0002]

III/N족 재료들은, 광학(optics), 광전자학(optoelectronics), 및 전자학(electronics)에서의 사용을 위해 그들을 매우 유리하게 만드는, 넓은 밴드-갭과 같은 특별한 전자적 성질들이 부여된다. 그러나 상기 재료들은 벌크 형태로, 대량으로, 직경들(diameters)로, 또는 그들이 큰 산업 규모로 사용될 수 있다는 것을 의미하는 가격에서 이용할 수 없다. 그들은, 최소 결함 밀도(minimal defect density)로 결정 성장을 제조하도록 맞추어진 기판 또는 구조물 위에 헤테로에피택시(heteroepitaxy)에 의해 제조된다. 헤테로에피택시얼 성장을 위해 가능한 구조물은, 결정 결함의 형성을 최소화하기 위해 에피택시얼하게 성장되는 재료의 파라미터에 맞추어진 격자 파라미터(lattice parameter)를 갖는 씨드 박막(thin seed film)이 제공된 컴포지트이다. 상기 구조물을 위한 지지 기판은, 그것의 열 팽창 계수가 에피택시얼하게 성장되는 재료의 그것에 가깝도록 선택되고, 이에 의해 그것의 냉각(cooling) 동안 에피택시얼하게 성장된 재료의 크랙킹(cracking)을 피한다. 상기 성장 구조물은, 광전자학, 광학, 또는 전자학에서 사용을 위해 장치 내 최적 사용을 위해 요구되는 성질을 갖지 않는다. 따라서, 더욱 적절한 성질(열 및 전기 전도성, 광학적 성질 등)을 갖는 타겟 지지체로 에피택시얼하게 성장된 재료층을 이송하거나, 자신에 의해 지지하기에 충분히 두꺼울 때, 상기 지지체로부터 상기 에피택시얼하게 성장된 층을 분리하는 것이 필요하다. 상기 지지체는 리사이클되도록 하기 위해 상기 지지체에 대하여 비파괴의 방식으로, 항상 상기 성장 구조물의 잔존물로부터 분리되어야 한다.

[0003]

유럽 특허 EP-A-0 898 307은, 집적 회로에 수행되어야 하는 처리 동안 더욱 용이한 조작을 위해 웨이퍼에 필요한 강도를 제공하는 지지 기판에 결합된 집적 회로로 덮인 얇은 웨이퍼를 언본드(unbond)하는 방법을 개시한다. 상기 문헌은, PECVD에 의해 형성된 산화물 본딩층의 사용에 의한, 상기 웨이퍼와 상기 지지체 사이 본딩 계면에서의 언본딩(unbonding)을 개시한다. 산화물은, 본딩 안정화 어닐링 및 상기 집적 회로에 수행되는 원하는 처리 후에 수행되는 열 처리(600°C 내지 1350°C)의 작용 하에 본딩 계면으로 확산하는 OH 종들(species)을 갖는 특징을 갖는다. 상기 종들은, 가스가 형성되어, 확산하는 버블들, 본딩 계면, 즉 상기 기판과 상기 웨이퍼 위에 증착된 상기 산화물 본딩층 사이에 위치하는 계면에 국부적으로 집중되는 버블들을 구성할 때까지 성장한다. 상기 현상은, 상기 지지 기판이 그 계면에서 상기 본딩층과 완전히 언본드할 때까지 본딩 계면을 약화시키는 것을 촉진하고, 이에 의해, 상기 집적회로가 사용될 수 있도록 상기 지지체로부터 상기 본딩층이 있는 상기 웨이퍼가 분리된다.

[0004]

국제 특허 문헌 WO-A-02/084722는, 특정 계면 또는 중간층을 통하여 박리(release)될 수 있고, 컨트롤되는 수준

에서 유지되는 기계적 강도(mechanical strength)를 갖고, 차후 박리에도 사용될 수 있는 기관의 제조를 개시한다. 상기 박리는 기관 위에 컴포넌트를 형성한 후 또는 에피택시 단계 후에 발생할 수 있다. 상기 계면은, 그것의 러프니스 또는 그것의 친수성 특성을 제어하기 위해 그리고, 이후 단계를 수행하기에 충분한 힘을 갖지만 이후 박리에 사용할 수 있는 상기 기관의 어셈블리를 가능하게 하기 위해 결합되는 표면들의 하나를 처리함으로써 형성된다. 상기 박리는 외부의 기계적, 화학적, 및/또는 광자적 작용에 의해 달성될 수 있다. 상기 계면의 기계적 강도는, 이후 분리에 계속 사용될 수 있는 동안 필요하면 열 처리에 의해 강화될 수 있다.

[0005] WO-A-2005/034218은, 기관과 실리콘의 수퍼스트레이트(superstrate)의 본딩을 개시하고, 상기 기관과 상기 수퍼스트레이트 각각은 그 위에 형성된 열 산화물층을 갖는다. 실리콘 산화물의 중간층은 그들 중 어느 하나 위에 형성된다. 그것은, 플라스틱처럼(plastically) 변형될 수 있는 PSG(phosphor-silicate glass) 또는 PBSG(boro-phospho-silicate glass)형 재료를 형성하기 위해 인(phosphorus) 및/또는 붕소(boron)로 도핑된다. 900°C 내지 1100°C에서 상기 구조물에 열 처리를 적용하는 것은, 상기 본딩층 내에 마이크로-버블 또는 마이크로캐비티의 비가역 형성을 야기한다. 상기 마이크로-버블은 다양한 적용들을 위해, 특히 상기 구조물이 분해되도록 하기 위해 상기 본딩 계면을 약화시키는데 사용될 수 있다.

[0006] WO-A-2005/074022는, 두 개의 주요 층들이 외부 작용 예를 들어, 기계적 작용에 의해 서로로부터 분리될 수 있기 때문에 "분리성(liberable)" 구조물의 제조를 개시한다. 본딩은, 실리콘 또는 게르마늄과 같은 제2 재료를 그 내부에 포함하는 제1 재료층을 형성하는 것에 의해 획득되는 가역성 연결을 통하여 달성되고, 상기 제2 재료는 열 처리에 따라 상기 제1 재료와 다른 나노-입자들을 발생시킬 수 있다. 상기 제1 재료층은, 증착되거나 열로 형성된 SiO₂로부터 형성될 수 있다. 상기 타입의 연결에 의해 획득된 본딩력(bonding force)은 이후 열 처리 동안 변경되지 않는다. 상기 연결은 기계적 힘의 작용에 의해 두 기관을 분리시키는데 사용될 수 있다.

[0007] 상기 문헌들에 개시된 분리 해결책들은 에피택시얼 성장을 수행하도록 의도되고, 사파이어(sapphire), 리튬 tantalate(lithium tantalate) 등과 같은 높은 열 팽창 계수를 갖는 재료들을 포함하는 구조물에는 사용될 수 없다. 실제, 상기 문헌들에 개시된 방법들로 획득된 본딩력은 매우 낮아서 사용된 재료들에 의해 유발된 열 팽창 스트레스를 열 처리 동안 견딜 수 없거나, 결정 격자 파라미터 차이에 의해 유발된 스트레스를 헤테로에피택시 동안 견딜 수 없다. 상기 재료들에 있어서, 매우 낮은 본딩력은, 에피택시를 위한 양질의 구조물이 형성될 수 없다는 것과, 상기 지지 기관의 분리 순간이 적절한 열 버짓(thermal budget)을 적용하는 것에 의해 컨트롤될 수 없다는 것을 의미한다. 실제, 본딩이 너무 약하면, 상기 지지 기관은 에피택시 공정 동안 언제라도 씨드 막으로부터 분리될 위험이 있다.

발명의 내용

해결하려는 과제

[0008] 본 발명은 위에 언급된 단점들을 극복하고, 에피택시얼 성장, 특히 박막과, 높은 열 팽창 계수들(고려되는 온도 범위(20°C 내지 1200°C)에서 $7 \times 10^{-6} \text{K}^{-1}$ 이상)을 갖는 재료들로 제조된 지지 기관을 포함하는 컴포지트 구조물 위에 III/N족(group III/N)으로부터의 재료들의 에피택시얼 성장을 가능하게 하는 해결법을 제안하는 것이다. 상기 박막과 상기 지지 기관 사이의 본딩은 적어도 에피택시의 소정 기간 동안 채워지는 스트레스와 온도를 견딜 수 있고, 소정 순간, 즉 에피택시의 종료 전 또는 후, 또는 에피택시의 종료와 같은 시간에 상기 본딩층의 과열에 의해 상기 지지 기관의 분리를 가능하게 한다.

과제의 해결 수단

[0009] 상기 목적은 에피택시에 의한 재료들을 제조하는 방법에 의해 달성되고, 상기 방법은, 지지 기관에 결합된 적어도 하나의 박막, 상기 지지 기관과 상기 박막 사이에 증착에 의해 형성된 본딩층을 포함하는 컴포지트 구조물 위에 적어도 하나의 재료층의 에피택시얼 성장 단계를 포함하며, 본 발명의 상기 방법은, 상기 산화물 본딩층이 상기 지지 기관의 본딩 면 위 및/또는 상기 박막의 본딩 면 위에 실리콘 산화물층의 저압 화학 기상 증착(LPCVD)에 의해 형성되는 것과, 상기 박막이 상기 산화물층의 두께보다 작거나 같은 두께를 갖는 것과, 상기 방법은 상기 실리콘 산화물층을 증착하기 위한 온도보다 높은 온도에서 소정 기간 동안 수행되는 열 처리를 포함하는 것을 특징으로 한다.

[0010] 따라서, LPCVD에 의해 형성된 실리콘 산화물층을 갖고, 상기 박막의 두께보다 크거나 같은 두께를 갖는 컴포지트 구조물을 이용하는 것에 의해, 처음에 한정된 기간에서 상기 박막의 변형과 상기 지지 기관의 분리를

피하고, 원하는 순간, 즉 에피택시의 종료 전 또는 후, 또는 에피택시의 종료와 같은 시간에 상기 실리콘 산화물층의 파열에 의해 상기 지지 기판의 분리를 유발하기 위해 마이크로캐비티(microcavities)의 형성을 활성화하기 위해, 상기 지지 기판의 박리(delamination) 또는 분리(detachment)를 유도하는 상기 산화물 본딩층에 매장된 마이크로캐비티(microcavities)의 형성 현상을 컨트롤하는 것이 가능하다.

[0011] 아래에 상세하게 설명되는 바와 같이, 상기 박막의 두께보다 큰 두께를 갖는, LPCVD 증착에 의해 형성된 본딩층을 사용하는 것은 상기 본딩층 내 플라스틱(비가역) 변형을 방지한다. 따라서, 상기 증착된 실리콘 산화물 본딩층 내 마이크로캐비티의 형성은, 심지어 상기 산화물 증착 온도보다 높은 온도에서 열 처리 동안, 상기 박막의 박리를 유도하지 않고, 상기 막의 표면을 버클(buckle)하지 않는다. 채용된 상기 증착 기술의 기능으로서 실리콘 산화물층들의 온도 행동(temperature behavior)에 관한 학문에 따라, 본 출원인은, LPCVD에 의한 증착이 열 산화에 의해 획득된 산화물의 온도 안정성에 가까운 온도 안정성을 갖는 산화물을 제조할 수 있다는 것을 결정했다. 또, 상기 실리콘 산화물 본딩층의 낮은 열 팽창 계수와 상기 컴포지트 구조물의 재료들의 높은 팽창 계수 사이의 큰 차이에 기인한 스트레스를 견디기 위해, 상기 실리콘 산화물층의 두께는 상기 박막의 두께보다 크거나 같다. 이것은, 상기 본딩층에 발생하는 플라스틱 변형의 위험뿐만 아니라, 고온 에피택시열 성장 동안 상기 본딩층에 적용되는 스트레스가 감소될 수 있다는 것을 의미한다.

[0012] 소정 순간에(에피택시열 성장 동안 또는 후에) 상기 기판을 분리하기 위해, 상기 실리콘 산화물이 증착되는 온도보다 적어도 더 높은 온도에서, 그 온도의 함수(function)인 소정 기간 동안, 열 처리를 적용하는 것이 필요하다. 본 발명의 컴포지트 구조물은, 에피택시 동안 받게 되는 스트레스와 온도에 손쉽게 크리프(creep)하지 않도록 디자인되는 증착된 실리콘 산화물 본딩층을 포함한다. 상기 산화물의 크리프(creep)는 마이크로캐비티의 형성을 야기하므로, 상기 산화물 증착 온도 위에 있는 온도에서 열 처리를 적용하는 것에 의해 에피택시 동안 또는 그 후에 소정 순간에서 마이크로캐비티의 형성을 개시하는 것이 가능하다. 이 열 처리는, 상기 산화물의 온도와 상기 컴포지트 구조물의 온도 모두를 증가시키는 것에 의해 상기 산화물 본딩층의 크리프를 획득할 수 있고, 상기 열 팽창 계수들의 차이에 기인한 스트레스의 발생을 야기한다.

[0013] 저압 화학 기상 증착에 의해 형성된 상기 산화물 본딩층은 상기 박막의 두께보다 큰, 바람직하게는 약 0.2 μ m 내지 0.75 μ m의 범위, 더욱 바람직하게는 0.2 μ m 내지 0.45 μ m의 범위에 있는 두께를 갖는다.

[0014] 상기 에피택시열 성장 단계는, 상기 실리콘 산화물의 크리프 및 마이크로캐비티들의 성장(development)을 획득하기 위해 상기 열 처리에 부분적으로 또는 전체적으로 기여할 수 있다. 에피택시열 성장 동안의 상기 온도는 상기 산화물 증착 온도보다 높다. 이 온도를 알면, 상기 마이크로캐비티의 성장이 이루어져서 그것이 상기 산화물층을 충분히 약화시켜, 그것이 파열하는 것을 가능하게 하는 시간을 결정하는 것이 가능하다. 에피택시는 상기 산화물층의 파열을 위해 필요한 상기 열 처리의 부분만을 제공하도록 수행될 수 있다. 에피택시는 또한 상기 산화물층의 파열을 만들 수 있는 기간에 걸쳐 수행될 수 있다. 유사한 방식으로, 그것은, 에피택시열하게 성장된 재료의 원하는 두께를 제조하기 위해 상기 층의 파열 후에 계속될 수 있다.

[0015] 상기 열 처리 단계는 또한 상기 에피택시열 성장 단계 후에 수행될 수 있다. 이것은 특히 에피택시가 상기 산화물 증착 온도 아래의 온도에서 수행될 때 적용된다.

[0016] 본 발명의 일 측면에서, 상기 가열 처리는 상기 지지 기판의 분리를 자발적으로 유발할 수 있는 기간 동안 수행된다. 그런 분위기에서, 마이크로캐비티의 형성을 개시할 수 있는 상기 열 처리는, 상기 산화물 본딩층에서 스플리팅(splitting)/분열(fracture)을 획득하는데 충분하도록 상기 마이크로캐비티를 성장시킬 수 있는 기간 동안 수행된다.

[0017] 다른 측면에서, 상기 분리 방법은, 상기 열 처리 단계 후에, 상기 지지 기판의 분리를 유발하기 위해 상기 산화물 본딩층에 기계적 분리 스트레스(mechanical separaton stress)를 적용하는 보완 단계를 더 포함한다. 이 보완 단계는 또한 상기 지지 기판의 분리를 유발하기 위해 상기 산화물 본딩층의 화학 침식(chemical attack)으로 구성될 수 있다.

[0018] 어느 쪽이든, 마이크로캐비티의 사전 형성 때문에, 상기 열 처리는, 분열/스플리팅이 기계적 또는 화학적 작용에 의해 쉽게 획득되도록 상기 산화물 본딩층을 약화시킬 수 있다.

[0019] 저압 화학 기상 증착에 의해 형성된 상기 본딩층의 재료는 실레인(silane), 디클로로실레인(dichlorosilane), 및 TEOS로부터 선택된 전구체들(precursors)로부터 형성된 실리콘 산화물이다.

[0020] 본 발명의 일 측면에 따르면, 상기 방법은, 본딩 전에, 상기 지지 기판의 본딩 면 위 및/또는 상기 박막의 본딩 면 위에 저압 화학 기상 증착에 의해 증착된 상기 실리콘 산화물층의 치밀화(densification) 열 처리 단계를 더

포함한다. 이 치밀화 열 처리 단계는 마이크로캐비티의 형성에 비하여 상기 증착된 실리콘 산화물의 온도 행동을 더 증가시킬 수 있다. 이 단계는, 필요하다면, 상기 박막의 두께와 상기 증착된 실리콘 산화물층의 두께의 비를 줄일 수 있다.

[0021] 상기 치밀화 열 처리 단계는, 상기 산화물 본딩층의 증착을 위한 온도보다 높은 온도에서, 그러나 상기 실리콘 산화물층의 파열을 유발하는 것보다 훨씬 더 짧은 기간에 걸쳐 수행된다.

[0022] 본 발명의 방법의 일 특징에 따르면, 상기 박막은 스마트 컷(Smart Cut)[®] 기술을 사용하여 획득될 수 있다. 상기 방법은 다음 단계들을 더 포함한다.

[0023] · 이온들을 이용한 도우너(donor) 기판의 일 면의 충격에 의해, 상기 기판 내 소정 깊이, 약한 층을 형성하고, 상기 약한 층은 상기 기판의 상부에 상기 박막을 정의하는 주입 단계;

[0024] · 상기 도우너 기판을 상기 지지 기판과 밀접하게 접촉하도록 배치하는 본딩 단계;

[0025] · 상기 도우너 기판에 형성된 상기 약한 층에서의 스플리팅에 의한, 상기 지지 기판과 접촉하는 상기 박막의 분리 단계.

[0026] 본 발명의 특징에 따르면, 상기 박막은 다음 단계들로 제조될 수 있다.

[0027] · 도우너 기판을 상기 지지 기판과 밀접하게 접촉하도록 이동시키는 본딩 단계;

[0028] · 상기 박막을 형성하기 위해 상기 도우너 기판을 얇게 하는 단계.

[0029] 상기 본딩 단계 후에, 본딩 안정화 어닐링 단계가, 상기 실리콘 산화물이 상기 증착된 산화물층에 마이크로캐비티의 나타남이 없이 증착되는 온도보다 높은 온도에서 수행될 수 있다.

[0030] 특히, 본 발명은 GaN, AlGaN, InGaN, 또는 InAlGaN과 같은 바이너리(binary), 터너리(ternary), 또는 쿼터너리(quaternary) 타입 III/V 및 III/N 재료의 적어도 하나의 층의 제조에 관한 것이다.

[0031] 본 발명의 일 측면에 따르면, 상기 에피택시얼 성장은, 적어도 10 μ m의, 반도체 재료의 두께 또는 반도체 재료층과 박막의 누적 두께의 형성에 대응하는 소정 기간 동안 수행된다. 이 두께는, 상기 전도성 재료층이, 혼자 또는 상기 박막과 함께, 에피택시를 위한 조건들을 견디는, 조작되지 않는다면, 충분한 기계적 강도 및 평탄도(flatness)을 갖기에 충분하다. 따라서, 같은 재료 또는 다른 III/N 재료의 새로운 에피택시얼 성장 단계가 같은 에피택시 장치에서 수행될 수 있다.

[0032] 본 발명의 다른 측면에 따르면, 에피택시얼 성장은, 적어도 100 μ m의, 반도체 재료의 두께 또는 반도체 재료층과 박막의 누적 두께의 형성에 대응하는 소정 기간 동안 수행된다. 상기 두께는, 반도체 재료층 또는 "자신에 의해 지지되는(self-supported)", 즉 지지체의 필요 없이 조작되기에 충분히 단단하고 강한 재료층/박막 어셈블리를 형성하는 것이 가능하다는 것을 의미한다.

[0033] 상기 에피택시얼하게 성장된 반도체 재료층의 자유 표면(free surface)은 상기 지지 기판을 분리하기 전에 타겟 지지체에 결합될 수 있다.

발명의 효과

[0034] 본 발명의 실시예에 따르면, 에피택시얼 성장, 특히 박막과, 높은 열 팽창 계수들을 갖는 재료들로 제조된 지지 기판을 포함하는 컴포지트 구조물 위에 III/N족(group III/N)으로부터 선택된 재료들의 에피택시얼 성장이 가능하게 된다.

도면의 간단한 설명

[0035] 도 1a 내지 도 11은, 본 발명의 일 실시예 따른 컴포지트 구조물의 제조, 에피택시 및 상기 지지 기판의 분리를 보여주는 개략적인 단면도이다.

도 2는 도 1a 내지 도 11에서 수행되는 단계들의 플로우차트이다.

도 3a 내지 도 3g는, 본 발명의 다른 실시예 따른 컴포지트 구조물의 제조, 에피택시 및 에피택시 동안 상기 지지 기판의 분리를 보여주는 개략적인 단면도이다.

도 4는 도 3a 내지 도 3g에서 수행되는 단계들의 플로우차트이다.

발명을 실시하기 위한 구체적인 내용

- [0036] 본 발명은 우수한 품질의 III/N 재료들의 층들의 에피택시에 의한 형성 및 에피택시의 종료 전 또는 후에 또는 에피택시의 종료와 실질적으로 같은 시간에 컴포지션(composition) 구조물로부터 상기 지지 기판의 분리를 가능하게 하는 컴포지트 구조물의 제조를 제안한다.
- [0037] 본 발명은 상기 지지 기판과 상기 박막 사이에 위치하는 산화물 본딩층을 포함하는 신규 개념의 컴포지트 구조물을 제안하고, 거기에서 마이크로캐비티들(microcavities)의 형성이 컨트롤될 수 있다. 본 발명의 컴포지트 구조물은, 상기 에피택시의 적어도 일부 동안 및 전에 상기 구조물에 적용된 열처리 동안 그들이 나타나는 것을 방지하는 것과, 상기 지지 기판의 분리의 관점으로 에피택시 동안 또는 그 후에 그들의 형성 또는 심지의 그들의 성장을 고무하는 것과 관련하여, 상기 산화물 본딩층 내 마이크로캐비티들이 컨트롤될 수 있다는 것을 의미한다.
- [0038] 상기 컴포지트 구조물은, 상기 지지 기판과 상기 박막 사이에 실리콘 산화물 본딩층을 통하여 지지 기판에 결합되는 반도체 재료의 적어도 하나의 박막, 상기 박막 및 열처리의 적용에 의해 상기 구조물에서 어느 수준의 스트레스에 도달할 수 있기 위해 20°C 내지 1200°C의 온도 범위에 걸쳐 $7 \times 10^{-6} \text{K}^{-1}$ 의 평균 열 팽창 계수를 갖는 상기 지지 기판을 포함한다.
- [0039] 실리콘 또는 실리콘 카바이드(SiC)와 다른, 예를 들어 특히 사파이어(sapphire)와 같은 재료들의 두 기판들을 본딩시킬 때, 열 산화에 의해 상기 기판으로부터 실리콘의 소모에 의해 실리콘 산화물층을 형성하는 것이 가능하지 않다. 따라서 PECVD(plasma enhanced chemical vapor deposition) 또는 LPCVD(low pressure chemical vapor deposition)와 같은 기술을 이용한 증착에 의해 상기 실리콘 산화물을 형성하는 것이 필요하다. 이것은 "증착된 산화물"이고, 이는 열 산화물과는 대조적으로 화학양론적이지 않다(증착된 산화물은 $\text{Si}_x\text{O}_y\text{H}_z$ 타입의 구성을 갖는다). 또, 이 증착된 산화물은 밀도가 더 낮고, 열 산화물과 같은 성질들을 갖지 않는다. 심지의 치밀화 어닐링(densification annealing) 후에도, 이 증착된 실리콘 산화물은 여전히 온도-불안정이고, 특히 고온 처리 (> 800°C) 동안에 온도-불안정이다.
- [0040] 사파이어의 얇은 층이 놓이는 사파이어 지지 기판에 의해 형성된 컴포지트 기판이 GaN 에피택시를 위해 그것을 준비하도록 가열될 때, 예를 들어, 상기 산화물 증착 온도가 초과하면 증착된 실리콘 산화물의 본딩층에 마이크로캐비티들이 배타적으로 나타난다. 그들은 비가역 기포들(blisters)의 형성에 의해 사파이어의 상기 박막의 표면에서 보여질 수 있고, 상기 기포들은 그것의 표면을 "버클(buckle)"하고, 그 표면이 더 이상 매끈하지 않고, 격자 파라미터가 왜곡되기 때문에, 그것을 에피택시에 부적절하도록 만든다.
- [0041] 상기 마이크로캐비티들은, 사용되는 재료들의 열 팽창 계수가, 상기 컴포지트 구조물의 제조 동안 또는 그것의 이후 사용(에피택시) 동안 도달되는 온도에서, 상기 증착된 실리콘 산화물의 열 팽창 계수에 비하여 높을 때, 더 크다. 일반적으로, 상기 증착된 실리콘 산화물층 내에 마이크로캐비티들의 형성과 성장은 상기 실리콘 산화물 증착 온도를 초과하는 온도에서 관찰되어 왔다.
- [0042] 상기 실리콘 산화물 내 마이크로캐비티들의 발생은 탄성 모드(elastic mode)의 변형에서, 가역이 아닌 플라스틱 모드(plastic mode)의 변형으로의 이행에 의해 설명될 수 있다. 탄성 변형은 예를 들어 기계적 스트레스의 작용 하에서 산화물의 초기 상태의 수정과, 상기 스트레스가 제거되면 초기 상태로의 복귀에 의해 특징지어진다. 플라스틱 변형은 비가역 변형을 야기하고, 비가역 변형 후에 상기 기계적 스트레스가 제거되면 산화물은 그것의 초기 상태를 회복할 수 없다. 플라스틱 변형으로의 이행은, 다양한 파라미터들에 대한 쓰레숄드(threshold)가 상기 산화물 내에 도달될 때 일어난다. 이 이행은 온도에, 실리콘 산화물의 크리프(creep) 특성에, 그리고 결합되는 재료들의 팽창과 산화물의 팽창과의 차이에 의해 적용되는 스트레스에 연결된다. 실리콘 산화물의 크리프 온도는, 상기 산화물이 스트레스를 받지 않을 때, 상기 산화물이 탄성 변형 모드에서 플라스틱 변형 모드로 변하는 최소 온도를 나타내는, 상기 산화물의 특징들 중 하나이다. 온도는 산화물의 크리프의 양을 증가시킨다. 따라서, 상기 증착된 산화물층 내 마이크로캐비티들의 형성을 유발하도록 적용되는 수준의 스트레스는, 상기 산화물이 쉽게, 특히 그것의 크리프 온도에 비하여 적용되는 온도에 기인하여 크리프하는 고유 커패시티(intrinsic capacity)를 가질 때 더욱 낮다.
- [0043] 결과로서, 마이크로캐비티들이 원하는 시간에(에피택시 동안 또는 후에) 실제로 나타나도록 상기 산화물 본딩층 내에 마이크로캐비티들의 형성을 컨트롤하기 위해, 크리프를 유발하는 것이 어려운 증착된 실리콘 산화물을 사용하는 것과, 에피택시 동안 또는 전에 적용되는 고온 처리 동안 상기 실리콘 산화물에 적용되는 스트레스를 줄

이는 것이 필요하다.

- [0044] 본 출원인은 다른 증착 기술들에 의해 획득되는 산화물들의 온도 행동을 연구해왔고, 저압 화학 기상 증착(LPCVD)에 의해 증착된 실리콘 산화물이 크리프하는 그의 커패시터를 줄일 수 있다는 것을 발견하였다. 본 출원인에 의해 수행된 실험들은 산화물의 성질들이 본딩층 내 마이크로캐비티들의 형성에 실질적인 영향을 미치고, 상기 성질들이 채용된 증착 기술에 의해 그리고 사용된 전구체에 의해 영향을 받을 수 있다는 것을 보여주었다.
- [0045] 다음의 세 가지 타입의 실리콘 산화물들이 사파이어 지지 기판 위에 사파이어 박막의 본딩을 위해 테스트되었다.
- [0046] ·PECVD(plasma enhanced chemical vapor deposition)에 의해 300℃에서 증착된, 실레인 전구체로부터 제조된 실리콘 산화물;
- [0047] ·LPCVD에 의해 800℃에서 증착된 실레인 전구체로부터 제조된 실리콘 산화물(또한 HTO 실레인이라고 하며, HTO는 고온 산화물을 의미함)(상기 산화물이 PECVD에 의해, 따라서 저온에서 증착되면, 그것은 HTO 실레인이라고 하지 않는다); 및
- [0048] ·LPCVD에 의해 900℃에서 증착된 디클로로실레인(DCS) 전구체로부터 제조된 실리콘 산화물(또한 HTO DCS라고 함).
- [0049] 마이크로캐비티 형성은 HTO 실레인 및 HTO DCS에서 덜 중요하다. 대조적으로, 마이크로캐비티 형성은 PECVD 증착에 의해 증착된 실리콘 산화물에서 더욱 중요하다. 증착된 산화물들의 크리프는, 그들이 LPCVD 기술에 의해 증착될 때 유발하기가 더욱 어려워진다.
- [0050] 더하여, 증착된 산화물의 온도 행동은 열 산화물의 밀도에 가능한 가까운 밀도를 갖는, LPCVD 증착에 의해 획득된 실리콘 산화물을 사용하는 것에 의해 개선될 수 있다. 치밀화 어닐이 본딩 전에 LPCVD에 의해 증착된 실리콘 산화물에 적용될 수 있다.
- [0051] 실리콘 HTO DCS 산화물의 0.2 μm 두께의 본딩층을 갖는 사파이어 지지 기판 위에 0.5 μm 두께의 사파이어 박막을 포함하는 컴포지트 구조물에 있어서, 900℃에서 1시간 동안 수행되는 본딩 안정화 어닐은 상기 사파이어 막의 완전한 박리(delamination)를 유발한다. 대조적으로, 같은 컴포지트 구조물을 갖는 실리콘 HTO DCS 산화물이 본딩을 수행하기 전에 질소 분위기(N₂), 1200℃에서 30분 동안 어닐될 때, 1050℃에서 1시간 동안 수행되는 본딩 안정화 어닐은 상기 박막의 박리를 유도하지 않는다.
- [0052] 또, 마이크로캐비티들의 형성은 상기 구조물 재료들의 높은 열 팽창 계수들에 기인한 스트레스에 연결되므로, 본 발명은 또한 증착된 실리콘 산화물층의 두께보다 작거나 같은 두께를 갖는 박막을 형성(이송에 의하거나 기계적 또는 화학적 씨닝(thinning)에 의해)하는 것에 의해 상기 스트레스를 줄이는 것을 제안한다. 따라서, 에피택시의 부분 동안 또는 전에 상기 구조물 위에 수행되는 열 처리 동안 팽창에서의 차이로부터 유도되는 기계적 스트레스들은, 그들이, 고려되는 온도에서 실리콘 산화물의 플라스틱 변형(크리프) 쓰레숄드를 초과하지 않도록, 제한될 수 있다.
- [0053] 일 예로서, 본 출원인은, 0.5 μm 의 두께를 갖는 사파이어 막이 LPCVD에 의해 증착된 실리콘 HTO 실레인 산화물의 0.3 μm 두께의 본딩층 위로 이송되었을 때, 상기 막의 박리는 1100℃에서 1시간 동안 수행되는 열 처리 후에 일어났다는 것을 보여주는 테스트를 수행하였다. 대조적으로, 0.3 μm 두께의 사파이어 막이 LPCVD에 의해 증착된 0.3 μm 두께의 실리콘 HTO 실레인 산화물인 본딩층 위로 이송되었을 때, 1100℃에서 3시간 동안 수행되는 열처리 후에 박리가 일어나지 않았다. 일반적으로, 본 발명에 따르면, 박막 재료의 열 팽창 계수가 높을수록, 그것은, 구조물 내 스트레스들을 줄이기 위해 증착된 실리콘 산화물층의 두께에 비하여 더 얇아진다. 일 예로, 박막의 두께는, 상기 박막이 주위 온도에서 $16 \times 10^{-6} \text{K}^{-1}$ 의 열 팽창 계수를 갖는 리튬 탄탈레이트(LiTaO₃)로부터 형성될 때, 증착된 실리콘 산화물층의 두께에 비하여 크게 감소되어야 한다.
- [0054] 본 발명에 따르면, LPCVD 증착에 의해 형성된 산화물 본딩층의 두께는 바람직하게 약 0.2 μm 내지 0.75 μm 의 범위, 더욱 바람직하게 약 0.2 μm 내지 0.45 μm 의 범위에 있다.
- [0055] 증착에 의해 형성된 산화물 본딩층 내 마이크로캐비티들의 형성 및 성장은 열 버짓을 적용하는 것으로 인해 발생한다. 온도/시간 커플(couple)은 열 처리의 열 버짓에 대응한다.
- [0056] 더하여, 에피택시얼 성장기, 실리콘 산화물층이 증착되는 온도보다 높은 온도에서 수행될 때, 에피택시얼 성장

의 온도의 함수(function)로서, 예를 들어 에피택시 동안 또는 에피택시 후 열 처리를 연장하는 것에 의해, 또는 보완적인 기계적 또는 화학적 작용에 의해, 상기 산화물층이 부러지기에 충분히 약해지는 기간을 결정하는 것이 가능하다.

- [0057] 에피택시얼 성장기, 에피택시 후 지지 기판의 분리를 가능하게 하기 위해, 산화물층의 증착 온도보다 낮은 온도에서 수행될 때, 상기 지지 기판과 상기 박막 사이의 결합을 약화시키기 위해 산화물 본딩층 내 마이크로캐비티들의 형성을 적어도 개시할 수 있는 열 버짓으로 추가적 열 처리 단계를 적용하는 것이 필요하다; 상기 지지 기판의 분리는 약화된 산화물 본딩층의 파열(rupture)에 의해 획득된다. 분열(fracture)은 마이크로캐비티들의 형성을 개시하기 위한 열 처리를 연장하는 것에 의해 형성된 마이크로캐비티들을 성장시킴으로써 획득될 수 있다.
- [0058] 분열은 또한 기계적 스트레스를 적용하는 것에 의해, 예를 들어, 상기 지지 기판과 상기 박막 사이에 블레이드(blade)를 도입하는 것에 의해 또는 이들 두 요소들에 인장력(tensile forces) 또는 전단력(shear forces)을 적용하는 것에 의해 획득될 수 있다. 약화되지 않은, 즉 마이크로캐비티들을 포함하지 않는 산화물 본딩층보다 더욱 쉽게, 더욱 정확하게 그리고 더욱 국부적인 방식으로 분열을 획득하는 것이 가능하다.
- [0059] 상기 지지 기판의 분리는 또한 예를 들어, 묽은 불산(HF) 용액 또는 BOE(buffered oxide etch, 농축 HF를 포함)를 사용하는 상기 약화된 산화물층의 화학 침식에 의해 획득될 수 있다. 상기 마이크로캐비티들이 없으면, 상기 실리콘 산화물을 분해하는데 몇 시간이 소요되는 반면, 마이크로캐비티들의 존재 하에 상기 박막과 상기 지지 기판 사이의 분리는 몇 분 또는 몇 십분에 달성된다.
- [0060] 에피택시가, 실리콘 산화물이 증착되는 온도보다 높은 온도에서 수행되나, 마이크로캐비티들의 필요한 성장을 달성하고 산화물 본딩층의 파열을 획득하는데 불충분한 열 버짓으로 수행될 때, 상기 열 처리는, 파열이 일어날 때까지 증착된 산화물층 내 마이크로캐비티들의 형성이 계속될 수 있다는 것을 의미하는 열 버짓으로 에피택시를 초과하여 연장되어야 한다. 이 열 버짓은, 특히 마이크로캐비티들의 성장 속도가 높여지면 에피택시의 온도보다 더 높아야 하는 온도와 관련하여 에피택시의 그것에 보완적인 버짓이다. 따라서 열 처리 기간은 사용되는 온도에 의존한다. 온도/기간 커플은, 마이크로캐비티 형성을 위해 적용되는 열 버짓을 정의하고, 열 처리 동안 컴포지트 구조물을 구성하는 재료들과 증착된 실리콘 산화물층의 열 팽창에서의 차이와, 실리콘 산화물층에 대한 박막의 두께의 비에 의해 야기되는 스트레스의 함수(function)로서 조절되어야 한다. 전구체 가스로서 실레인으로 LPCVD 기술을 사용하여 800°C에서 증착된 0.4 μ m 두께를 갖는 실리콘 산화물층에 의해 결합된 0.4 μ m의 얇은 층을 갖고, 질소 내 1100°C에서 2시간 동안 치밀화되는 SapoS(sapphire on sapphire) 타입의 구조물을 일 예로 든다. 상기 구조물은 100 μ m의 GaN을 에피택시얼하게 성장시키는데 사용되고, 2시간 동안 1100°C의 열 버짓을 필요로 한다. 분열을 획득하는 보완 버짓은 2시간 동안 1200°C이다. 온도가 더 낮으면, 기간은, 마이크로캐비티들의 형성과 성장을 분열로 완성하기 위해 증가되어야 한다.
- [0061] 따라서, 본 발명에 따라 제조된 컴포지트 구조물은, GaN 및 다른 터너리 또는 쿼터너리 합금들을 포함하는 III/N 재료들과 같은 재료들의 에피택시를 위한 실리콘 산화물의 증착을 위한 온도보다 큰 온도를 견딜 수 있다.
- [0062] 본 발명의 컴포지트 구조물은 특히 높은 열 팽창 계수(TEC), 즉 상기 구조물이 접하게 되는 온도 범위, 전형적으로 20°C 내지 1200°C에서 평균 $7 \times 10^{-6} \text{K}^{-1}$ 이상의 열 팽창 계수를 갖는 재료들에 적합하다. 특히, 상기 구조물은 박막 및/또는 사파이어(Al_2O_3)($7.5 \times 10^{-6} \text{K}^{-1}$ 의 TEC), 리튬 탄탈레이트(LiTaO_3)($16 \times 10^{-6} \text{K}^{-1}$ 의 TEC), LiNbO_3 ($15 \times 10^{-6} \text{K}^{-1}$ 의 TEC) 및 주로 Ni, Cr, Mo, W으로 이루어진 상업적 합금인 Haynes®230® 합금($11.8 \times 10^{-6} \text{K}^{-1}$ 의 TEC)(Haynes®230® 합금은, 상기 막이 에피택시를 위한 씨드층으로서 사용을 위해 의도될 때 상기 박막을 위해 사용되지 않는다), 또는 MgO로부터 형성된 지지 기판을 포함할 수 있다.
- [0063] 잘 알려진 바와 같이, 성장(박막)을 위한 결정 씨드층의 성질의 작용(function)으로서, 다양한 바이너리, 터너리, 또는 쿼터너리 III/V 또는 III/N 반도체 재료들이 형성될 수 있다. 특히, 본 발명의 에피택시를 위한 컴포지트 구조물은 GaN, AlN, InGaN, AlGaIn, BGaN, 및 인듐 질화물(InN)의 에피택시얼 성장을 위해 의도된다. 에피택시얼하게 성장된 층은 또한 이들 다양한 재료들의 스택(stack)으로 이루어질 수 있고, 특히 LED의 활성층들을 구성할 수 있다.
- [0064] 본 발명의 실시예에 따라, 컴포지트 구조물의 사전 제조 및 에피택시 후에 지지 기판으로부터 분리를 포함하는 에피택시에 의한 반도체 재료층을 제조하는 방법도 1a 내지 도 1l 및 도 2를 참조하여 설명된다.
- [0065] 적절한 에피택시를 수행하기 전에, 적어도 하나의 재료층의 에피택시에 의한 형성과 에피택시 후 지지 기판의

분리를 가능하게 할 수 있는 컴포지트 구조물이 제조된다.

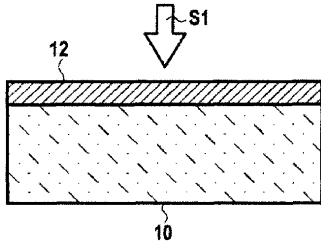
- [0066] 에피택시용 컴포지트 구조물의 제조는 지지 기판(10)의 한 면에 본딩층(12)을 증착함으로써 시작된다(스텝 S1, 도 1a). 여기서 설명되는 실시예에서, 지지 기판(10)은 사파이어(Al_2O_3)로 형성된다. 본딩층(12)은, 800°C의 증착 온도, 1torr의 압력에서 전구체 가스(precursor gas)로서의 실레인(HTO silane)으로, 약 0.4 μ m 두께의 산화물층의 증착을 허용하는 기간 동안 LPCVD에 의해 증착된 실리콘 산화물층이다. 증착된 실리콘 산화물은, 질소 분위기에서 30분 동안 1200°C에서 수행되는 치밀화 어닐(densification anneal)을 적용함으로써 치밀화된다(스텝 S2).
- [0067] 실리콘 산화물층(13)이 또한 사파이어의 도우너(donor) 기판(11) 위에 형성된다. 층(13)은 800°C의 증착 온도, 1torr의 압력에서 전구체 가스(precursor gas)로서의 실레인(HTO silane)으로, 약 0.5 μ m의 실리콘 산화물의 두께의 증착을 허용하는 기간 동안 LPCVD에 의해 증착된 실리콘 산화물층이다. 상기 증착된 실리콘 산화물은 대기압에서 질소 분위기에서 30분 동안 1200°C에서 수행되는 치밀화 어닐의 적용에 의해 치밀화된다(스텝 S4).
- [0068] 도우너 기판(11)은 또한, 알려진 방법으로 수소 이온들과 같은 이온종(ionic species)을 주입하거나, 수소 및 헬륨 이온들을 함께 주입함으로써 획득된 결점의 또는 약한 층(3)을 포함하며, 상기 이온 주입은 30keV[kilo-electronvolt] 내지 200keV의 범위 내의 주입 에너지로 1×10^{17} atoms/cm² 내지 4×10^{17} atoms/cm²의 범위 내의 주입량에서 수행된다. 주입은 20°C 내지 400°C 범위, 바람직하게 50°C 내지 150°C 범위의 온도에서, 1분 내지 10시간의 기간 동안 수행된다. 이러한 주입 조건들은, 도우너 기판(11)에서 산화물층들(12, 13)의 누적 두께보다 더 작은, 소정 깊이에서, 기판(11)의 상부 영역에 먼저 박막(4)을 정의하는 결점의 또는 약한 층(3)을 형성할 수 있고, 다음 기판(11)의 나머지에 대응하는 기판의 하부 영역에 부분(5)을 형성할 수 있다.
- [0069] 산화물 본딩층들(12, 13)의 표면은 화학적 기계적 연마(chemical mechanical polishing, CMP)에 의해 평탄화되어 $5 \times 5 \mu\text{m}^2$ 의 표면적에 대하여 5Årms[root mean square]보다 작은 표면 러프니스(surface roughness)를 획득하고, 이에 의해 그 다음의 밀접한 접촉 단계를 용이하게 한다(스텝 S5 및 S6, 도 1c 및 1d). 따라서 연마 후에, 층들(12, 13)의 누적 두께는 0.45 μ m \pm 0.05 μ m이다.
- [0070] 다음, 본딩은 HTO 실레인층(12)의 면을, 도우너 기판(11)의 HTO 실레인층(13)과 밀접하게 접촉하도록, 이동시키는 것에 의해 수행되고, 결합된 층들(12, 13)은 산화물 본딩층(25)을 형성한다(스텝 S7, 도 1e). 본딩은 웨이퍼 본딩에 의해 수행된다. 웨이퍼 본딩에 의한 본딩의 원리는 그 자체로 널리 알려져 있으며, 더 상세한 설명은 생략한다. 웨이퍼 본딩에 의한 본딩은 두 표면들을 밀접하게 접촉하도록 이동시키는 것에 바탕을 두며, 즉 특정 재료(접착제, 왁스, 저융점 금속 등)의 사용 없이, 두 표면들 사이의 인력이 분자 본딩(molecular bonding)(결합되는 두 표면들의 원자들 또는 분자들 사이의 전자적 상호작용의 인력들(반데르 발스 힘)의 총체(ensemble)에 의해 유도되는 본딩)을 유발할 만큼 높다는 것이 상기되어야 한다.
- [0071] 두 기판들의 어셈블리는 스플리팅 어닐링을 받아 약한 면(3)에서 도우너 기판(11)의 분열(fracture)을 유발하고, 지지 기판(10) 위에 0.4 μ m 두께의 박막(4)을 이송한다(스텝 S8, 도 1f). 스플리팅 어닐링은 주변온도로부터 약 600°C까지 온도를 증가시키는 것에 의해 수행된다. 잘 알려진 바와 같이, 상기 스플리팅 어닐의 온도 및 지속 기간은 주입 조건들의 함수(function), 특히 주입량의 함수로서 정의된다.
- [0072] 또, 본딩 안정화 어닐(bonding stabilization anneal)은, 박막(4)의 표면에 변형이 나타남이 없이 질소 분위기에서 한 시간 동안 1050°C에서 수행된다(스텝 S9).
- [0073] 박막(4) 표면은, 예를 들어 $5 \times 5 \mu\text{m}^2$ 의 표면적에 대하여 5Årms보다 작은 표면 러프니스를 획득하도록 연마함으로써 에피택시를 위해 준비될 수 있다(스텝 S10, 도 1g).
- [0074] 도 1g에 도시된 바와 같이, 컴포지트 구조물(14)은 지지 기판(10), LPCVD에 의해 증착된 HTO 실레인의 산화물 본딩층(25), 및 성장 동안 결정 씨드층(crystalline seed layer)으로 기능할 수 있는 사파이어의 박막(4)을 포함하여 획득될 수 있다.
- [0075] 여기에 기재되는 실시예에서, 갈륨 질화물(GaN)층(15)의 에피택시얼 성장은 박막(4) 위에 수행된다(스텝 S11, 도 1h). 에피택시얼 성장은, 예를 들어 HVPE(hydride vapor phase epitaxy)를 이용하여, 약 10 μ m 이상의 GaN층을 획득하기 위해 1050°C에서 2 내지 3시간 동안 수행된다. 상기 에피택시 후 어떠한 박리 현상(delamination)도 관찰되지 않았다. GaN 에피택시는 실리콘 산화물의 증착을 위한 온도보다 더 높은 온도에서 수행되기 때문에, 상기 에피택시에 의해 공급되는 열 버짓은 마이크로캐비티들(microcavities)의 성장에 필요한 버짓에

기여한다. 그러나 상기 마이크로캐비티들은 분리에 필요한 산화물층의 약화를 달성할 만큼 충분히 성장되지 않는다. 에피택시얼하게 성장된 층(15)은 또한, 에피택시에 의해 연속으로 형성된 GaN, InGaN, 또는 AlGaN과 같은 몇 가지 재료들에 의해 구성되고, 전자발광 다이오드(electroluminescent diode) 층으로 칭해지는 더욱 복잡한 층을 가질 수 있다.

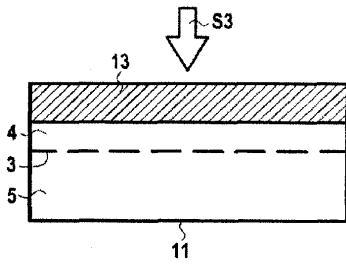
- [0076] GaN층(15)이 형성되면, 그것의 자유 면(free face)은 금속 본딩 계면(17)을 통해 실리콘의 최종 지지체(16)에 결합된다(스텝 S12, 도 1i). 다음으로, 지지 기관(10)의 완전한 분리가 수행된다. 상기 분리는, 에피택시얼 성장 단계 동안 상기 산화물 내에 형성되나, 산화물 본딩층(25)의 두 부분들(25a, 25b)로의 자발적인 분리를 유발하는 데는 불충분한 상기 캐비티들에 상기 구조물의 분리를 완성하는 기계적 스트레스를 적용함으로써 달성된다(스텝 S13, 도 1j).
- [0077] 산화물 본딩층의 잔존물(25a)과 박막(4)은 화학적 에칭 및/또는 연마에 의해 GaN층(15)의 표면으로부터 제거된다(스텝 S14, 도 1k).
- [0078] 산화물 본딩층의 잔존물(25b)은 또한, 예를 들어 상술한 바와 같은 에피택시를 위한 새로운 컴포지트 구조물을 형성하도록 리사이클될 수 있는 지지 기관(10)으로부터 제거된다(스텝 S15, 도 1l).
- [0079] 매우 다른 열 팽창 계수를 갖는 두 물질들(사파이어와 실리콘) 사이의 본딩 전에 층(15)의 에피택시 동안 마이크로캐비티들의 부분적 성장은, 분리를 야기하기 위해 제공되는 열 버짓(thermal budget)이 감소될 수 있다는 것을 의미한다. 이는 또한 스플리팅 열 처리 동안 상기 구조물에 너무 높은 스트레스, 즉 상기 결합된 구조물의 부서짐을 초래하는 스트레스의 발생을 방지할 수 있다.
- [0080] 본 발명에 따른 에피택시에 의해 반도체 재료층을 제조하고, 컴포지트 구조물의 사전 제조와 에피택시 동안 상기 지지 기관의 분리를 포함하는 방법의 또 다른 실시예가 아래에 설명된다.
- [0081] 에피택시를 위한 상기 컴포지트 구조물의 제조는, 사파이어(Al_2O_3)로부터 형성된 지지 기관(20)을 사파이어로부터 형성된 도우너 기관(21)에 밀접하게 접촉하도록 이동시킴으로써 시작되고, 상기 기관들 각각은 실레인 전구체 가스를 이용하여 LPCVD에 의해 증착된 실리콘 산화물층으로 덮이며, 상기 표면은 $5 \times 5 \mu m^2$ 의 표면적에 대하여 5 \AA rms 의 러프니스를 갖는다(스텝 S20, 도 3a). 이들 실리콘 산화물층들은 치밀화되지 않고, 그들의 조합은 약 $0.5 \mu m$ 의 누적 두께를 갖는 산화물 본딩층(30)을 형성한다.
- [0082] 도우너 기관(21)은 또한, $0.5 \mu m$ 의 막(24)의 두께를 획득하기 위해 당업자에 의해 결정될 수 있는 조건(주입 양 및 에너지) 하에서 이온 중들을 주입함으로써 획득되는 결합의 또는 약한 층(23)을 포함한다.
- [0083] 본딩은 웨이퍼 본딩에 의해 수행된다.
- [0084] 상기 두 기관들의 어셈블리는 약한 면(23)에서 도우너 기관(21)의 분열과 지지 기관(20) 위로 박막(24)의 적절한 이송을 유발하기 위해 스플리팅 어닐을 경험한다(스텝 S21, 도 3b). 상기 스플리팅 어닐은 주변 온도에서 약 $600^\circ C$ 까지 온도 램프-업(ramp-up)을 이용하여 수행된다.
- [0085] 본딩 안정화 어닐링은 수행되지 않는다. 막(24) 표면은, 예를 들어 $5 \times 5 \mu m^2$ 의 표면적에 대하여 5 \AA rms 보다 작은 표면 러프니스를 획득하도록 연마함으로써 에피택시 성장을 위한 결정 씨드로 기능하도록 준비된다(스텝 S22, 도 3c).
- [0086] 컴포지트 구조물(44)은 지지 기관(20), 실리콘 산화물 본딩층(30)(LPCVD, 실레인, $0.5 \mu m$ 두께) 및 성장용 결정 씨드층으로 기능할 수 있는, $0.5 \mu m$ 두께의 사파이어 박막(24)을 포함하여 획득된다.
- [0087] 여기에 기재되는 실시예에서, 갈륨 질화물(GaN)층(35)의 에피택시얼 성장은 박막(24) 위에서 수행된다. 에피택시는 $1100^\circ C$ 에서 2시간 동안 수행되어, 약 $100 \mu m$ 의 GaN층이 제조될 수 있고, 실리콘 산화물층(30)이 파열될 수 있다(스텝 S23, 도 3d). 상기 분열된 구조물은 제자리에 남고(상기 지지체는 상기 구조물의 잔존물로부터 제거되지 않는다), 에피택시는 계속되어 약 $1 mm$ 의 GaN층(35)을 획득한다(스텝 S24, 도 3e).
- [0088] 산화물 본딩층의 잔존물(30a)과 박막(24)은 화학적 에칭 및/또는 연마에 의해 GaN층(35)의 표면으로부터 제거된다(스텝 S25, 도 3f).
- [0089] 산화물 본딩층의 잔존물(30b)은 또한 지지 기관(20)으로부터 제거되고, 지지 기관(20)은 예를 들어 상술한 바와 같은, 에피택시를 위한 새로운 컴포지트 구조물을 형성하기 위해 리사이클될 수 있다.

도면

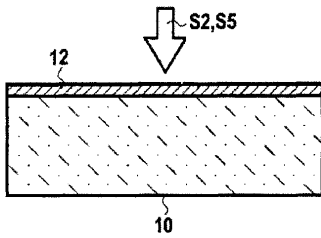
도면1a



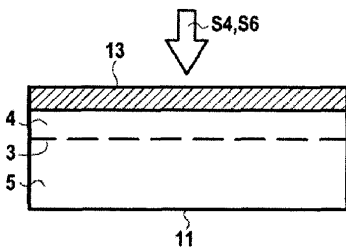
도면1b



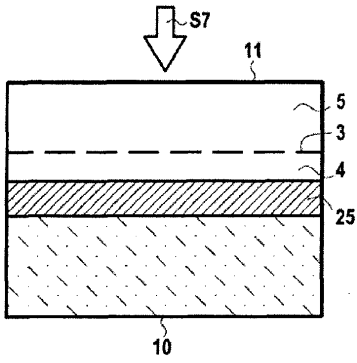
도면1c



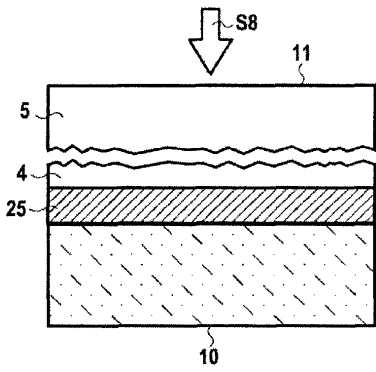
도면1d



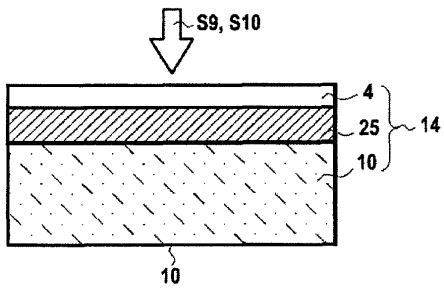
도면1e



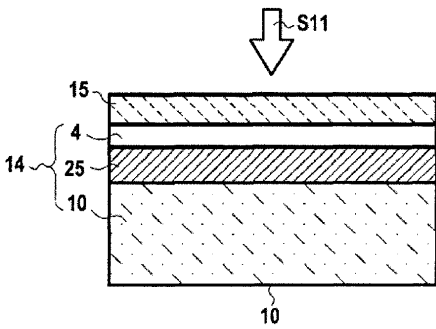
도면1f



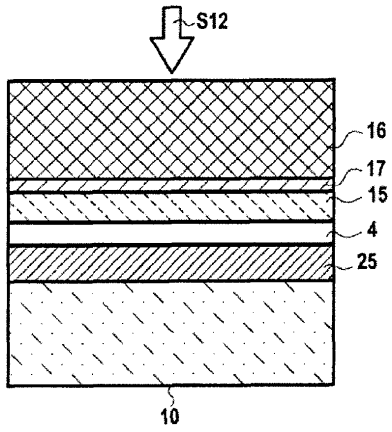
도면1g



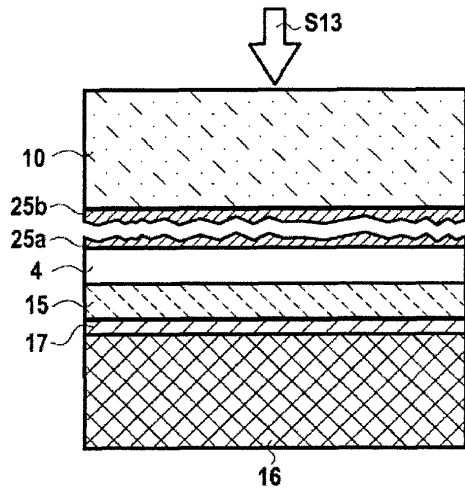
도면1h



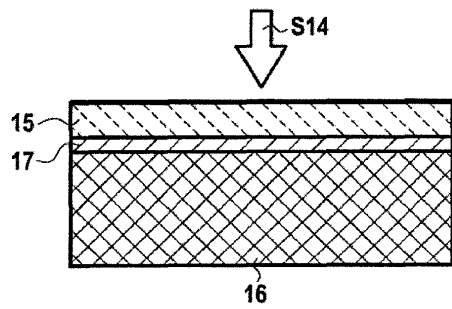
도면1i



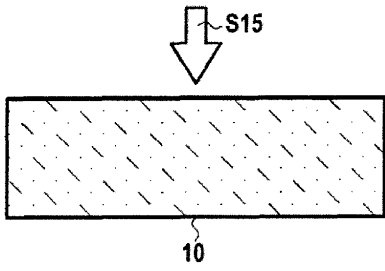
도면1j



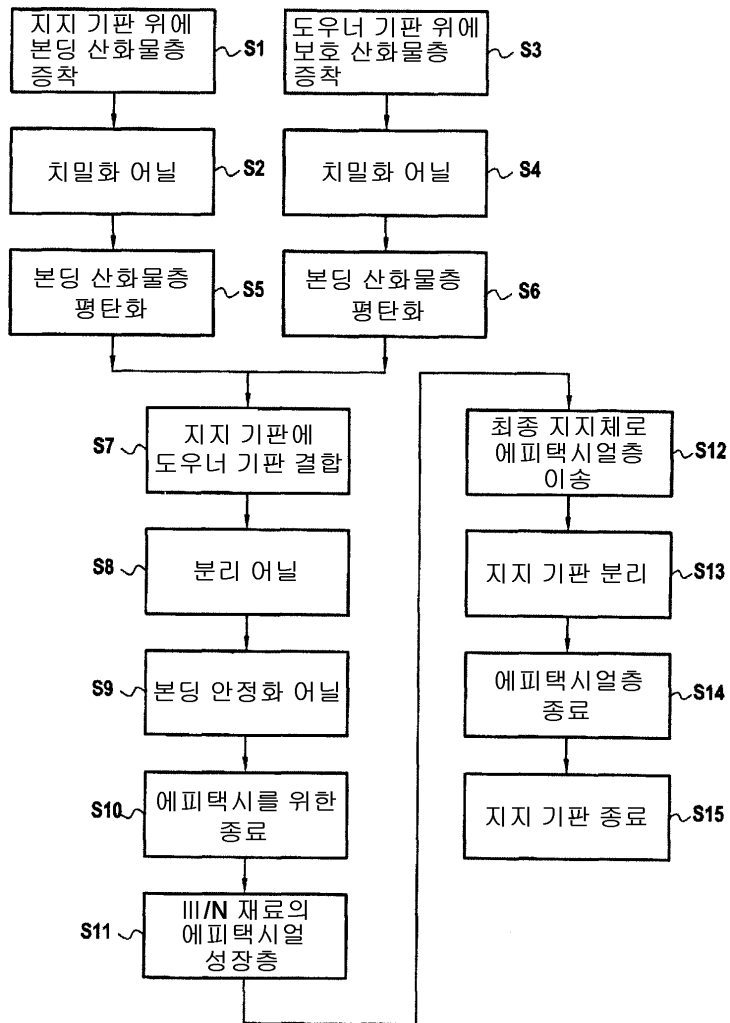
도면1k



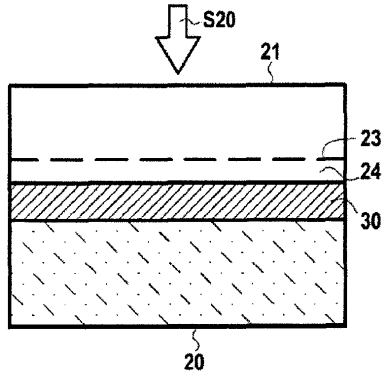
도면1



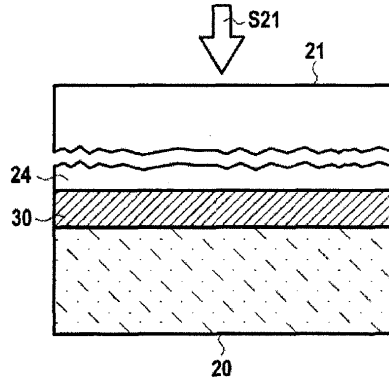
도면2



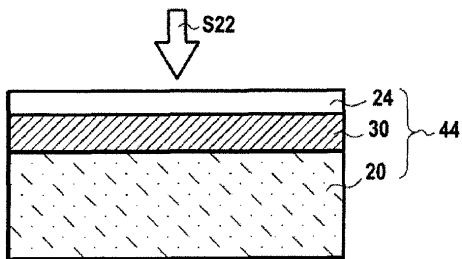
도면3a



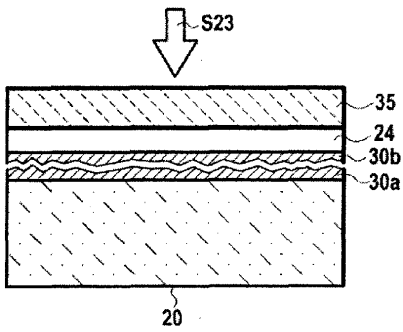
도면3b



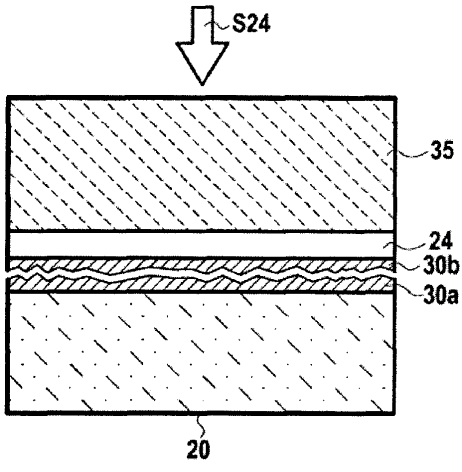
도면3c



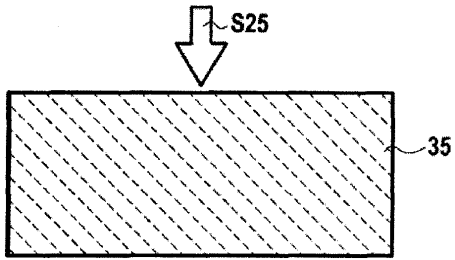
도면3d



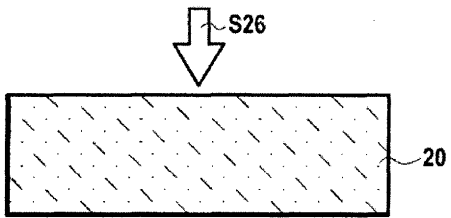
도면3e



도면3f



도면3g



도면4

