

(12) 发明专利申请

(10) 申请公布号 CN 103000598 A

(43) 申请公布日 2013. 03. 27

(21) 申请号 201210191875. 5

(22) 申请日 2012. 06. 11

(30) 优先权数据

13/228, 094 2011. 09. 08 US

(71) 申请人 台湾积体电路制造股份有限公司

地址 中国台湾新竹

(72) 发明人 郭正铮 庄其达 林宗澍 陈承先

(74) 专利代理机构 北京德恒律治知识产权代理有限公司 11409

代理人 章社泉 孙征

(51) Int. Cl.

H01L 23/48(2006. 01)

H01L 23/488(2006. 01)

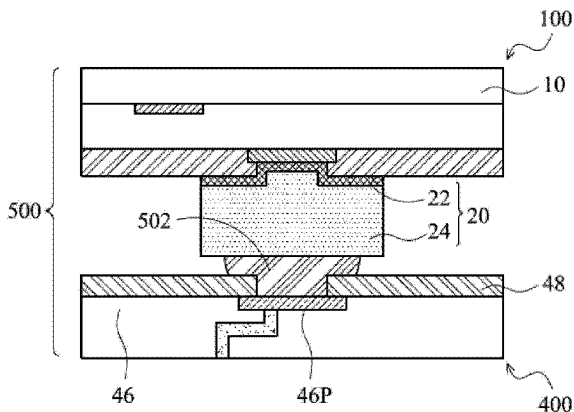
权利要求书 1 页 说明书 7 页 附图 3 页

(54) 发明名称

半导体器件中的伸长凸块结构

(57) 摘要

一种器件包括接合至衬底的芯片。该芯片包括：导电柱，该导电柱具有沿着导电柱的长轴测量的长度(L)和沿着导电柱的短轴测量的宽度(W)；以及衬底，该衬底包括导电迹线和位于导电迹线上的掩模层，其中掩模层具有暴露出一部分导电迹线的开口，其中，在导电柱和导电迹线的暴露部分之间形成互连，开口具有沿着导电柱的长轴测量的第一尺寸(d1)和沿着导电柱的短轴测量的第二尺寸(d2)，并且L与d1的比值大于W与d2的比值。本发明提供半导体器件中的伸长凸块结构。



1. 一种器件,包括:

芯片,包括凸块结构,其中所述凸块结构包括导电柱,所述导电柱具有沿着所述导电柱的长轴测量的长度(L)和沿着所述导电柱的短轴测量的宽度(W);以及

衬底,包括导电迹线和位于所述导电迹线上的掩模层,其中所述掩模层具有暴露出一部分所述导电迹线的开口,

其中,所述芯片接合至所述衬底以在所述导电柱和所述导电迹线的暴露部分之间形成互连,以及

其中,所述开口具有沿着所述导电柱的长轴测量的第一尺寸(d1)和沿着所述导电柱的短轴测量的第二尺寸(d2),并且L与d1的比值大于W与d2的比值。

2. 根据权利要求1所述的器件,其中L与d1的比值处于1.05至2.0的范围内。

3. 根据权利要求1所述的器件,其中W与d2的比值处于0.8至1.3的范围内。

4. 根据权利要求1所述的器件,其中,所述导电柱具有伸长的形状。

5. 根据权利要求1所述的器件,进一步包括焊点区,所述焊点区位于所述导电柱和所述导电迹线的暴露部分之间。

6. 一种器件,包括:

导电柱,形成于第一衬底上,所述导电柱具有沿着所述导电柱的长轴测量的长度(L)和沿着所述导电柱的短轴测量的宽度(W);

导电迹线,形成于第二衬底上;以及

掩模层,位于所述导电迹线和所述第二衬底的上面,所述掩模层具有暴露出一部分所述导电迹线的开口,

其中,所述导电柱通过焊料层连接至所述导电迹线的暴露部分,以及

其中,所述掩模层的开口具有沿着所述导电柱的长轴测量的第一尺寸(d1),并且d1小于L。

7. 根据权利要求6所述的器件,其中,L与d1的比值处于1.05至2.0的范围内。

8. 根据权利要求6所述的器件,其中,所述掩模层的开口具有沿着所述导电柱的短轴测量的第二尺寸(d2),并且W与d2的比值处于0.8至1.3的范围内。

9. 一种器件,包括:

芯片,包括凸块结构,其中所述凸块结构包括导电柱,所述导电柱具有沿着所述导电柱的长轴测量的长度(L)和沿着所述导电柱的短轴测量的宽度(W);以及

衬底,包括导电迹线和位于所述导电迹线上的掩模层,其中所述掩模层具有暴露出一部分所述导电迹线的开口,

其中,所述芯片接合至所述衬底以在所述导电柱和所述导电迹线的暴露部分之间形成互连,以及

其中,所述开口具有沿着所述导电柱的长轴测量的第一尺寸(d1)和沿着所述导电柱的短轴测量的第二尺寸(d2),并且L与d1的比值不等于W与d2的比值。

10. 根据权利要求9所述的器件,其中,L与d1的比值处于1.05至2.0的范围内。

半导体器件中的伸长凸块结构

技术领域

[0001] 本发明涉及半导体器件,更具体而言,涉及半导体器件和封装组件中的伸长凸块结构。

背景技术

[0002] 集成电路芯片包括在衬底如半导体晶圆上形成的半导体器件,并包括用于对集成电路电路提供电界面的金属化接触件或连接件、焊盘。用于在芯片的内部电路和外部电路如电路板、另一芯片、或晶圆之间提供连接的常规技术包括引线接合,其中引线用于将芯片接触焊盘连接至外部电路,并且还可以包括本领域中已知的其他技术。称为倒装芯片技术的更近期的芯片连接技术采用已在芯片接触焊盘上沉积的焊料凸块提供集成电路器件和外部电路的连接。为了将芯片安装至外部电路,将芯片翻过来以使其顶面向下,并且使其接触焊盘与外部电路上的匹配接触焊盘对准。然后使焊料在倒装的芯片和承载外部电路的衬底之间流动以完成互连。得到的倒装芯片封装件比传统的基于载具的系统小得多,因为芯片被直接设置在外部电路上,以使互连引线可以短得多。结果,大量减少了电感和电阻热,使更高速度的器件成为可能。

[0003] 高密度倒装芯片互连件的近期趋势导致了将圆铜柱凸块用于中央处理器 (CPU) 和图形处理器 (GPU) 封装。铜柱凸块对于传统的焊料凸块是有吸引力的替换件,但是圆铜柱凸块具有一些不足之处。例如,圆形的铜柱凸块显著增加了互连结构的尺寸,从而限制了用于互连的金属迹线的间距尺寸。结果,目前的圆形凸块最终将成为集成电路 (IC) 产业中的器件继续缩小的瓶颈。圆铜柱凸块的另一个不足之处是由于芯片和封装结构的热膨胀不匹配在封装电路以及下面各层处形成的机械应力。已观察到在凸块下金属化 (UBM) 层的边缘处的应力在封装后非常高,并因此当 k 值小于 3 时,诱导的应变力在具有超低 k (ELK) 介电层的电路中引起特别关键的介电层分层。因此封装结构变得越来越脆弱。此外,圆凸块与焊盘的界面处的大电流密度促进电迁移和电应力。由电迁移引起的损伤类型的实例包括焊点中的微裂缝 (micro-racking) 和接合层中的分层。

发明内容

[0004] 为了解决现有技术中存在的问题,根据本发明的一个方面,提供了一种器件,包括:芯片,包括凸块结构,其中所述凸块结构包括导电柱,所述导电柱具有沿着所述导电柱的长轴测量的长度 (L) 和沿着所述导电柱的短轴测量的宽度 (W);以及衬底,包括导电迹线和位于所述导电迹线上的掩模层,其中所述掩模层具有暴露出一部分所述导电迹线的开口,其中,所述芯片接合至所述衬底以在所述导电柱和所述导电迹线的暴露部分之间形成互连,以及其中,所述开口具有沿着所述导电柱的长轴测量的第一尺寸 ($d1$) 和沿着所述导电柱的短轴测量的第二尺寸 ($d2$),并且 L 与 $d1$ 的比值大于 W 与 $d2$ 的比值。

[0005] 在上述器件中,其中 L 与 $d1$ 的比值处于 1.05 至 2.0 的范围内。

[0006] 在上述器件中,其中 W 与 $d2$ 的比值处于 0.8 至 1.3 的范围内。

- [0007] 在上述器件中,其中,所述导电柱具有伸长的形状。
- [0008] 在上述器件中,进一步包括焊点区,所述焊点区位于所述导电柱和所述导电迹线的暴露部分之间。
- [0009] 在上述器件中,其中,所述掩模层由阻焊材料层形成。
- [0010] 在上述器件中,其中,所述导电柱包含铜。
- [0011] 在上述器件中,其中,所述导电迹线包含铜。
- [0012] 在上述器件中,其中,所述导电柱的长轴垂直于所述芯片的边缘。
- [0013] 在上述器件中,其中,所述导电柱的长轴沿着朝向所述芯片的中心区域的方向。
- [0014] 根据本发明的另一方面,还提供了一种器件,包括:导电柱,形成于第一衬底上,所述导电柱具有沿着所述导电柱的长轴测量的长度(L)和沿着所述导电柱的短轴测量的宽度(W);导电迹线,形成于第二衬底上;以及掩模层,位于所述导电迹线和所述第二衬底的上面,所述掩模层具有暴露出一部分所述导电迹线的开口,其中,所述导电柱通过焊料层连接至所述导电迹线的暴露部分,以及其中,所述掩模层的开口具有沿着所述导电柱的长轴测量的第一尺寸(d1),并且d1小于L。
- [0015] 在上述器件中,其中,L与d1的比值处于1.05至2.0的范围内。
- [0016] 在上述器件中,其中,所述掩模层的开口具有沿着所述导电柱的短轴测量的第二尺寸(d2),并且W与d2的比值处于0.8至1.3的范围内。
- [0017] 在上述器件中,其中,所述导电柱具有伸长的形状。
- [0018] 在上述器件中,其中,所述掩模层由阻焊材料层形成。
- [0019] 在上述器件中,其中,所述导电柱包含铜。
- [0020] 在上述器件中,其中,所述导电迹线包含铜。
- [0021] 在上述器件中,其中,所述第一衬底是半导体衬底,以及所述第二衬底是介电衬底。
- [0022] 根据本发明的又一方面,还提供了一种器件,包括:芯片,包括凸块结构,其中所述凸块结构包括导电柱,所述导电柱具有沿着所述导电柱的长轴测量的长度(L)和沿着所述导电柱的短轴测量的宽度(W);以及衬底,包括导电迹线和位于所述导电迹线上的掩模层,其中所述掩模层具有暴露出一部分所述导电迹线的开口,其中,所述芯片接合至所述衬底以在所述导电柱和所述导电迹线的暴露部分之间形成互连,以及其中,所述开口具有沿着所述导电柱的长轴测量的第一尺寸(d1)和沿着所述导电柱的短轴测量的第二尺寸(d2),并且L与d1的比值不等于W与d2的比值。
- [0023] 在上述器件中,其中,L与d1的比值处于1.05至2.0的范围内。

附图说明

- [0024] 图1是根据一个实施例的伸长凸块结构的剖面图;
- [0025] 图2是设置在衬底上的根据一个实施例的多个伸长凸块结构的主视图;
- [0026] 图3是根据一个实施例的伸长凸块结构的导电柱的放大图;
- [0027] 图4是根据一个实施例的工件的一部分的剖面图;
- [0028] 图5是包括接合至工件的芯片的倒装-芯片组件的示例性实施例的剖面图;以及
- [0029] 图6是根据一个实施例的掩模开口和导电柱之间的关系的俯视图。

具体实施方式

[0030] 在下面详细讨论本发明实施例的制造和使用。然而,应该理解,实施例提供了许多可以在各种具体环境中实现的可应用的概念。所讨论的具体实施例仅仅是制造和使用实施例的示例性具体方式,而不用于限制本发明的范围。本文所述的实施例涉及供半导体器件使用的伸长凸块结构的使用。如下面将要讨论的,实施例公开了为了将一个衬底接合至另一个衬底利用伸长凸块结构,其中每个衬底可以是管芯、晶圆、插件衬底、印刷电路板、或封装衬底等,从而实现管芯-管芯、晶圆-管芯、晶圆-晶圆、管芯或晶圆与插件衬底或印刷电路板或封装衬底等。在全文各个视图和示例性实施例中,相似的参考数字用于指示相似的元件。

[0031] 现在将具体地结合附图中所示出的示例性实施例作为参考。只要有可能,附图和说明书中所用的相同的参考数字是指相同或者相似的部件。在附图中,为了清楚和便利,可以放大形状和厚度。本说明书将特别针对于形成本发明的装置的一部分的元件或者与本发明的装置更直接地合作的元件。应当理解未具体示出或描述的元件可能采取本领域技术人员公知的各种形式。而且,当一层被称为位于另一层上或者位于衬底上时,其可以直接位于其他层上或者位于衬底上,或者也可以存在插入层。在本说明书全文中提到“一个实施例”或者“实施例 (an embodiment)”意指与该实施例有关的具体的部件、结构、或特征包括在至少一个实施例中。因此在本说明书全文中在各处出现的短语“在一个实施例中”或者“在实施例中”不全都必然是指相同的实施例。而且,在一个或者多个实施例中可以以任何适当的方式结合该具体的部件、结构、或特征。应当理解下列附图不是按比例绘制的;而且,这些附图仅仅预期用于举例说明。

[0032] 图 1 是根据实施例的伸长凸块结构的剖面图。

[0033] 参考图 1, 示出了具有在衬底 10 中和 / 或在衬底 10 上形成的电路元件的芯片 100 的一部分。衬底 10 可以是半导体集成电路制造中常用的各种类型的半导体衬底中的一种, 并且集成电路可以在衬底中和 / 或在衬底上形成。半导体衬底可以是包含半导体材料的任何结构, 包括但不限于: 体硅、半导体晶圆、绝缘体上硅 (SOI) 衬底、或者硅锗衬底。也可以使用其他半导体材料, 包括 III 族、IV 族、和 / 或 V 族半导体。尽管未示出, 将意识到衬底 10 可以进一步包括多个隔离部件, 如浅沟槽隔离 (STI) 部件或者硅的局部氧化 (LOCOS) 部件。隔离部件可以隔离在衬底 10 中和 / 或在衬底 10 上形成的在图 1 中由元件 12 表示的各种微电子元件。在衬底 10 中可以形成的微电子元件的类型的实例包括但不限于: 晶体管如金属氧化物半导体场效应晶体管 (MOSFET)、互补金属氧化物半导体 (CMOS) 晶体管、双极面结型晶体管 (BJT)、高电压晶体管、高频率晶体管、p- 沟道和 / 或 n- 沟道场效应晶体管 (PFET/NFET); 电阻器; 二极管; 电容器; 电感器; 熔丝; 和 / 或其他合适的元件。实施各种工艺用于形成各种微电子元件, 所述工艺包括但不限于: 沉积、蚀刻、注入、光刻、退火、和其他适当的工艺中的一种或多种。使微电子元件互连以形成集成电路器件, 其可以包括逻辑器件、存储器器件 (例如, SRAM)、RF 器件、输入 / 输出 (I/O) 器件、芯片上系统 (SoC) 器件、和其他适当类型的器件中的一种或多种。

[0034] 衬底 10 进一步包括位于集成电路上面的互连结构 14。互连结构 14 包括层间介电层和位于集成电路上面的金属化结构。金属化结构中的层间介电层可以包括低 k 介电材

料、未掺杂的硅酸盐玻璃 (USG)、氮化硅 (SiN)、氮氧化硅 (SiON)、和其他常用的材料中的一种或者多种。低 k 介电材料的介电常数 (k 值) 可以小于约 3.9, 或者小于约 2.8。金属化结构中的金属线可以由铜或者铜合金形成。本领域普通技术人员将能够采用适当的工艺实施金属化层的形成, 并因此省略了形成金属化层的具体细节。

[0035] 在顶层层间介电层中或者在顶层层间介电层上形成或者图案化导电焊盘 16, 顶层层间介电层是导电路径的一部分。导电焊盘 16 包含用于提供电连接的接触焊盘, 在接触焊盘上可以形成用于促进外部电连接的凸块结构, 如 UBM 结构或者铜柱凸块。导电焊盘 16 可以由任何合适的导电材料形成, 该导电材料包括例如铜 (Cu)、钨 (W)、铝 (Al)、AlCu 合金、银 (Ag)、或类似材料中的一种或多种。在一些实施例中, 导电焊盘 16 可以是用于提供期望的针或球布局的区域或者再分配线的末端。在如图 1 中所示出的导电焊盘 16 上方形成并图案化一个或者多个钝化层如钝化层 18。在一个实施例中, 在钝化层 18 中提供开口 19, 暴露出下面的部分导电焊盘 16。在至少一个实施例中, 钝化层 18 是由非有机材料如未掺杂的硅酸盐玻璃 (USG)、SiN、SiON、氧化硅 (SiO₂)、或其组合形成。可以通过任何合适的方法如化学汽相沉积 (CVD)、或物理汽相沉积 (PVD) 等形成钝化层 18。在其他实施例中, 钝化层 18 可以由聚合物层如环氧树脂、聚酰亚胺、苯并环丁烯 (BCB)、或聚苯并恶唑 (PBO) 等形成, 但是也可以使用其他相对柔软、通常是有机介电材料。本领域普通技术人员将理解仅为示例性目的示出单层导电焊盘和钝化层。鉴于此, 其他实施例可以包括任意数量的导电焊盘和 / 或钝化层。

[0036] 图 1 还示出了凸块结构 20, 凸块结构 20 形成于钝化层 18 上并通过开口 19 电连接至导电焊盘 16。根据本文所述的实施例的部件, 凸块结构 20 的形状是伸长的, 而不是圆的。可以使用各种形状来实现伸长的凸块结构, 包括但不限于: 矩形、具有至少一个曲边或者圆边的矩形、具有两个凸曲边的矩形、卵形、椭圆形或任何其他伸长的形状。

[0037] 在实施例中, 凸块结构 20 包括凸块下金属化 (UBM) 层 22 和导电柱 24。在钝化层 18 的表面和导电焊盘 16 的暴露部分的上方形成 UBM 层 22。在一些实施例中, UBM 层 22 包括扩散阻挡层或粘合层, 其可以包含钛 (Ti)、钽 (Ta)、氮化钛 (TiN)、或氮化钽 (TaN) 等, 并可以通过 PVD 或溅射形成。UBM 层可以进一步包括通过 PVD 或溅射在扩散阻挡层上形成的种子层。种子层可以由铜 (Cu) 或者包含 Al、铬 (Cr)、镍 (Ni)、锡 (Sn)、金 (Au) 或其组合的铜合金形成。在至少一个实施例中, UBM 层 22 包括 Ti 层和 Cu 种子层。

[0038] 在 UBM 层 22 上形成导电柱 24。在至少一个实施例中, 导电柱 24 包括 Cu 层。Cu 层包含纯元素铜、包含不可避免的杂质的铜、和 / 或包含少量元素如 Ta、铟 (In)、Sn、锌 (Zn)、锰 (Mn)、Cr、Ti、锗 (Ge)、锶 (Sr)、铂 (Pt)、镁 (Mg)、铝 (Al) 或锆 (Zr) 的铜合金。可以通过溅射、印刷、电镀、化学镀、电化学沉积 (ECD)、分子束外延 (MBE)、原子层沉积 (ALD)、和 / 或常用的 CVD 方法形成导电柱 24。在一个实施例中, 通过电化学镀 (ECP) 形成 Cu 层。在示例性实施例中, 导电柱 24 的厚度大于 20 μm 。在另一个示例性实施例中, 导电柱 24 的厚度大于 40 μm 。例如, 导电柱 24 具有约 20 ~ 50 μm 的厚度, 或者约 40 ~ 70 μm 的厚度, 但是厚度可以更大或者更小。在至少一个实施例中, 导电柱 24 的尺寸和形状与 UBM 层 22 的尺寸和形状基本上相同。在一些实施例中, 导电柱 24 的尺寸和形状由于由生产工艺诱导的差异与 UBM 层 22 的尺寸和形状并不完全相同。例如, 当在 UBM 层 22 中形成底切 (undercut) 时, UBM 层 22 的尺寸小于导电柱 24 的尺寸。

[0039] 在可选实施例中,在导电柱 24 上形成可选的导电保护层。导电保护层 26 是金属化层,其可以包含镍 (Ni)、Sb、锡-铅 (SnPb)、Au、Ag、钯 (Pd)、In、Pt、NiPdAu、NiAu、或其他类似的材料或合金。导电保护层 26 可以是多层结构或者单层结构。在一些实施例中,导电保护层 26 具有约 $1 \sim 5 \mu\text{m}$ 的厚度。在至少一个实施例中,保护层 26 是焊料层,该焊料层可以由无铅的焊料材料如 Sn、SnAg、Sn-Pb、SnAgCu (其中 Cu 的重量百分比小于 0.3%)、SnAgZn、SnZn、SnBi-In、Sn-In、Sn-Au、SnPb、SnCu、SnZnIn、SnAgSb 和其他类似的适当材料制成。

[0040] 可以使用任何合适的工艺来形成上面所讨论的结构,因此在本文中不再更详细地进行讨论。作为本领域普通技术人员将意识到:虽然上面的描述提供了实施例的某些部件的一般说明,但可以存在众多其他部件。例如,在芯片中可以包括其他电路元件、衬层、阻挡层、和互连金属化结构等。上面的描述仅仅意味着对本文所讨论的实施例提供语境,并不意味着限制本发明或者限制对这些特定实施例的任何权利要求的范围。

[0041] 图 2 是根据实施例的包括在其上形成的多个凸块结构如与上面所述的凸块结构 20 完全相同的凸块结构 20c 和 20e 的衬底 10 的一部分的主视图。如先前所注意到的,可以将许多各种形状之一用于伸长的凸块结构 20c 和 20e,该形状包括例如卵形或具有两个圆边的矩形。位于芯片 100 的角落的伸长凸块结构如凸块结构 20c 指向芯片 100 的中心区域 100c,并与邻近的芯片边缘形成大约 $30 \sim 60$ 度角,凸块结构 20c 的邻近的芯片边缘包括边缘 100e。沿着芯片边缘的伸长凸块结构如凸块结构 20e 以与最近的芯片边缘之一呈大约 90 ± 15 度角布置,对于凸块结构 20e,最近的芯片边缘之一包括边缘 100e 之一。芯片外周区域和中心区域通常需要最小间距,因为它们通常比位于中心区域 100c 的电源和接地终端携带更高密度的互连件。如所公开的,伸长凸块结构阵列比常规圆柱阵列提供更密的间距和更宽的接合工艺窗口。应当注意到:本文中所公开的各个关于沿着芯片边缘或者位于芯片角落中的伸长凸块结构进行描述的实施例仅用于示例性目的。其他实施例可以利用凸块结构沿着芯片的内部设置的情况。还应注意到:伸长凸块结构的设置仅用于示例性目的,并且凸块结构的具体位置和图案可以发生改变,并可以包括例如凸块阵列、位于芯片的中间区域中的成行的凸块、或交错排列的凸块等。示出的芯片和凸块尺寸仅供参考用,并且预期不是实际尺寸或者实际相对尺寸。

[0042] 图 3 是根据实施例的伸长凸块结构 20 的导电柱 24 的放大图。伸长凸块结构 20 是由 UBM 层 22 和导电柱 24 组成。一般而言,具有伸长形状的导电柱 24 具有长度 L 和宽度 W,其中 L 表示沿着导电柱 24 的长轴 200 测量的长度,以及 W 表示沿着导电柱 24 的短轴 300 测量的长度。短轴 300 垂直于长轴 200。随着凸块结构阵列在衬底 10 上的设置的改变,在一些实施例中,长轴 200 沿着朝向芯片 100 的中心区域 100c 的方向。例如,长轴 200 垂直于芯片边缘 100e,或者长轴 200 与邻近的芯片边缘 100e 形成约 90 ± 15 度角。

[0043] 将具有伸长凸块结构 20 的芯片 100 接合至工件,如封装衬底、印刷电路板 (PCB)、插件、和采用晶圆级或者管芯级堆叠的晶圆或另一芯片等。例如,实施例可以用于管芯-管芯接合结构、管芯-晶圆接合结构、晶圆-晶圆接合结构、管芯级封装、或晶圆级封装等。随后,可以将伸长凸块结构 20 通过掩模层的开口连接至工件上的金属迹线。

[0044] 图 4 是示出了将接合至芯片如芯片 100 的工件 400 的一部分的剖面图。图 5 是描述了通过将芯片 100 接合至工件 400 形成的倒装-芯片组件的示例性实施例的剖面图。

[0045] 参考图 5, 工件 400 的一部分包括衬底 40, 衬底 40 可以是封装衬底、PCB、晶圆、管芯、插件衬底、介电衬底、或者其他合适的衬底。衬底 40 包括电连接至下面的金属互连件 42 的多个导电迹线 46。导电迹线 46 可以由基本上纯的 Cu、AlCu、或其他金属材料如 W、Ni、Pd、Au、及其合金形成。导电迹线 46 的一些区域被称为接合 (landing) 焊盘区 46P, 用于电连接至伸长凸块结构 20。在实施例中, 在衬底 40 上形成并图案化掩模层 48 以覆盖部分导电迹线 46, 而不覆盖导电迹线 46 的其他部分。在至少一个实施例中, 分别在掩模层 48 中形成掩模开口 50, 以暴露出部分导电迹线 46, 并且该暴露部分充当接合焊盘区域 46P。掩模层 48 可以由阻焊材料层、介电层、聚合物层、或耐焊料材料的任何其他材料形成。具有掩模开口 50 的掩模层 48 提供用于将凸块结构焊接在其他衬底上的窗口。例如, 在接合焊盘区域 46 上提供包括 Sn、Pb、Ag、Cu、Ni、铋 (Bi)、或其组合的合金的焊料层 52。

[0046] 可以通过倒装 - 芯片接合技术将如在图 1 中所示的芯片 100 翻转过来并接合至如图 4 中所示的工件 400, 以形成如图 5 中所示的封装组件 500。示例性连接技术包括助焊剂应用、芯片设置、熔化焊点的回流、和 / 或剩余助焊剂的清洗。可以实施高温工艺如回流或者热压接合熔化焊料层 52 和 / 或位于导电柱凸块 24 上的焊料层 26。熔化的焊料层因此将芯片 100 和工件 400 连接在一起并将伸长凸块结构 20 电连接至接合焊盘区 46P。通过熔化焊料层形成的回流区 502 在下文被称为焊点区。导电柱 24 叠盖导电迹线 46 的接合焊盘区 46P, 并因此在封装组件 500 中形成迹线上凸块 (BOT) 互连件。焊接之后, 可以将模塑底部填充物 (未示出) 填充至芯片 100 和工件 400 之间的空间中, 并因此还将模塑底部填充物填充至相邻的导电迹线之间。可选地, 在封装组件 500 中未提供模塑底部填充物。

[0047] 图 6 是根据实施例的如图 5 中所示的得到结构中的掩模开口 50 和导电柱 24 之间的关系的放大俯视图。导电柱 24 具有沿着其长轴 200 测量的长度 L 以及沿着其短轴 300 测量的宽度 W。长度 L 大于宽度 W。在一个实施例中, 长度 L 是约 $70 \sim 150 \mu\text{m}$, 以及宽度 W 是约 $40 \sim 100 \mu\text{m}$ 。掩模开口 50 具有沿着导电柱 24 的长轴 200 测量的第一尺寸 d1, 以及沿着导电柱 24 的短轴 300 测量的第二尺寸 d2。各种形状例如圆形、多边形、或具有放射对称性的另一形状可以用于掩模开口 50。在一个实施例中, 第一尺寸 d1 等于第二尺寸 d2。在另一个实施例中, 第一尺寸 d1 大于第二尺寸 d2。在其他实施例中, 第一尺寸 d1 小于第二尺寸 d2。例如, 第一尺寸 d1 是约 $50 \sim 90 \mu\text{m}$, 以及第二尺寸 d2 是约 $50 \sim 90 \mu\text{m}$ 。

[0048] 本实施例表现出提供具有设计用于增加接头可靠性并减少凸块疲劳的几何结构的凸块结构的尺寸 / 特征。在至少一个实施例中, 长度 L、宽度 W、第一尺寸 d1、和第二尺寸 d2 通过下列关系彼此相关: $L/d1 > W/d2$ 或 $L/d1 \neq W/d2$ 。在实施例中, 长度 L 大于第一尺寸 d1。例如, 长度 L 与第一尺寸 d1 的比值是约 $1.05 \sim 2.0$ 。在一些实施例中, 宽度 W 与第二尺寸 d2 的比值是 $0.8 \sim 1.3$ 。实施例如本文所公开的实施例可以降低芯片中至少 ELK 介电层处的应力, 并满足小凸块间距和高 I/O 值的要求。

[0049] 根据示例性实施例的一个方面, 一种器件包括具有凸块结构的芯片。该凸块结构包括导电柱, 该导电柱具有沿着导电柱的长轴测量的长度 (L) 和沿着导电柱的短轴测量的宽度 (W)。该器件还包括衬底, 该衬底具有导电迹线和位于导电迹线上的掩模层, 该掩模层具有暴露出一部分导电迹线的开口。将芯片接合至衬底以在导电柱和导电迹线的暴露部分之间形成互连。在一个实施例中, 开口具有沿着导电柱的长轴测量的第一尺寸 (d1) 和沿着导电柱的短轴测量的第二尺寸 (d2), 并且 L 与 d1 的比值大于 W 与 d2 的比值。L 与 d1 的

比值处于 1.05 至 2.0 的范围内,以及 W 与 d2 的比值处于 0.8 至 1.3 的范围内。导电柱具有伸长的形状。导电柱的长轴垂直于所述芯片的边缘或者沿着朝向芯片的中心区域的方向。掩模层由阻焊材料层形成。导电柱包含铜。导电迹线包含铜。焊点区可以位于导电柱和导电迹线的暴露部分之间。

[0050] 根据示例性实施例的一个方面,一种器件包括:在第一衬底上形成的导电柱,该导电柱具有沿着导电柱的长轴测量的长度 (L) 和沿着导电柱的短轴测量的宽度 (W);在第二衬底上形成的导电迹线;以及位于导电迹线和第二衬底的上面的掩模层,该掩模层具有暴露出一部分导电迹线的开口。导电柱通过焊料层连接至导电迹线的暴露部分。掩模层的开口具有沿着导电柱的长轴测量的第一尺寸 (d1),并且 d1 小于 L。L 与 d1 的比值处于 1.05 至 2.0 的范围内。掩模层的开口具有沿着导电柱的短轴测量的第二尺寸 (d2),并且 W 与 d2 的比值处于 0.8 至 1.3 的范围内。第一衬底是半导体衬底,以及第二衬底是介电衬底。根据示例性实施例的另一个方面,一种器件包括:具有凸块结构的芯片,该凸块结构包括导电柱,该导电柱具有沿着导电柱的长轴测量的长度 (L) 和沿着导电柱的短轴测量的宽度 (W);以及衬底,该衬底包括导电迹线和位于导电迹线上方的掩模层,该掩模层具有暴露出一部分导电迹线的开口。将芯片接合至衬底以在导电柱和导电迹线的暴露部分之间形成互连。开口具有沿着导电柱的长轴测量的第一尺寸 (d1) 和沿着导电柱的短轴测量的第二尺寸 (d2),并且 L 与 d1 的比值不等于 W 与 d2 的比值。L 与 d1 的比值处于 1.05 至 2.0 的范围内。

[0051] 在前面详细的说明中,参考本发明的特定示例性实施例描述本发明。然而,在不背离本发明的更广泛的精神和范围的情况下,很明显可以对其制定各种修改、结构、工艺和改变。因此,说明书和附图被认为是示例性而不是限制性的。可以理解本发明能够使用各种其它组合和环境,并能够在本文所表达的发明概念的范围内进行改变和修改。

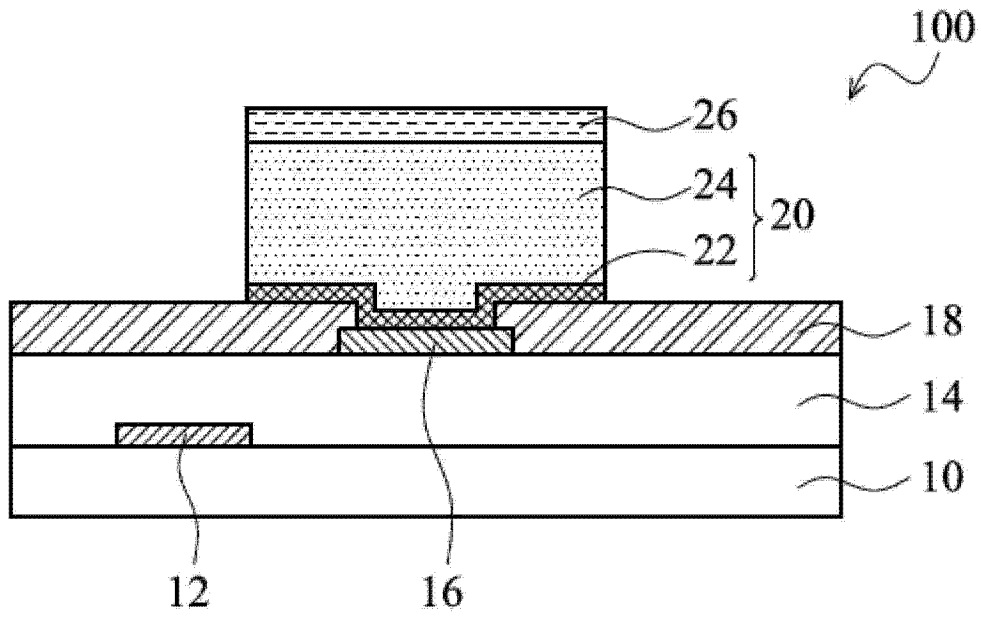


图 1

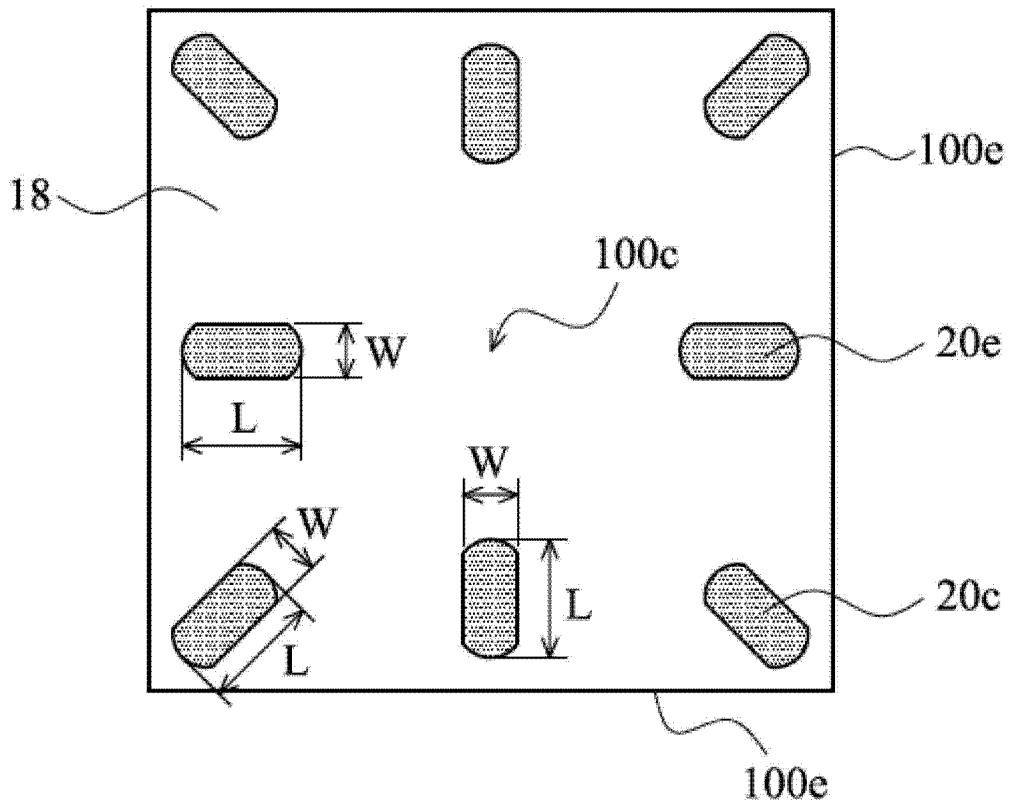


图 2

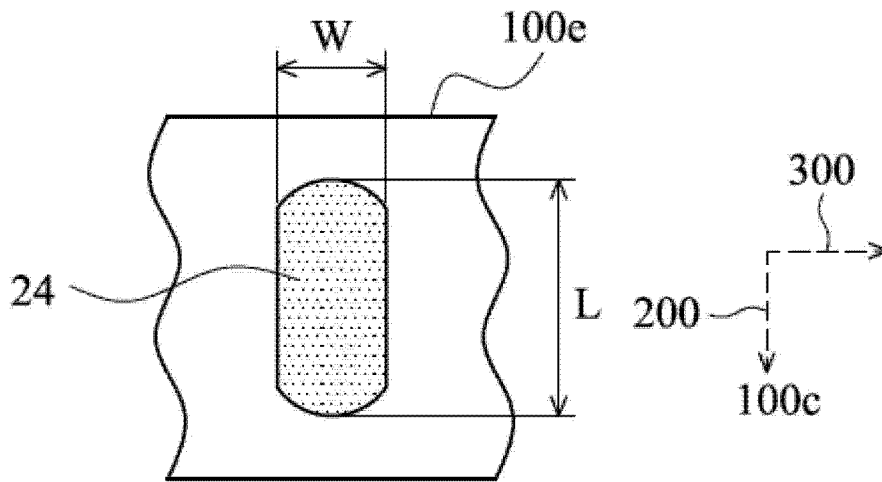


图 3

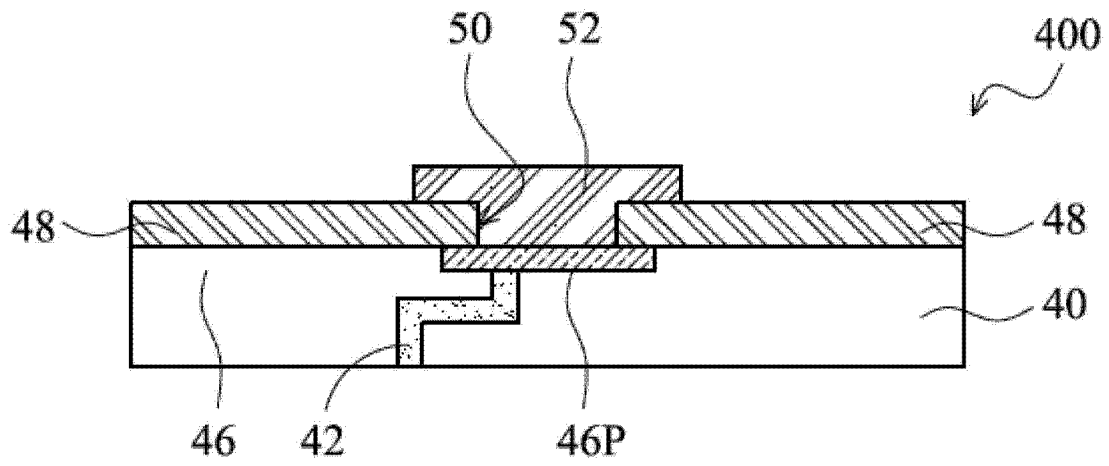


图 4

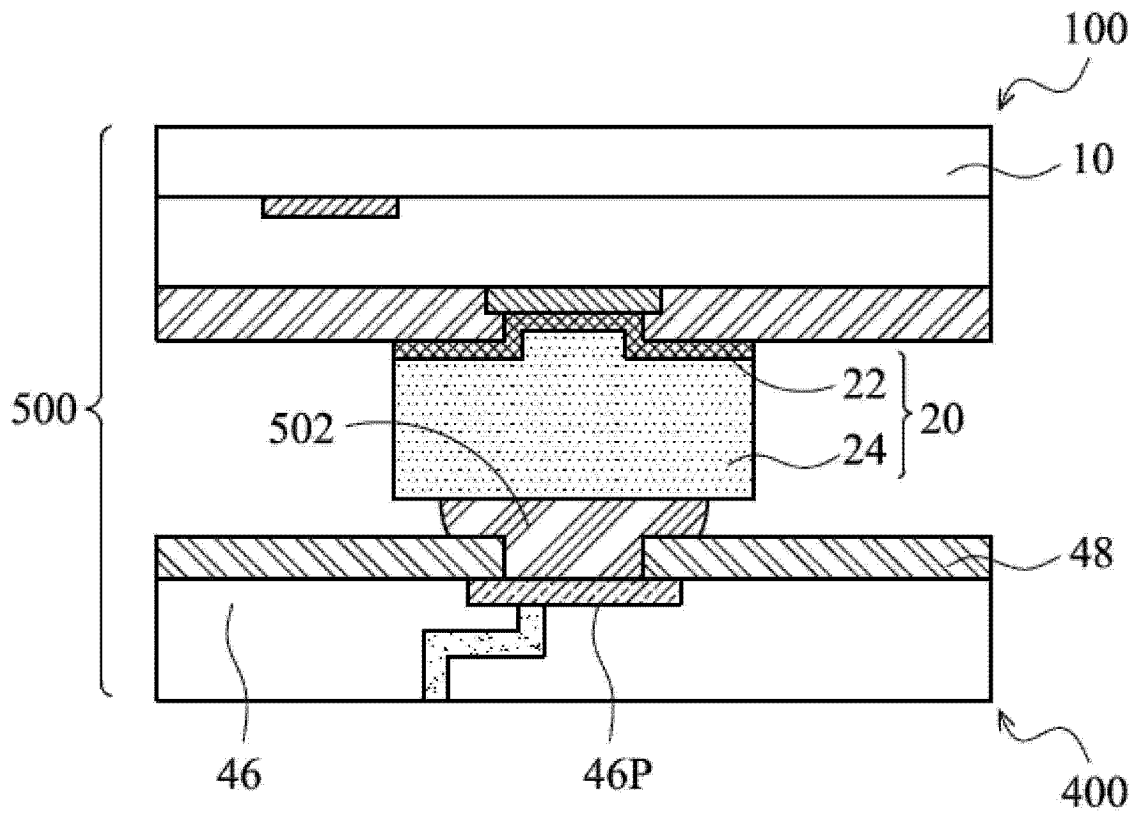


图 5

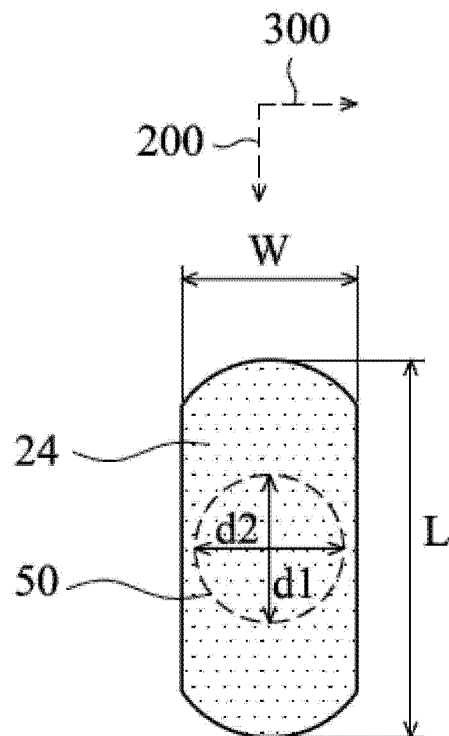


图 6