



(12) 发明专利

(10) 授权公告号 CN 113687771 B

(45) 授权公告日 2024. 03. 01

(21) 申请号 202110479702.2

(51) Int.Cl.

(22) 申请日 2021.04.30

G06F 3/06 (2006.01)

(65) 同一申请的已公布的文献号

申请公布号 CN 113687771 A

(56) 对比文件

CN 107085513 A, 2017.08.22

CN 109634517 A, 2019.04.16

CN 109815165 A, 2019.05.28

TW 201437807 A, 2014.10.01

US 2017364446 A1, 2017.12.21

US 2018307711 A1, 2018.10.25

(43) 申请公布日 2021.11.23

(30) 优先权数据

63/020,025 2020.05.05 US

17/082,032 2020.10.28 US

(73) 专利权人 慧荣科技股份有限公司

审查员 林丽香

地址 中国台湾新竹县竹北市

(72) 发明人 林瑜智

(74) 专利代理机构 上海专利商标事务所有限公

司 31100

专利代理师 陈亮

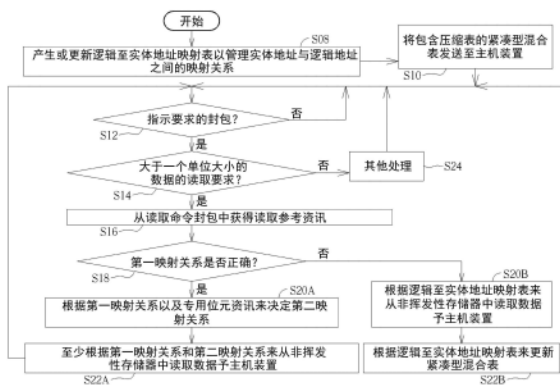
权利要求书5页 说明书23页 附图7页

(54) 发明名称

存储器装置的存取管理方法、控制器以及主机装置

(57) 摘要

本发明揭示了一种借助专用位元资讯来执行存储器装置的存取管理方法和装置,该方法包含有:向主机装置发送包含有多个压缩表的紧凑型混合表,以储存于主机装置中,来允许主机装置将该紧凑型混合表的多个紧凑型混合表条目之其一发送至存储器装置以作为读取参考;根据来自主机装置的读取命令封包来决定起始逻辑地址和数据长度,并根据该读取命令封包来决定第一映射关系和专用位元资讯;根据第一映射关系和专用位元资讯来决定第二映射关系;且至少根据第一映射关系和第二映射关系从非挥发性存储器读取数据予主机装置。



1. 一种借助专用位元资讯来执行一存储器装置的存取管理的方法,其中该存储器装置包含有一非挥发性存储器,该非挥发性存储器包含有至少一非挥发性存储器元件,该方法适用于该存储器装置,该方法包含有:

向一主机装置发送包含有多个压缩表的一紧凑型混合表,以储存在该主机装置中,来允许该主机装置将该紧凑型混合表的多个紧凑型混合表条目之其一发送至该存储器装置以作为读取参考,用于提高该存储器装置的读取性能,其中该紧凑型混合表的该多个紧凑型混合表条目均具有同一大小;

因应该主机装置发送至少一封包以指出至少一要求,判断该至少一要求中是否存在一读取要求,其中在该至少一封包中,携带有该读取要求的至少一起始逻辑地址和一数据长度的一读取命令封包系指出该读取要求;

因应该读取要求的存在,从该读取命令封包中获取一读取参考资讯,其中该读取命令封包中所携带的该读取参考资讯包含有指出一第一映射关系的第一映射资讯且另包含有该专用位元资讯,以及该读取参考资讯代表该紧凑型混合表的该多个紧凑型混合表条目中的一相对应的紧凑型混合表条目;

根据该第一映射关系和该专用位元资讯来决定至少一第二映射关系,以便读取从该起始逻辑地址开始的具有该数据长度的一数据;以及

至少根据该第一映射关系和该至少一第二映射关系,从该非挥发性存储器读取该数据予该主机装置。

2. 如权利要求1所述的方法,其特征在于,另包含有:

在将该紧凑型混合表发送至该主机装置之前,产生或更新至少一逻辑至实体地址映射表来管理多个实体地址和多个逻辑地址之间的映射关系,以控制该非挥发性存储器的数据存取,其中该紧凑型混合表的该多个紧凑型混合表条目中的任一紧凑型混合表条目都包含有该至少一逻辑至实体地址映射表中的一部分映射资讯。

3. 如权利要求2所述的方法,其特征在于,该非挥发性存储器用来储存该至少一逻辑至实体地址映射表,以控制该非挥发性存储器的数据存取;且该紧凑型混合表的该多个紧凑型混合表条目中的该任一紧凑型混合表条目另包含有关于该部分映射资讯的保护资讯,其中该保护资讯指出该部分映射资讯在该非挥发性存储器中的一储存位置。

4. 如权利要求3所述的方法,其特征在于,该至少一逻辑至实体地址映射表代表一全域逻辑至实体地址映射表,其包含有多个区域逻辑至实体地址映射表;以及该部分映射资讯的该储存位置代表该多个区域逻辑至实体地址映射表中的一区域逻辑至实体地址映射表的一实体地址,其中该部分映射资讯被记录于该区域逻辑至实体地址映射表中。

5. 如权利要求1所述的方法,其特征在于,该第一映射关系代表一第一实体地址和该起始逻辑地址之间的一映射关系,且该至少一第二映射关系代表至少一第二实体地址和至少一后续逻辑地址之间的至少一映射关系。

6. 如权利要求1所述的方法,其特征在于,该紧凑型混合表包含有分别与一连串逻辑地址相对应的该多个紧凑型混合表条目,且用来将该一连串逻辑地址分别映射至该多个紧凑型混合表条目所记录的多个相关联的实体地址。

7. 如权利要求1所述的方法,其特征在于,该多个紧凑型混合表条目中的任一紧凑型混合表条目包含有该多个压缩表中的一第一压缩表的一第一压缩表条目和该多个压缩表中

的一第二压缩表的一第二压缩表条目,且另包含有一连续性资讯表的一连续性资讯表条目。

8.如权利要求7所述的方法,其特征在于,该第一压缩表和该第二压缩表分别代表该存储器装置的一区域逻辑至实体地址映射表和包含有该区域逻辑至实体地址映射表的相对应保护资讯的一保护资讯表,且该连续性资讯表包含有该专用位元资讯。

9.如权利要求7所述的方法,其特征在于,该紧凑型混合表包含有分别与一连串逻辑地址相对应的该多个紧凑型混合表条目,并用于将该一连串逻辑地址分别映射至该多个紧凑型混合表条目所记录的多个相关联的实体地址;以及该第一压缩表条目代表该多个紧凑型混合表条目所记录的该多个相关联的实体地址中的一实体地址,而该第二压缩表条目代表该存储器装置的一区域逻辑至实体地址映射表的保护资讯。

10.如权利要求9所述的方法,其特征在于,该区域逻辑至实体地址映射表的该保护资讯包含有该区域逻辑至实体地址映射表的一实体地址,且用来检查该区域逻辑至实体地址映射表是否正确或用于该任一紧凑型混合表条目从该主机装置发送回该存储器装置时,检查该实体地址是否正确。

11.如权利要求9所述的方法,其特征在于,该连续性资讯表条目指出该多个紧凑型混合表条目所记录的该多个相关联的实体地址中,从该实体地址开始的一组实体地址的连续性。

12.如权利要求7所述的方法,其特征在于,在该多个紧凑型混合表条目中的该任一紧凑型混合表条目代表该相对应的紧凑型混合表条目的情况下,该连续性资讯表条目代表该专用位元资讯。

13.如权利要求1所述的方法,其特征在于,该专用位元资讯指出该多个紧凑型混合表条目所记录的多个相关联的实体地址中,从一实体地址开始的一组实体地址的连续性,其中该实体地址与该起始逻辑地址相关联。

14.如权利要求1所述的方法,其特征在于,该多个紧凑型混合表条目的该相对应的紧凑型混合表条目包含有该多个压缩表中的一第一压缩表的一第一压缩表条目和该多个压缩表中的一第二压缩表的一第二压缩表条目;且该方法另包含有:

根据该第二压缩表条目,判断该第一压缩表条目是否正确以生成一判断结果,其中该判断结果指出该第一压缩表条目是否正确;

其中因应该判断结果指出该第一压缩表条目是正确的,执行根据该第一映射关系和该专用位元资讯来决定该至少一第二映射关系的操作。

15.如权利要求14所述的方法,其特征在于该第一压缩表条目代表与该起始逻辑地址相关联的一实体地址。

16.一种存储器装置,包含有:

一非挥发性存储器,用于储存资讯,其中该非挥发性存储器包含有至少一非挥发性存储器元件;以及

一控制器,耦接于该非挥发性存储器,用来控制该存储器装置的操作,其中该控制器包含有:

一处理电路,用于根据来自一主机装置的多个主机命令来控制该控制器,以允许该主机装置通过该控制器来存取该非挥发性存储器,其中:

该控制器将包括多个压缩表的一紧凑型混合表发送至该主机装置,以储存在该主机装置中,来允许该主机装置将该紧凑型混合表的多个紧凑型混合表条目的其一发送至该存储器装置以作为读取参考,用于提高该存储器装置的读取性能,其中该紧凑型混合表的该多个紧凑型混合表条目均具有同一大小;

因应该主机装置发送至少一封包以指出至少一要求,该控制器判断该至少一要求中是否存在一读取要求,其中在该至少一封包中,携带有该读取要求的至少一起始逻辑地址和一数据长度的一读取命令封包系指出该读取要求;

因应该读取要求的存在,该控制器从该读取命令封包中获取一读取参考资讯,其中该读取命令封包所携带的该读取参考资讯包含有指出一第一映射关系的第一映射资讯且另包含有一专用位元资讯,以及该读取参考资讯代表该紧凑型混合表的该多个紧凑型混合表条目的一相对应的紧凑型混合表条目;

该控制器根据该第一映射关系和该专用位元资讯来决定至少一第二映射关系,以便读取从该起始逻辑地址开始的具有该数据长度的一数据;以及

该控制器至少根据该第一映射关系和该至少一第二映射关系,从该非挥发性存储器读取该数据予该主机装置。

17. 如权利要求16所述的存储器装置,其特征在于在将该紧凑型混合表发送至该主机装置之前,该控制器产生或更新至少一逻辑至实体地址映射表来管理多个实体地址和多个逻辑地址之间的映射关系,以控制对该非挥发性存储器的数据存取,其中该紧凑型混合表的该多个紧凑型混合表条目中的任一紧凑型混合表条目都包含有该至少一逻辑至实体地址映射表中的一部分映射资讯。

18. 如权利要求17所述的存储器装置,其特征在于该非挥发性存储器用来储存该至少一逻辑至实体地址映射表,以控制该非挥发性存储器的数据存取;且该紧凑型混合表的该多个紧凑型混合表条目中的该任一紧凑型混合表条目另包含有关于该部分映射资讯的保护资讯,其中该保护资讯指出该部分映射资讯在该非挥发性存储器中的一储存位置。

19. 如权利要求18所述的存储器装置,其特征在于该至少一逻辑至实体地址映射表代表一全域逻辑至实体地址映射表,其包含有多个区域逻辑至实体地址映射表;以及该部分映射资讯的该储存位置代表该多个区域逻辑至实体地址映射表中的一区域逻辑至实体地址映射表的一实体地址,其中该部分映射资讯被记录在该区域逻辑至实体地址映射表中。

20. 一种电子装置,包含有如权利要求16项所述的存储器装置,且另包含有:

该主机装置,耦接于该存储器装置,其中该主机装置包含有:

至少一处理器,用于控制该主机装置的操作;以及

一电源供应电路,耦接于该至少一处理器,用来供应电源给该至少一处理器及该存储器装置;

其中,该存储器装置为该主机装置提供储存空间。

21. 一种应用于一存储器装置的控制器,该存储器装置包含有该控制器和一非挥发性存储器,该非挥发性存储器包含有至少一非挥发性存储器元件,该控制器包含有:

一处理电路,用于根据来自一主机装置的多个主机命令来控制该控制器,以允许该主机装置通过该控制器存取该非挥发性存储器,其中:

该控制器将包括多个压缩表的一紧凑型混合表发送至该主机装置,以储存在该主机装

置中,来允许该主机装置将该紧凑型混合表的多个紧凑型混合表条目之其一发送至要该存储器装置以作为读取参考,用于提高该存储器装置的读取性能,其中该紧凑型混合表的该多个紧凑型混合表条目均具有同一大小;

因应该主机装置发送至少一封包以指出至少一要求,该控制器判断该至少一要求中是否存在一读取要求,其中在该至少一封包中,携带有该读取要求的至少一起始逻辑地址和一数据长度的一读取命令封包系指出该读取要求;

因应该读取要求的存在,该控制器从该读取命令封包中获取一读取参考资讯,其中该读取命令封包中所携带的该读取参考资讯包含有指出一第一映射关系的第一映射资讯且另包含有一专用位元资讯,以及该读取参考资讯代表该多个紧凑型混合表的该多个紧凑型混合表条目中的一相对应的紧凑型混合表条目;

该控制器根据该第一映射关系和该专用位元资讯来决定至少一第二映射关系,以便读取从该起始逻辑地址开始的具有该数据长度的一数据;以及

该控制器至少根据该第一映射关系和至少一第二映射关系,从该非挥发性存储器读取该数据予该主机装置。

22. 一种借助专用位元资讯来执行一存储器装置的存取管理的方法,其中该存储器装置包含有一非挥发性存储器,该非挥发性存储器包含有至少一非挥发性存储器元件,该方法适用于一主机装置,该方法包含有:

从该存储器装置中接收包含有多个压缩表的一紧凑型混合表,且将该紧凑型混合表储存于该主机装置中,用来将该紧凑型混合表的多个紧凑型混合表条目之其一发送该存储器装置以当作读取参考,用于提高该存储器装置的读取性能,其中该紧凑型混合表的该多个紧凑型混合表条目具有同一大小;

因应接收到来自该主机装置的一使用者的至少一要求,判断该至少一要求中是否存在一读取要求;

因应该读取要求的存在,向该存储器装置发送携带该读取要求的至少一起始逻辑地址和一数据长度的一读取命令封包,并通过该读取命令封包来将读取参考资讯提供给该存储器装置,其中该读取命令封包指出该读取要求,该读取命令封包所携带的该读取参考资讯包含有指出一第一映射关系的第一映射资讯且另包含有该专用位元资讯,以及该读取参考资讯代表该紧凑型混合表的该多个紧凑型混合表条目中的一相对应的紧凑型混合表条目;

利用该存储器装置内的一存储器控制器以根据该第一映射关系和该专用位元资讯来决定至少一第二映射关系,以便读取从该起始逻辑地址开始的具有该数据长度的一数据;以及

利用该存储器控制器以至少根据该第一映射关系和该至少一第二映射关系来从该非挥发性存储器中读取该数据予该主机装置。

23. 一种主机装置,适用于借助专用位元资讯来执行一存储器装置的存取管理,该存储器装置包含有一非挥发性存储器,该非挥发性存储器包含有至少一非挥发性存储器元件,该主机装置包含有:

至少一处理器,用于控制该主机装置的操作;

至少一随机存取存储器,耦接于该至少一处理器,用于储存该主机装置内的资讯;以及

一电源供应电路,耦接于该至少一处理器,用来供应电源给该至少一处理器及该存储

器装置；

其中：

该主机装置用于从该存储器装置接收包含有多个压缩表的一紧凑型混合表,并将该紧凑型混合表储存于该主机装置的该至少一随机存取存储器中,以发送该紧凑型混合表的多个紧凑型混合表条目的其一至该存储器装置以作为读取参考,用于提高该存储器装置的读取性能,其中该紧凑型混合表的该多个紧凑型混合表条目均具有同一大小；

因应接收到来自该主机装置的一使用者的至少一要求,该主机装置被用于判断该至少一要求中是否存在一读取要求；

因应该读取要求的存在,该主机装置用于向该存储器装置发送携带该读取要求的至少一起始逻辑地址和一数据长度的一读取命令封包,并通过该读取命令封包将读取参考资讯提供给该存储器装置,其中该读取命令封包指出该读取要求,该读取命令封包所携带的该读取参考资讯包含有指出一第一映射关系的第一映射资讯且另包含有该专用位元资讯,以及该读取参考资讯代表该紧凑型混合表的该多个紧凑型混合表条目中的一相对应的紧凑型混合表条目；

该主机装置利用该存储器装置内的一存储器控制器以根据该第一映射关系和该专用位元资讯来决定至少一第二映射关系,以便读取从该起始逻辑地址开始的具有该数据长度的一数据;以及

该主机装置利用该存储器控制器以至少根据该第一映射关系和该至少一第二映射关系来从该非挥发性存储器读取该数据予该主机装置。

存储器装置的存取管理方法、控制器以及主机装置

技术领域

[0001] 本发明系有关于存储器控制,尤指一种借助于专用位元资讯来执行存储器装置的存取管理的方法,以及相关装置(例如存储器装置内的存储器控制器、存储器装置以及包含有存储器装置的电子装置)。

背景技术

[0002] 存储器装置可以包含有用来储存数据的快闪存储器,且存取快闪存储器的管理相当复杂。存储器装置可以包含有用于缓冲、管理…等等目的的随机存取存储器,而随机存取存储器通常有着储存容量不足的问题。现有技术试图纠正上述问题,但反而产生了更进一步的问题,因此,需要一种新颖的方法和相关结构以便在不产生任何副作用或以不太可能产生副作用的方式来解决这些问题。

发明内容

[0003] 因此,本发明的目的之一在于揭露一种借助专用位元资讯来执行存储器装置的存取管理的方法,并揭露相关装置(例如存储器装置内的存储器控制器、存储器装置以及包含有存储器装置的电子装置),以解决上述问题。

[0004] 本发明的至少一实施例揭露了一种借助专用位元资讯来执行存储器装置的存取管理的方法,其中该方法适用于存储器装置,存储器装置可以包含有非挥发性(Non-Volatile,NV)存储器,且非挥发性存储器可以包含有至少一非挥发性记忆元件(例如一个或一个以上非挥发性记忆元件),该方法可以包含有:将包含有多个压缩表的一紧凑型混合表发送至主机装置,以储存在主机装置中,来允许主机装置将该紧凑型混合表的多个紧凑型混合表条目之其一发送至存储器装置作为读取参考,用来提高存储器装置的读取性能(例如,提高读取速度),其中该紧凑型混合表的多个紧凑型混合表条目均具有同一大小;因应主机装置发送至少一封包以指出至少一要求,判断该至少一要求中是否存在一读取要求,其中在该至少一封包中携带有该读取要求之至少一起始逻辑地址和一数据长度的一读取命令封包系指出该读取要求;因应读取要求的存在,从该读取命令封包中获取读取参考资讯,其中读取命令封包中所携带的读取参考资讯包含有指出第一映射关系的第一映射资讯且包含有专用位元资讯,且读取参考资讯代表紧凑型混合表的多个紧凑型混合表条目的一相对应的紧凑型混合表条目;根据第一映射关系和专用位元资讯,来决定至少一第二映射关系,以便读取从该起始逻辑地址开始具有数据长度的数据;以及至少根据第一映射关系和至少一第二映射关系,从非挥发性存储器读取数据予主机装置。

[0005] 除了上述方法外,本发明还揭露了一种存储器装置,且该存储器装置包含有非挥发性存储器和控制器,例如存储器控制器,非挥发性存储器用来储存资讯,其中该非挥发性存储器可以包含有至少一非挥发性存储器元件(例如一个或多个非挥发性存储器元件),控制器耦接于非挥发性存储器,且该控制器用来控制存储器装置的操作,此外,控制器包含有处理电路,该处理电路用来根据来自主机装置的多个主机命令以控制控制器,来允许主机

装置通过控制器存取非挥发性存储器,例如,控制器将包含有多个压缩表的一紧凑型混合表发送到主机装置,以储存在主机装置中,来允许主机装置将该紧凑型混合表的多个紧凑型混合表条目之其一发送至存储器装置作为读取参考,用来提高该存储器装置的读取性能(例如提高读取速度),其中该紧凑型混合表的多个紧凑型混合表条目均具有同一大小;因应主机装置发送至少一封包以指出至少一要求,控制器判断该至少一要求中是否存在一读取要求,其中在该至少一封包中携带有该读取要求之至少一起始逻辑地址和一数据长度的一读取命令封包系指出该读取要求;因应读取要求的存在,控制器从该读取命令封包中获取读取参考资讯,其中读取命令封包中所携带的读取参考资讯包含有指出第一映射关系的第一映射资讯且包含有专用位元资讯,且读取参考资讯代表紧凑型混合表的多个紧凑型混合表条目的一相对应的紧凑型混合表条目;控制器根据第一映射关系和专用位元资讯,来决定至少一第二映射关系,以便读取从该起始逻辑地址开始的具有数据长度的数据;以及控制器至少根据第一映射关系和至少一第二映射关系,从非挥发性存储器读取数据予主机装置。

[0006] 根据一些实施例,另揭露了一种相关电子装置,该电子装置可以包含有上述存储器装置,且还可以包含有:主机装置,耦接于存储器装置,主机装置可以包含有:至少一处理器,用来控制主机装置的操作;以及电源供应电路,耦接于至少一处理器,用来供应电源给至少一处理器及存储器装置,此外,存储器装置可以用来向主机装置提供储存空间。

[0007] 除上述方法外,本发明还揭露一种存储器装置的控制器,例如存储器装置内的存储器控制器,其中存储器装置包含有该控制器和非挥发性存储器,非挥发性存储器可以包含有至少一非挥发性存储器元件(例如一个或多个非挥发性存储器元件),此外,该控制器包含有处理电路,其用来根据来自主机装置的多个主机命令以控制该控制器,来允许主机装置通过该控制器存取非挥发性存储器,例如,该控制器将包含有多个压缩表的一紧凑型混合表发送到主机装置,以储存在主机装置中,来允许主机装置将该紧凑型混合表的多个紧凑型混合表条目的其一发送至存储器装置作为读取参考,用来提高存储器装置的读取性能(例如,提高读取速度),其中该紧凑型混合表的多个紧凑型混合表条目均具有同一大小;因应主机装置发送至少一封包以指出至少一要求,该控制器判断该至少一要求中是否存在一读取要求,其中在该至少一封包中携带有该读取要求的至少一起始逻辑地址和一数据长度的一读取命令封包系指出该读取要求;因应读取要求的存在,该控制器从该读取命令封包中获取读取参考资讯,其中读取命令封包中所携带的读取参考资讯包含有指出第一映射关系的第一映射资讯且包含有专用位元资讯,且读取参考资讯代表紧凑型混合表的多个紧凑型混合表条目的一相对应的紧凑型混合表条目;该控制器根据第一映射关系和专用位元资讯,来决定至少一第二映射关系,以便读取从该起始逻辑地址开始的具有数据长度的数据;以及该控制器至少根据第一映射关系和至少一第二映射关系,从非挥发性存储器读取数据予主机装置。

[0008] 本发明的至少一实施例揭露了一种借助专用位元资讯来执行存储器装置的存取管理的方法,其中该方法适用于主机装置,存储器装置可以包含有非挥发性存储器,且非挥发性存储器可以包含有至少一非挥发性记忆元件(例如一个或一个以上非挥发性记忆元件),该方法可以包含有:从存储器装置中接收包含有多个压缩表的一紧凑型混合表,且将该紧凑型混合表储存于主机装置中,用来将该紧凑型混合表的多个紧凑型混合表条目之其

一发送存储器装置以作为读取参考,用于提高存储器装置的读取性能,其中该紧凑型混合表的多个紧凑型混合表条目均具有同一大小;因应接收到来自主机装置的使用者之至少一要求,判断在该至少一要求中是否存在一读取要求;因应该读取要求的存在,向存储器装置发送携带至少一起始逻辑地址和该读取要求的数据长度的一读取命令封包,并通过该读取命令封包将读取参考资讯提供给存储器装置,其中该读取命令封包指出该读取要求,该读取命令封包所携带的读取参考资讯包含有指出第一映射关系的第一映射资讯且包含有专用位元资讯,且读取参考资讯代表紧凑型混合表的多个紧凑型混合表条目的一相对应的紧凑型混合表条目;利用存储器装置内的存储器控制器以根据第一映射关系和专用位元资讯来决定至少一第二映射关系,以便读取从该起始逻辑地址开始的具有数据长度的数据;以及利用存储器控制器以至少根据第一映射关系和至少一第二映射关系从非挥发性存储器中读取数据予主机装置。

[0009] 除上述方法外,本发明还揭露一种主机装置,其中该主机装置适用于借助专用位元资讯来执行存储器装置的存取管理,存储器装置可以包含有非挥发性存储器,且非挥发性存储器包含有至少一非挥发性存储器元件(例如一个或一个以上非挥发性记忆元件),该主机装置可以包含有:至少一处理器,用于控制该主机装置的操作;至少一随机存取存储器(Random Access Memory, RAM),耦接于至少一处理器,用于在该主机装置内储存资讯;以及电源供应电路,耦接于至少一处理器,用来供应电源给至少一处理器及存储器装置,例如,该主机装置用于从存储器装置接收包含有多个压缩表的一紧凑型混合表,并将该紧凑型混合表储存于该主机装置的至少一随机存取存储器中,以发送该紧凑型混合表的多个紧凑型混合表条目之其一至存储器装置作为读取参考,以提高存储器装置的读取性能,其中该紧凑型混合表的多个紧凑型混合表条目均具有同一大小;因应接收到来自该主机装置的使用者之至少一要求,该主机装置被用于判断在该至少一要求中是否存在一读取要求;因应该读取要求的存在,该主机装置用于向存储器装置发送携带至少一起始逻辑地址和该读取要求的数据长度的一读取命令封包,并通过该读取命令封包将读取参考资讯提供给存储器装置,其中该读取命令封包指出该读取要求,读取命令封包所携带的读取参考资讯包含有指出第一映射关系的第一映射资讯且包含有专用位元资讯,且读取参考资讯代表紧凑型混合表的多个紧凑型混合表条目的一相对应的紧凑型混合表条目;该主机装置利用存储器装置内的存储器控制器以根据第一映射关系和专用位元资讯来决定至少一第二映射关系,以便读取从该起始逻辑地址开始的具有数据长度的数据;以及该主机装置利用存储器控制器以至少根据第一映射关系和至少一第二映射关系从非挥发性存储器读取数据予该主机装置。

[0010] 根据一些实施例,装置可以包含有电子装置的至少一部分(例如,部分或全部),例如,该装置可以包含有存储器装置内的存储器控制器,在另一个范例中,该装置可以包含有存储器装置,在一些范例中,该装置可以包含有电子装置或电子装置内的主机装置,此外,存储器控制器可以用来控制存储器装置的操作,且包含有至少一非挥发性存储器元件(例如一个或一个以上的快闪存储器裸晶,或一个或一个以上的快闪存储器芯片)的非挥发性存储器(例如快闪存储器)可以用来储存数据,存储器装置的范例可以包括但不限于:记忆卡、固态硬盘…等等,主机装置的范例可以包括但不限于:多功能手机、平板电脑以及个人电脑例如笔记型电脑和桌上型电脑,此外,存储器装置可以用来为主机装置储存数据,存储器装置可以用于因应来自主机装置的主机命令来读取储存的数据,且向主机装置提供从非

挥发性存储器读取的数据,为了提高存储器装置的性能,主机装置可以用来获取存储器装置的一些内部资讯,主机装置可以用来将先前从存储器装置获取的内部资讯发送回存储器装置,来允许存储器装置使用内部资讯,其中存储器装置可以利用并共享主机装置的随机存取存储器,根据一些实施例,主机装置和存储器装置可以采用一种或多种更好的封包格式来优化主机装置与存储器装置之间的通讯,例如,一种或多种更好的封包格式可以用来携带专用位元资讯以指出多于一个的实体地址,以减少主机装置与存储器装置之间的封包数量。

[0011] 本发明的方法和装置可以保证存储器装置可以在各种情况下正确地操作,例如,从主机装置发送的内部资讯可能是不正确的,而本发明的方法和装置可以检测到这种情况并防止存储器装置的故障…等等,此外,资讯可以被更改,而本发明的方法和装置可以检测到这种情况并防止一些安全问题,此外,本发明的方法和装置可以提供一种或多种更好的封包格式,以优化主机装置与存储器装置之间的通讯,以使整个系统适合于根据一种或多种较新的规范(例如,主机效能增强器(Host Performance Booster,HPB) 2.0,其应与通用快闪存储器储存(Universal Flash Storage,UFS) 3.1一起推动)来运行,且可改善存储器装置的随机读取速度。

附图说明

[0012] 图1为依据本发明一实施例的电子装置的示意图。

[0013] 图2为依据本发明一实施例的用以执行如图1所示的存储器装置的存取管理方法的控制方案。

[0014] 图3为图2所示的控制方案的主机效能增强器条目格式的一范例。

[0015] 图4为依据本发明一实施例的一种借助专用位元资讯来执行如图1所示的存储器装置的存取管理方法的控制方案。

[0016] 图5为依据本发明一实施例的图4所示的控制方案的主机效能增强器条目格式。

[0017] 图6为依据本发明另一实施例的图4所示的控制方案的主机效能增强器条目格式。

[0018] 图7为图4所示的控制方案的适应性主机效能增强器条目格式的一范例。

[0019] 图8为适应性主机效能增强器条目格式的另一范例。

[0020] 图9为依据本发明一实施例的借助专用位元资讯来执行如图1所示的存储器装置的存取管理方法的流程图。

[0021] 图10为依据本发明另一实施例的借助专用位元资讯来执行如图1所示的存储器装置的存取管理方法的流程图。

[0022] 图11为依据本发明一实施例的携带有图4所示的控制方案中相对应的紧凑型混合表条目的主机效能增强器读取命令的命令封包。

[0023] **【符号说明】**

[0024] 10:电子装置

[0025] 50:主机装置

[0026] 52:处理器

[0027] 54:电源供应电路

[0028] 56,116:随机存取存储器

- [0029] 100:存储器装置
- [0030] 110:存储器控制器
- [0031] 112:微处理器
- [0032] 112C:程序码
- [0033] 112M:只读存储器
- [0034] 114:控制逻辑电路
- [0035] 118:传输接口电路
- [0036] 120:非挥发性存储器
- [0037] 112-1 ~ 122-N:非挥发性存储器元件
- [0038] HT:混合表
- [0039] T1,T2:表
- [0040] HTE:混合表条目
- [0041] TE1,TE2:表条目
- [0042] CHT:紧凑型混合表
- [0043] CT1,CT2:压缩表
- [0044] CIT:连续性资讯表
- [0045] CHTE:紧凑型混合表条目
- [0046] CTE1,CTE2:压缩表条目
- [0047] CITE:连续性资讯表条目
- [0048] DBI:专用位元资讯
- [0049] S08,S10,S12,S14,S16,S18,S20A,S20B,S22A,S22B,S24:步骤
- [0050] S28,S30,S32,S34,S36,S38,S40A,S40B,S42A,S42B,S44:步骤
- [0051] MSB:最高有效位元
- [0052] LSB:最低有效位元

具体实施方式

[0053] 图1为依据本发明一实施例的电子装置10的示意图,其中电子装置10可以包含有主机装置50和存储器装置100,主机装置50可以包含有可以统称为处理器52的至少一处理器(例如一个或多个处理器)、电源供应电路54以及可以统称为随机存取存储器56的至少一随机存取存储器(例如一个或多个随机存取存储器,例如动态随机存取存储器(Dynamic Random Access Memory, DRAM)、静态随机存取存储器(Static Random Access Memory, SRAM) …等等),其中处理器52和随机存取存储器56可以通过一总线相互耦接,且可以耦接于电源供应电路54以获取电源,处理器52可以用来控制主机装置50的操作,电源供应电路54可以用来向处理器52、随机存取存储器56和存储器装置100供应电源,且向存储器装置100输出一个或多个驱动电压,其中存储器装置100可以为主机装置50提供储存空间,且可以从主机装置50获取一个或多个驱动电压,以作为存储器装置100的电源,主机装置50的范例可以包括但不限于:多功能手机、平板电脑、可穿戴式装置以及个人电脑(例如桌上型电脑和笔记型电脑),存储器装置100的范例可以包括但不限于:可携式存储器装置(例如符合SD/MMC、CF、MS或XD规范的记忆卡)、固态硬盘(Solid-state drive, SSD)和各种类型的嵌入

式存储器装置(例如符合通用快闪存储器储存或嵌入式多媒体卡(Embedded Multimedia Card, eMMC)规范的嵌入式存储器装置),根据本实施例,存储器装置100可以包含有一控制器(例如存储器控制器110),且还可以包含有非挥发性存储器120,其中该控制器用来存取非挥发性存储器120,且非挥发性存储器120用来储存资讯。非挥发性存储器120可以包含有至少一非挥发性存储器元件(例如一个或多个非挥发性存储器元件),例如多个非挥发性存储器元件122-1、122-2、...、和122-N,其中“N”可以表示大于1的正整数,举例来说,非挥发性存储器120可以是快闪存储器,且多个非挥发性存储器元件122-1、122-2、...、和122-N可以分别是多个快闪存储器芯片或多个快闪存储器裸晶,但本发明不限于此。

[0054] 如图2所示,存储器控制器110可以包含有处理电路(例如微处理器112)、储存单元(例如只读存储器(Read Only Memory, ROM) 112M、控制逻辑电路114、随机存取存储器116(例如可以通过静态随机处理存储器来执行)以及传输接口电路118,其中上述组件的至少一部分(例如部分或全部)可以经由一总线彼此耦接,随机存取存储器116可以用来向存储器控制器110提供内部储存空间(例如,可以暂时储存资讯),但本发明不限于此,此外,本实施例的只读存储器112M用来储存程序码112C,且微处理器112用来执行程序码112C以控制非挥发性存储器120的存取,请注意,程序码112C也可以储存在随机存取存储器116或任何类型的存储器中,此外,控制逻辑电路114可以用来控制非挥发性存储器120,控制逻辑电路114可以包含有一错误校正码(error correction code, ECC)电路(图1中未示出),该错误校正码电路可以执行错误校正码编码和错误校正码解码,以保护数据及/或执行错误校正,并且传输接口电路118可以符合特定的通讯规范(例如序列先进技术附件(Serial Advanced Technology Attachment, SATA)规范、通用序列总线(Universal Serial Bus, USB)规范、快捷外部连接标准(Peripheral Component Interconnect Express, PCIE)规范、嵌入式多媒体卡规范或通用快闪存储器储存规范),且可以根据该特定的通讯规范执行通讯。

[0055] 在本实施例中,主机装置50可以向存储器控制器110发送多个主机命令和相对应的多个逻辑地址,以间接存取存储器装置100内的非挥发性存储器120,存储器控制器110接收该多个主机命令和该多个逻辑地址,并且将该多个主机命令分别转换为存储器操作命令(为简便起见,可以称为操作命令),且进一步藉由操作命令来控制非挥发性存储器120以在非挥发性存储器120内特定的多个实体地址的储存单元或数据页面上执行读取或写入/编程,其中该多个实体地址对应于该多个逻辑地址,例如,存储器控制器110可以产生或更新至少一逻辑至实体(logical-to-physical, H2F)地址映射表以管理该多个实体地址和该多个逻辑地址之间的映射关系。非挥发性存储器120可以用来储存该至少一逻辑至实体地址映射表,例如全域逻辑至实体地址映射表120T,以供存储器控制器110控制存储器装置100存取非挥发性存储器120中的数据。

[0056] 为了更好的理解,全域逻辑至实体地址映射表120T可以位于非挥发性存储器元件122-1内的预定区域中,例如系统区域,但本发明不限于此,例如,全域逻辑至实体地址映射表120T可以划分为多个区域逻辑至实体地址映射表,且该多个区域逻辑至实体地址映射表可以被储存在非挥发性存储器元件122-1、122-2、...、和122-N中的一个或多个非挥发性存储器元件,尤指可以分别储存在非挥发性存储器元件122-1、122-2、...、和122-N中,当需要时,存储器控制器110可以将全域逻辑至实体地址映射表120T的至少一部分(例如部分或全

部)加载到随机存取存储器116或其他存储器中,例如,存储器控制器110可以将多个区域逻辑至实体地址映射表中的一区域逻辑至实体地址映射表加载到随机存取存储器116中以作为其中的暂时逻辑至实体地址映射表116T(为简便起见,标记为“116T”),以便根据区域逻辑至实体地址映射表存取非挥发性存储器120中的数据,但本发明不限于此。

[0057] 此外,前述的至少一非挥发性存储器元件(例如,一个或多个非挥发性存储器元件,例如{122-1、122-2、...、122-N})可以包含有多个区块,其中存储器控制器110在非挥发性存储器120上执行数据抹除操作的最小单元可以是一个区块,以及存储器控制器110在非挥发性存储器120上执行数据写入操作的最小单元可以是一个页面,但是本发明不限于此。于一范例中,非挥发性存储器元件122-1、122-2、...、和122-N内的任一非挥发性存储器元件122-n(其中“n”可以表示区间[1,N]中的任一整数)可以包含有多个区块,且多个区块中的一区块可以包含有并记录特定数量的页面,其中存储器控制器110可以根据区块地址和页面地址来存取多个区块中的某个区块内的某个页面。于另一范例中,非挥发性存储器元件122-n可以包含有多个平面(planar),其中一平面可以包含有一组区块(例如上述的多个区块),且存储器控制器110可以根据平面编号(plane number)在多个平面内指定某个平面,以存取该平面的某个区块内的某个页面。随着区块总数的增加,非挥发性存储器120的储存空间可以变得更大,关于非挥发性存储器120的制造,可以利用许多技术,例如:2D/平面反及闸(2D/planar NAND)快闪存储器技术,其可以将储存单元排列成单层;以及3D反及闸(3D NAND)快闪存储器技术,其可以将储存单元排列成多层的垂直堆迭。根据一些实施例,非挥发性存储器120可以实作为具有排列在单层中的储存单元的2D/平面反及闸快闪存储器结构。根据一些实施例,非挥发性存储器120可以实作为具有垂直堆迭的多层储存单元的3D反及闸快闪存储器结构,在这种情况下,非挥发性存储器120的储存空间可以变得非常大。

[0058] 根据一些实施例,存储器控制器110可以发送多个区域逻辑至实体地址映射表中的一区域逻辑至实体地址映射表和该区域逻辑至实体地址映射表的相对应的保护资讯(例如,该区域逻辑至实体地址映射表的实体地址,像是指出该区域逻辑至实体地址映射表储存在非挥发性存储器120中的最新位置的最新实体地址)至主机装置50,而被暂时地储存在随机存取存储器56中以作为主机侧表(host-side table),例如混合表56T(例如,在处理器52的控制之下,为简便起见,标记为“56T”),以节省随机存取存储器116的储存空间,在这种情况下,当存取存储器装置100中的数据时,主机装置50可以将混合表56T的一个或多个混合表条目(hybrid table entry)发送至存储器控制器110,且存储器控制器110可以根据该一个或多个混合表条目来存取数据用于主机装置50,其中该一个或多个混合表条目中的任一个混合表条目可以包含有实体地址及其保护资讯,如果保护资讯指出该实体地址(尤其,整个混合表56T)是不正确的,则存储器控制器110可以用来读取数据以将数据返回至主机装置50(例如,存储器控制器110可以根据区域逻辑至实体地址映射表的最新实体地址将该区域逻辑至实体地址映射表从非挥发性存储器120加载至随机存取存储器116中,以作为暂时逻辑至实体地址映射表116T,且根据随机存取存储器116中的暂时逻辑至实体地址映射表116T从非挥发性存储器120读取数据)及/或建议主机装置50更新主机侧表,例如混合表56T(例如,主机装置50可以要求存储器装置100提供区域逻辑至实体地址映射表的最新版本,且使用该区域逻辑至实体地址映射表的最新版本来更新主机侧表,例如混合表56T),例如,存储器控制器110可以在随机存取存储器116中维护一最新表地址表(latest-table-

address table),且该最新表地址表可以包含有多个区域逻辑至实体地址映射表的各自的最新表地址,当该区域逻辑至实体地址映射表的实体地址与该区域逻辑至实体地址映射表的最新实体地址不匹配时,存储器控制器110可以判断该实体地址(尤其,整个混合表56T)是不正确的,关于建议主机装置50更新主机侧表(例如混合表56T),存储器控制器110可以利用一回应(RESPONSE)通用快闪存储器储存协定资讯单元(UFS Protocol Information Unit,UPIU)来向主机装置50通知该建议,例如,存储器控制器110可以将此回应通用快闪存储器储存协定资讯单元的装置资讯栏位(Device Information fields)的第1位元(例如,HPB_UPDATE_ALERT)设置为1,且设定此回应通用快闪存储器储存协定资讯单元的主机效能增强器感测数据区域(HPB Sense Data region)中的位元组[K+8;K+11]以及[K+12;K+15]的至少一部分(例如,部分或全部)以携带相关资讯。

[0059] 图2绘示依据本发明一实施例的用以执行如图1所示的存储器装置的存取管理方法的控制方案,存储器控制器110可以将多个表的组合,例如包含有两个表T1、T2的混合表HT发送至主机装置50,以作为混合表56T(为简便起见,标记为“HT=(T2+T1)”),其中两个表T1、T2可以分别代表一区域逻辑至实体地址映射表以及包含有该区域逻辑至实体地址映射表的相对应保护资讯的一保护资讯表。例如,混合表HT可以包含有分别对应于一连串逻辑地址的多个混合表条目{HTE},且可以用来将该一连串逻辑地址分别映射至该多个混合表条目{HTE}中所记录的多个相关联的实体地址,此外,混合表HT的多个混合表条目{HTE}的任一混合表条目HTE(例如,每一个混合表条目)可以包含有表T1的表条目(table entry)TE1(例如,多个混合表条目{HTE}所记录的多个相关联的实体地址中的一实体地址)以及表T2的表条目TE2(例如,该区域逻辑至实体地址映射表的保护资讯,像是该区域逻辑至实体地址映射表的实体地址,用以在混合表条目HTE从主机装置50发送回存储器装置100时,检查该区域逻辑至实体地址映射表是否正确或是检查该实体地址是否正确)。

[0060] 当从存储器装置100读取一组或多组数据时,主机装置50可以将用来指出读取要求(read request)的至少一封包(例如,携带有读取命令、起始逻辑地址和数据长度的读取命令封包)发送至存储器控制器110,尤其,可以向存储器控制器110发送携带有该多个混合表条目{HTE}中的一相对应的混合表条目HTE的主机效能增强器(Host Performance Booster,HPB)条目封包(entry packet),其中该相对应的混合表条目HTE可以包含有表条目TE1(例如与起始逻辑地址相对应的相关联实体地址)以及表条目TE2(例如该区域逻辑至实体地址映射表的保护资讯),为简便起见,标记为“HTE=(TE2+TE1)”。例如,上述至少一封包可以包含有主机效能增强器条目封包,且可以通过主机效能增强器读取命令(HPB READ command)来实作,并且该主机效能增强器读取命令可以包含有操作码(operation code)、指出起始逻辑地址的逻辑区块地址(logical block address,LBA)、指出相对应的混合表条目HTE的主机效能增强器条目、指出数据长度的传输长度(transfer length)……等等,根据表条目TE2(例如该区域逻辑至实体地址映射表的保护资讯),存储器控制器110可以判断表T1(例如该区域逻辑至实体地址映射表),像是表条目TE1(例如与起始逻辑地址相对应的相关联的实体地址),是否正确,举例来说,当表条目TE2中的保护资讯(例如该区域逻辑至实体地址映射表的实体地址)与该区域逻辑至实体地址映射表的最新实体地址匹配时,存储器控制器110便可以判断该区域逻辑至实体地址映射表(例如,该实体地址)是正确的,且可以根据表条目TE1(例如与主机装置50的起始逻辑地址相对应的相关联的实体地址)来进

一步存取非挥发性存储器120中的一组或多组数据。

[0061] 图3为图2所示的控制方案的主机效能增强器 (Host Performance Booster,HPB) 条目格式的一范例,其中该主机效能增强器条目格式适用于符合主机效能增强器1.0规范的主机效能增强器结构,根据图3所示的主机效能增强器条目格式,在上述混合表HT的多个混合表条目 {HTE} 中的任一混合表条目HTE中,表条目TE1可以具有4个位元组,且表条目TE2也可以具有4个位元组。

[0062] 表一

[0063]

主机效能增强器条目	T2内容	T1内容
0	0x00004030	0x0000A000
1	0x00004030	0x0000A001
2	0x00004030	0x0000A002
3	0x00004030	0x0000A003
4	0x00004030	0x0000A004
5	0x00004030	0x0000A005
6	0x00004030	0x0000B009
7	0x00004030	0x0000A007
8	0x00004030	0x0000A008
9	0x00004030	0x0000A009
10	0x00004030	0x0000A00A
11	0x00004030	0x0000B00A
12	0x00004030	0x0000A00C
...	...	...

[0064] 表一列出了混合表HT的范例,其中符号“...”表示为简便起见可以省略某些表内容,表一的主机效能增强器条目 {0,1,...} 可以代表多个混合表条目 {HTE},此外,表一的T1内容和T2内容 (例如,十六进制值) 可以分别表示表T1的内容和表T2的内容 (例如,表T1和表T2的各自的表条目 {TE1} 和 {TE2}), T1内容中出现的实体地址 {0x0000A000, 0x0000A001,...} 可以作为与一连串逻辑地址相对应的多个相关联的实体地址的范例,而T2内容中的实体地址 {0x00004030,0x00004030,...} 中重复出现的实体地址0x00004030可以作为区域逻辑至实体地址映射表的实体地址的范例。

[0065] 图4绘示依据本发明一实施例的借助专用位元资讯 (dedicated bit information) 来执行如图1所示的存储器装置的存取管理方法的控制方案,存储器控制器110可以将多个表的组合 (例如包含有两个压缩表CT1和CT2 (例如,表T1和T2的各自的压缩版本) 以及连续性资讯表 (continuity information table)CIT的紧凑型混合表CHT) 发送至主机装置50,以作为混合表56T (为简便起见,标记为“CHT= (CT2+CT1+CIT)”),其中两个压缩表CT1和CT2可以分别代表一区域逻辑至实体地址映射表和包含有该区域逻辑至实体地址映射表的相对应的保护资讯的保护资讯表,例如,紧凑型混合表CHT可以包含有分别与一连串逻辑地址相对应的多个紧凑型混合表条目 {CHTE},且可以用来分别将该一连串逻辑地址映射至多个紧凑型混合表条目 {CHTE} 所记录的多个相关联的实体地址,紧凑型混合表CHT的多个紧凑型混合表条目 {CHTE} 的任一紧凑型混合表条目CHTE (例如,每一个紧凑型混

合表条目)可以包含有压缩表CT1的压缩表条目CTE1(例如,多个紧凑型混合表条目{CHTE}所记录的多个相关联的实体地址中的一实体地址)以及压缩表CT2的压缩表条目CTE2(例如,该区域逻辑至实体地址映射表的保护资讯,像是该区域逻辑至实体地址映射表的实体地址,用于紧凑型混合表条目CHTE从主机装置50发送回存储器装置100时,检查该区域逻辑至实体地址映射表是否正确或检查该实体地址是否正确),并且可以包含有连续性资讯表CIT的连续性资讯表条目CITE,例如专用位元资讯DBI,其用于指出从多个紧凑型混合表条目{CHTE}所记录的多个相关联的实体地址中的该实体地址开始的一组实体地址(例如,多个紧凑型混合表条目{CHTE}所记录的相关联的该多个实体地址中的部分或全部的实体地址)的连续性。

[0066] 当从存储器装置100读取一组或多组数据时,主机装置50可以将用来指出读取要求的至少一封包(例如,携带有读取命令、起始逻辑地址和数据长度的读取命令封包)发送至存储器控制器110,尤其,可以将携带有多个紧凑型混合表条目{CHTE}的相对应的紧凑型混合表条目CHTE的主机效能增强器条目封包发送至存储器控制器110,其中该相对应的紧凑型混合表条目CHTE可以包含有压缩表条目CTE1(例如,与起始逻辑地址相对应的相关联的实体地址)、压缩表条目CTE2(例如,该区域逻辑至实体地址映射表的保护资讯)以及连续性资讯表条目CITE(例如专用位元资讯DBI,其用以指出从该实体地址开始的一组实体地址的连续性,为简便起见,标记为“CHTE=(CTE2+CTE1+CITE)”。例如,上述至少一封包可以包含有主机效能增强器条目封包,且可以通过主机效能增强器读取命令来实作,且主机效能增强器读取命令可以包含有操作码、指出起始逻辑地址的逻辑区块地址(logical block address,LBA)、指出相对应的紧凑型混合表条目CHTE的主机效能增强器条目、指出数据长度的传输长度…等等。根据压缩表条目CTE2(例如该区域逻辑至实体地址映射表的保护资讯),存储器控制器110可以判断压缩表CT1(例如该区域逻辑至实体地址映射表),像是压缩表条目CTE1(例如与起始逻辑地址相对应的相关联的实体地址),是否正确。举例来说,当压缩表条目CTE2中的保护资讯(例如该区域逻辑至实体地址映射表的实体地址)与该区域逻辑至实体地址映射表的最新实体地址匹配时,存储器控制器110便可以判断该区域逻辑至实体地址映射表(例如,该实体地址)是正确的,且可以至少根据压缩表条目CTE1(例如与起始逻辑地址相对应的相关联的实体地址)来进一步存取非挥发性存储器120中的一组或多组数据予主机装置50。

[0067] 尤其,在一组或多组的数据的数据量达到预定数据量的情况下(例如,一组或多组的数据的数据量大于一逻辑区块地址(logical block address,LBA)所对应的数据量,例如一逻辑区块的数据量),当判断该区域逻辑至实体地址映射表(例如,该实体地址)正确时,存储器控制器110可以根据压缩表条目CTE1(例如与起始逻辑地址相对应的相关联的实体地址)以及根据连续性资讯表条目CITE(例如用于主机装置50的专用位元资讯DBI),存取非挥发性存储器120中的一组或多组数据,其中存储器控制器110可以从压缩表条目CTE1和连续性资讯表条目CITE获得读取一组或多组数据的读取操作所需的所有实体地址,无需加载来自非挥发性存储器120的多个区域逻辑至实体地址映射表中的一个或多个额外的区域逻辑至实体地址映射表。

[0068] 尽管主机效能增强器条目封包的位元组个数可能被限制为8个位元组,且每个读取要求的主机效能增强器条目封包个数可能被限制为一个,存储器控制器110仍可以轻易

地存取达到一预定数据量的一组或多组的数据,且可以防止加载一个或多个额外的区域逻辑至实体地址映射表(例如,具有所需逻辑至实体映射资讯的一个或多个区域逻辑至实体地址映射表),例如,通过采用携带有专用位元数据DBI的一种或多种更好的封包格式,本发明的方法和装置可以优化主机装置50和存储器装置100之间的通讯,以使整个系统(例如,电子装置10)适合于根据一种或多种较新的规范(例如,主机效能增强器规范的较新的版本,像是主机效能增强器(Host Performance Booster,HPB)2.0规范应,其应与通用快闪存储器储存(Universal Flash Storage,UFS)3.1规范一起推动)来运行,且得以改善存储器装置100的随机读取速度。

[0069] 根据一些实施例,两个压缩表CT1和CT2可以分别代表至少一区域逻辑至实体地址映射表(例如,多个区域逻辑至实体地址映射表中的一个或多个区域逻辑至实体地址映射表,像是在上述一个或多个实施例中提到的区域逻辑至实体地址映射表)以及包含有上述至少一区域逻辑至实体地址映射表的相对应的保护资讯的保护资讯表。

[0070] 图5绘示依据本发明一实施例的图4所示的控制方案的主机效能增强器条目格式,其中该主机效能增强器条目格式适用于符合一个或多个较新规范的主机效能增强器结构,根据图5所示的主机效能增强器条目格式,在上述紧凑型混合表CHT的多个紧凑型混合表条目{CHTE}的任一紧凑型混合表条目CHTE中,压缩表条目CTE1可以具有28个位元,压缩表条目CTE2可以具有24个位元,且连续性资讯表条目CITE(例如专用位元资讯DBI)可以具有12个位元。举例来说,连续性资讯表条目CITE(例如专用位元资讯DBI)可以包含有专用位元资讯DBI(1),其中专用位元资讯DBI(1)可以代表一连续长度。

[0071] 表二

[0072]

主机效能增强器条目	连续长度	CT2 内容	CT1 内容
0	0x5	0x004030	0x000A000
1	0x4	0x004030	0x000A001
2	0x3	0x004030	0x000A002
3	0x2	0x004030	0x000A003
4	0x1	0x004030	0x000A004
5	0x0	0x004030	0x000A005
6	0x0	0x004030	0x000B009

[0073]	7	0x3	0x004030	0x000A007
	8	0x2	0x004030	0x000A008
	9	0x1	0x004030	0x000A009
	10	0x0	0x004030	0x000A00A
	11	0x0	0x004030	0x000B00A
	12	...	0x004030	0x000A00C
	...	...	...	...

[0074] 表二列出了紧凑型混合表CHT的范例,其中为简便起见,符号“...”表示可以省略某些表内容,表二的主机效能增强器条目{0,1,...}可以代表多个紧凑型混合表条目{CHTE},此外,表二的CT1内容和CT2内容(例如,十六进制值)可以分别代表压缩表CT1的内容和压缩表CT2的内容(例如,压缩表CT1和CT2的各自的压缩表条目{CTE1}和{CTE2}),出现在CT1内容中的实体地址{0x000A000,0x000A001,...,0x000A005,0x000B009,0x000A007,...,0x000A00A,0x000B00A,0x000A00C,...}可以作为与一连串逻辑地址相对应的多个相关联的实体地址的范例,且CT2内容中的实体地址{0x004030,0x004030,...}中重复出现的实体地址0x004030可以作为区域逻辑至实体地址映射表的实体地址的范例。

[0075] 在将紧凑型混合表CHT发送至主机装置50之前,关于上述紧凑型混合表CHT的多个紧凑型混合表条目{CHTE}的任一紧凑型混合表条目CHTE,存储器控制器110可以计算并产生(例如,记录及/或更新)在紧缩表CT1中的多个相关联的实体地址之中,该紧凑型混合表条目CHTE的实体地址之后的连续实体地址的数量,以作为连续长度。例如,关于主机效能增强器条目0,存储器控制器110可以计算并产生(例如,记录及/或更新)在实体地址{0x000A000,0x000A001,...,0x000A005,0x000B009,0x000A007,...,0x000A00A,0x000B00A,0x000A00C,...}之中,0x000A000之后的连续实体地址{0x000A001,...,0x000A005}的数量,以作为主机效能增强器条目0的连续长度,例如0x5;关于主机效能增强器条目1,存储器控制器110可以计算并产生(例如记录及/或更新)在实体地址{0x000A000,0x000A001,...,0x000A005,0x000B009,0x000A007,...,0x000A00A,0x000B00A,0x000A00C,...}之中,在实体地址0x000A001之后的连续实体地址{0x000A002,...,0x000A005}的数量,以作为主机效能增强器条目1的连续长度,例如0x4;其余的可以此类推。因此,存储器控制器110便可以将紧凑型混合表CHT从存储器装置100发送至主机装置50。

[0076] 在将紧凑型混合表CHT从存储器装置100发送至主机装置50以及将相对应的紧凑型混合表条目CHTE从主机装置50发送至存储器装置100之后,根据压缩表条目CTE1(例如与起始逻辑地址相对应的相关联的实体地址,像是主机效能增强器条目0的实体地址0x000A000)以及根据连续性资讯表条目CITE(例如专用位元资讯DBI,像是主机效能增强器条目0的连续长度,例如0x5),存储器控制器110可以存取非挥发性存储器120中的一组或多组数据,其中存储器控制器110可以从压缩表条目CTE1和连续性资讯表条目CITE获得一组或多组数据的读取操作所需要的所有实体地址(例如,实体地址{0x000A000,0x000A001,...,0x000A005}),故无需从非挥发性存储器120加载多个区域逻辑至实体地址映射表中的一个或多个额外的区域逻辑至实体地址映射表。

[0077] 图6绘示依据本发明另一实施例的图4所示的控制方案的主机效能增强器条目格式,其中该主机效能增强器条目格式适用于符合一个或多个较新规范的主机效能增强器结构,根据图6所示的主机效能增强器条目格式,在上述紧凑型混合表CHT的多个紧凑型混合表条目{CHTE}的任一紧凑型混合表条目CHTE中,压缩表条目CTE1可以具有28个位元,压缩表条目CTE2可以具有24个位元,且连续性资讯表条目CITE(例如专用位元资讯DBI)可以具有12个位元。举例来说,连续性资讯表条目CITE(例如专用位元资讯DBI)可以包含有专用位元资讯DBI(2),其中专用位元资讯DBI(2)可以代表一连串位元表(continuous bit table)。

[0078] 表三

主机效能增强器条目	连续位元表	CT2 内容	CT1 内容
0	0xBDF (101111011111)	0x004030	0x000A000
1	0xDEB (110111101111)	0x004030	0x000A001
2	0xEF7 (111011110111)	0x004030	0x000A002
3	0xF7B (111101111011)	0x004030	0x000A003
4	...	0x004030	0x000A004
5	...	0x004030	0x000A005
6	...	0x004030	0x000B009
7	...	0x004030	0x000A007
8	...	0x004030	0x000A008
9	...	0x004030	0x000A009
10	...	0x004030	0x000A00A
11	...	0x004030	0x000B00A
12	...	0x004030	0x000A00C
13	...	0x004030	0x000A00D
14	...	0x004030	0x000A00E
15	...	0x004030	0x000A00F
...	...	...	...

[0081] 表三绘示出了紧凑型混合表CHT的范例,其中符号“...”为简便起见,代表可以省略某些表内容,表三的主机效能增强器条目{0,1,...}可以代表多个紧凑型混合表条目{CHTE},此外,表三的CT1内容和CT2内容(例如,十六进制值)可以分别代表压缩表CT1的内容和压缩表CT2的内容(例如,压缩表CT1和CT2的各自的压缩表条目{CTE1}和{CTE2}),出现在CT1内容中的实体地址{0x000A000,0x000A001,...,0x000A005,0x000B009,0x000A007,...,0x000A00A,0x000B00A,0x000A00C,0x000A00D,0x000A00E,0x000A00F,...}可以作为对应于一连串逻辑地址的多个相关联的实体地址的范例,以及在CT2内容中的实体地址{0x004030,0x004030,...}中重复出现的实体地址0x004030,可以作为区域逻辑至实

体地址映射表的实体地址的范例。

[0082] 在将紧凑型混合表CHT发送至主机装置50之前,关于紧凑型混合表CHT的多个紧凑型混合表条目{CHTE}的上述任一紧凑型混合表条目CHTE,存储器控制器110可以分别检查在压缩表CT1的多个相关联的实体地址中,在该紧凑型混合表条目CHTE的实体地址之后的多个后续实体地址的连续性,以产生分别指出多个后续实体地址的连续性的连续位元表,例如,关于主机效能增强器条目0,存储器控制器110可以分别检查在多个相关联的实体地址{0x000A000,0x000A001,...,0x000A005,0x000B009,0x000A007,...,0x000A00A,0x000B00A,0x000A00C,0x000A00D,0x000A00E,0x000A00F,...}中,在实体地址0x000A000之后的12个后续实体地址{0x000A001,...,0x000A005,0x000B009,0x000A007,...,0x000A00A,0x000B00A,0x000A00C}的连续性,以分别产生指出12个后续实体地址{0x000A001,...,0x000A005,0x000B009,0x000A007,...,0x000A00A,0x000B00A,0x000A00C}的连续位元表0xBDF,例如101111011111,该连续位元表是从最低有效位元(least significant bit,LSB)开始到最高有效位元(most significant bit,MSB),其中101111011111的第0-11位元(例如,从最低有效位元开始的12个位元)可以分别指出12个后续实体地址{0x000A001,...,0x000A005,0x000B009,0x000A007,...,0x000A00A,0x000B00A,0x000A00C}的连续性;关于主机效能增强器条目1,存储器控制器110可以分别检查在多个相关联的实体地址{0x000A000,0x000A001,...,0x000A005,0x000B009,0x000A007,...,0x000A00A,0x000B00A,0x000A00C,0x000A00D,0x000A00E,0x000A00F,...}中,在实体地址0x000A001之后的12个后续实体地址{0x000A002,...,0x000A005,0x000B009,0x000A007,...,0x000A00A,0x000B00A,0x000A00C,0x000A00D}的连续性,以分别产生指出12个后续实体地址{0x000A002,...,0x000A005,0x000B009,0x000A007,...,0x000A00A,0x000B00A,0x000A00C,0x000A00D}的连续位元表0xDEF,例如110111101111,该连续位元表是从最低有效位元开始到最高有效位元,其中110111101111的第0-11位元(例如,从最低有效位元开始的12个位元)可以分别指出12个后续实体地址{0x000A002,...,0x000A005,0x000B009,0x000A007,...,0x000A00A,0x000B00A,0x000A00C,0x000A00D}的连续性;其余的可以此类推。因此,存储器控制器110可以将紧凑型混合表CHT从存储器装置100发送至主机装置50。

[0083] 在将紧凑型混合表CHT从存储器装置100发送至主机装置50以及将相对应的紧凑型混合表条目CHTE从主机装置50发送至存储器装置100之后,存储器控制器110可以根据压缩表条目CTE1(例如与起始逻辑地址相对应的相关联的实体地址,像是主机效能增强器条目0的实体地址0x000A000)以及根据连续性资讯表条目CITE(例如用于主机装置50的专用位元资讯DBI(例如,主机效能增强器条目0的连续位元表0xBDF,像是101111011111)),存取非挥发性存储器120中的一组或多组数据。于一范例中,在只需要实体地址{0x000A000,0x000A001,...,0x000A005}的情况下,存储器控制器110可以从压缩表条目CTE1以及连续性资讯表条目CITE获得一组或多组数据的读取操作中所需的所有实体地址{0x000A000,0x000A001,...,0x000A005},而无需从非挥发性存储器120加载多个区域逻辑至实体地址映射表的一个或多个额外的区域逻辑至实体地址映射表,但是本发明不限于此。于另一范例中,在只需要实体地址{0x000A000,0x000A001,...,0x000A005,0x000B009,0x000A007,...,0x000A00A}的情况下,存储器控制器110可以从压缩表条目CTE1以及连续性资讯表条目CITE获得一组或多组数据的读取操作中所需的大部分实体地址,(例如,多个实体地址

{0x000A000, 0x000A001, ..., 0x000A005, 0x000B009, 0x000A007, ..., 0x000A00A} 中大部分的实体地址, 但实体地址0x000B009除外), 且可仅需从非挥发性存储器120加载一个额外的区域逻辑至实体地址映射表(例如, 在多个区域逻辑至实体地址映射表中具有实体地址0x000B009的某个区域逻辑至实体地址映射表), 而无需从非挥发性存储器120加载多个区域逻辑至实体地址映射表的一个以上的额外的区域逻辑至实体地址映射表。

[0084] 关于连续位元表的一些实作细节可以描述如下。根据一些实施例, 连续位元表中的逻辑值1和逻辑值0可以分别表示代表多个连续地址的一个或多个部分(例如, {0x000A000, 0x000A001, ..., 0x000A005}、{0x000A007, ..., 0x000A00A}、...等等)以及一个或多个非连续地址(例如0x000B009、0x000B00A、...等等), 其中存储器控制器110可以从压缩表条目CTE1和连续性资讯表条目CITE获得该多个连续地址的一个或多个部分, 且可以通过加载一个或多个额外的区域逻辑至实体地址映射表来获得该一个或多个非连续地址, 但是本发明不限于此。根据一些实施例, 连续位元表中的逻辑值0和逻辑值1可以分别代表多个连续地址的一个或多个部分(例如, {0x000A000, 0x000A001, ..., 0x000A005}、{0x000A007, ..., 0x000A00A}、...等等)以及一个或多个非连续地址(例如0x000B009、0x000B00A、...等等)。

[0085] 在以上实施例中, 为了更好的理解, 主机效能增强器条目格式(例如, 专用位元资讯DBI、压缩表条目CTE2、压缩表条目CTE1)可以如图5或图6所示, 但是本发明不限于此。根据一些实施例, 专用位元资讯DBI、压缩表条目CTE2、压缩表条目CTE1的排列可以改变。根据一些实施例, 专用位元资讯DBI、压缩表条目CTE2、压缩表条目CTE1的各自的长度(例如, 各自的位元数量)可以改变。根据一些实施例, 专用位元资讯DBI、压缩表条目CTE2、压缩表条目CTE1的排列和各自的长度(例如, 各自的位元数量)可以改变。

[0086] 图7为图4所示的控制方案的适应性主机效能增强器条目格式的一范例, 以及图8为适应性主机效能增强器条目格式的另一范例, 其中该适应性主机效能增强器条目格式适用于符合一个或多个较新规范的主机效能增强器结构。根据图7以及图8所示的自适应性主机效能增强器条目格式, 在上述紧凑型混合表CHT的多个紧凑型混合表条目{CHTE}的任一紧凑型混合表条目CHTE中, 压缩表条目CTE1可以具有28个位元, 压缩表条目CTE2可以具有24个位元, 且连续性资讯表条目CITE(例如专用位元资讯DBI)可以具有12个位元, 与图5以及图6所示的范例相比, 专用位元资讯DBI的至少一位元可以用来指出一操作模式, 例如图7以及图8所示的任一范例中的多个模式#0和#1之其一。

[0087] 尤其, 连续性资讯表条目CITE(例如图7所示的专用位元资讯DBI)可以包含有分别具有11个位元和1个位元的专用位元资讯DBI(1)和模式资讯M(0), 其中专用位元资讯DBI(1)可以代表图5所示的范例中提到的连续长度, 不过其位元数量已经减少一个(例如, $12-1=11$ (位元)), 以及模式资讯M(0)可以代表与图5所示的范例相对应的模式#0, 此外, 连续性资讯表条目CITE(例如图8所示的专用位元资讯DBI)可以包含有分别具有11个位元和1个位元的专用位元资讯DBI(2)和模式资讯M(1), 其中专用位元资讯DBI(2)可以代表图6所示的范例中提到的连续位元表, 不过其位元数量已经减少一个(例如, $12-1=11$ (位元)), 以及模式资讯M(1)可以代表与图6所示的范例相对应的模式#1。

[0088] 表四

[0089]	主机效能增强器条目	模式	连续长度	CT2内容	CT1内容
--------	-----------	----	------	-------	-------

0	0x0	0x5	0x004030	0x000A000
1	0x0	0x4	0x004030	0x000A001
2	0x0	0x3	0x004030	0x000A002
3	0x0	0x2	0x004030	0x000A003
4	0x0	0x1	0x004030	0x000A004
5	0x0	0x0	0x004030	0x000A005
6	0x0	0x0	0x004030	0x000B009
7	0x0	0x3	0x004030	0x000A007
8	0x0	0x2	0x004030	0x000A008
9	0x0	0x1	0x004030	0x000A009
10	0x0	0x0	0x004030	0x000A00A
11	0x0	0x0	0x004030	0x000B00A
12	0x0	...	0x004030	0x000A00C
...	...	...	...	...

[0090] 表四绘示出了紧凑型混合表CHT的范例,其中为简便起见,符号“...”代表可以省略某些表内容,表四的主机效能增强器条目{0,1,...}可以代表多个紧凑型混合表条目{CHTE},此外,表四的CT1内容和CT2内容(例如,十六进制值)可以分别代表压缩表CT1的内容和压缩表CT2的内容(例如,压缩表CT1和CT2的各自的压缩表条目{CTE1}和{CTE2}),出现在CT1内容中的实体地址{0x000A000,0x000A001,...,0x000A005,0x000B009,0x000A007,...,0x000A00A,0x000B00A,0x000A00C,...}可以作为与一连串逻辑地址相对应的多个相关联的实体地址的范例,以及重复出现在CT2内容中的实体地址{0x004030,0x004030,...}中的实体地址0x004030可以作为区域逻辑至实体地址映射表的实体地址的范例。

[0091] 请注意,表四中连续长度的含义可与表二中连续长度的含义相似,且表四中的模式可以代表模式资讯M(0)(例如,0x0,例如逻辑值0),为简便起见,本实施例的类似内容在此不再重复详细描述。

[0092] 表五

主机效能增强器条目	模式	连续位元表	CT2 内容	CT1 内容
0	0x1	0x3DF (01111011111)	0x004030	0x000A000
1	0x1	0x5EF (10111101111)	0x004030	0x000A001
2	0x1	0x6F7 (11011110111)	0x004030	0x000A002
3	0x1	0x77B (11101111011)	0x004030	0x000A003
4	0x1	...	0x004030	0x000A004
[0093] 5	0x1	...	0x004030	0x000A005
6	0x1	...	0x004030	0x000B009
7	0x1	...	0x004030	0x000A007
8	0x1	...	0x004030	0x000A008
9	0x1	...	0x004030	0x000A009
10	0x1	...	0x004030	0x000A00A
11	0x1	...	0x004030	0x000B00A
12	0x1	...	0x004030	0x000A00C
13	0x1	...	0x004030	0x000A00D
[0094] 14	0x1	...	0x004030	0x000A00E
15	0x1	...	0x004030	0x000A00F
...	...	...	...	...

[0095] 表五绘示出了紧凑型混合表CHT的范例,其中为简便起见,符号“...”代表可以省略某些表内容,表五的主机效能增强器条目{0,1,...}可以代表多个紧凑型混合表条目{CHTE},此外,表五的CT1内容和CT2内容(例如,十六进制值)可以分别代表压缩表CT1的内容和压缩表CT2的内容(例如,压缩表CT1和CT2的各自的压缩表条目{CTE1}和{CTE2}),出现在CT1内容中的实体地址{0x000A000,0x000A001,...,0x000A005,0x000B009,0x000A007,...,0x000A00A,0x000B00A,0x000A00C,...}可以作为与一连串逻辑地址相对应的多个相关联的实体地址的范例,重复出现在CT2内容中的实体地址{0x004030,0x004030,...}中的实体地址0x004030可以作为区域逻辑至实体地址映射表的实体地址的范例。

[0096] 请注意,表五中连续位元表的含义可与表三中连续位元表的含义相似,且表五中的模式可以代表模式资讯M(1)(例如,0x1,例如逻辑值1),为简便起见,本实施例的类似内容在此不再重复详细描述。

[0097] 图9为依据本发明一实施例的借助专用位元资讯DBI(例如,DBI(1)、DBI(2)、...等等)来执行如图1所示的存储器装置的存取管理方法的流程图,图9所示的工作流程可以适用于存储器装置100,尤其,可以适用于其中的存储器控制器110。

[0098] 在步骤S08中,存储器控制器110可以用来产生或更新上述至少一逻辑至实体地址映射表(例如,全域逻辑至实体地址映射表120T,为简便起见,标记为“120T”),以管理多个实体地址与多个逻辑地址之间的映射关系,用于控制非挥发性存储器120的数据存取,例如,存储器控制器110可以执行垃圾回收以将有效数据收集至非挥发性存储器120中的一个或多个新实体区块中,并对应地更新上述至少一逻辑至实体地址映射表(例如,全域逻辑至实体地址映射表120T),但本发明不限于此。此外,存储器控制器110可以根据上述至少一逻辑至实体地址映射表(例如,全域逻辑至实体地址映射表120T)的至少一部分(例如,部分或全部)产生图4所示的实施例中提到的紧凑型混合表CHT,以提高电子装置10的整体性能,其中紧凑型混合表CHT的多个紧凑型混合表条目{CHTE}的任一混合表条目CHTE可以包含有上述至少一逻辑至实体地址映射表中的一部分映射资讯,例如与一连串逻辑地址中的某个逻辑地址相关联的某个实体地址。

[0099] 根据本实施例,非挥发性存储器120可以用来储存上述至少一逻辑至实体地址映射表(例如,全域逻辑至实体地址映射表120T),以控制非挥发性存储器120的数据存取,且上述紧凑型混合表CHT的多个紧凑型混合表条目{CHTE}的任一紧凑型混合表条目CHTE可以进一步包含有关于部分映射资讯的保护资讯,此外,保护资讯可以指出部分映射资讯在非挥发性存储器120内的储存位置,例如,上述至少一逻辑至实体地址映射表可以代表包含有多个区域逻辑至实体地址映射表的全域逻辑至实体地址映射表120T,且部分映射资讯的储存位置可以代表多个区域逻辑至实体地址映射表中的一区域逻辑至实体地址映射表的实体地址,其中部分映射资讯(例如与该一连串逻辑地址中的一逻辑地址相关联的一实体地址)记录在该区域逻辑至实体地址映射表中。

[0100] 在步骤S10中,存储器控制器110可以用来将包含有多个压缩表(例如,图4所示的实施例中提到的压缩表CT1和CT2)的紧凑型混合表CHT发送至主机装置50,以储存在主机装置50中,来允许主机装置50将紧凑型混合表CHT的多个紧凑型混合表条目{CHTE}的其一发送至存储器装置100来作为读取参考,以提高存储器装置100的读取性能(例如,增加读取速度),其中紧凑型混合表CHT的多个紧凑型混合表条目{CHTE}均具有同一大小(例如,8个位元组),其意味着多个紧凑型混合表条目{CHTE}中的每一个的长度等于该大小(例如,8个位元组)。

[0101] 在步骤S12中,存储器控制器110可以用来判断主机装置50是否向存储器装置100发送用于指出至少一要求的至少一封包,如果是(例如,存储器控制器110接收到来自主机装置50的上述至少一封包),进入步骤S14;如果否(例如,存储器控制器110没有从主机装置50接收到封包),则进入步骤S12,以等待来自主机装置50的上述至少一封包。

[0102] 在步骤S14中,因应主机装置50发送用于指出上述至少一要求的上述至少一封包,存储器控制器110可以用来判断在上述至少一要求中是否存在大于一个单位大小(unit size)的数据的读取要求(例如,图4所示的实施例中提到的读取要求,像是一个以上的逻辑地址/逻辑区块地址的数据读取要求,其中传输长度系大于1),单位大小可以代表与单一逻辑地址(例如单一逻辑区块地址)相对应的预定单位大小,但是本发明不限于此。如果是(例如,读取要求(例如读取一个以上的逻辑地址的数据读取要求)存在,其中传输长度系大于1),则进入步骤S16,以根据读取要求进行操作;如果否(例如,读取要求(例如读取一个以上的逻辑地址的数据读取要求)不存在,尤指上述至少一要求可能包含有非读取要求(non-

reading request),像是写入要求,或是包含另一种类型的读取要求,像是仅读取一个逻辑地址且传输长度等于1的数据读取要求),进入步骤S24,以根据其他要求进行操作。举例来说,在上述至少一封包中,至少携带起始逻辑地址和读取要求的数据长度的读取命令封包(例如,主机效能增强器读取命令,尤指其所包含的命令封包)指出读取要求,在这种情况下,由于存在读取要求,因此会进入步骤S16。

[0103] 在步骤S16中,因应读取要求的存在,存储器控制器110可以用来从读取命令封包(例如,主机效能增强器读取命令,尤指其所包含的命令封包)中获得读取参考资讯,其中读取命令封包携带的读取参考资讯可以包含有指出第一映射关系(例如,第一实体地址与起始逻辑地址之间的映射关系)的第一映射资讯,并包含有专用位元资讯DBI。例如,读取参考资讯可以代表紧凑型混合表CHT的多个紧凑型混合表条目{CHTE}的相对应的紧凑型混合表条目CHTE(例如,在紧凑型混合表CHT的多个紧凑型混合表{CHTE}中,与读取要求相对应的紧凑型混合表条目CHTE),其中第一映射关系(例如,第一实体地址和起始逻辑地址之间的映射关系)可以是相对应的紧凑型混合表条目CHTE中的压缩表条目CTE1所指出的第一逻辑至实体地址映射关系。

[0104] 在步骤S18中,存储器控制器110可以用来根据在相对应的紧凑型混合表条目CHTE中的压缩表条目CTE2,来决定第一映射关系(例如,第一实体地址与起始逻辑地址之间的映射关系,像是相对应的紧凑型混合表条目CHTE中的压缩表条目CTE1所指出的第一逻辑至实体地址映射关系)是否正确,如果是,进入步骤S20A;如果否,则进入步骤S20B。

[0105] 在步骤S20A中,存储器控制器110可以用来根据第一映射关系以及专用位元资讯DBI(例如,DBI(1)、DBI(2)、...等等)来决定至少一第二映射关系,以便读取从起始逻辑地址开始的具有该数据长度的数据。举例来说,第一映射关系可以代表第一实体地址与起始逻辑地址之间的映射关系,例如在相对应的紧凑型混合表条目CHTE中的压缩表条目CTE1所指出的第一逻辑至实体地址映射关系,且上述至少一第二映射关系可以代表至少一第二实体地址与至少一后续逻辑地址之间的至少一映射关系,例如在相对应的紧凑型混合表条目CHTE中的专用位元资讯DBI所指出的至少一第二逻辑至实体地址映射关系。

[0106] 在步骤S22A中,存储器控制器110可以用来至少根据第一映射关系和上述至少一第二映射关系从非挥发性存储器120中读取数据予主机装置50,之后,进入步骤S12。

[0107] 在步骤S20B中,存储器控制器110可以用来根据上述至少一逻辑至实体地址映射表(例如,全域逻辑至实体地址映射表120T,尤指多个区域逻辑至实体地址映射表中的至少一区域逻辑至实体地址映射表)从非挥发性存储器120中读取数据予主机装置50。

[0108] 在步骤S22B中,存储器控制器110可以用于根据上述至少一逻辑至实体地址映射表(例如,全域逻辑至实体地址映射表120T,尤指上述多个区域逻辑至实体地址映射表的至少一区域逻辑至实体地址映射表)来更新紧凑型混合表CHT。例如,在步骤S22B的操作中,存储器控制器110可以产生紧凑型混合表CHT的更新版本并将紧凑型混合表CHT的更新版本发送至主机装置50而储存在主机装置50中,以替换主机装置50中的紧凑型混合表CHT的现有版本,之后,进入步骤S12。

[0109] 在步骤S24中,存储器控制器110可以用来执行与其他要求相对应的其他处理。于一范例中,例如,因应主机装置50发送用于指出至少一要求的至少一封包,存储器控制器110判断在至少一要求中是否存在写入要求,当在至少一要求中存在写入要求时,存储器控

制器110可以用来在非挥发性存储器120上执行数据写入(例如,数据编程),且更新上述至少一逻辑至实体地址映射表(例如,全域逻辑至实体地址映射表120T,尤指多个区域逻辑至实体地址映射表中的一个或多个区域逻辑至实体地址映射表),以指出数据写入的至少一实体地址和至少一逻辑地址之间的至少一最新的映射关系。于另一范例中,因应主机装置50发送用于指出至少一要求的至少一封包,存储器控制器110判断仅对一个逻辑地址进行读取的数据读取要求(例如,传输长度系等于1)是否存在,当仅对一个逻辑地址进行读取的数据读取要求存在时,存储器控制器110可以用来从非挥发性存储器120读取仅有一个逻辑地址的数据(例如,可以通过执行与步骤S18相同的操作),然后,在不使用第二映射关系的情况下执行与步骤S22A的操作相似的操作(针对第一映射关系系正确的情况),或者是执行与步骤S20B和S22B的操作相同的操作(针对第一个映射关系系不正确的情况),由于对于该要求而言,传输长度等于1,因此不需要决定如步骤S20A中所述的第二映射关系,之后,进入步骤S12,为简便起见,本实施例的类似内容在此不再重复详细描述。

[0110] 为了更好的理解,该方法可以用图9所示的工作流程来说明,但是本发明不限于此,根据一些实施例,可以在图9所示的工作流程中添加、删除或改变一个或多个步骤。

[0111] 图10为依据本发明另一实施例的借助专用位元资讯DBI(例如,DBI(1)、DBI(2)、...等等)来执行如图1所示的存储器装置的存取管理方法的流程图,图10所示的工作流程可以适用于主机装置50,尤指运行相关联的程序模组(例如,作业系统(operating system,OS)、一个或多个驱动程序(driver)及/或一个或多个应用程序)的处理器52。例如,图10所示的工作流程中的步骤S28~S44的操作可以分别相对应于图9所示的工作流程中的步骤S08~S24的操作,但是本发明不限于此。

[0112] 在步骤S28中,主机装置50可以触发存储器控制器110以产生或更新上述至少一逻辑至实体地址映射表(例如,全域逻辑至实体地址映射表120T),以管理多个实体地址和多个逻辑地址之间的映射关系,来控制非挥发性存储器120的数据存取。

[0113] 在步骤S30中,主机装置50可以用来从存储器装置100(例如,存储器装置100中的存储器控制器110)接收包含有多个压缩表(例如,图4所示的实施例中提到的压缩表CT1和CT2)的紧凑型混合表CHT,并将紧凑型混合表CHT储存在主机装置50中(例如,将紧凑型混合表CHT作为混合表56T储存在主机装置50的随机存取存储器56中),以便将紧凑型混合表CHT的多个紧凑型混合表条目{CHTE}的其一发送存储器装置100作为读取参考,来提高存储器装置100的读取性能(例如,提高读取速度),其中紧凑型混合表CHT的多个紧凑型混合表条目{CHTE}均具有同一大小(例如,8个位元组)。

[0114] 在步骤S32中,主机装置50可以用来判断是否接收到来自主机装置50的使用者的至少一要求(例如上述在步骤S12中的至少一要求),如果是(例如,接收到来自使用者的上述至少一要求),进入步骤S34;如果否(例如,没有接收到来自使用者的要求),则进入步骤S32,以等待上述来自使用者的至少一要求。

[0115] 在步骤S34中,因应从主机装置50的使用者接收到上述的至少一要求,主机装置50可以用来判断在上述至少一要求中是否存在大于一个单位大小的数据的读取要求(例如,图4所示的实施例中提到的读取要求,像是读取一个以上的逻辑地址/逻辑区块地址的数据读取要求,其中传输长度系大于1),如果是(例如,读取要求(例如读取一个以上的逻辑地址的数据读取要求)存在,其中传输长度系大于1),则进入步骤S36,以根据读取要求进行操

作;如果否(例如,读取要求(例如读取一个以上的逻辑地址的数据读取要求)不存在,尤指上述至少一要求包含有非读取要求(例如写入请求)或者包含另一种类型的读取要求(例如仅对一个逻辑地址进行读取且传输长度系等于1的读取要求)),进入步骤S44,以根据其他要求进行操作。

[0116] 在步骤S36中,因应读取要求的存在,主机装置50可以用来将携带有读取要求的至少一起始逻辑地址和一数据长度的读取命令封包(例如,主机效能增强器读取命令,尤指其所包含的命令封包)发送至存储器装置100(例如,存储器装置100中的存储器控制器110),并通过读取命令封包向存储器装置100(例如,存储器装置100中的存储器控制器110)提供读取参考资讯,其中读取命令封包系指出读取要求,且读取命令封包携带的读取参考资讯包含有指出第一映射关系的第一映射资讯(例如,图9所示的步骤S16的第一映射关系,像是第一实体地址和起始逻辑地址之间的映射关系)以及专用位元资讯DBI。举例来说,读取参考资讯可以代表紧凑型混合表CHT的多个紧凑型混合表条目{CHTE}中的相对应的紧凑型混合表条目CHTE(例如,在紧凑型混合表CHT的多个紧凑型混合表条目{CHTE}中与读取要求相对应的紧凑型混合表条目CHTE),且第一映射关系(例如,第一实体地址和起始逻辑地址之间的映射关系)可以是在相对应的紧凑型混合表条目CHTE中的压缩表条目CTE1所指出的第一逻辑至实体地址映射关系。

[0117] 在步骤S38中,主机装置50可以利用存储器控制器110以根据在相对应的紧凑型混合表条目CHTE中的压缩表条目CTE2来决定第一映射关系(例如,第一实体地址与起始逻辑地址之间的映射关系,像是在相对应的紧凑型混合表条目CHTE中的压缩表条目CTE1所指出的第一逻辑至实体地址映射关系)是否正确,如果是,进入步骤S40A;如果否,则进入步骤S40B。

[0118] 在步骤S40A中,主机装置50可以利用存储器控制器110以根据第一映射关系以及专用位元资讯DBI(例如,DBI(1)、DBI(2)、…等等)来决定至少一第二映射关系(例如,图9所示的步骤S20A的至少一第二映射关系),以便读取从起始逻辑地址开始的具有该数据长度的数据。

[0119] 在步骤S42A中,主机装置50可以至少根据第一映射关系和上述至少一第二映射关系来利用存储器控制器110从非挥发性存储器120中读取数据予主机装置50。

[0120] 在步骤S40B中,主机装置50可以根据上述至少一逻辑至实体地址映射表(例如,全域逻辑至实体地址映射表120T,尤指多个区域逻辑至实体地址映射表的至少一区域逻辑至实体地址映射表)来利用存储器控制器110从非挥发性存储器120中读取数据予主机装置50。

[0121] 在步骤S42B中,主机装置50可以根据上述至少一逻辑至实体地址映射表(例如,全域逻辑至实体地址映射表120T,尤指上述多个区域逻辑至实体地址映射表中的至少一区域逻辑至实体地址映射表)来利用存储器控制器110以更新紧凑型混合表CHT。例如,在步骤S42B的操作中,存储器控制器110可以产生紧凑型混合表CHT的更新版本并将紧凑型混合表CHT的更新版本发送至主机装置50,且主机装置50可以将紧凑型混合表CHT的更新版本储存在主机装置50中(例如,将紧凑型混合表CHT的更新版本作为混合表56T储存在主机装置50的随机存取存储器56中),以替换主机装置50中的紧凑型混合表CHT的现有版本,之后,进入步骤S32。

[0122] 在步骤S44中,主机装置50可以执行与其他要求相对应的其他处理,尤指可以利用存储器控制器110来执行与一个或多个其他要求相对应的一些处理。于一范例中,当在至少一要求中的写入要求存在时,主机装置50可以用来将写入命令、逻辑地址、…等等以及被写入的数据发送至存储器装置100(例如,存储器装置100中的存储器控制器110),因此,存储器控制器110可以在非挥发性存储器120上执行数据写入(例如,数据编程),且相对地更新上述至少一逻辑至实体地址映射表(例如,全域逻辑至实体地址映射表120T,尤指多个区域逻辑至实体地址映射表的一个或多个区域逻辑至实体地址映射表),以指出数据写入的至少一实体地址和至少一逻辑地址之间的至少一最新的映射关系。于另一范例中,当存在仅对一个逻辑地址进行读取的数据读取要求时,主机装置50可以利用存储器控制器110来从非挥发性存储器120读取仅有一个逻辑地址的数据(例如,可以通过执行与步骤S38相同的操作),然后,在不使用第二映射关系的情况下执行与步骤S42A的操作相似的操作(针对第一映射关系系正确的情况),或者是执行与步骤S40B的操作相同的操作(针对第一映射关系系不正确的情况),由于对于该要求而言,传输长度系等于1,因此不需要决定如步骤S40A中所述的第二映射关系,之后,进入步骤S32,为简便起见,本实施例的类似内容在此不再重复详细描述。

[0123] 为了更好的理解,该方法可以用图10所示的工作流程来说明,但是本发明不限于此,根据一些实施例,可以在图10所示的工作流程中添加、删除或改变一个或多个步骤。

[0124] 根据一些实施例,读取命令封包携带的读取参考资讯内的专用位元资讯DBI指出多个紧凑型混合表条目{CHTE}所记录的多个相关联的实体地址之中,从一实体地址开始的一组实体地址的连续性,其中该实体地址与起始逻辑地址相关联,此外,紧凑型混合表CHT内的多个压缩表(例如,压缩表CT1和CT2)分别对应于混合表HT内的多个表(例如,表T1和T2),且系为混合表HT内的多个表的各自的压缩版本;且紧凑型混合表CHT具有与混合表HT相同的位元宽度(例如64个位元,其等于8个位元组)。于一范例中,紧凑型混合表CHT用来在该相同的位元宽度(例如,64个位元)内的一释出位元宽度(例如12个位元,即 $(64 - (24 + 28))$ 个位元)中携带连续性资讯表CIT,其中多个紧凑型混合表条目{CHTE}的任一紧凑型混合表条目CHTE的条目长度(entry length)等于该相同的位元宽度,且连续性资讯表CIT包含有专用位元资讯DBI。于另一范例中,多个压缩表(例如,压缩表CT1和CT2)已经从混合表HT内的多个表(例如,表T1和T2)被压缩产生,以使得具有与混合表HT相同的位元宽度(例如,64个位元)的紧凑型混合表CHT可以携带专用位元资讯DBI。在一些范例中,存储器控制器110可以用来通过压缩混合表HT内的多个表(例如,表T1和T2)来产生多个压缩表(例如,压缩表CT1和CT2),并组合多个压缩表和承载专用位元资讯DBI的连续性资讯表CIT,以获得紧凑型混合表CHT。

[0125] 根据一些实施例,读取命令封包代表主机效能增强器条目封包,例如上述的主机效能增强器条目,其中该主机效能增强器条目封包符合主机效能增强器规范,例如主机效能增强器1.0、主机效能增强器2.0、…等等。如上所述,专用位元资讯DBI可以指出多个紧凑型混合表条目{CHTE}所记录的多个相关联的实体地址之中,从该实体地址开始的一组实体地址的连续性,于一范例中,专用位元资讯DBI(例如,DBI(1))可以代表连续长度,例如上述的连续长度,于另一范例中,专用位元资讯DBI(例如,DBI(2))可以代表连续位元表,例如上述的连续位元表。

[0126] 根据一些实施例,多个紧凑型混合条目{CHTE}中的一相对应的紧凑型混合表条目CHTE包含有多个压缩表中的第一压缩表的第一压缩表条目以及该多个压缩表中的第二压缩表的第二压缩表条目,例如压缩表CT1的压缩表条目CTE1和压缩表CT2的压缩表条目CTE2。根据第二压缩表条目(例如,压缩表条目CTE2),存储器控制器110可以用来判断第一压缩表条目(例如,压缩表条目CTE1)是否正确以产生判断结果,其中该判断结果指出第一个压缩表条目是否正确,例如,因应判断结果指出第一压缩表条目(例如,压缩表条目CTE1)是正确的,根据第一映射关系和专用位元资讯DBI来决定上述至少一第二映射关系的操作会被执行,此外,第一压缩表条目可以代表与起始逻辑地址相关联的实体地址,尤指在第一压缩表条目正确的情况下,第一压缩表条目代表与起始逻辑地址相关联的最新实体地址。

[0127] 图11为依据本发明一实施例的携带有图4所示的控制方案中相对应的紧凑型混合表条目的主机效能增强器读取命令的命令封包,其中图11所示的命令封包可以作为携带有相对应的紧凑型混合表条目CHTE的主机效能增强器条目封包的范例。在该命令封包中,位元组0可以携带操作码(例如预定的十六进制值F8h),位元组1可以被保留,位元组2~5可以携带逻辑区块地址(logical block address,LBA),位元组6~13可以携带该紧凑型混合表条目CHTE,位元组14可以携带传输长度,位元组15可以携带控制资讯(例如另一十六进制值00h),其中位元组0~15中的任一位元组的位元7和位元0可以分别代表该位元组的最高有效位元以及最低有效位元。为简便起见,本实施例的类似内容在此不再重复详细描述。

[0128] 以上所述仅为本发明的较佳实施例,凡依本发明申请专利范围所做的均等变化与修饰,皆应属本发明的涵盖范围。

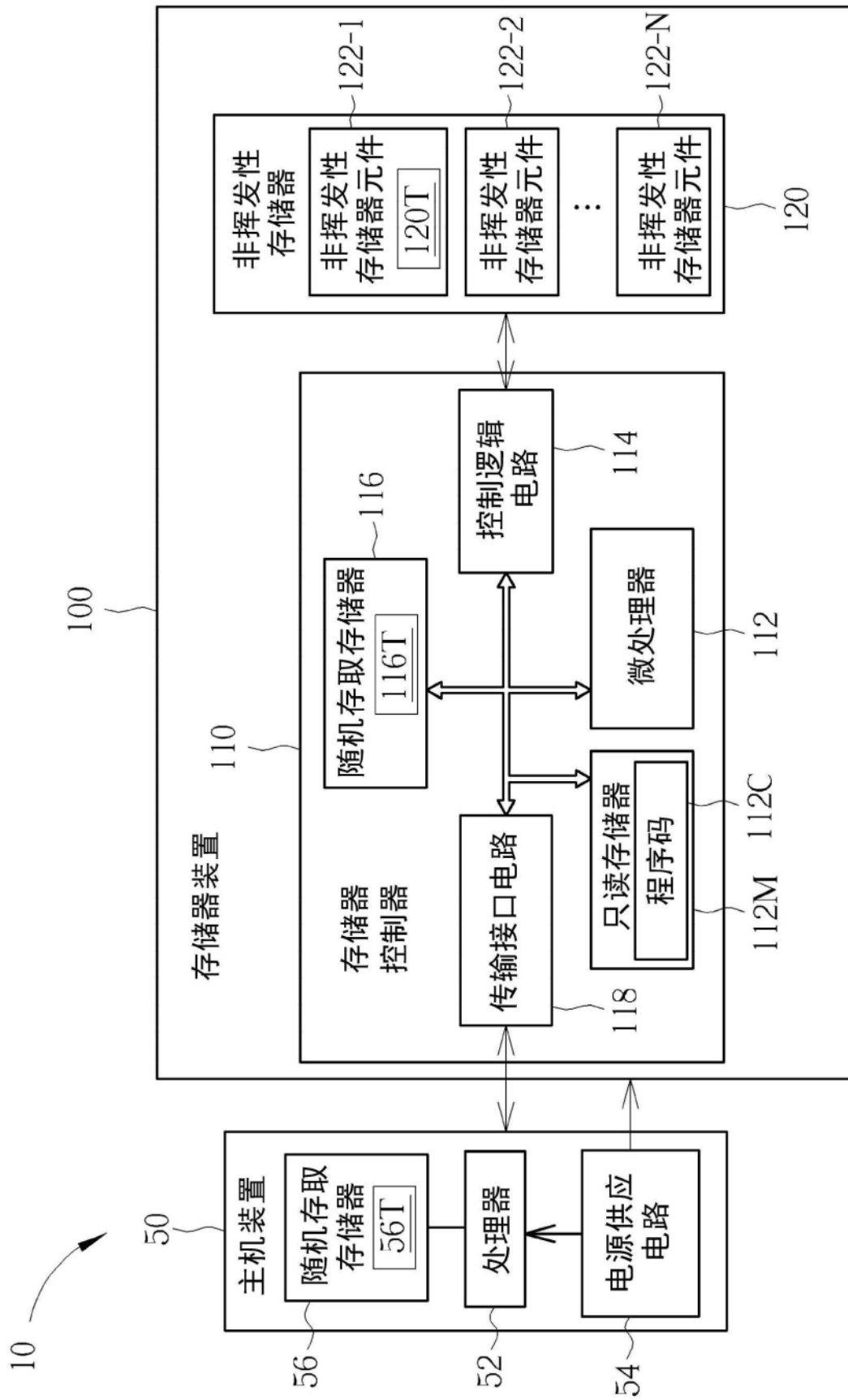


图1

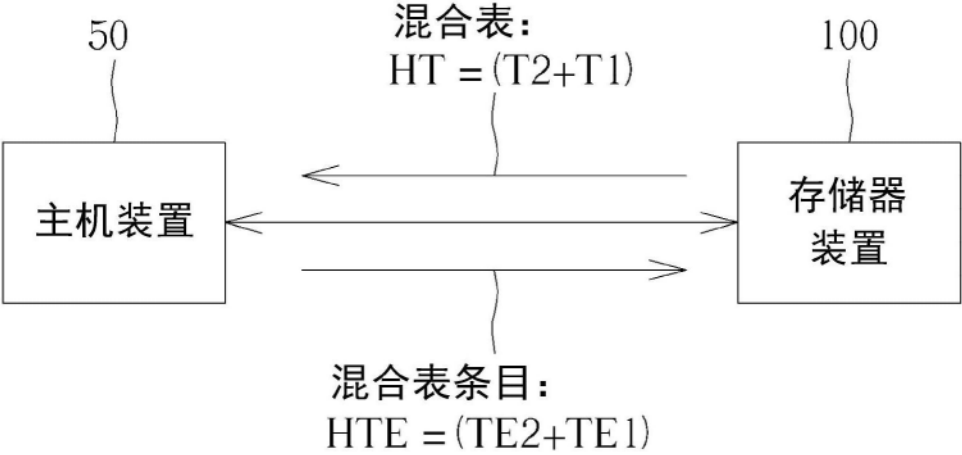


图2

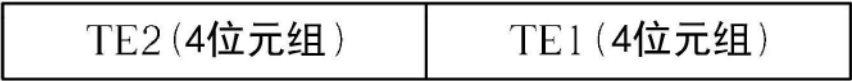


图3

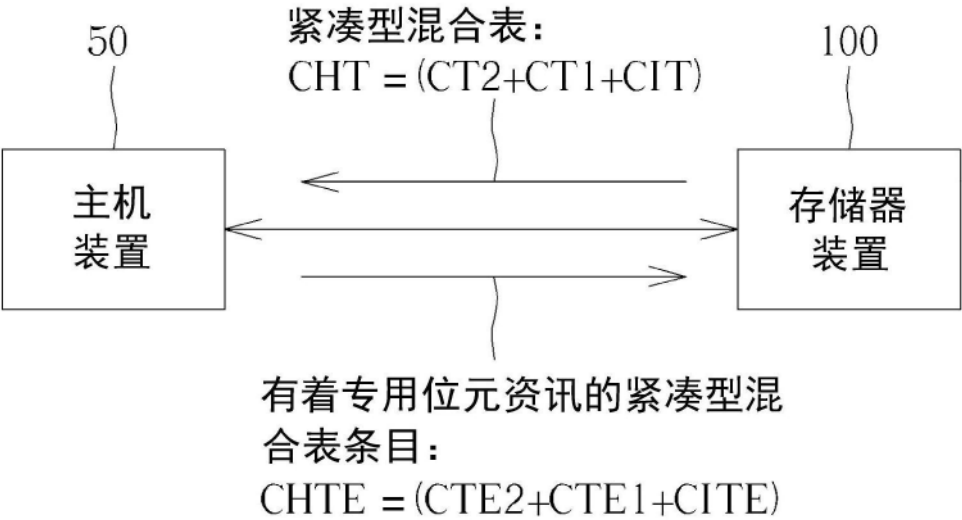


图4

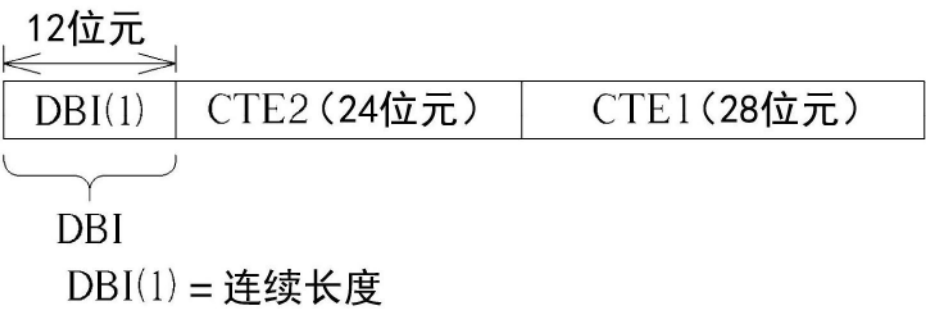


图5

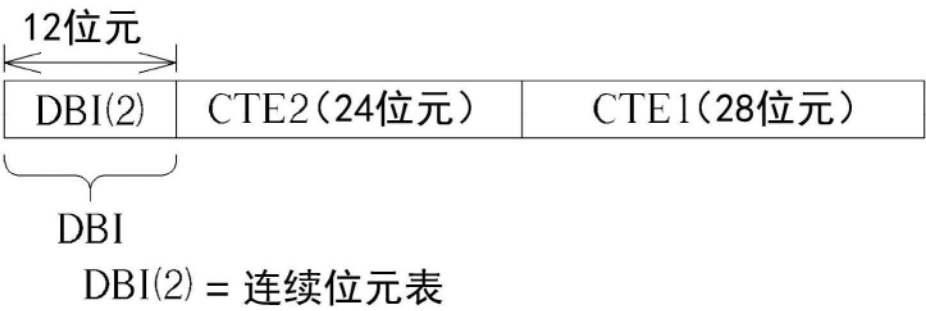


图6

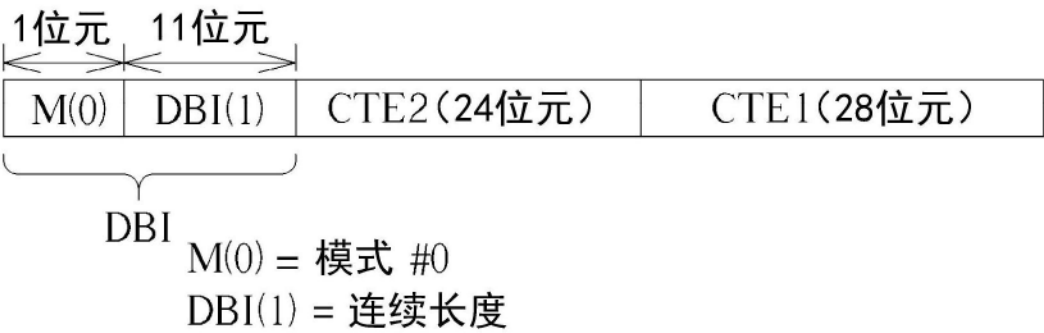


图7

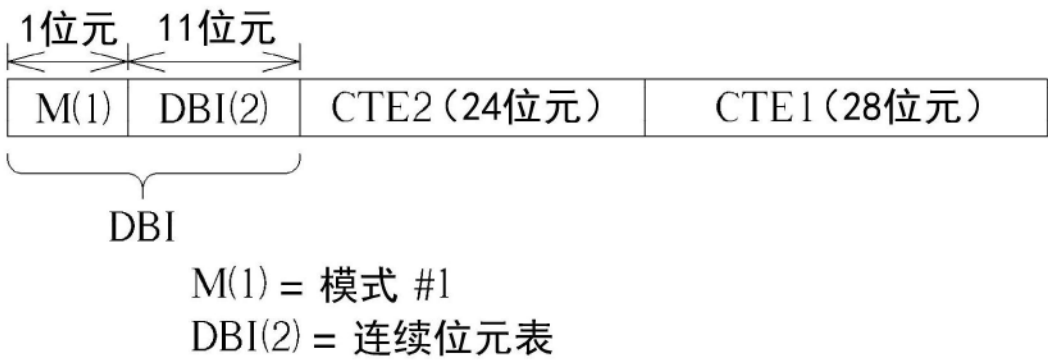


图8

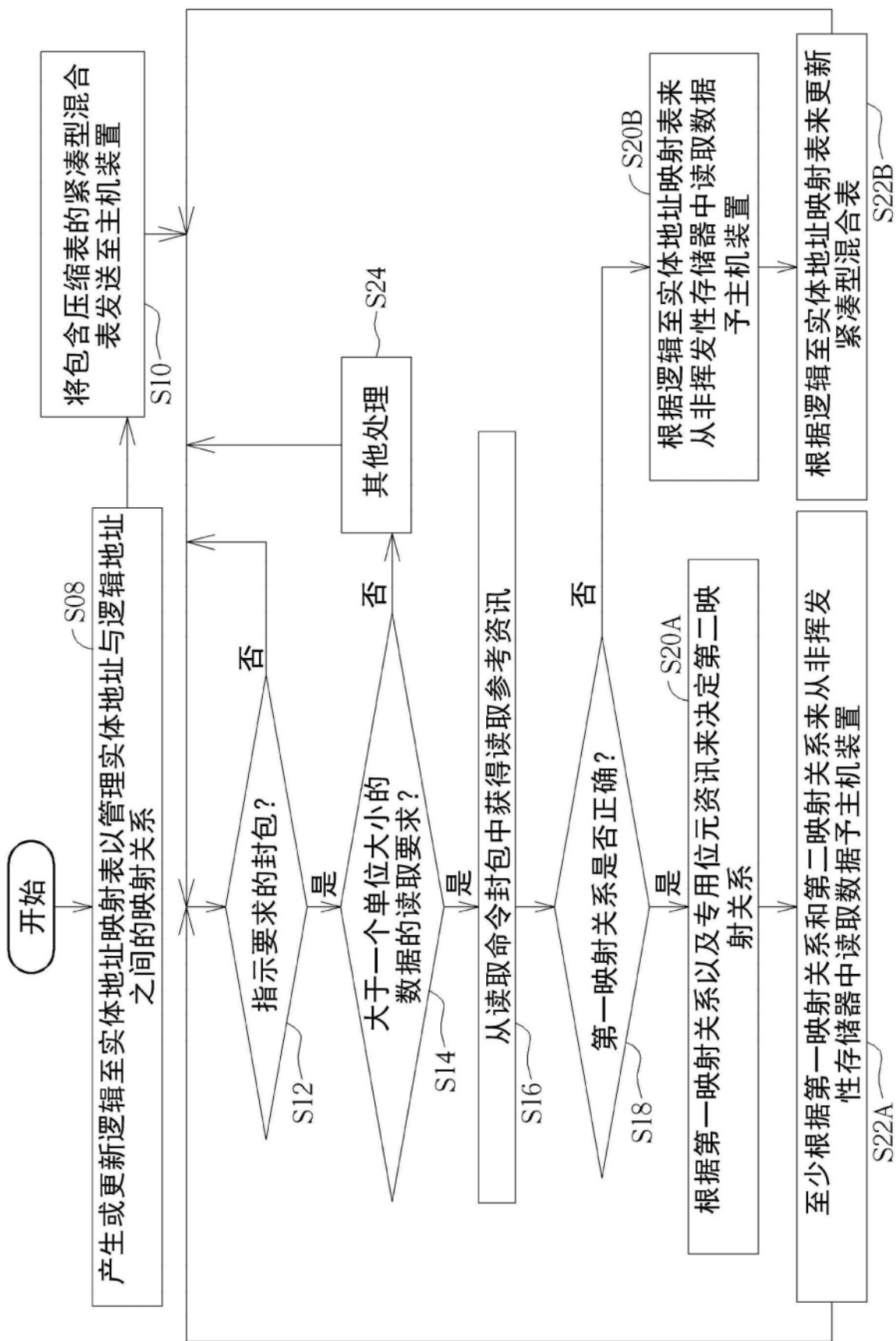


图9

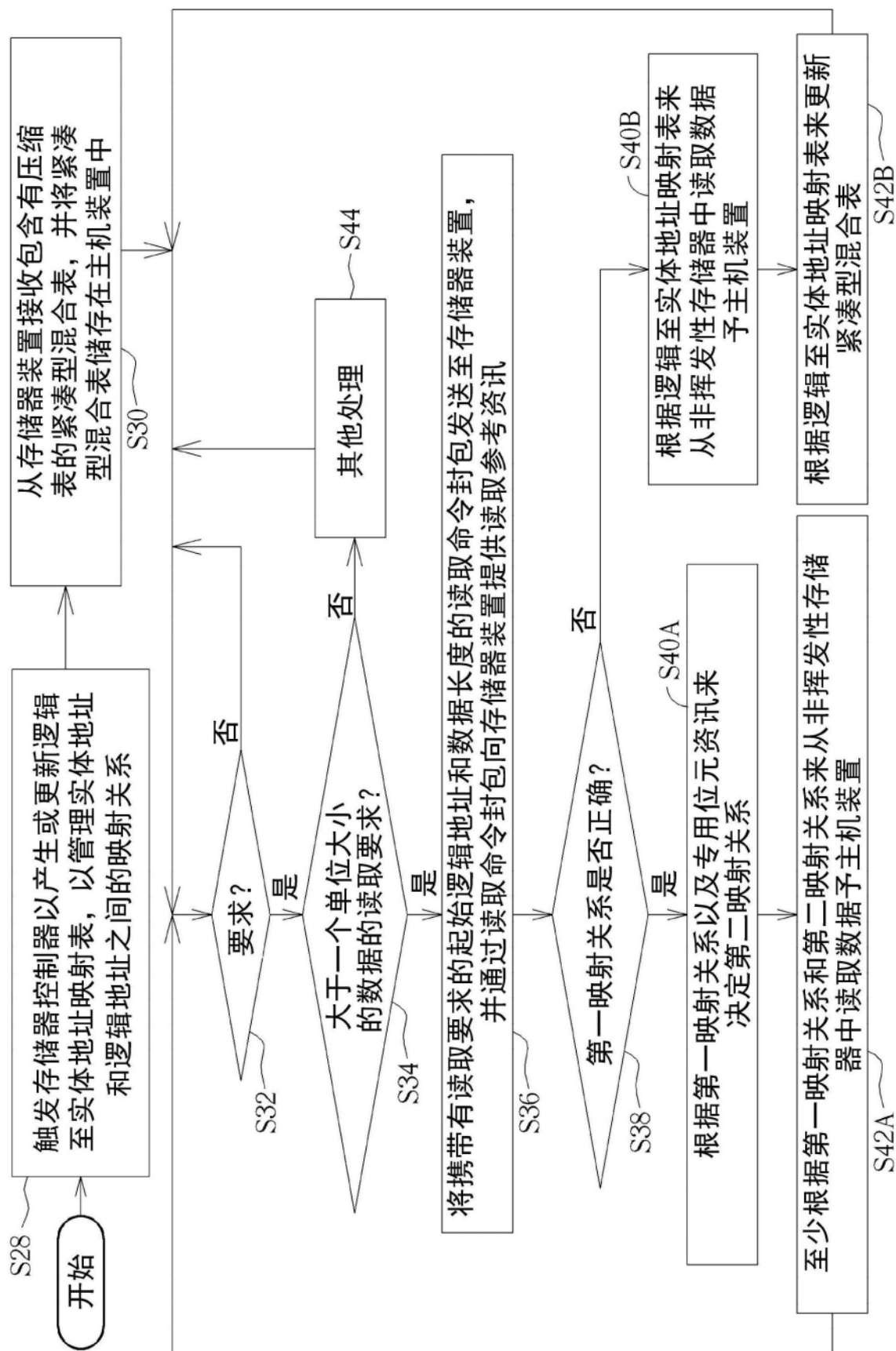


图10

位元 位元组	7	6	5	4	3	2	1	0
0	操作码 (F8h)							
1								
2	(MSB)							
⋮								
5	逻辑区块地址							(LSB)
6	(MSB)							
⋮								
13	紧凑型混合表条目							(LSB)
14	传输长度							
15	控制资讯= 00h							



图11