

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016年5月19日(19.05.2016)



(10) 国際公開番号

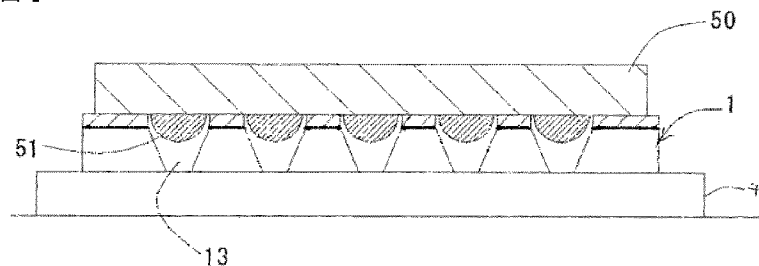
WO 2016/076414 A1

- (51) 国際特許分類:
H01L 25/065 (2006.01) H01L 25/07 (2006.01)
H01L 21/60 (2006.01) H01L 25/18 (2006.01)
- (21) 国際出願番号: PCT/JP2015/081958
- (22) 国際出願日: 2015年11月13日(13.11.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2014-231215 2014年11月14日(14.11.2014) JP
- (71) 出願人: 東レエンジニアリング株式会社(TORAY ENGINEERING CO., LTD.) [JP/JP]; 〒1030028 東京都中央区八重洲1丁目3番22号(八重洲龍名館ビル) Tokyo (JP).
- (72) 発明者: 野上 義生(NOGAMI, Yoshio); 〒5202141 滋賀県大津市大江一丁目1番45号 東レエンジニアリング株式会社内 Shiga (JP). 稲垣 潤(IN-AGAKI, Jun); 〒5202141 滋賀県大津市大江一丁目1番45号 東レエンジニアリング株式会社内 Shiga (JP). 上原 秀雄(UEHARA, Hideo); 〒3501159 埼玉県川越市中台2丁目19番地2 レイテック株式会社内 Saitama (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告(条約第21条(3))

(54) Title: SEMICONDUCTOR CHIP MOUNTING METHOD AND SEMICONDUCTOR CHIP MOUNTING-USE PROTECTIVE SHEET

(54) 発明の名称: 半導体チップ実装方法および半導体チップ実装用保護シート

[図7]



(57) Abstract: Provided are the following: an interposer used in three-dimensional mounting, or a protective sheet for protecting bumps provided to a semiconductor chip; and a three-dimensional mounting method that uses the protective sheet. More specifically, provided is a semiconductor chip mounting method in which, using a pressurizing and/or heating means, a substrate which has a plurality of bumps and a semiconductor chip which is placed on the substrate are pressurized and/or heated while being sandwiched and held, and as a result thereof, the semiconductor chip is mounted on the substrate. The semiconductor chip mounting method is characterized in that, if a site (bump site) where the plurality of bumps of the substrate are present is sandwiched and held by the pressurizing and/or heating means, pressurizing and/or heating is carried out with a protective sheet interposed between the pressurizing and/or heating means and the substrate, the protective sheet effectively only coming into contact with a substrate surface of the bump site.

(57) 要約: 3次元実装に用いられるインターポザもしくは半導体チップに設けられたバンプを保護する保護シートおよび保護シートを用いた3次元実装方法を提供すること。具体的には、加圧及び/又は加熱手段によって、複数のバンプを有する基材と該基材上に載置された半導体チップを挟持しつつ加圧及び/又は加熱することによって前記基材上に前記半導体チップを実装する半導体チップ実装方法であって、前記加圧及び/又は加熱手段によって前記基材の前記複数のバンプの存在する部位(バンプ部位)を挟持する場合において、前記加圧及び/又は加熱手段と前記基材との間に、実質的に前記バンプ部位の前記基材表面にのみ接触する保護シートを介在させて、加圧及び/又は加熱することを特徴とする半導体チップ実装方法を提供する。

WO 2016/076414 A1

明 細 書

発明の名称：

半導体チップ実装方法および半導体チップ実装用保護シート

技術分野

[0001] 本発明は、３次元実装において用いられるインターポーザもしくは半導体チップに設けられた bumps を保護する保護シートおよび該保護シートを用いた３次元実装方法に関する。

背景技術

[0002] 半導体部品の高密度実装を実現する実装方法として３次元実装が知られている（例えば、特許文献１）。３次元実装方法は、個片に裁断された半導体チップを積み重ねて立体的に実装する実装方法である。積層された半導体チップは、シリコン貫通電極（Through-silicon via：TSV）によって接続されている。最下層の半導体チップの下面にはマイクロ bumps が形成され、インターポーザに実装されてパッケージ化される。インターポーザは、上面に半導体チップを搭載し、積層された半導体チップを囲むようにボール bumps を備えている場合が多く、例えば、インターポーザ５０、ボール bumps ５１、半導体チップ５５は図１８に示す様な配置となる。このため、積層による小型化のメリットがあるにもかかわらず、ボール bumps がインターポーザ上面に配置されるためフットプリントを要し、パッケージ全体の小型化に限界があるという問題があることが多い。

[0003] 一方、インターポーザの下面にボール bumps を設ける場合は、積層された半導体チップとインターポーザとの接合はリフロー加熱によって行われる場合が多い。これは、例えばボンディングツールとボンディングステージ間に、積層された半導体チップとこれらを載持するインターポーザを挟持し、加圧及び／又は加熱して接合しようとする、加圧による荷重が、インターポーザ下面のボール bumps に作用してしまい、ボール bumps の変形や該変形によるボール bumps 同士の接触すなわち短絡を起こしてしまうことがあるか

らである。

[0004] すなわち、インターポーザ50、ボールバンプ51、半導体チップ55とボンディングツール43およびボンディングステージ41の相互の位置関係は図19に示す様なものとなり、ボンディングツール43による荷重をボールバンプ51が支える形となってしまうことがわかる。

[0005] 上述の通り、インターポーザの下面にボールバンプを設ける場合は、積層された半導体チップとインターポーザとの接合に、生産性に劣るリフロー加熱をとらざるを得ない場合もあるという問題がある。

[0006] リフロー加熱ではインターポーザ下面のボールバンプには、インターポーザ及び半導体チップの自重以上の荷重は作用しない。従ってボールバンプが銅又は銅合金など比較的耐熱性の高い材料からなるものであれば、前述の変形等の問題が発生することは少ない。

[0007] しながら、ボールバンプがはんだバンプである場合には、リフリー加熱にともなうはんだバンプの軟化で、インターポーザ及び半導体チップの自重程度の荷重でも該はんだバンプが変形したり、ボンディングステージに固着してしまう等の別の問題が発生することもある。

先行技術文献

特許文献

[0008] 特許文献1：特開2009-110995号公報

発明の概要

発明が解決しようとする課題

[0009] そこで、パッケージが小型化でき、生産効率の高い3次元実装方法が求められる。具体的には、インターポーザもしくは半導体チップの下面にバンプを設けた状態で、半導体チップをボンディングツールやリフロー加熱で、加圧及び／又は加熱して実装する3次元実装方法が求められている。そのためには、ボンディングツールやリフロー加熱による加圧及び／又は加熱に耐えられる保護シートが求められる。

[0010] 本発明の解決すべき課題は、３次元実装に用いられるインターポーザもしくは半導体チップに設けられたバンプを保護する保護シートおよび該保護シートを用いた３次元実装方法を提供することを課題とする。なおここでいうバンプとは、ボールバンプやスタッドバンプ、ピラーバンプ、マイクロバンプなどと称され、インターポーザもしくは半導体チップの表面から凸状に突き出した接触端子をいう。

課題を解決するための手段

[0011] 上記課題を解決するために、請求項１に記載の発明においては、加圧及び／又は加熱手段によって、複数個のバンプを有する基材と該基材上に載置された半導体チップを挟持しつつ加圧及び／又は加熱することによって前記基材上に前記半導体チップを実装する半導体チップ実装方法であって、前記加圧及び／又は加熱手段によって前記基材の前記複数個のバンプの存在する部位（バンプ部位）を挟持する場合において、前記加圧及び／又は加熱手段と前記基材との間に、実質的に前記バンプ部位の前記基材表面にのみ接触する保護シートを介在させて、加圧及び／又は加熱することを特徴とする半導体チップ実装方法が提供される。

[0012] さらに、請求項２に記載の発明においては、加圧及び／又は加熱手段によって、複数個のバンプを有する複数枚の基材と該複数枚の基材間に積層載置された半導体チップを挟持しつつ加圧及び／又は加熱することによって前記複数枚の基材間に前記半導体チップを実装する半導体チップ実装方法であって、前記加圧及び／又は加熱手段によって前記基材の前記複数のバンプの存在する部位（バンプ部位）を挟持する場合において、前記加圧及び／又は加熱手段と前記基材との間に、実質的に前記バンプ部位の前記基材表面にのみ接触する保護シートを介在させて、加圧及び／又は加熱することを特徴とする半導体チップ実装方法が提供される。

[0013] 請求項３に記載の発明においては、請求項１または２に記載の半導体チップ実装方法であって、前記保護シートの前記バンプ部位と対向する側の面には、前記複数のバンプ各々に対向する位置に凹部が設けられてなり、実質的

に前記複数のバンプ間の前記基材表面にのみ接触するものであることを特徴とする半導体チップ実装方法が提供される。

[0014] 請求項 4 に記載の発明においては、請求項 3 に記載の半導体チップ実装方法であって、前記基材への前記バンプの形成工程の少なくとも一部はフォトリソグラフィーによってなされるものであり、かつ、前記保護シートの前記凹部の形成工程の少なくとも一部もフォトリソグラフィー工程によってなされるものであり、これら両フォトリソグラフィー工程に用いられるフォトマスク及び／又は該フォトマスク形成データが同一のものであることを特徴とする半導体チップ実装方法が提供される。

[0015] 請求項 5 に記載の発明においては、請求項 3 または 4 に記載の半導体チップ実装方法であって、前記保護シートは、ポリイミドフィルムよりなり、前記凹部がポリイミドエッチングによって形成されたものであることを特徴とする半導体チップ実装方法が提供される。

[0016] 請求項 6 に記載の発明においては、複数のバンプを有する基材上に、加圧及び／又は加熱手段によって半導体チップを実装する半導体チップ実装において用いられる半導体チップ実装用保護シートであって、該半導体チップ実装用保護シートは、前記基材の前記複数のバンプが存在する部位（バンプ部位）と前記加圧及び／又は加熱手段との間に介在させて用いられ、前記複数のバンプ各々に対向する位置に凹部が設けられてなり、実質的に前記複数のバンプ間の前記基材表面にのみ接触するものであることを特徴とする、半導体チップ実装用保護シートが提供される。

[0017] 請求項 7 に記載の発明においては、前記半導体チップ保護シートは、主としてポリイミドフィルムよりなり、前記凹部がポリイミドエッチングによって形成されたものであることを特徴とする請求項 6 に記載の半導体チップ実装用保護シートが提供される。

[0018] 請求項 8 に記載の発明においては、前記半導体チップ実装用保護シートは、少なくともその片面に金属層を有するポリイミドフィルムよりなり、前記ポリイミドエッチングがウエットエッチングによるものであり、かつ、前記

金属層が前記凹部を形成するウエットエッチング時のマスク層としても機能することを特徴とする請求項7に記載の半導体チップ実装用保護シートが提供される。

[0019] 請求項9に記載の発明においては、前記金属層の少なくとも一部はめっきにより形成されるものであり、かつ、前記ポリイミドフィルムの両側においてその厚さが異なることを特徴とする請求項8に記載の半導体チップ実装用保護シートが提供される。

[0020] 請求項10に記載の発明においては、前記複数のバンプは、配列方向にピッチPで規則的に前記基材上に配列され、各々が高さH、配列方向幅Dを有するものであり、さらに、前記半導体チップ保護シートは、少なくとも下記小径d1側表面に厚さh1の金属層を有する厚さh2のポリイミドフィルムよりなり、前記配列方向断面において前記凹部の前記金属層の断面は幅d1の長方形形状をなし、前記ポリイミドフィルムの断面は前記金属層側が狭まった大径d2、小径d1の等脚台形形状であり、

$$h1 + h2 > H$$

$$D < d2 < P$$

$$P - d2 \geq 10 \mu m$$

の関係を満たすことを特徴とする、請求項6乃至9のいずれかに記載の半導体チップ実装用保護シートが提供される。

[0021] 請求項11に記載の発明においては、前記複数のバンプは、配列方向にピッチPで規則的に前記基材上に配列され、各々が高さH、配列方向幅Dを有するものであり、さらに、前記半導体チップ保護シートは、少なくともその片側に厚さh1の金属層を有する厚さh2のポリイミドフィルムよりなり、前記配列方向断面において前記凹部の前記金属層の断面は幅d2の長方形形状をなし、前記ポリイミドフィルムの断面は厚さ方向中央部が直径d1に狭まった鼓型形状であり、

$$h1 + h2 > H$$

$$D < d2 < P$$

$$P-d \geq 10 \mu m$$

の関係を満たすことを特徴とする、請求項6乃至9のいずれかに記載の半導体チップ実装用保護シートが提供される。

[0022] 請求項12に記載の発明においては、 $P-d \geq 20 \mu m$ であることを特徴とする請求項10又は11に記載の半導体チップ実装用保護シートが提供される。

[0023] 請求項13に記載の発明においては、前記半導体チップ実装用保護シートは、その前記基材側表面に、前記半導体チップ保護シートと前記基材との相対位置確認の為のアライメントマークを、前記凹部とは別に有することを特徴とする請求項6乃至12のいずれかに記載の半導体チップ実装用保護シートが提供される。

[0024] 請求項14に記載の発明においては、前記半導体チップ実装用保護シートは、その前記基材側表面に前記凹部のみを複数有するものであり、該複数の凹部の配列パターンそのものをアライメントマークとして用いることを特徴とする請求項6乃至12のいずれかに記載の半導体チップ実装用保護シートが提供される。

発明の効果

[0025] 請求項1に記載の発明によれば、保護シートが、基材のバンプ部位のバンプ間表面にのみ接触することで、加圧及び／又は加熱手段による荷重がバンプには作用させず、該バンプを変形させることなく半導体チップをインターポーザ上に3次元実装することが出来る。

[0026] 請求項2に記載の発明によれば、複数枚の基材間に複数枚の半導体チップを3次元実装する場合においても、保護シートが、基材のバンプ部位のバンプ間表面にのみ接触することで、加圧及び／又は加熱手段による荷重をバンプには作用させず、バンプを変形させることなく半導体チップをインターポーザに3次元実装することが出来る。

[0027] 請求項3に記載の発明によれば、保護シートには、基材のバンプ各々と対向する位置に凹部が設けられており、実質的に保護シートを複数のバンプ間

の基材表面にのみ接触させることが可能となり、加圧及び／又は加熱手段による荷重がバンプには作用せず、よってバンプを変形させること無く半導体チップをインターポーザに３次元実装することが出来る。

[0028] 請求項４に記載の発明によれば、前記バンプの形成工程と、保護シートの前記凹部の形成に同一のフォトマスク及び／又は該フォトマスク形成データを使用することで、前記複数のバンプと前記凹部との相対位置を容易に一致させることが可能となる。

[0029] 請求項５に記載の発明によれば、前記保護シートがポリイミドフィルムによりなるものであり、機械的強度、耐熱性、耐薬品性に優れる保護シートを提供することが出来る。

[0030] 請求項６から請求項１４に記載の発明によれば、バンプと対向する位置に凹部が設けられ、半導体チップ実装時の加圧および／又は加熱手段による加圧及び／又は加熱によってバンプが変形することを防止することが出来る保護シートを提供することができる。

図面の簡単な説明

[0031] [図１]片面に銅膜を有する銅付きポリイミドフィルムを説明する概略断面図である。

[図２]ポリイミドフィルム上のレジスト層を露光している状態を示す概略断面図である。

[図３]ポリイミドフィルム上のレジスト層を現像し開口を形成した状態を説明する概略断面図である。

[図４]ポリイミドフィルム上の銅膜をエッチングし開口を形成した状態を説明する概略断面図である。

[図５]ポリイミドフィルムをエッチングし凹部を設けた状態を示す概略断面図である。

[図６]ボンディングステージに半導体チップ実装用保護シートを吸着保持した状態を説明する概略断面図である。

[図７]半導体チップ実装用保護シート上にインターポーザを載置した状態を説

明する概略側面図である。

[図8]インターポーザに半導体チップを積層実装する状態を説明する概略側面図である。

[図9]ボールバンプと凹部の相対位置関係を表す図である。

[図10]別の態様による、半導体チップ実装用保護シート上にインターポーザを載置した状態を示す概略側面図である。

[図11]両面に銅膜を有する銅付きポリイミドフィルムの概略断面図である。

[図12]両面に銅膜を有する銅付きポリイミドフィルム上のレジスト層を現像し両面に開口を形成した状態を示す概略断面図である。

[図13]両面に銅膜を有する銅付きポリイミドフィルムの銅膜をエッチングし両面に開口を形成した状態を示す概略断面図である。

[図14]両面に銅膜を有する銅付きポリイミドフィルムの片面の銅膜上に薄膜ニッケルめっきをおこなった状態を示す概略断面図である。

[図15]両面に銅膜を有する銅付きポリイミドフィルムのポリイミドをエッチングし凹部を設けた状態を示す概略断面図である。。

[図16]薄膜ニッケルめっき上にさらにめっきを行い圧膜ニッケルめっき層を形成した状態を示す概略断面図である。略断面図である。

[図17]半導体チップ実装用保護シートを用いて、インターポーザに半導体チップを積層実装する状態を説明する概略側面図である。

[図18]インターポーザの上面にボールバンプと積層されたチップが存在する状態を説明する従来技術に関わる概略断面図である。

[図19]従来技術によって、インターポーザに半導体チップを積層実装する状態を説明する概略側面図である。

[図20]別の態様による、半導体チップ実装用保護シートを用いて、インターポーザに半導体チップを積層実装する状態を説明する概略側面図である。

[図21]実施例の半導体チップ実装用保護シートと基材バンプを示す図である。

発明を実施するための形態

- [0032] 前述した課題を解決する半導体チップ実装用保護シート（以下保護シートと略すことあり）に求められる材料的特性としては、実装時の加熱加圧に耐える耐熱性、機械的強度、寸法安定性などが挙げられる。したがって、各種金属材料、セラミック等の無機材料、いわゆるエンジニアリングプラスチックと呼ばれる有機材料のうち比較的耐熱性高いものなどがその候補となる。
- [0033] さて、インターポーザー等に設けられているバンプの高さは高くても $100\mu\text{m}$ 程度である場合が多く、保護シートの厚みも基本的には $100\mu\text{m}$ 程度 $+\alpha$ で十分である。もちろん厚くても保護シートとしては機能するが、必要以上に厚いと後述の凹部の加工方法がより問題となる場合がある。また、実装時のチップの加熱は、加熱及び／又は加圧手段からの熱伝導によるものであるから、厚みは極力薄いほうが好ましい場合が多い。
- $100\mu\text{m} + \alpha$ 程度の厚みを考慮すると、金属材料では反り、しわ、ゆがみなどの塑性変形が発生する場合があります、セラミック等の無機材料ではその脆性に起因する割れ、欠けが問題となる場合が考えられる。
- [0034] また、インターポーザーに設けられているバンプは、後述の実施態様にも示すように、直径が $20 \sim 100\mu\text{m}$ 程度で、それらがほぼその直径の $1 \sim$ 数倍程度のピッチで規則的に配列しているのが通例である。又、その個数も 1 チップあたり多いものでは数万程度になる。即ち、保護シートにもこれと同程度の大きさ、個数の凹部が必要となり、凹部の加工方法が材料選択上の制約ともなる。
- [0035] 小さくは $20\mu\text{m}$ 程度の凹部や小孔を機械加工で行うことは一般には困難であり、仮に可能であったとしても、それを数万個も加工することは、加工時間の観点からも得策でない場合が多い。金属材料やセラミック等の無機材料ではこの傾向が大きく、特にセラミック材料ではさらに顕著である。
- [0036] 凹部や小孔の加工方法としてはレーザー加工でも原理的には可能であるが、レーザー加工では、加工部の局所的加熱による材料の変質、熔融、焦げ、変形等が発生する場合があります、凹部や小孔の形状精度、位置精度、表面粗さ等が劣化する場合が多い。

[0037] さらに、数万個もの凹部や小孔を加工するとレーザーによる熱が蓄積して保護シート自体が過剰に加熱され、保護シート全体に反り、しわ、ゆがみなどが発生する場合もある。

[0038] 以上より、凹部や小孔の加工には、加工時のストレスの小さく、複数の凹部や小孔を同時に加工できる、エッチング等のケミカル加工が適している場合が多い。

[0039] 以上を考慮すれば、保護シートの材質としては、 $100\mu\text{m} + \alpha$ 程度の厚さでも、金属材料と比して反り、しわ、ゆがみなどの塑性変形が発生しにくく、また、セラミック等の無機材料と比して脆性に起因する割れ、欠け等が発生しにくい、耐熱性エンジニアリングプラスチックが適している場合が多いこととなる。

[0040] 実装時の加熱及び／又は加圧手段の温度は 200°C 程度は十分もありうるため、この温度に耐える耐熱性エンジニアリングプラスチックとしては、ポリイミド、ポリエーテルエーテルケトン（PEEK）、ポリフェニレンスルファイド（PPS）などが一般的に入手可能なものである。この中でも、ポリイミドはフレキシブル基板用などとして $10\sim 100\mu\text{m}$ 程度の膜厚のものが容易に入手可能で、さらに、フレキシブル基盤用のエッチング加工液も市販されていることから、本発明による保護シート材料として好適である。

[0041] 以下、本発明の実施の形態について図面を参照して説明する。

まず、本発明に関わる最も基本的な保護シート1の実施形態（基本形態）の作成工程について図1～図5を用いて説明する。

[0042] 図1に示すように、ポリイミドフィルム10を準備する。ポリイミドフィルム10は、例えば、厚みがたとえば $25\sim 50\mu\text{m}$ のシート状のものである。ポリイミドフィルム10の片側には、銅膜11が形成されている。銅膜11は、まずスパッタ法によりポリイミドフィルム10上に厚さが 10nm 程度と極薄層のニクロム層12を形成した後、更に、このスパッタ法で形成されたニクロム層12上に電気めっきによって形成したものである。

[0043] 次に、銅膜11上に感光性のレジスト層8を形成する。レジスト層8の形

成には溶液タイプのレジスト液をスピコート等公知のコート法で塗布、固化させてもよいし、フィルムタイプのレジスト材を張付る方法でも構わない。

次に、インターポーザ50に設けられたボールバンプ51の配列位置のと同じ配列パターンを有するフォトマスク18（凹部形成用フォトマスク）を用いてレジスト層8を露光・現像し（図2）、インターポーザ50に設けられたボールバンプ51に相当する位置のレジスト層8に開口9を設ける。この状態を図3に示す。

[0044] このとき、この凹部形成用フォトマスク18の作成に当たり、インターポーザ51のボールバンプ50の形成工程において用いられるフォトマスクそのものを流用したり、あるいは、インターポーザ51のボールバンプ50の形成工程において用いられるフォトマスクのCADデータを流用すれば、インターポーザ50上の各々のボールバンプ51と開口9の位置を容易に一致させることが可能となり好適である。また、開口9の大きさをボールバンプ50の大きさ（直径）よりも若干大きくする等、インターポーザ51のボールバンプ50の形成工程において用いられるフォトマスクのCADデータを適宜修正して流用してもかまわない。

[0045] ついで開口9を利用して銅膜11をアンモニアエッチング等の公知のエッチング技術によってエッチングを行い、銅膜11に開口15を設ける。必要であれば、極薄層に残っているニクロム層12をエッチングにより除去する。その後、リムーバによりレジスト層8を除去する。この状態を図4に示す。

[0046] 次に、図5に示すように、開口15が作製された銅膜11をマスクとしてポリイミドフィルム10をポリイミドエッチング液でエッチングする。これにより、銅膜11に設けられらた開口15に相当する位置、すなわちインターポーザ50上のボールバンプ51に相当する位置に凹部13が形成される。凹部13は、この図5に示すように裏面に達するものであってもかまわないし、ポリイミドフィルム10の途中で止まるもの（いわゆる止まり穴）であってもかまわない。以上の工程で、ポリイミドフィルム10に、インター

ポーザ５０に設けられたボールバンプ５１と対向する位置に凹部１３が形成される。

[0047] 尚凹部１３は、本実施態様に示すように、ボールバンプ５１各々と１対１に対応する凹部であってもかまわないし、あるいは１列に並んだ複数のボールバンプ５１を内包する溝状のもの、さらには、互いに隣接する複数のボールバンプ５１をすべて内包する相当量の面積を有するものであっても構わない。

また、本実施態様では、凹部１３の形成後、銅膜１１はそのまま残存させているが、銅膜１１をエッチングにより除去して、ポリイミドフィルム１０のみからなる保護シートとしても構わない。（図１０参照）たとえば、銅膜１１のＣｕ成分のコンタミ等が後々の問題となる、ボールバンプ５１がはんだバンプ等、Ｃｕと接着しやすいものである場合などにおいては、銅膜１１を除去しておくの方が好適の場合もある。

[0048] 次に、上記の作成工程によって作成された保護シート１を用いてインターポーザ５０上に半導体チップ５５を実装する工程について説明する。

[0049] まず、図６に示すように、作成された保護シート１をボンディング装置４０のボンディングステージ４１に吸着保持する。ボンディングステージ４１は本明細書に言う加圧／及び又は加熱手段の一方に相当する。

[0050] 次に、図７又は図１０に示すように、インターポーザ５０を保護シート１の凹部１３の位置にインターポーザ５０のボールバンプ５１を位置合わせして保護シート１上に載置する。ボールバンプ５１は凹部１３内に内包される形となり、保護シート１は実質的にボールバンプ５１間のインターポーザ５０の表面とのみ接触する状態となる。

[0051] 次に、図８に示すように、積層された半導体チップ５５をボンディングツール４３でインターポーザ５０の所定位置に実装する。なお、ボンディングツール４３は本明細書に言う加圧／及び又は加熱手段のもう一方に相当する。実装は、所定の加圧力と所定の加熱の付加により行われる。前述の通り、ボールバンプ５１は凹部１３内に内包される形となっており、保護シート

1は実質的にボールバンプ51間のインターポーザ50の表面とのみ接触しているため、ボンディングツール43で所定の加圧があっても、その加圧による荷重は保護シート1が支えており、ボールバンプ51にその荷重が作用することはない。また保護シート1は、耐熱性に優れ高強度のポリイミドフィルム10で構成されているため、加圧及び／又は加熱による変形が発生することはない。

[0052] ここで、本明細書に言う、「保護シート1が実質的にボールバンプ51間のインターポーザ50の表面とのみ接触する」の「実質的に」の意味について説明する。例えば図9(a)に示すように、断面図においてボールバンプ51が凹部13の側面と一点のみで接触している場合を考える。この場合、ボンディングツール43の過重が加わっても、保護シートの若干の弾性変形を無視するとすれば、ボールバンプ51にはボンディングツール43の荷重は作用しない。さらに図9(b)に示すように、たとえば凹部13の側面が直立する場合においては、保護シートの若干の弾性変形を考慮しても、ボールバンプ51と凹部13の側面に若干のすべりが発生するのみで、ボールバンプ51にはボンディングツール43の荷重は作用しない。すなわち、本明細書に言う「実質的に」の意味は、幾何学的にボールバンプ51と凹部13の側面が接触しているか否かに拘わらず、ボンディング時の荷重が凹部13の側面を介してボールバンプ51に作用しないことを意味するものである。

[0053] 次に、所定時間の加圧及び加熱が終了すると、ボンディングツール43が上昇し、保護シート1からインターポーザ50が取り外される。そして、次のインターポーザ50への積層された半導体チップ55の実装に、保護シート1が使用される。

[0054] 保護シート1は、1回の実装工程ごとに交換してもかまわないし、複数回の実装工程に連続して用いてもかまわない。保護シート1の交換にあたっては、枚葉の保護シート1をその都度交換しても良いし、保護シート1をリール、テープ状に連続して形成し、適当な巻装形態として、該巻装状態の保護シート1を順次送り出して交換するようにしても良い。

さて、ポリイミドエッチングによりポリイミドフィルム10の片側からエッチングにより凹部13の加工を行う場合、凹部13の側面は表面に対して直角とはならず。最大で45度程度の傾斜面となることが多い。即ち円筒形状の直孔ではなく銅膜11側が開いたテーパ孔となるのが通例である。

[0055] 従って、ボールバンプ51のピッチがその直径に比して小さくなると、隣接する凹部13同士が干渉してしまうという問題が発生する。

[0056] また、干渉にまでは至らなくても、隣接する凹部の間隔が極端に狭くなると銅膜11に狭隘部が形成されるとなると、各工程途中において、当該狭隘部の銅膜11が剥離、脱落してポリイミドエッチング時のマスクとして機能しなくなるという問題が発生する。狭隘部の幅は10 μm 以上が好ましく、20 μm 以上であればさらに好ましい。

[0057] このように、ボールバンプ51のピッチがその直径に比して小さい場合には、以下に述べる、ポリイミドのエッチングを両側から行う発展形態による保護シート35を適用すれば、狭隘部を形成することなく隣接する凹部間隔を狭めることが出来好適である。ポリイミドを両側からエッチングする場合、凹部の断面形状はポリイミドフィルムの厚み方向に見て中央部が小径となった鼓型となる。

[0058] 本発明に関わるさらに発展的な保護シート35の実施形態（発展形態）の作成工程について図11～図16を用いて説明する。

[0059] 図11に示すように、両面に銅膜22、23を有する銅付きポリイミドフィルム20を準備する。銅付きポリイミドフィルム20は、例えば、厚みが25、50 μm ポリイミドフィルム21の両側には、銅膜22、23を形成したものである。銅膜22、23は、まずスパッタ法によりポリイミドフィルム21上に厚さが10 nm程度と極薄層のニクロム層24、25形成した後、このスパッタ法で形成されたニクロム層24、25上に電気めっきによって形成されたものである。

[0060] まず、両側の銅膜22、23上に感光性レジスト層28、29を形成する。レジスト層28、29の形成には溶液タイプのレジスト液をスピコート

等公知のコート法で塗布ご固化させてもよいし、フィルムタイプのレジスト材を張付る方法でも構わない。

[0061] 次に、インターポーザ50に設けられたボールバンプ51の位置のパターンを有するフォトマスク（凹部形成用フォトマスク）を用いて両側のレジスト層28、29を感光・現像し、インターポーザ50に設けられたボールバンプ51に相当する位置のレジスト層28、29開口30、31を設ける。この状態を図12に示す。

[0062] ついで開口30、31を利用して銅膜22、23をアンモニアエッチング等の公知のエッチング技術によって両側からエッチングを行い、銅膜22、23に開口32、33を設ける。必要であれば、開口32、33の底に極薄層に残っているニクロム層24、25をエッチングにより除去する。その後、リムーバによりレジスト層28、29を除去する。この状態を図13に示す。

[0063] 次に、図14に示すように、片側の銅膜23上にのみ、その表面に1 μ m程度のニッケル層34を形成する。ニッケル層34の形成には、銅付きポリイミドフィルム20の銅膜22側全面にマスクフィルム（図示せず）を貼付して電界ニッケルめっきを施せばよい。このニッケル層34の役割は後述する銅膜22のエッチングによる除去時の保護膜としての機能である。

[0064] 該マスクフィルムを剥離後、図15に示すように、開口32、33が設けられた銅膜22、23をマスクとしてポリイミドフィルム21を両側からポリイミドエッチング液でエッチングする。これにより、開口32、33に相当する位置、すなわちインターポーザ50上のボールバンプ51に相当する位置に凹部35が形成される。凹部35は、図15に示すようにポリイミドフィルム21表裏を貫通する貫通孔となる。以上の工程で、ポリイミドフィルム21に、インターポーザ50に設けられたボールバンプ51と対向する位置に凹部35が形成される。

[0065] 次に、銅膜22のみをエッチングにより除去する。このとき銅膜23はニッケル層34で覆われているため、エッチングされずに残存する。必要であ

ればニクロム層も除去する。

[0066] この状態でも本発明に関わる保護シートとしても機能するが、さらに、銅膜23側のニッケル層34にさらに電界ニッケルめっきを施し所望の厚さの厚膜ニッケル層36とすることで、保護シートとしての全体厚みを調整することが可能となる(図16)。

[0067] 市販の銅付きポリイミドフィルムは25、50 μm などいわゆるキリ厚しかなく、ボールバンプ51の高さによっては保護シートとしての全体厚が不足することもあり得る。このような場合、発展形態に示すように圧膜ニッケル層36で保護シートの全体厚を調整すれば、ボールバンプの高さ、ピッチに応じた凹部35が形成でき好適である。

[0068] 尚ニッケル層34、厚膜ニッケル層36はインターポーザー側に設けているが、ステージ側に形成することももちろん可能である。

[0069] 以上述べた、本発明の基本形態、発展形態による保護シートをマイクロバンプを有した半導体チップの積層に用いても良い。具体的には、図1から図5に示した工程で、厚さ5 μm ~10 μm のポリイミドフィルムを用いて凹部13を形成する。凹部13が形成された保護シート1を半導体チップの最下層のマイクロバンプに位置合わせして用いることにより、順次積層される半導体チップの加圧及び／又は加熱に際し、凹部13がマイクロバンプの変形を保護し良好な積層を行うことが出来る。

[0070] さらに、図20には、本発明の別の実施態様を示す。これは複数(2枚)のインターポーザ50間に、積層された複数の半導体チップ55を3次元実装している状態を示す図である。このような2枚のインターポーザに半導体チップが挟まれた構成においても本発明の半導体チップ実装方法、および半導体チップ実装様保護シートは適用可能である。

[0071] (実施例)

以下に上記の発展形態にもとづく保護シート60の実施例を図21に記す。

[0072] 図21(a)に保護シート60と基材61の大きさ、位置関係、図21(

b) にバンプ66の大きさと保護シート60の位置関係を合わせて示す。

基材61は25mm×25mmの大きさで、基材61の片面には図21(b)に示す大きさの頭頂部が略球面となった円筒バンプ66が存在する。円筒バンプ66は直径Dが75μm、高さHが45μmで、これが25×25mmの基材61上にピッチP=150μm間隔で161列縦横に配列している。即ち円筒バンプ66は総数161×161=25921個である。

[0073] 保護シート60の大きさは50×50mmで、基材61はその中央に配置される。又、該基材61位置の外側に、保護シート60と基材61の相対位置あわせの為のアライメントパターン62a～62dが形成される。

[0074] 東レ・デュポン株式会社製カプトン（登録商標）EN50μm厚（すなわちh2=50μm）の両面に4μm厚の銅膜を形成した銅付きポリイミドフィルム（住友金属株式会社製エスパーフレックス（登録商標））を用いた。日立化成製レジストフィルムRY3325を両面に張付し、密着露光で円筒バンプ66に対応したパターンを露光後、現像液（炭酸ナトリウム1%水溶液）にて現像、乾燥しレジスト膜を得る。このとき、上記のアライメントマーク62a～62dに対応するパターンも同時に露光する。アンモニアエッチングにより両面の銅膜を同時にエッチングし銅マスクを形成する。このとき、アライメントマーク62a～62dも同時に銅膜に形成される。円筒バンプ66に対応する凹部の銅マスク開口直径は100μm（即ち大径d2=100μmである）とした。リムーバ（NaOH水溶液）にて残存レジストを除去、水洗、乾燥した後に、次いで、メック株式会社EM-1924とCH-1925B処理を併用してニクロムスパッタ層を除去した。

[0075] 片側全面をマスキングフィルムにてマスクした後に、他方の銅マスク上に電界ニッケルめっきにてニッケル層を1μmめっきする。マスキングフィルム剥離後、東レエンジニアリング株式会社製ポリイミドエッチング液TPE-3000を用い、50℃4分の条件で両面からポリイミドエッチングを行いポリイミドフィルム63に凹部67（貫通孔）を形成した。次に、アライメントマーク62a～62d近傍箇所を新たにマスキングフィルムでマスク

し、当該箇所の銅膜を保護した後に、中央部の銅膜をエッチングで除去した。マスキングフィルム剥離後、電界ニッケルめっきにて、先に形成した $1\mu\text{m}$ のニッケル層上にさらにめっきを行い厚さ h_1 が $15\mu\text{m}$ のニッケル層64を形成した。

[0076] 以上の工程により、総厚 $65\mu\text{m}$ の保護シート60を形成した。凹部67（貫通孔）の断面形状は図21（b）に示すごとく中央部の直径（ d_1 ）が $80\sim 90\mu\text{m}$ 程度の鼓型形状となっていた。円筒バンプ67の直径Dが75ミクロンであるので、保護シート60の凹部67は円筒バンプ66と接触することは無く、保護シート60は実質的に基材61表面にのみ接触し、本発明による半導体チップ実装用保護シートとして機能することが確認できた。

符号の説明

- [0077]
- | | |
|-------------|----------------|
| 1 | 半導体チップ実装用保護シート |
| 8 | 感光性レジスト層 |
| 9 | 開口 |
| 10 | ポリイミドフィルム |
| 11 | 銅膜 |
| 12 | ニクロム層 |
| 13 | 凹部 |
| 15 | 開口 |
| 18 | フォトマスク |
| 20 | 銅付きポリイミドフィルム |
| 21 | ポリイミドフィルム |
| 22、23 | 銅膜 |
| 24、25 | ニクロム層 |
| 28、29 | 感光性レジスト層 |
| 30、31、32、33 | 開口 |
| 34 | ニッケル層 |

- 3 5 凹部（貫通孔）
- 3 6 厚膜ニッケル層
- 4 0 ボンディング装置
- 4 1 ボンディングステージ
- 4 3 ボンディングツール
- 5 0 インターポーザ
- 5 1 ボールバンプ
- 5 5 積層された半導体チップ
- 6 0 半導体チップ実装用保護シート
- 6 1 基材
- 6 2 a ～ 6 2 d アライメントマーク
- 6 3 ポリイミドフィルム
- 6 4 ニッケル層
- 6 6 円筒バンプ
- 6 7 凹部（貫通孔）

請求の範囲

- [請求項1] 加圧及び／又は加熱手段によって、複数個の bumps を有する基材と該基材上に載置された半導体チップを挟持しつつ加圧及び／又は加熱することによって前記基材上に前記半導体チップを実装する半導体チップ実装方法であって、前記加圧及び／又は加熱手段によって前記基材の前記複数個の bumps の存在する部位（bump 部位）を挟持する場合において、前記加圧及び／又は加熱手段と前記基材との間に、実質的に前記 bump 部位の前記基材表面にのみ接触する保護シートを介在させて、加圧及び／又は加熱することを特徴とする半導体チップ実装方法。
- [請求項2] 加圧及び／又は加熱手段によって、複数個の bumps を有する複数枚の基材と該複数枚の基材間に積層載置された半導体チップを挟持しつつ加圧及び／又は加熱することによって前記複数枚の基材間に前記半導体チップを実装する半導体チップ実装方法であって、前記加圧及び／又は加熱手段によって前記基材の前記複数の bumps の存在する部位（bump 部位）を挟持する場合において、前記加圧及び／又は加熱手段と前記基材との間に、実質的に前記 bump 部位の前記基材表面にのみ接触する保護シートを介在させて、加圧及び／又は加熱することを特徴とする半導体チップ実装方法。
- [請求項3] 前記保護シートの前記 bump 部位と対向する側の面には、前記複数の bumps 各々に対向する位置に凹部が設けられてなり、実質的に前記複数の bumps 間の前記基材表面にのみ接触するものであることを特徴とする請求項 1 又は 2 に記載の半導体チップ実装方法。
- [請求項4] 前記基材への前記 bumps の形成工程の少なくとも一部はフォトリソグラフィーによってなされるものであり、かつ、前記保護シートの前記凹部の形成工程の少なくとも一部もフォトリソグラフィー工程によってなされるものであり、これら両フォトリソグラフィー工程に用いられるフォトマスク及び／又は該フォトマスク形成データが同一のも

のであることを特徴とする請求項3に記載の半導体チップ実装方法。

[請求項5] 前記保護シートは、ポリイミドフィルムよりなり、前記凹部がポリイミドエッチングによって形成されたものであることを特徴とする請求項3又は4に記載の半導体チップ実装方法。

[請求項6] 複数のバンプを有する基材上に、加圧及び／又は加熱手段によって半導体チップを実装する半導体チップ実装において用いられる半導体チップ実装用保護シートであって、該半導体チップ実装用保護シートは、前記基材の前記複数のバンプが存在する部位（バンプ部位）と前記加圧及び／又は加熱手段との間に介在させて用いられ、前記複数のバンプ各々に対向する位置に凹部が設けられてなり、実質的に前記複数のバンプ間の前記基材表面にのみ接触するものであることを特徴とする、半導体チップ実装用保護シート。

[請求項7] 前記半導体チップ保護シートは、主としてポリイミドフィルムよりなり、前記凹部がポリイミドエッチングによって形成されたものであることを特徴とする請求項6に記載の半導体チップ実装用保護シート。

[請求項8] 前記半導体チップ実装用保護シートは、少なくともその片面に金属層を有するポリイミドフィルムよりなり、前記ポリイミドエッチングがウェットエッチングによるものであり、かつ、前記金属層が前記凹部を形成するウェットエッチング時のマスク層としても機能することを特徴とする請求項7に記載の半導体チップ実装用保護シート。

[請求項9] 前記金属層の少なくとも一部はめっきにより形成されるものであり、かつ、前記ポリイミドフィルムの両側においてその厚さが異なることを特徴とする請求項8に記載の半導体チップ実装用保護シート。

[請求項10] 前記複数のバンプは、配列方向にピッチPで規則的に前記基材上に配列され、各々が高さH、配列方向幅Dを有するものであり、さらに、前記半導体チップ保護シートは、少なくとも下記小径d 1側表面に厚さh 1の金属層を有する厚さh 2のポリイミドフィルムよりなり、前

記配列方向断面において前記凹部の前記金属層の断面は幅 d_1 の長方形形状をなし、前記ポリイミドフィルムの断面は前記金属層側が狭まった大径 d_2 、小径 d_1 の等脚台形形状であり、

$$h_1 + h_2 > H$$

$$D < d_2 < P$$

$$P - d_2 \geq 10 \mu\text{m}$$

の関係を満たすことを特徴とする、請求項 6 乃至 9 のいずれかに記載の半導体チップ実装用保護シート。

[請求項 11]

前記複数のバンプは、配列方向にピッチ P で規則的に前記基材上に配列され、各々が高さ H 、配列方向幅 D を有するものであり、さらに、前記半導体チップ保護シートは、少なくともその片側に厚さ h_1 の金属層を有する厚さ h_2 のポリイミドフィルムよりなり、前記配列方向断面において前記凹部の前記金属層の断面は幅 d_2 の長方形形状をなし、前記ポリイミドフィルムの断面は厚さ方向中央部が直径 d_1 に狭まった鼓型形状であり、

$$h_1 + h_2 > H$$

$$D < d_2 < P$$

$$P - d_2 \geq 10 \mu\text{m}$$

の関係を満たすことを特徴とする、請求項 6 乃至 9 のいずれかに記載の半導体チップ実装用保護シート。

[請求項 12]

$P - d_2 \geq 20 \mu\text{m}$ であることを特徴とする請求項 10 又は 11 に記載の半導体チップ実装用保護シート。

[請求項 13]

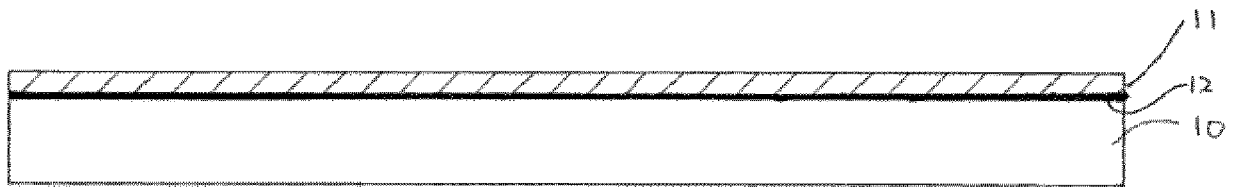
前記半導体チップ実装用保護シートは、その前記基材側表面に、前記半導体チップ保護シートと前記基材との相対位置確認の為のアライメントマークを、前記凹部とは別に有することを特徴とする請求項 6 乃至 12 のいずれかに記載の半導体チップ実装用保護シート。

[請求項 14]

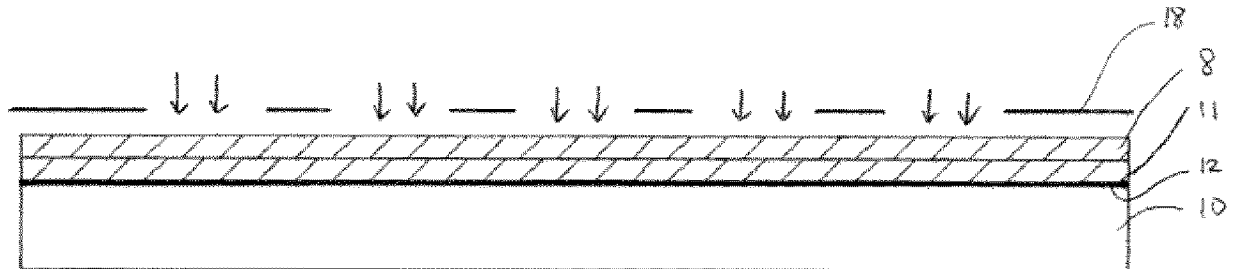
前記半導体チップ実装用保護シートは、その前記基材側表面に前記凹部のみを複数有するものであり、該複数の凹部の配列パターンそのも

のをアライメントマークとして用いることを特徴とする請求項 6 乃至 12 のいずれかに記載の半導体チップ実装用保護シート。

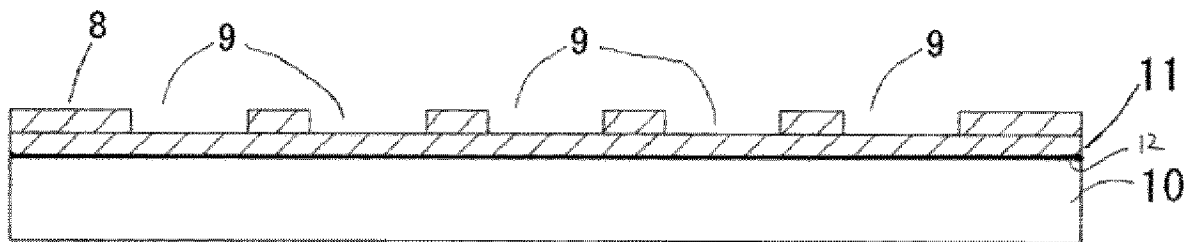
[図1]



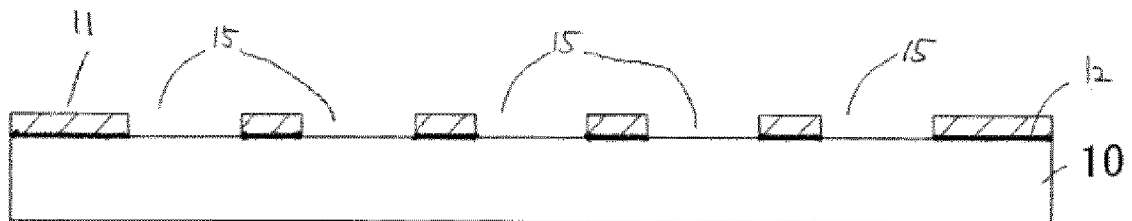
[図2]



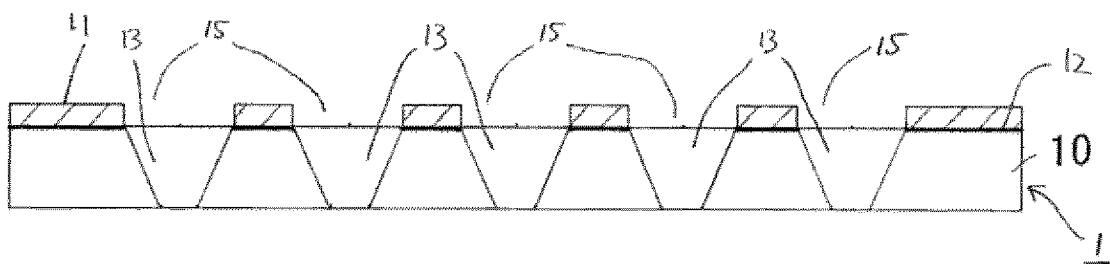
[図3]



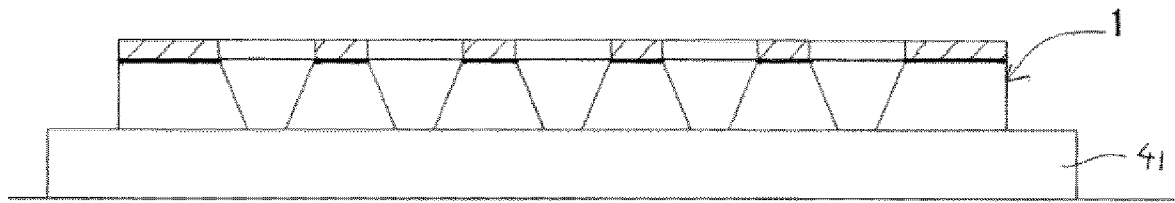
[図4]



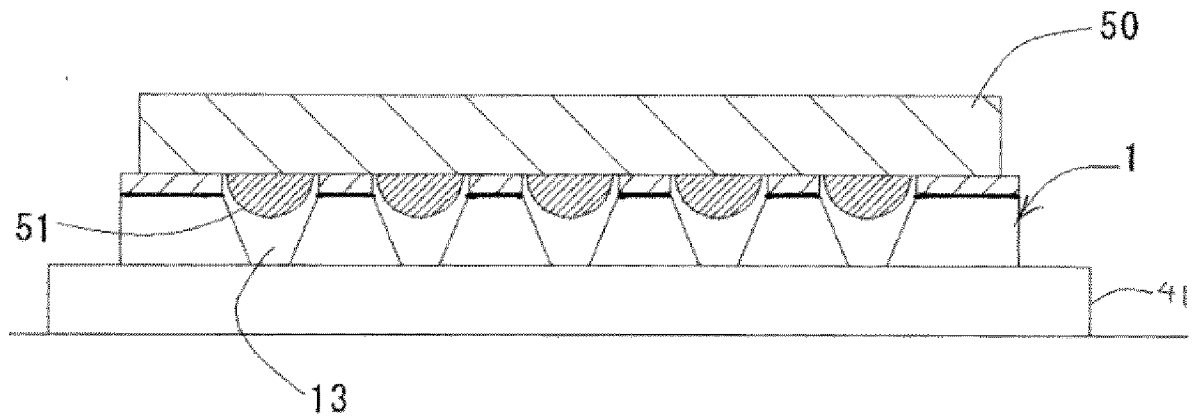
[図5]



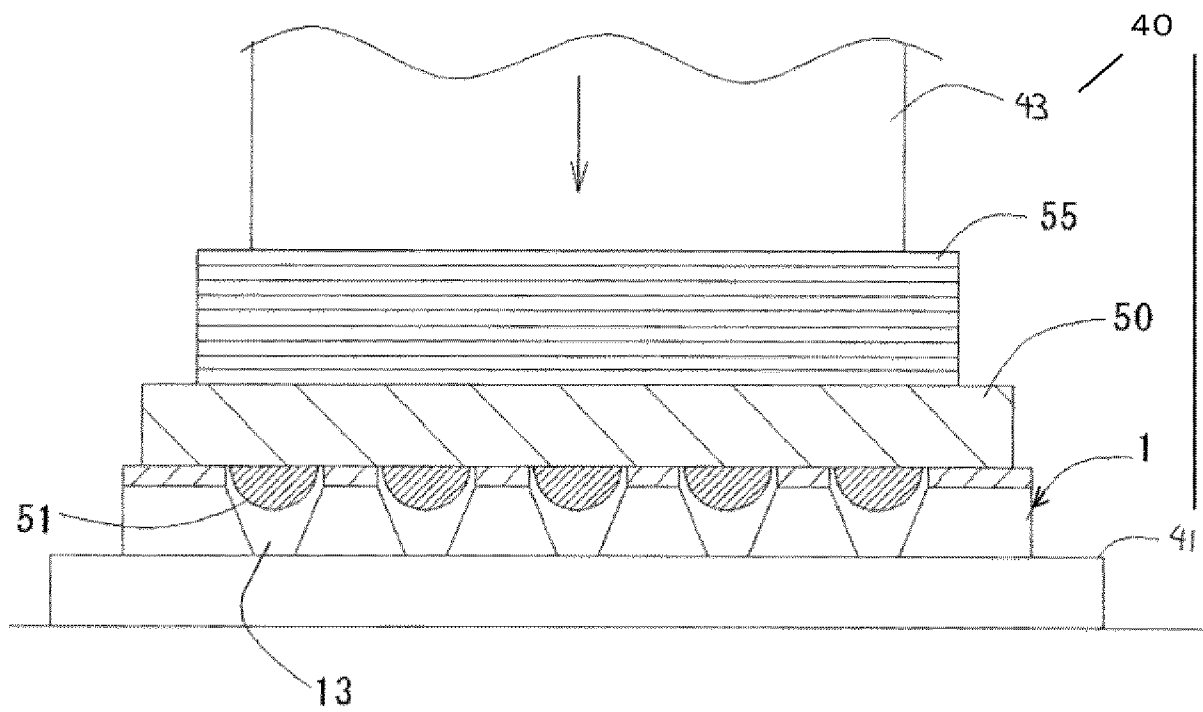
[図6]



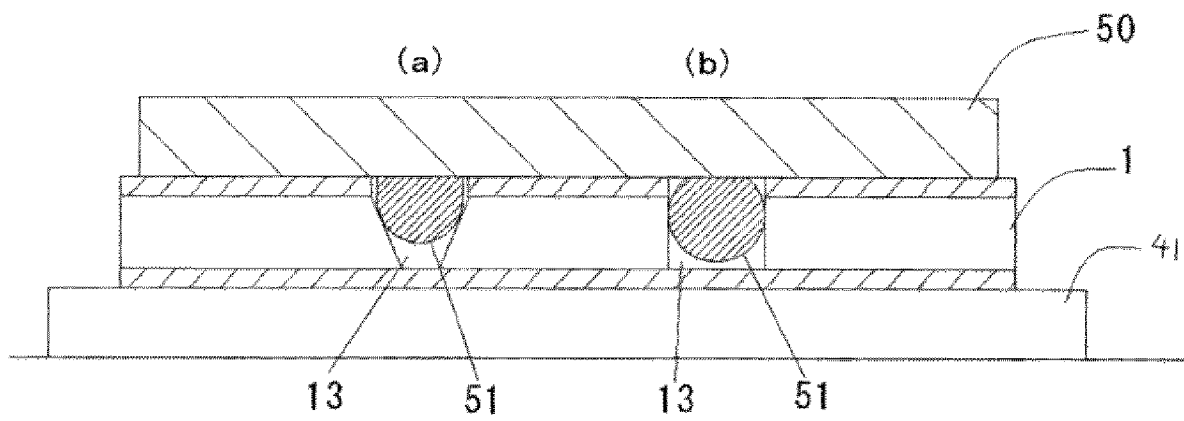
[図7]



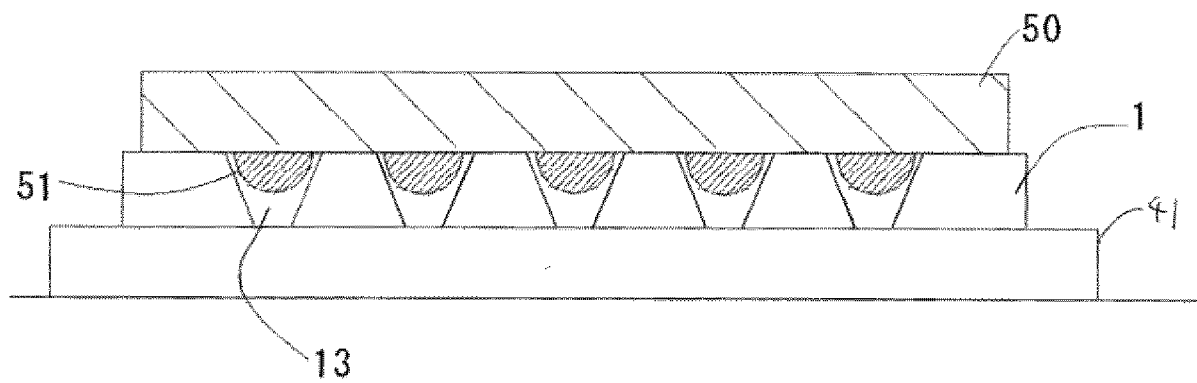
[図8]



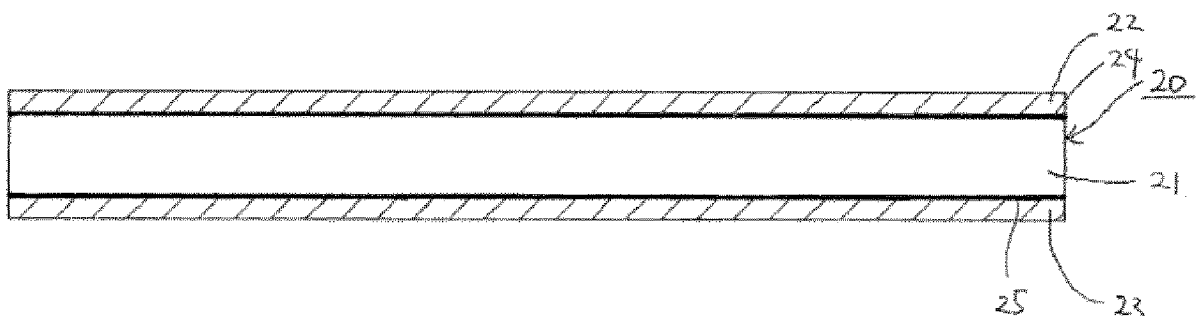
[図9]



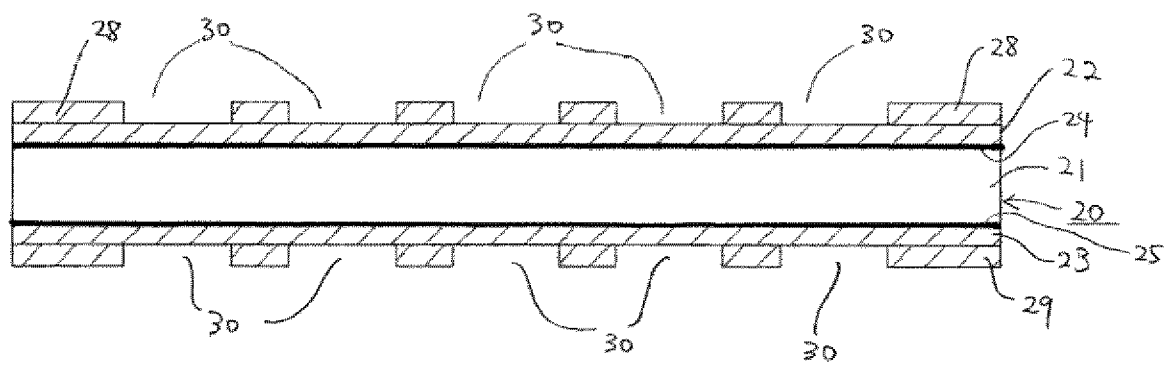
[図10]



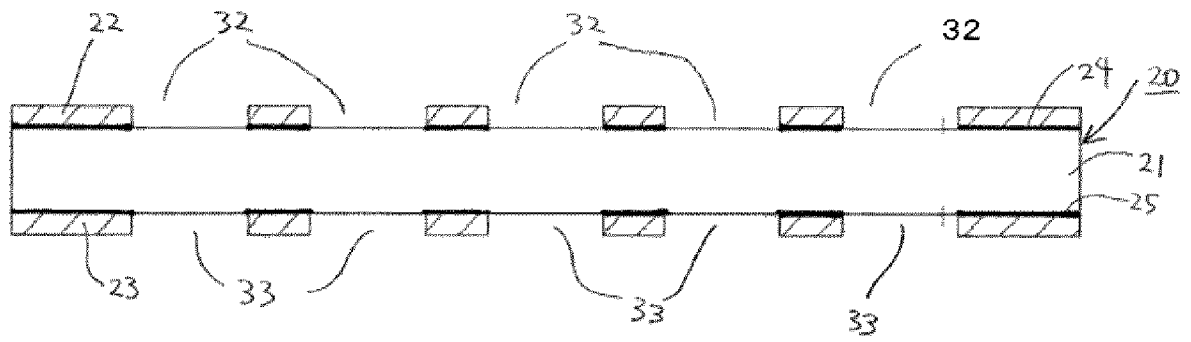
[図11]



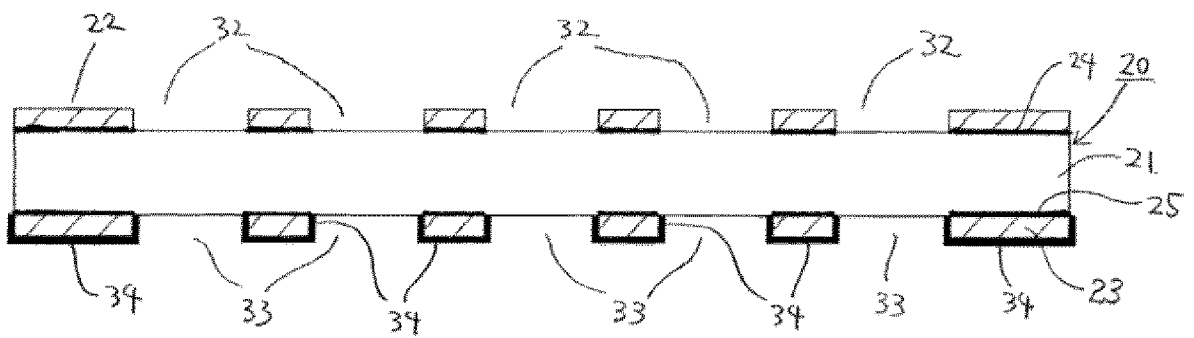
[図12]



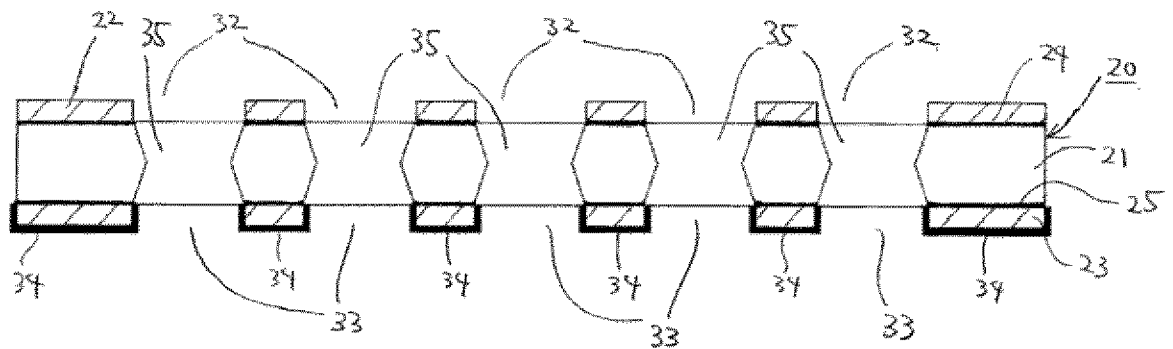
[図13]



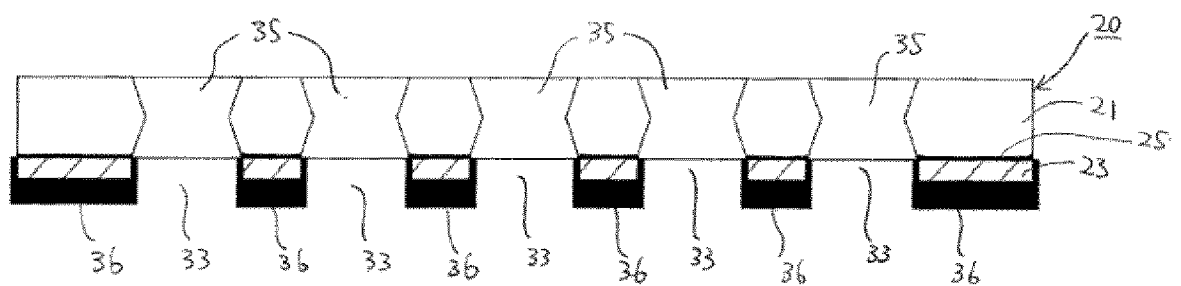
[図14]



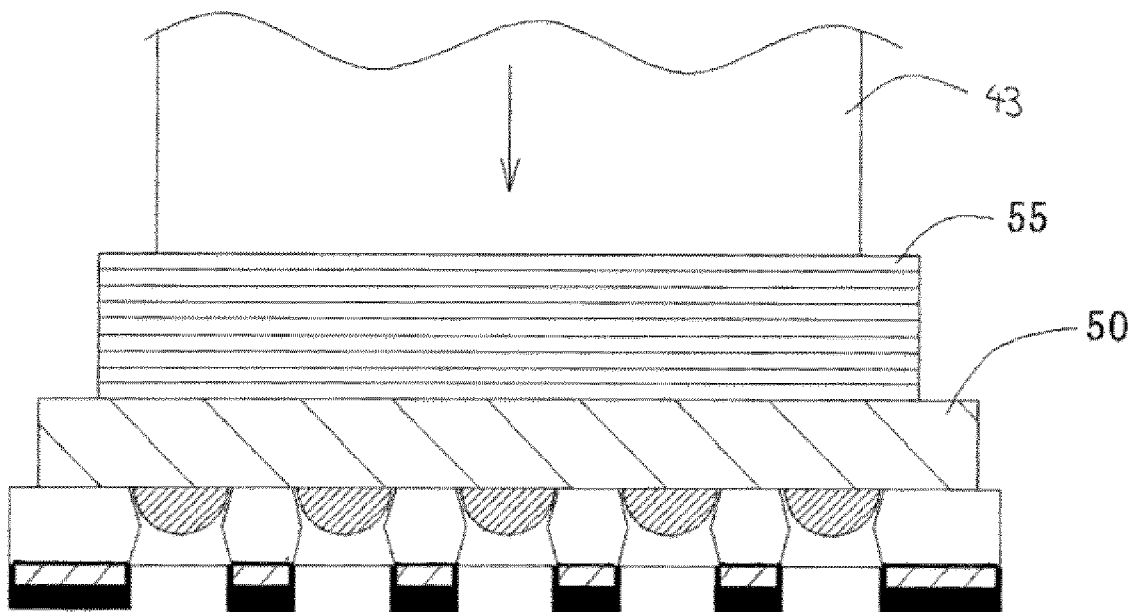
[図15]



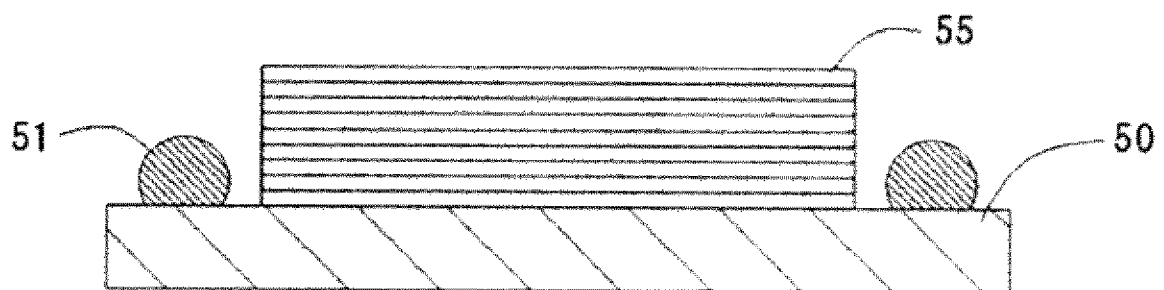
[図16]



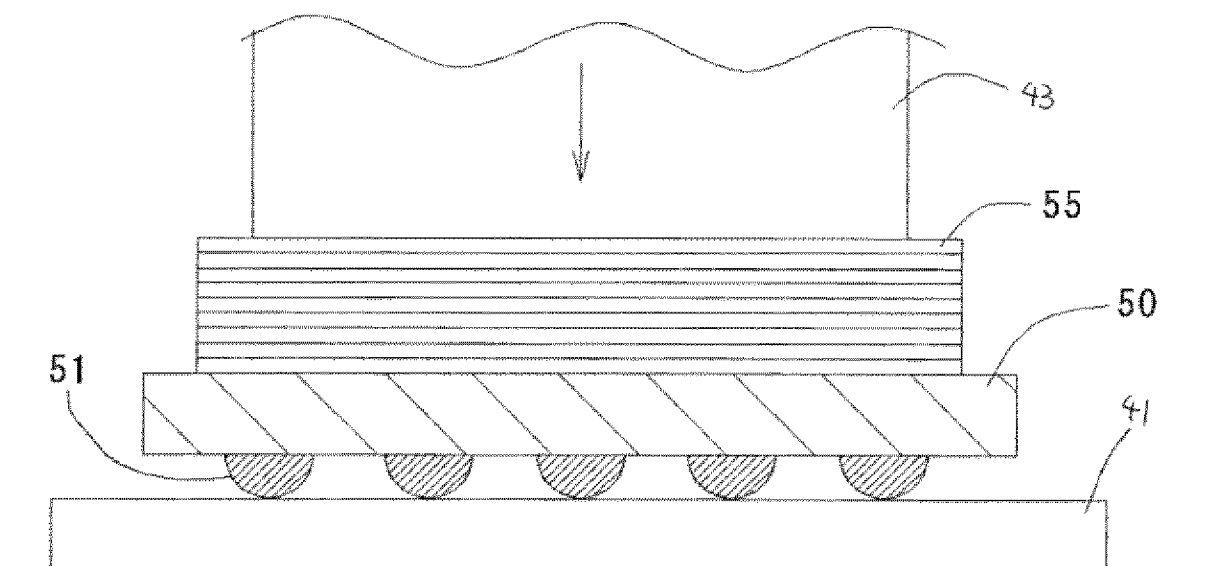
[図17]



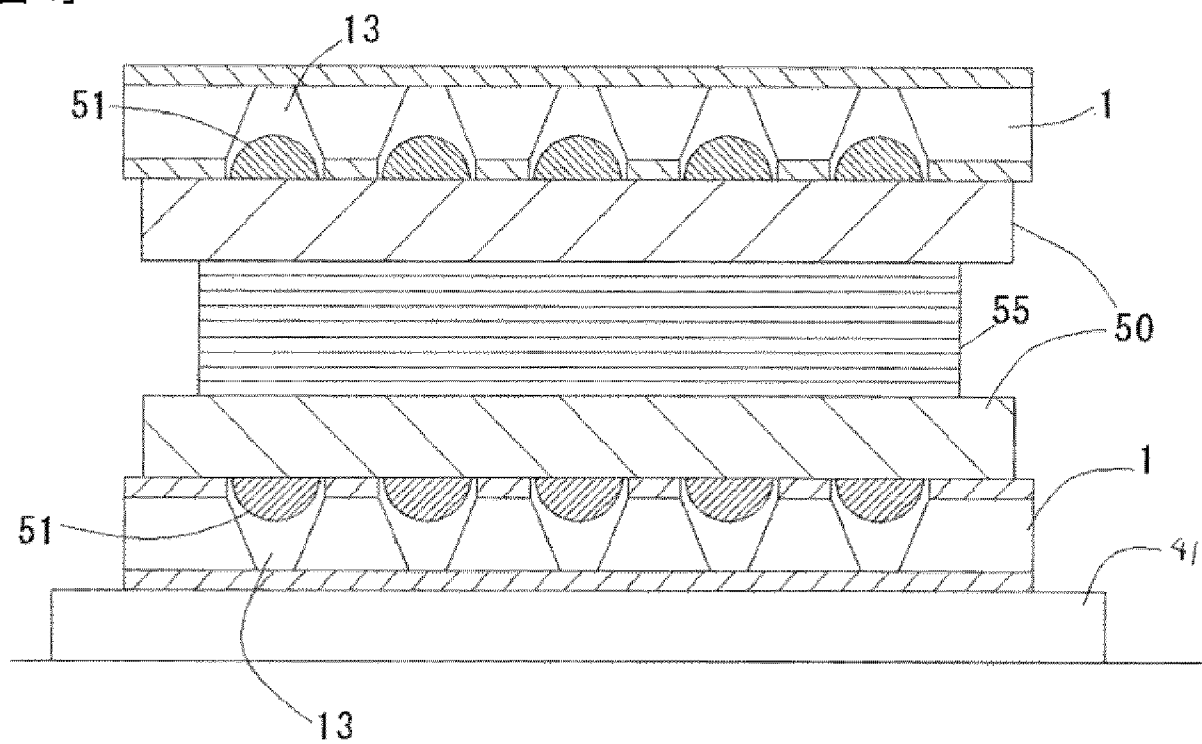
[図18]



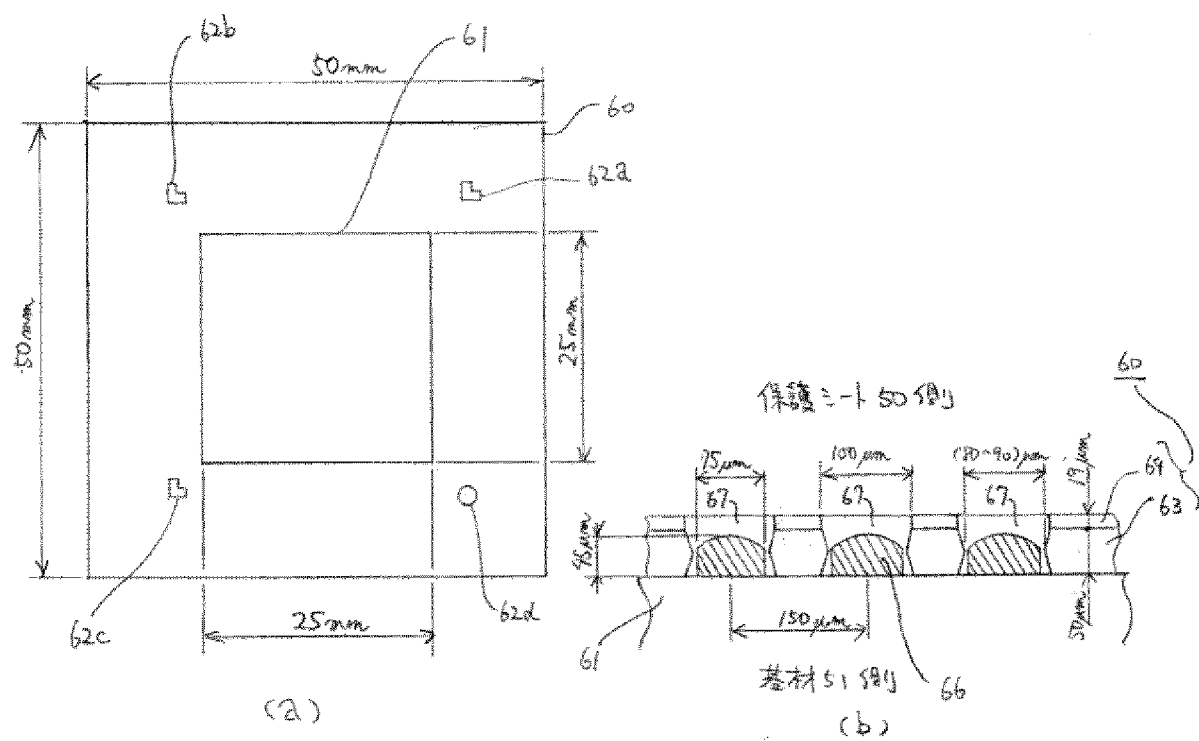
[図19]



[図20]



[図21]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/081958

A. CLASSIFICATION OF SUBJECT MATTER

H01L25/065(2006.01)i, H01L21/60(2006.01)i, H01L25/07(2006.01)i, H01L25/18(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L25/065, H01L21/60, H01L25/07, H01L25/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 10-173088 A (Sony Corp.), 26 June 1998 (26.06.1998), paragraphs [0018] to [0032], [0045] to [0047] (Family: none)	1-14
Y	JP 2005-123382 A (Lintec Corp.), 12 May 2005 (12.05.2005), paragraphs [0013], [0019] to [0023] & US 2007/0066184 A1 paragraphs [0035], [0043] to [0048] & WO 2005/038894 A1 & EP 1681713 A1 & KR 10-2006-0120113 A & CN 1868040 A & TW 200524057 A	1-14

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
13 January 2016 (13.01.16)

Date of mailing of the international search report
26 January 2016 (26.01.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/081958

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2011-054630 A (Toray Engineering Co., Ltd.), 17 March 2011 (17.03.2011), paragraphs [0019] to [0021] (Family: none)	4, 5, 7-14

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L25/065(2006.01)i, H01L21/60(2006.01)i, H01L25/07(2006.01)i, H01L25/18(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L25/065, H01L21/60, H01L25/07, H01L25/18

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 10-173088 A（ソニー株式会社）1998.06.26, 第18-32, 45-47 段落（ファミリーなし）	1-14
Y	JP 2005-123382 A（リンテック株式会社）2005.05.12, 第13, 19-23 段落 & US 2007/0066184 A1, 第35, 43-48 段落 & WO 2005/038894 A1 & EP 1681713 A1 & KR 10-2006-0120113 A & CN 1868040 A & TW 200524057 A	1-14

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

13.01.2016

国際調査報告の発送日

26.01.2016

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

▲高▼須 甲斐

電話番号 03-3581-1101 内線 3559

50

4539

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2011-054630 A (東レエンジニアリング株式会社) 2011.03.17, 第19-21 段落 (ファミリーなし)	4, 5, 7-14